



(12) 发明专利

(10) 授权公告号 CN 101192393 B

(45) 授权公告日 2010. 11. 17

(21) 申请号 200710196030. 4

(22) 申请日 2007. 11. 28

(30) 优先权数据

10-2006-0118948 2006. 11. 29 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 洪荣基

(74) 专利代理机构 北京三友知识产权代理有限公司
11127

代理人 黄纶伟

(51) Int. Cl.

G09G 3/36 (2006. 01)

G09G 3/20 (2006. 01)

G02F 1/133 (2006. 01)

(56) 对比文件

JP 特开平 6-27902 A, 1994. 02. 04, 全文.

CN 1336568 A, 2002. 02. 20, 全文.

CN 1752801 A, 2006. 03. 29, 全文.

US 6961034 B2, 2005. 11. 01, 全文.

US 6292163 B1, 2001. 09. 18, 全文.

US 6239779 B1, 2001. 05. 29, 全文.

WO 2006/085555 A1, 2006. 08. 17, 全文.

审查员 周瞻瞻

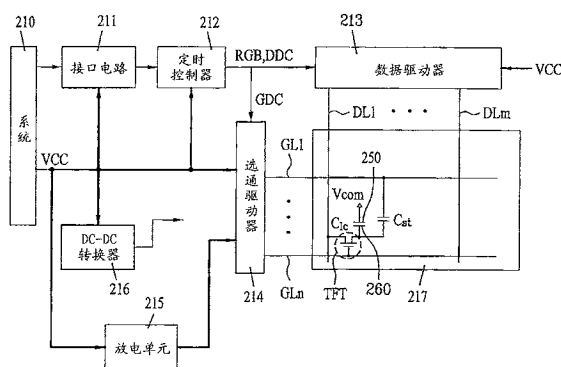
权利要求书 2 页 说明书 9 页 附图 9 页

(54) 发明名称

液晶显示设备及其驱动方法

(57) 摘要

本发明公开了一种液晶显示设备及其驱动方法,当电源关闭时,所述液晶显示设备及其驱动方法能够从屏幕清除余像,所述液晶显示设备包括:液晶面板,其包括由多个彼此交叉的选通线和数据线限定的多个像素;选通驱动器,其用于驱动所述选通线;数据驱动器,其用于经所述数据线给所述像素充入模拟视频信号;以及放电单元,当电源关闭时,所述放电单元通过控制选通驱动器的输出以分时驱动所有的所述选通线或同时驱动所有的所述选通线,从而从所述像素中释放电压。



1. 一种液晶显示设备,所述液晶显示设备包括:
液晶面板,其包括由多个彼此交叉的选通线和数据线限定的多个像素;
选通驱动器,其用于驱动所述选通线;
数据驱动器,其用于经所述数据线给所述像素充入模拟视频信号;以及
放电单元,当电源关闭时,所述放电单元通过控制选通驱动器的输出以分时驱动所有的所述选通线或同时驱动所有的所述选通线,从而从所述像素中释放电压。
2. 如权利要求 1 所述的液晶显示设备,其中,所述选通驱动器包括多个级,所述级利用具有相位差的多个时钟脉冲中的至少任意一个来驱动相应的选通线。
3. 如权利要求 2 所述的液晶显示设备,所述液晶显示设备进一步包括:
延时单元,其基于电阻器和电容器的 RC 时间常数对电源进行延时;以及
时钟发生单元,其利用来自所述延时单元的输出信号来生成所述多个时钟脉冲。
4. 如权利要求 2 所述的液晶显示设备,其中,所述放电单元包括连接至所有的所述多个级的一个放电部,或与所述多个级一对一连接的多个放电部,从而当所述电源关闭时同时使能所有的级。
5. 如权利要求 4 所述的液晶显示设备,其中,当所述电源关闭时,所述多个级被所述一个放电部或多个放电部同时使能,并由所述多个时钟脉冲分时驱动,以在对应于时钟脉冲总数的周期内分时驱动所述选通线。
6. 如权利要求 2 所述的液晶显示设备,其中,所述放电单元包括与所述多个级一对一连接的多个放电部,以利用用于使能所述多个级中的第一级的选通起始脉冲和用于使能所述多个级中的其它级的来自前一个级的输出信号、以及所述电源,而同时使能所有的所述级。
7. 如权利要求 6 所述的液晶显示设备,其中,当所述电源关闭时,所述多个级由相应的放电部同时使能,并由所述多个时钟脉冲分时驱动以在对应于时钟脉冲总数的周期内分时驱动所述选通线。
8. 如权利要求 7 所述的液晶显示设备,其中,各所述放电部包括:反转部,其反转选通起始脉冲的逻辑状态或来自前一个级的输出信号的逻辑状态;以及 NAND 门,其对来自所述反转部的输出信号和所述电源进行 NAND 操作,并向对应的级输出所述 NAND 操作的结果。
9. 如权利要求 2 所述的液晶显示设备,其中,所述放电单元包括与所述多个级一对一连接的多个放电部,以当所述电源关闭时,利用来自各级的输出信号和所述电源而同时驱动所有的所述选通线。
10. 如权利要求 9 所述的液晶显示设备,其中,各所述放电部包括:
反转部,其反转来自所述级的输出信号的逻辑状态;以及
NAND 门,其对来自所述反转部的输出信号的逻辑状态和所述电源的逻辑状态进行 NAND 操作,并向对应的选通线输出结果。
11. 一种液晶显示设备的驱动方法,所述液晶显示设备包括设置有多像素的液晶面板,所述多个像素由多个彼此交叉的选通线和数据线限定,所述方法包括:
当电源开启时,与使用选通驱动器而驱动所述选通线同步地,经数据线向像素充入模拟视频信号,由此显示图像;以及
当电源关闭时,通过与控制所述选通驱动器的输出同步地,分时驱动所述选通线或同

时驱动所述选通线,而从所述像素中释放电压。

12. 如权利要求 11 所述的驱动方法,其中,所述选通驱动器利用多个级来驱动各个相应的选通线,所述级被供有具有相位差的多个时钟脉冲中的至少一个时钟脉冲。

13. 如权利要求 12 所述的驱动方法,其中,从所述像素中释放电压的步骤包括:
根据电阻器和电容器的 RC 时间常数而对所述电源进行延时;以及
利用延时后的电源产生所述多个时钟脉冲。

14. 如权利要求 12 所述的驱动方法,其中,从所述像素中释放电压的步骤包括:
当所述电源关闭时,利用连接至所有的所述多个级的一个放电部或与所述多个级一对一连接的多个放电部而同时使能所有的所述级;以及

通过根据所述多个时钟脉冲分时驱动所述多个级,在对应于时钟脉冲总数的周期内分时驱动所述选通线。

15. 如权利要求 12 所述的驱动方法,其中,从所述像素中释放电压的步骤包括:
当所述电源关闭时,利用与所述多个级一对一连接的多个放电部,根据用于使能所述多个级中的第一级的选通起始脉冲和用于使能所述多个级中其它级的来自前一个级的输出信号、以及所述电源,来同时使能所有的所述级;以及

通过根据所述多个时钟脉冲分时驱动所述多个级,在对应于时钟脉冲总数的周期内分时驱动所述选通线。

16. 如权利要求 15 所述的驱动方法,其中,所述同时使能所有的级的步骤包括:
利用反转部来反转选通起始脉冲的逻辑状态或来自前一级的输出信号的逻辑状态;以及

对来自所述反转部的输出信号和所述电源进行 NAND 操作,并向所对应的级输出所述 NAND 操作的结果。

17. 如权利要求 12 所述的驱动方法,其中,从所述像素中释放电压的步骤包括:
当电源关闭时,利用与所述多个级一对一连接的多个放电部,根据来自各级的输出信号和所述电源而同时驱动所有的所述选通线。

18. 如权利要求 17 所述的驱动方法,其中,所述多个放电部利用反转部来反转来自所述级的输出信号的逻辑状态,并向所对应的选通线输出通过对来自所述反转部的输出信号和所述电源进行 NAND 操作而获得的结果。

液晶显示设备及其驱动方法

[0001] 本申请要求 2006 年 11 月 29 日递交的韩国专利申请 2006-118948 的优先权,在此通过参引而并入其全部内容。

技术领域

[0002] 本发明涉及液晶显示设备及其驱动方法,更具体地,本发明涉及当电源关闭时能够清除屏幕上余像的液晶显示设备及其驱动方法。

背景技术

[0003] 通常,液晶显示设备可以通过所施加的电场来控制液晶的透光率从而显示图像。为此,液晶显示设备包括:液晶面板,其包括以矩阵结构排列的多个像素;以及驱动电路,其用于驱动液晶面板。

[0004] 液晶面板包括:薄膜晶体管,其在靠近选通线和数据线的各交叉处形成;以及像素,其连接至薄膜晶体管。

[0005] 薄膜晶体管设置有栅极和源极,其中栅极连接至水平线单元中任意一个选通线,而源极连接至垂直线单元中的任意一个数据线。薄膜晶体管响应于来自选通线的选通驱动脉冲,将来自数据线的的数据信号提供给像素。

[0006] 像素包括:像素电极,其连接至薄膜晶体管的漏极;以及公共电极,其面对像素电极,其中在公共电极和像素电极之间夹有液晶。像素响应于施加到像素电极的数据信号来驱动液晶,由此控制透光率。

[0007] 在下文中,将参考附图描述现有技术中的液晶显示设备。

[0008] 图 1 是示出了根据现有技术的液晶显示设备的一个像素的等效电路图。

[0009] 如图 1 所示,由彼此交叉的选通线 GL 和数据线 DL 限定液晶显示设备中的各像素。各像素设置有薄膜晶体管 TFT 和像素电极。更详细地讲,薄膜晶体管 TFT 形成在靠近选通线 GL 和数据线 DL 的各交叉处。薄膜晶体管 TFT 设置有:栅极端子,其连接至选通线 GL;源极端子,其连接至数据线 DL;以及漏极端子,其连接至像素电极。

[0010] 液晶显示设备包括:两个彼此结合的相对的玻璃基板;以及形成在两个玻璃基板之间的液晶层。图 1 示出了形成在液晶显示设备的下玻璃基板(即,包括薄膜晶体管阵列的第一基板)上的一个像素。

[0011] 尽管未示出,上玻璃基板(即,包括 R、G、和 B 滤色器层以及公共电极 150 以显示图像的第二基板)设置为与下玻璃基板相对。此时,第一基板上的像素电极设置为与第二基板上的公共电极 150 相对,而且在像素电极和公共电极之间夹有液晶层。基于像素电极和公共电极之间产生的电场的强度来控制液晶层的透光率。在这种情况下,彼此面对的中间夹有液晶层的像素电极 160 和公共电极 150 起到液晶电容器 C1c 的作用,所述液晶电容器 C1c 使用液晶层作为电介质。

[0012] 包括在各像素中的各像素电极与选通线 GL 部分地重叠以用于驱动相邻的像素。此时,彼此面对的像素电极和选通线 GL 起到辅助电容器 Cst 的作用,所述辅助电容器使用

绝缘体作为电介质。通常,如上所述,包括在各像素中的像素电极与相邻像素的选通线 GL 重叠,这称作前选通结构 (previous gate structure)。

[0013] 下面将对像素的操作进行解释。

[0014] 首先,当薄膜晶体管 TFT 根据施加到选通线 GL 的选通高电压而导通时,液晶电容器 Clc 和辅助电容器 Cst 经过导通了的薄膜晶体管 TFT 的源极端子和漏极端子接收来自数据线 DL 的电压,由此表示灰度。接下来,将选通低电压施加至选通线 GL,使得薄膜晶体管 TFT 截止。若薄膜晶体管 TFT 由选通低电压而截止,则通过一帧期间充到辅助电容器 Cst 中的电荷而稳定地保持灰度的显示。

[0015] 当关闭液晶显示设备的电源时,会在短时间内出现余像。具体来说,当关闭电源时,电荷从像素单元中慢慢消失,导致在液晶显示设备的显示面板上出现余像。

发明内容

[0016] 因此,本发明旨在提供一种液晶显示设备及其驱动方法,其基本上克服了由于现有技术的限制和缺点而产生的一个或多个问题。

[0017] 本发明的目的是提供这样一种液晶显示设备及其驱动方法,即当电源关闭时,所述液晶显示设备能够从屏幕清除余像。

[0018] 本发明的其它优点、目的和特征将部分地在如下的说明中进行阐述,并部分地由本领域的技术人员在考察以下内容后变得清楚,或从本发明的实践中而学知。本发明的目的和其它优点可以通过说明书及其权利要求,以及附图中具体提出的结构而实现并获得。

[0019] 如在此具体实施并宽泛地进行描述的,为了实现这些目的和其它优点,并根据本发明的宗旨,提供了一种液晶显示设备,其包括:液晶面板,其包括由多个彼此交叉的选通线和数据线限定的多个像素;选通驱动器,其用于驱动所述选通线;数据驱动器,其用于经所述数据线给所述像素充入模拟视频信号;以及放电单元,当电源关闭时,所述放电单元通过控制选通驱动器的输出以使所有的所述选通线被分时驱动或使所有的所述选通线被同时驱动,从而释放所述像素中的电压。

[0020] 此时,所述选通驱动器包括多个级段,所述级段利用具有相位差的多个时钟脉冲中的至少任意一个而驱动相应的选通线。

[0021] 所述液晶显示设备进一步包括:延时单元,其基于电阻器和电容器的 RC 时间常数对电源进行延时;以及时钟发生单元,其利用来自所述延时单元的输出信号产生所述多个时钟脉冲。

[0022] 而且,所述放电单元包括连接至所有的所述多个级段的一个放电部,或分别连接至所述多个级段的多个放电部,从而当所述电源关闭时同时使能所有的所述级段。

[0023] 而且,当所述电源关闭时,所述多个级段由所述一个放电部或多个放电部同时使能,并由所述多个时钟脉冲分时驱动,以在对应于时钟脉冲总数的周期内分时驱动所述选通线。

[0024] 所述放电单元包括分别连接至所述多个级段的多个放电部,以当所述电源关闭时,利用将所述多个级段中的第一级段使能的选通起始脉冲或将所述多个级段中的其它级段使能的来自前一个级段的输出信号、以及所述电源而同时使能所有的所述级段。

[0025] 当所述电源关闭时,所述多个级段由相应的放电部同时使能,并由所述多个时钟

脉冲分时驱动以在对应于时钟脉冲总数的周期内分时驱动所述选通线。

[0026] 各所述放电部包括：反转部，其反转选通起始脉冲的逻辑状态或来自前一级段的输出信号的逻辑状态；以及 NAND 门，其对来自所述反转部的输出信号和所述电源进行 NAND 操作，并向对应的级段输出所述 NAND 操作的结果。

[0027] 而且，所述放电单元包括分别连接至所述多个级段的多个放电部，以当所述电源关闭时，利用来自各级段的输出信号和所述电源而同时驱动所有的选通线。

[0028] 各所述放电部包括：反转部，其反转来自所述级段的输出信号的逻辑状态；NAND 门，其对来自所述反转部的输出信号的逻辑状态和所述电源进行 NAND 操作，并向所述对应的选通线输出结果。

[0029] 在本发明的另一个方面中，提供了一种液晶显示设备的驱动方法，所述液晶显示设备包括设置有多像素的液晶面板，所述像素由多个彼此交叉的选通线和数据线限定，所述方法包括：当电源开启时，与使用选通驱动器而驱动所述选通线同步地，经数据线向像素充入模拟视频信号，由此显示图像；以及当电源关闭时，通过控制所述选通驱动器的输出同步地，分时驱动所述选通线或同时驱动所述选通线，而从所述像素中释放电压。

[0030] 此时，所述选通驱动器利用所述多个级段而驱动各个相应的选通线，所述级段被供有具有相位差的多个时钟脉冲中的至少一个时钟脉冲。

[0031] 而且，所述从所述像素中释放电压的步骤包括：根据电阻器和电容器的 RC 时间常数对所述电源进行延时；以及利用延时后的电源产生所述多个时钟脉冲。

[0032] 而且，所述从所述像素中释放电压的步骤包括：当所述电源关闭时，利用连接至所有的所述多个级段的一个放电部或分别连接至所述多个级段的多个放电部而同时使能所有的所述级段；以及，通过根据所述多个时钟脉冲分时驱动所述多个级段，在对应于时钟脉冲的总数的周期内分时驱动所述选通线。

[0033] 而且，所述从所述像素中释放电压的步骤包括：当所述电源关闭时，利用分别连接至所述多个级段的多个放电部，根据用于使能所述多个级段中的第一级段的选通起始脉冲或用于使能所述多个级段中其它级段的来自前一个级段的输出信号、以及所述电源，来同时使能所有的所述级段；以及通过根据所述多个时钟脉冲分时驱动所述多个级段，在对应于时钟脉冲的总数的周期内分时驱动所述选通线。

[0034] 而且，所述同时使能所有的所述级段的步骤包括：利用反转部来反转选通起始脉冲的逻辑状态或来自前一个级段的输出信号的逻辑状态；以及对来自所述反转部的输出信号和所述电源进行 NAND 操作，并向所对应的级段输出所述 NAND 操作的结果。

[0035] 而且，从所述像素中释放电压的步骤包括：当电源关闭时，利用分别连接至所述多个级段的多个放电部，根据来自各级段的输出信号和所述电源而同时驱动所有的所述选通线。

[0036] 而且，所述多个放电部利用所述反转部来反转来自所述级段的输出信号的逻辑状态，并向所对应的选通线输出通过对来自所述反转部的输出信号和所述电源进行 NAND 操作而获得的结果。

[0037] 应当理解的是本发明以上的一般说明和以下的详细说明是示例性和解释性的，并且旨在提供所要求保护的本发明的进一步解释。

附图说明

[0038] 附图被包括在本申请中并组成本申请的一部分,以提供对本发明进一步的理解,所述附图示出了本发明的实施方式,并和说明书一起用于解释本发明的原理。在附图中:

[0039] 图 1 是例示根据现有技术的液晶显示设备的一个像素的等效电路图;

[0040] 图 2 是例示根据本发明的优选实施方式的液晶显示设备的方框图;

[0041] 图 3A 是例示根据本发明的第一实施方式,选通驱动器中包括的放电单元和移位寄存器的方框图;

[0042] 图 3B 是例示另一个放电单元的方框图;

[0043] 图 4 是例示施加到图 3A 和图 3B 的移位寄存器的时钟脉冲的波形图;

[0044] 图 5 是例示延时单元和经由该延时单元供电的时钟发生单元的图;

[0045] 图 6 是例示电源经过延时单元之前的状态和电源经过延时单元之后的状态的对比结果的图;

[0046] 图 7 是例示根据本发明的第二实施方式,选通驱动器中包括的放电单元和移位寄存器的方框图;

[0047] 图 8 是例示图 7 所示的放电部的图;

[0048] 图 9 是例示来自图 8 的放电部的输出的逻辑状态的逻辑表;以及

[0049] 图 10 是例示根据本发明的第三实施方式,选通驱动器中包括的放电单元和移位寄存器的方框图。

具体实施方式

[0050] 现将详细参考本发明的优选实施方式,在附图中例示所述优选实施方式的实施例。尽可能在所有附图中用相同的附图标记表示相同或类似的部件。

[0051] 在下文中,将参考附图描述根据本发明的液晶显示设备及其驱动方法。

[0052] 图 2 是示出了根据本发明的优选实施方式的液晶显示设备的方框图。

[0053] 如图 2 所示,根据本发明的优选实施方式的液晶显示设备包括:液晶面板 217,其包括以矩阵结构排列并通过交叉‘m’条数据线 DL1 至 DLm 和‘n’条选通线 GL1 至 GLn 而限定的‘m×n’个像素、以及多个薄膜晶体管 TFT,各薄膜晶体管形成在选通线和数据线的各交叉处;数据驱动器 213,其将数据电压施加至液晶面板 217 的数据线 DL;选通驱动器 214,其将扫描脉冲施加至液晶面板 217 的选通线 GL,所述扫描脉冲包括截止电压 VGL 和导通电压 VGH;定时控制器 212,其利用来自接口电路 211 的同步信号来控制数据驱动器 213 和选通驱动器 214;DC-DC 转换器 216,其被供有来自系统 210 的电源电压 VCC 并产生提供至液晶面板 217 的电压;以及放电单元 215,其根据来自系统 210 的电源电压是开还是关而检测液晶显示设备的工作状态,并根据液晶显示设备的工作状态控制选通驱动器 214 的输出。

[0054] 此时,系统 210 通过包括在图形控制器中的低压差分信令(Low Voltage Differential Signaling)LVDS 发送器,将垂直/水平同步信号、时钟信号、以及数据 RGB 提供至接口电路 211,并将从电源产生的 3.3V 的电源电压 VCC 提供至相应的数字电路设备 211、212、213、214 和 215 以及 DC-DC 转换器 216。

[0055] 包括在液晶面板 217 中的相应的像素由多个彼此交叉的选通线 GL1 至 GLn 和数据线 DL1 至 DLm 限定。各像素设置有薄膜晶体管 TFT 和像素电极。更详细地讲,薄膜晶体管

TFT 形成在选通线 GL1 至 GLn 和数据线 DL1 至 DLm 的各交叉处。薄膜晶体管 TFT 包括：栅极端子，其连接至选通线 GL；源极端子，其连接至数据线 DL；以及漏极端子，其连接至像素电极。

[0056] 液晶面板 217 包括：两个彼此结合并相互面对的玻璃基板；以及形成在两个玻璃基板之间的液晶层。图 2 示出了下玻璃基板，即，包括薄膜晶体管阵列的第一基板。

[0057] 尽管未示出，存在着对应于第二基板的上玻璃基板，所述第二基板与第一基板相对，而且在第一基板和第二基板之间夹有液晶。第二基板包括 R、G、和 B 滤色器层和公共电极 250 以显示图像。此时，上述的第一基板的像素电极 260 设置为与第二基板的公共电极 250 相对，而且在像素电极 260 和公共电极 250 之间夹有液晶层。此时，基于第一基板的像素电极 260 和第二基板的公共电极 250 之间产生的电场的强度来控制液晶的透光率。彼此面对的中间夹有液晶层的像素电极 260 和公共电极 250 起液晶电容器 C1c 的作用，所述液晶电容器使用液晶层作为电介质。

[0058] 设计为包括在各像素中的一些像素电极与一些选通线 GL 重叠，以驱动相邻的像素。此时，彼此面对的像素电极和选通线 GL 起辅助电容器 Cst 的作用，所述辅助电容器使用绝缘体作为电介质。通常，如上所述，包括在各像素中的像素电极与相邻像素的选通线 GL 重叠，这称为前选通结构。此时，辅助电容器 Cst 可由像素电极和相邻像素的选通线 GL 之间的重叠区域形成。

[0059] 此时，数据驱动器 213 响应于来自定时控制器 212 的数据控制信号 DDC 将数字视频数据 RGB 转换为对应于灰度值的模拟视频信号，并将该模拟视频信号施加至数据线 DL。而且，电源电压 VCC 被提供至集成有数据驱动器 213 的数据驱动器集成电路。

[0060] 同时，选通驱动器 214 响应于由定时控制器 212 提供的选通控制信号 GDC，通过顺序地向选通线 GL 施加扫描脉冲来选择被供有数据电压的液晶面板 217 的水平线。而且，将电源电压 VCC 提供至集成有选通驱动器 214 的选通驱动器集成电路。

[0061] 定时控制器 212 利用由系统 210 的图形控制器经过接口电路 211 输入的垂直 / 水平同步信号和时钟信号，产生控制选通驱动器 214 的选通控制信号 GDC 以及控制数据驱动器 213 的数据控制信号 DDC。

[0062] DC-DC 转换器 216 通过升高或降低从系统 210 经连接器（未示出）输出的电源电压 VCC 而产生提供至液晶面板 217 的电压。为此，DC-DC 转换器 216 包括：输出开关设备，其用于把输出电压切换到输出端子；以及脉冲宽度调制器 PWM 和脉冲频率调制器 PFM，其通过控制输出开关设备的控制信号中的占空比或频率而升高或降低输出电压。脉冲宽度调制器 PWM 通过升高输出开关设备的控制信号中的占空比而升高 DC-DC 转换器 216 的输出电压，或通过降低输出开关设备的控制信号中的占空比而降低 DC-DC 转换器 216 的输出电压。

[0063] 同样，脉冲频率调制器 PFM 通过升高输出开关设备的控制信号中的频率而升高 DC-DC 转换器 216 的输出电压，或通过降低输出开关设备的控制信号中的频率而降低 DC-DC 转换器 216 的输出电压。

[0064] 此时，DC-DC 转换器 216 的输出电压包括高于 6V 的基准电压 VDD、设置为 10 级或小于 10 级的伽马基准电压 GMA1 ~ 10、2.5 ~ 3.3V 的公共电压 VCOM、高于 15V 的导通电压 VGH、低于 -4V 的截止电压 VGL。伽马基准电压 GMA1 ~ 10 通过分割基准电压 VDD 而产生。

[0065] 将基准电压 VDD 和伽马基准电压 GMA1 ~ 10 提供至数据驱动器 213，所述伽马基准

电压 $GMA1 \sim 10$ 是用于将数字视频数据 RGB 转换为对应于灰度值的模拟视频信号的伽马电压。接下来,将公共电压 VCOM 经过数据驱动器 213 提供至液晶面板 217 的公共电极 250。此时,将导通电压 VGH 施加至选通驱动器 214,其中所述导通电压 VGH 对应于扫描脉冲的高态电压,所述高态电压设定为高于薄膜晶体管 TFT 的阈值电压。同样,将截止电压 VGL 提供至选通驱动器 214,其中所述截止电压 VGL 对应于扫描脉冲的低态电压,所述低态电压设定为薄膜晶体管 TFT 的截止电压。

[0066] 下面将详细解释选通驱动器。

[0067] 图 3A 示出了根据本发明的第一实施方式,选通驱动器中包括的放电单元和移位寄存器。图 4 示出了施加至图 3A 的移位寄存器的时钟脉冲。

[0068] 如图 3A 所示,移位寄存器 301 包括多个级段 ST1 至 STn,这些级段 ST1 至 STn 利用至少两个具有相位差的时钟脉冲来输出扫描脉冲。

[0069] 向移位寄存器 301 提供至少两个具有相位差的时钟脉冲。为了便于解释,假设向移位寄存器 301 提供具有相位差的第一时钟脉冲 CLK1 和第二时钟脉冲 CLK2。

[0070] 向各级段 ST1 至 STn 提供第一时钟脉冲 CLK1 和第二时钟脉冲 CLK2 中的任意一个。例如,向第 ‘ $2k-1$ ’ 级段 (‘ k ’ 为整数) 提供第一时钟脉冲 CLK1,而向第 ‘ $2k$ ’ 级段提供第二时钟脉冲 CLK2。

[0071] 各级段 ST1 至 STn 响应于前一级段输出的扫描脉冲而被使能。在该使能状态中,各级段 ST1 至 STn 输出提供给自己的时钟脉冲作为扫描脉冲。

[0072] 各级段 ST1 至 STn 响应于下一级段输出的扫描脉冲而被禁止。在该禁止状态中,各级段 ST1 至 STn 通过输出放电电源电压而使选通线 GL1 至 GLn 放电。

[0073] 向各级段 ST1 至 STn 提供两个时钟脉冲,其中一个时钟脉冲作为扫描脉冲 Vout 1 至 Vout n 输出,另一个用于禁止其自己。

[0074] 在级段 ST1 至 STn 中,首先由选通起始脉冲 GSP 使能用于输出扫描脉冲的第一级段 ST1。

[0075] 使能级段 ST1 至 STn 表示级段 ST1 至 STn 被设置为输出使能状态。即,使能后的级段 ST1 至 STn 输出提供给自己的时钟脉冲。

[0076] 禁止级段 ST1 至 STn 表示级段被复位为输出禁止状态。即,禁止后的级段 ST1 至 STn 不能输出提供给自己的时钟脉冲。

[0077] 下面将解释移位寄存器 301 的操作。

[0078] 在初始周期,通过选通起始脉冲 GSP 使能第一级段 ST1。

[0079] 在第一周期,将第一时钟脉冲 CLK1 提供至使能了的第一级段 ST1。因此,第一级段 ST1 输出第一时钟脉冲 CLK1 作为第一扫描脉冲 Vout 1。

[0080] 将第一扫描脉冲 Vout 1 提供至第一选通线 GL1 和第二级段 ST2。因此,在第一周期,驱动第一选通线 GL 1 并且使能第二级段 ST2。

[0081] 在第二周期,将第二时钟脉冲 CLK2 提供至使能了的第二级段 ST2。因此,第二级段 ST2 输出第二时钟脉冲 CLK2 作为第二扫描脉冲 Vout 2。

[0082] 将第二扫描脉冲 Vout 2 提供至第二选通线 GL2、第三级段 ST3、以及第一级段 ST1。在第二周期,驱动第二选通线 GL2,使能第三级段 ST3,并且禁止第一级段 ST1。

[0083] 根据这个方法,第三至第 ‘ n ’ 级段 ST3 至 STn 依次输出扫描脉冲 Vout 3 至 Vout

n。

[0084] 依次使能相应的级段 ST1 至 STn,并依次输出扫描脉冲 Vout 1 至 Voutn,由此依次驱动选通线 GL1 至 GLn。

[0085] 放电单元 215 设置在级段 ST1 至 STn 的一侧。放电单元 215 检测电源电压 VCC 是开还是关,并进行如下操作。

[0086] 即,放电单元 215 在电源电压 VCC 保持开启状态(电源电压 VCC 保持在高态)的期间不向相应的级段 ST1 至 STn 提供任何信号。因此,在电源电压 VCC 保持在开启状态的正常驱动期间,相应的级段 ST1 至 STn 依次输出扫描脉冲 Vout 1 至 Vout n。

[0087] 放电单元 215 在电源电压 VCC 关闭(电源电压 VCC 下降至低态)的时刻输出控制信号,并同时向级段 ST1 至 STn 提供这个控制信号,由此同时使能级段 ST1 至 STn。

[0088] 使能了的级段 ST1 至 STn 被设置为输出使能状态,即适于输出扫描脉冲 Vout 1 至 Vout n 的状态。在这种状态中,第‘2k-1’级段,即被供有第一时钟脉冲 CLK1 的奇数级段 ST1、ST3、……STn-1 输出第一时钟脉冲 CLK1 作为扫描脉冲 Vout 1、Vout 3、……Vout n-1。

[0089] 第‘2k’级段,即被提供有第二时钟脉冲 CLK2 的偶数级段 ST2、ST4、……STn 输出第二时钟脉冲 CLK2 作为扫描脉冲 Vout 2、Vout4、……Voutn。

[0090] 因此,奇数选通线 GL1、GL3、……GLn-1 同时被充至高态。接着,偶数选通线 GL2、GL4、……GLn 同时被充至高态。

[0091] 即,经过两个周期,所有的选通线 GL1 至 GLn 都被充至高态。由此,只要所有连接至选通线 GL1 至 GLn 的薄膜晶体管被导通,充在所有像素中的电压(即存储在所有像素的辅助电容器 Cst 中的电压)被迅速释放。

[0092] 因为在关闭电源电压 VCC 的瞬间所有的辅助电容器 Cst 的电压被立即释放,因此可以防止在屏幕上出现余像。

[0093] 放电单元 215 设置有多多个放电部 DU1 至 DUn。放电部 DU1 至 DUn 的数目与级段 ST1 至 STn 的数目相同,其中各放电部 DU1 至 DUn 控制各级段 ST1 至 STn。

[0094] 如图 3B 所示,放电单元 215 可设置有一个放电部 DU。在这种情况下,一个放电部 DU 在关闭电源电压 VCC 的瞬间向所有的级段 ST1 至 STn 提供控制信号,从而同时使能级段 ST1 至 STn。

[0095] 为了即使在关闭电源电压 VCC 之后也能操作级段 ST1 至 STn,时钟发生单元被保持在工作模式以产生第一时钟脉冲 CLK1 和第二时钟脉冲 CLK2。为此,经过延时单元向时钟发生单元提供电源电压 VCC。

[0096] 图 5 是例示延时单元和经过延时单元被提供电源的时钟发生单元的图。图 6 是例示电源经过延时单元之前的状态和电源经过延时单元之后的状态的对比结果的图。

[0097] 如图 5 所示,时钟发生单元 550 被提供有经过延时单元 533 的电源电压 VCC,由此产生第一时钟脉冲 CLK1 和第二时钟脉冲 CLK2。

[0098] 延时单元 533 对应于 RC 延时电路,在该延时电路中,电阻器与电容器并联连接。

[0099] 保持在导通状态的电源电压 VCC 对应于 D. C. 电源电压 VCC。在电源电压 VCC 保持在导通状态的正常工作期间中,即使电源电压 VCC 经过延时单元 533,所述电源电压 VCC 也不会被电容器影响。如图 5 所示,电源电压 VCC 在‘A’点的电平与电源电压 VCC 在‘B’点

的电平相同。

[0100] 然而,在电源电压 VCC 关闭的瞬间,电源电压 VCC 变为从高态降至低态的交流电源电压 VCC。此刻,电源电压 VCC 因包括在延时单元 533 中的电阻器和电容器而失真。即,‘A’点的电源电压 VCC 迅速下降至地电位,而‘B’点的电源电压 VCC 被延迟了与电阻器和电容器的值相应的时间常数而缓慢下降至地电位。

[0101] 因此,如图 6 所示,即使电源电压 VCC 关闭,‘B’点的电源电压 VCC 也在高态保持了放电周期 T。结果,在放电周期 T 中时钟发生单元 550 工作。换言之,即使在放电周期 T,时钟发生单元 550 也产生并输出如图 4 所示的第一时钟脉冲 CLK1 和第二时钟脉冲 CLK2。接着,被提供有第一时钟脉冲 CLK1 和第二时钟脉冲 CLK2 的级段 ST1 至 STn 输出扫描脉冲 Vout1 至 Voutn,由此在放电周期 T 的期间从所有的像素(或辅助电容器 Cst)中释放电压。

[0102] 图 7 是示出了根据本发明的第二实施方式,选通驱动器中包括的放电单元和移位寄存器的方框图。图 8 是例示图 7 所示的放电部的图。

[0103] 如图 7 所示,根据本发明的第二实施方式的放电单元包括多个放电部 DU1 至 DUn。

[0104] 放电单元 715 检测电源电压 VCC 是开还是关,并基于检测结果如下进行工作。

[0105] 在保持电源电压 VCC 开启状态的期间(保持电源电压 VCC 高态的期间),放电单元 715 与电源电压 VCC 的开启状态无关地向相应的级段 ST1 至 STn 提供选通起始脉冲或来自前一个级段的输出信号。在电源电压 VCC 开启的正常驱动周期,级段 ST1 至 STn 依次输出扫描脉冲 Vout 1 至 Vout n。

[0106] 放电单元 715 在关闭电源电压 VCC 的时刻(电源电压 VCC 降至低态时)输出控制信号,并同时向相应的级段 ST1 至 STn 提供该控制信号,由此同时使能级段 ST1 至 STn。

[0107] 放电单元 715 包括多个放电部 DU1 至 DUn。放电部 DU1 至 DUn 的数目与级段 ST1 至 STn 的数目相同,其中各放电部控制各级段。

[0108] 当电源电压 VCC 为开启状态时,各放电部 DU1 至 DUn 向对应的级段 ST1 至 STn 提供前一个级段的扫描脉冲。

[0109] 如果电源电压 VCC 为关闭状态,则各放电部 DU1 至 DUn 与来自前一个级段的扫描脉冲输出无关地使能对应的级段 ST1 至 STn。

[0110] 为此,如图 8 所示,各放电部 DU1 至 DUn 包括:反转部 802,其反转来自前一个级段的扫描脉冲的逻辑状态;以及 NAND(与非)门 801,其将电源电压 VCC 的逻辑状态与来自反转部 802 的扫描脉冲 Vout 1 至 Voutn 的逻辑状态进行逻辑组合,并向对应的级段 ST1 至 STn 输出逻辑组合后的状态。

[0111] 响应于经过各放电部 DU1 至 DUn 的来自前一级段的扫描脉冲,使能移位寄存器 301 中包含的各级段 ST1 至 STn。

[0112] 图 9 是例示从图 8 的放电单元输出的逻辑状态的逻辑表。

[0113] 如图 9 所示,当电源电压 VCC 为开启状态时,即高态时,基于前一级段 ST1 至 STn 的输出的逻辑状态(或选通起始脉冲 GSP 的逻辑状态)而确定各放电单元 DU1 至 DUn 的输出的逻辑状态。

[0114] 如果电源电压 VCC 为关闭状态时,即低态时,各放电单元 DU1 至 DUn 的输出的逻辑状态不受前一级段的输出的逻辑状态影响。即,当电源电压 VCC 为关闭状态时,所有的放电部 DU1 至 DUn 产生高态的输出(控制信号)。

[0115] 所有的级段 ST1 至 STn 同时响应于这个控制信号而被使能。

[0116] 由此,所有使能了的级段 ST1 至 STn 被设定为适于输出扫描脉冲 Vout1 至 Vout n 的输出使能状态。在这种状态中,被提供有第一时钟脉冲 CLK1 的第‘2k-1’级段,即奇数级段 ST1、ST3、..... STn-1,同时输出第一时钟脉冲 CLK1 作为扫描脉冲 Vout 1、Vout 3、.....Vout n-1。

[0117] 此后,被提供有第二时钟脉冲 CLK2 的第‘2k’级段,即偶数级段 ST2、ST4、..... STn,同时输出第二时钟脉冲 CLK2 作为扫描脉冲 Vout 2、Vout4、.....Vout n。

[0118] 因此,奇数选通线 GL1、GL3、..... GLn-1 被同时充至高态,接着偶数选通线 GL2、GL4、..... GLn 被同时充至高态。

[0119] 即,经过两个周期,所有的选通线 GL1 至 GLn 都被充至高态。因此,连接至所有选通线 GL1 至 GLn 的薄膜晶体管被导通,由此迅速地从所有像素中包含的辅助电容器中释放电压,从而防止在屏幕上出现余像。

[0120] 图 10 是例示根据本发明的第三实施方式,选通驱动器中包括的放电单元和移位寄存器的图。

[0121] 如图 10 所示,根据本发明的第三实施方式的放电单元 815 设置在移位寄存器 301 的输出端子处。

[0122] 此时,将来自移位寄存器 301 的扫描脉冲 Vout 1 至 Vout n 经过放电单元 815 提供至选通线 GL1 至 GLn。此时,放电单元 815 检测电源电压 VCC 是开还是关。基于检测的结果,放电单元 815 确定是否输出扫描脉冲 Vout 1 至 Vout n。

[0123] 即,如果电源电压 VCC 开启,则放电单元 815 向选通线 GL1 至 GLn 提供来自移位寄存器 301 的扫描脉冲 Vout 1 至 Vout n。当电源电压 VCC 关闭时,放电单元 815 与来自移位寄存器 301 的扫描脉冲 Vout 1 至 Vout n 的逻辑状态无关地同时向所有的选通线 GL1 至 GLn 提供充电电压。

[0124] 因此,包括在像素中的所有的辅助电容器 Cst 在电源电压 VCC 关闭的瞬间被放电。

[0125] 放电单元 815 包括多个放电部 DU1 至 DUn。放电部 DU1 至 DUn 的数目与级段 ST1 至 STn 的数目相同,其中各放电部控制各级段。

[0126] 除了将选通起始信号提供至第一选通线之外,各放电部 DU1 至 DUn 的电路结构与图 8 的电路结构相同。

[0127] 如上所述,根据本发明的液晶显示设备及其驱动方法具有以下优点。

[0128] 在根据本发明的液晶显示设备中,当系统的电源关闭时,所有的选通线在至少两个周期内被同时驱动,由此从液晶显示面板中包含的与相应选通线连接的像素释放电压,从而防止在关闭电源时在屏幕上出现余像。

[0129] 本领域的技术人员清楚,在不脱离本发明的精神或范围的情况下可以对本发明进行多种修改和变化。由此,本发明旨在覆盖所有修改和变化,只要这些修改和变化落入所附的权利要求及其等同物的范围内。

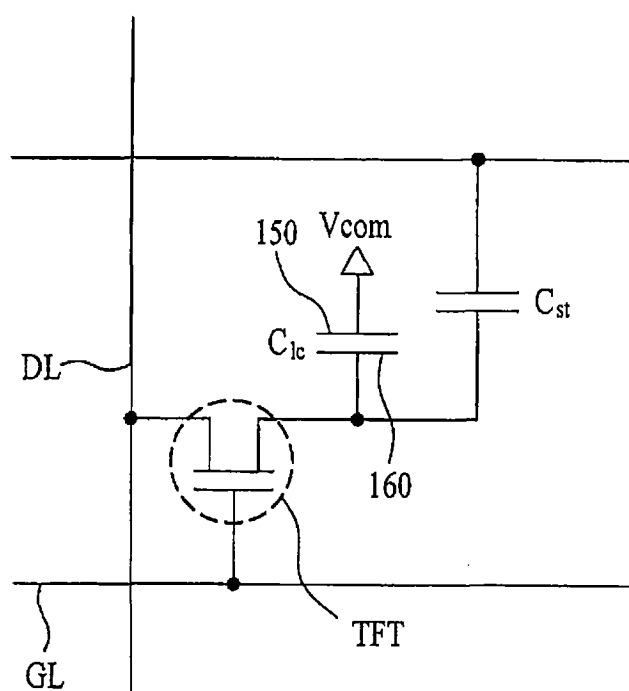


图 1
现有技术

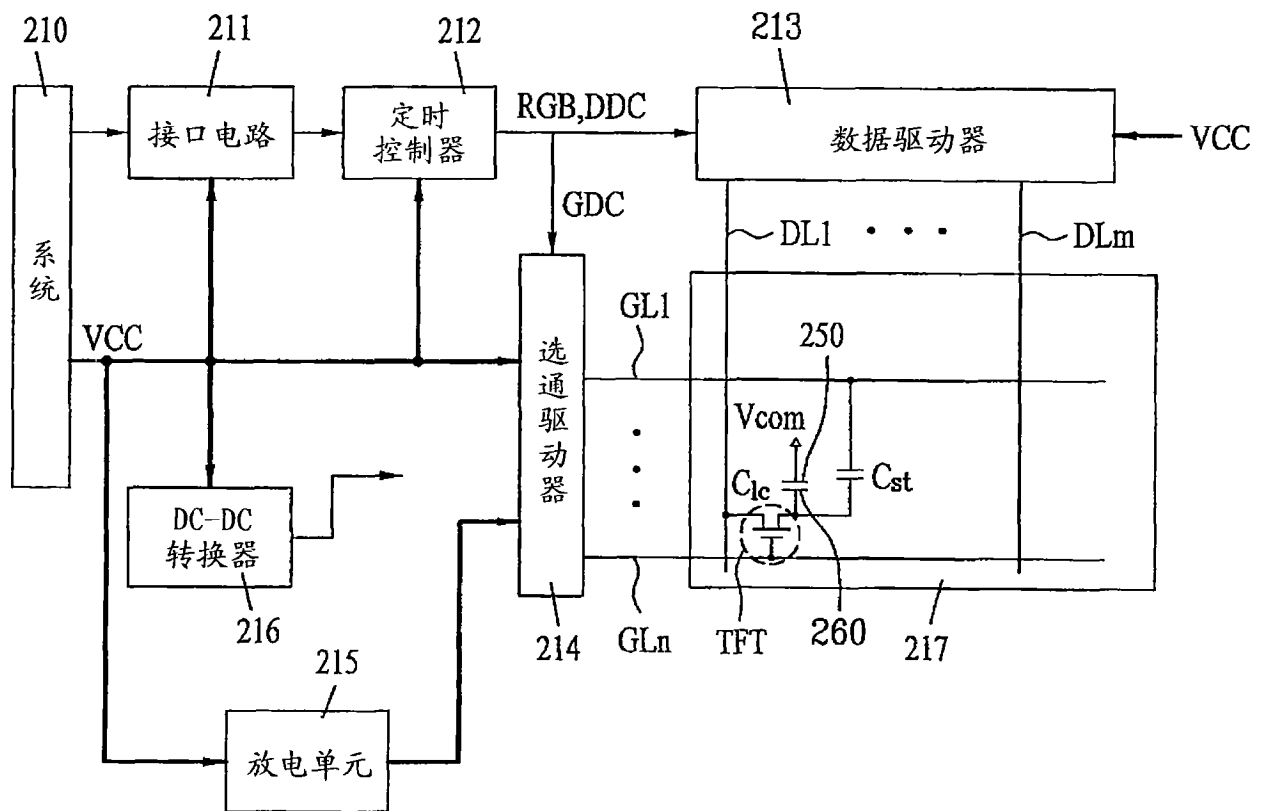


图 2

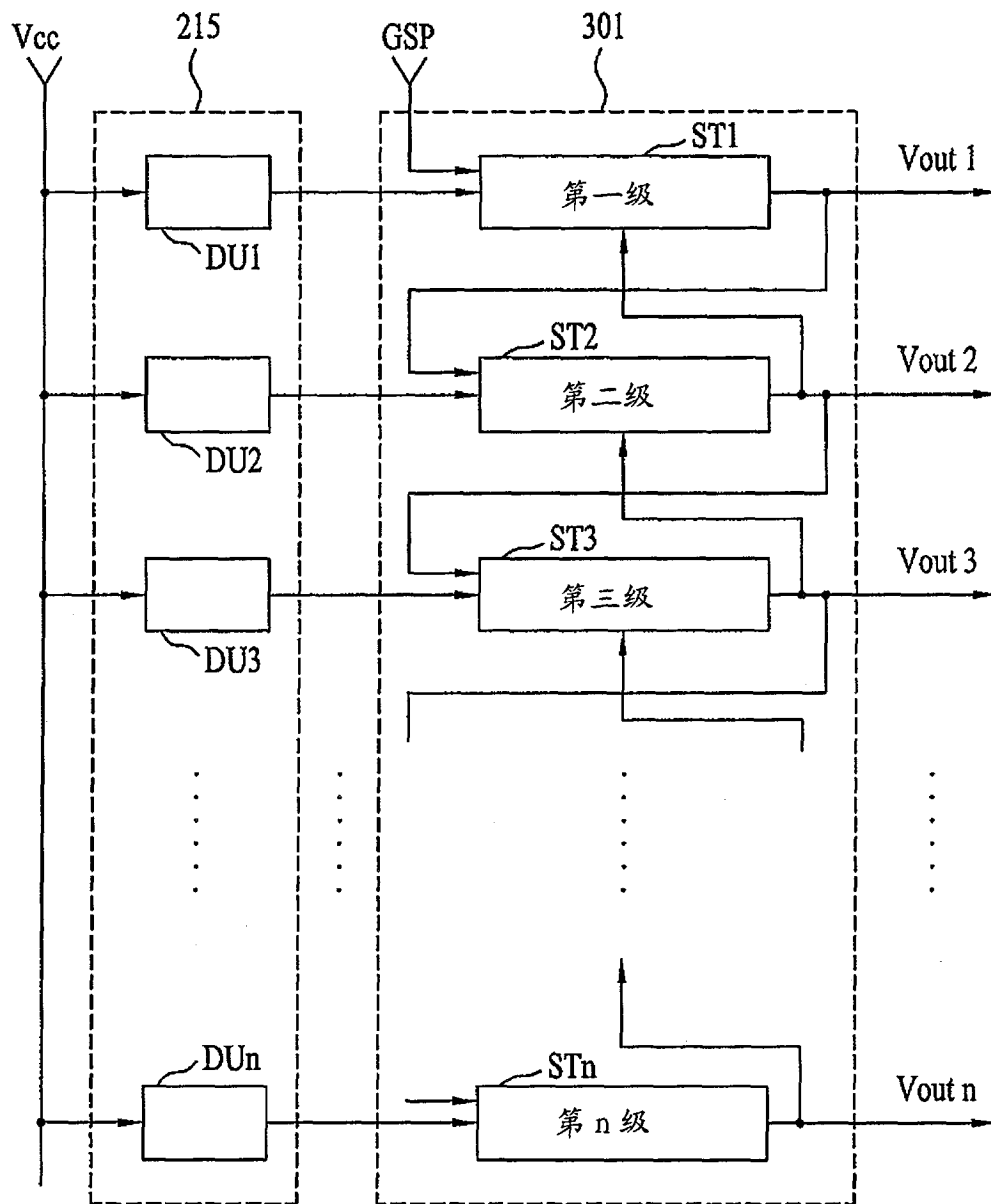


图 3A

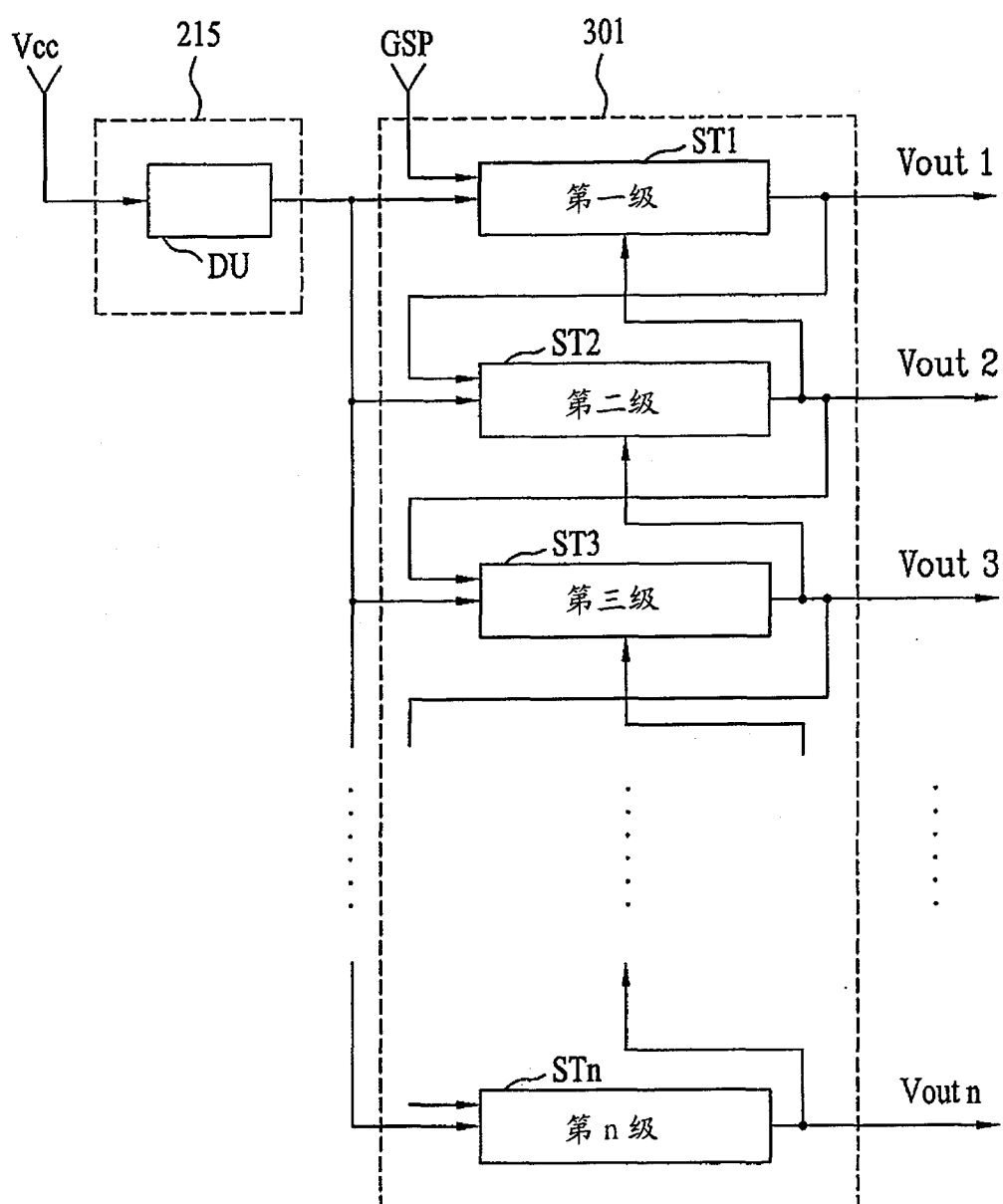


图 3B

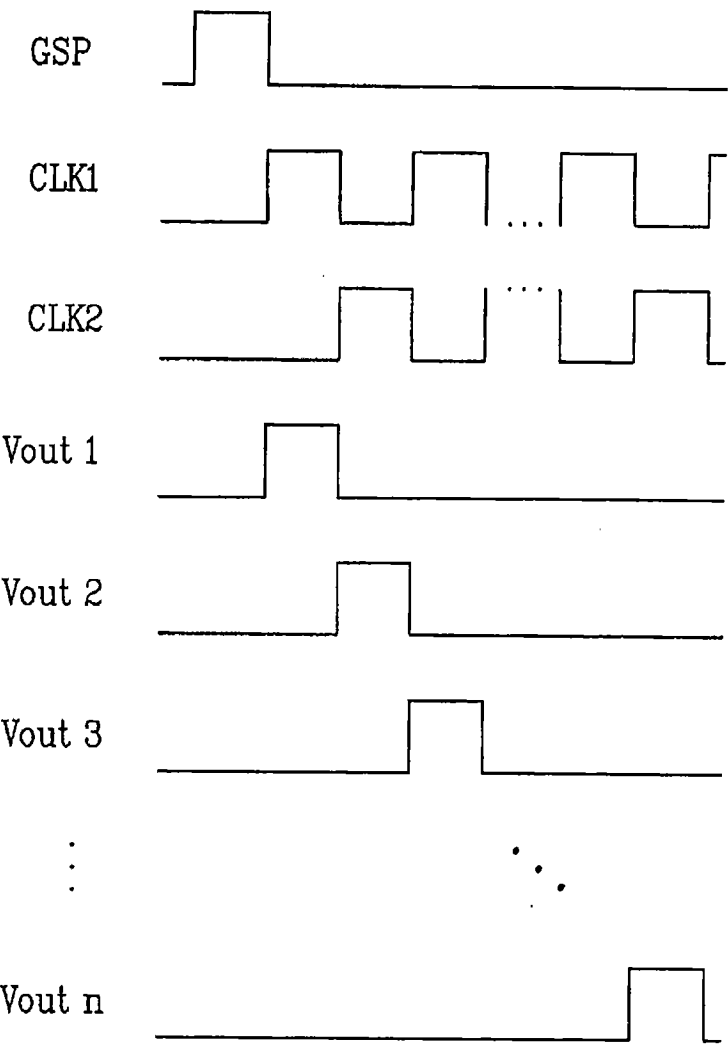


图 4

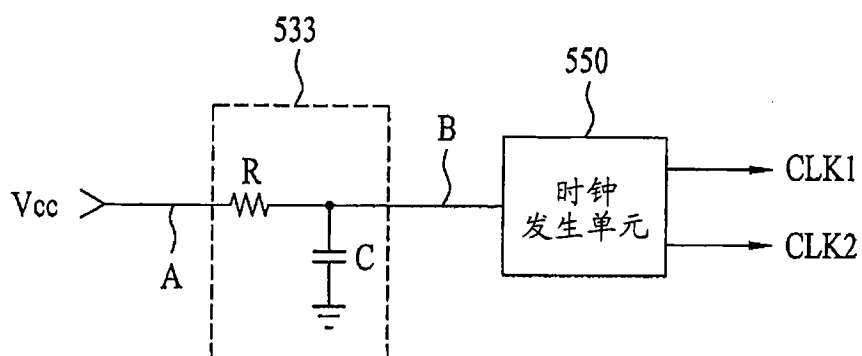


图 5

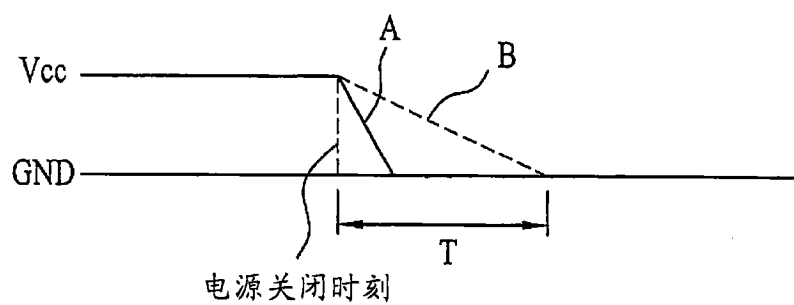


图 6

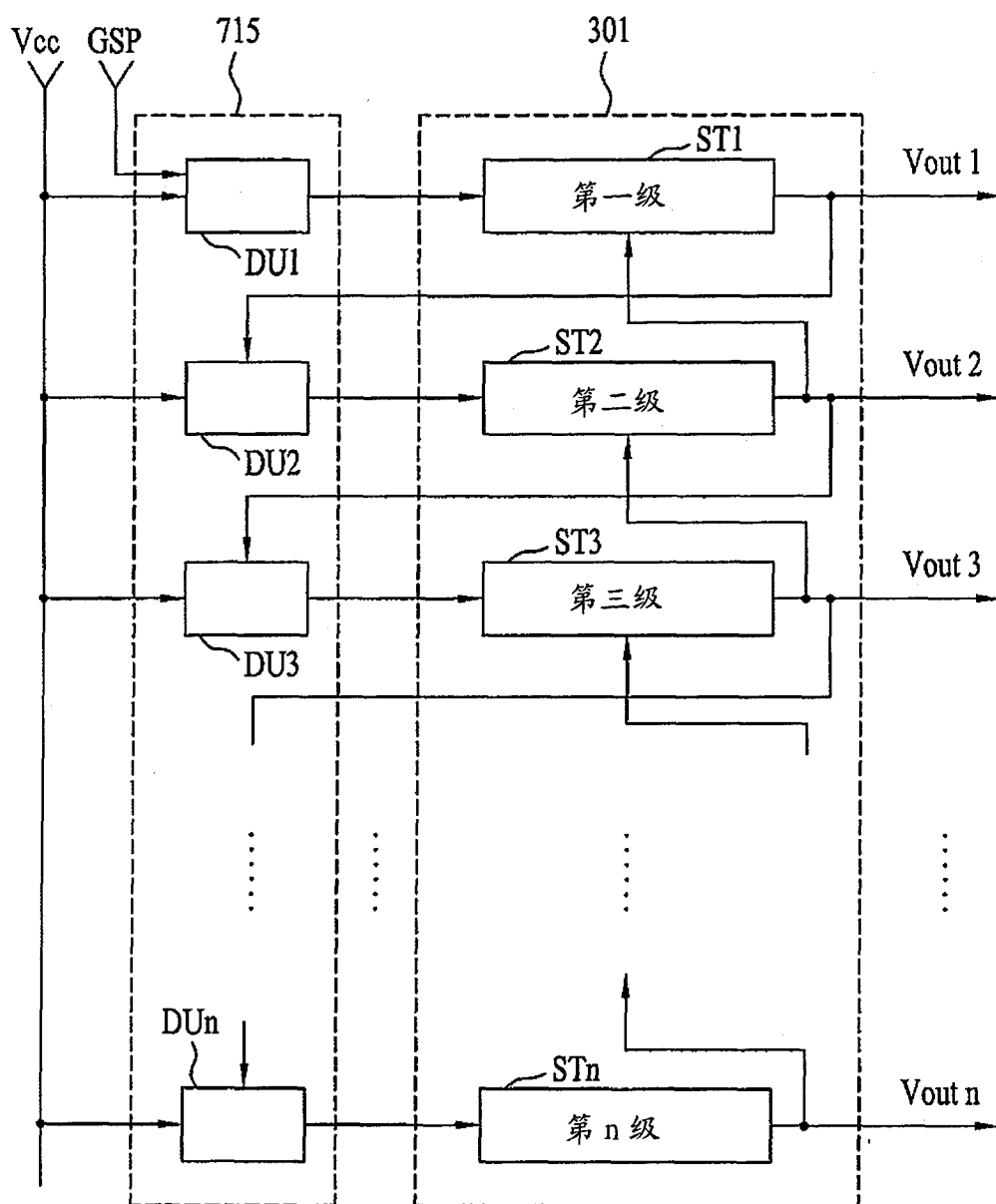


图 7

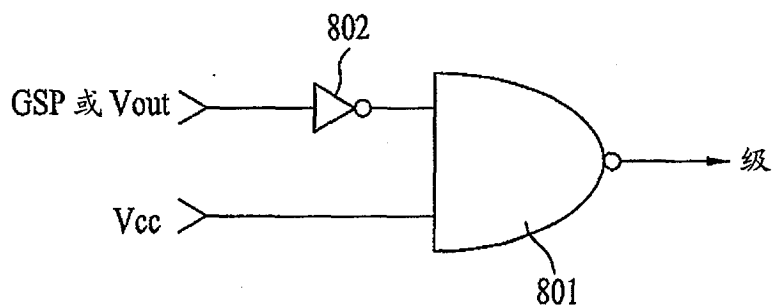


图 8

Vcc	来自前一级的输出	来自放电部的输出
High	High	High
High	Low	Low
Low	High	High
Low	Low	High

图 9

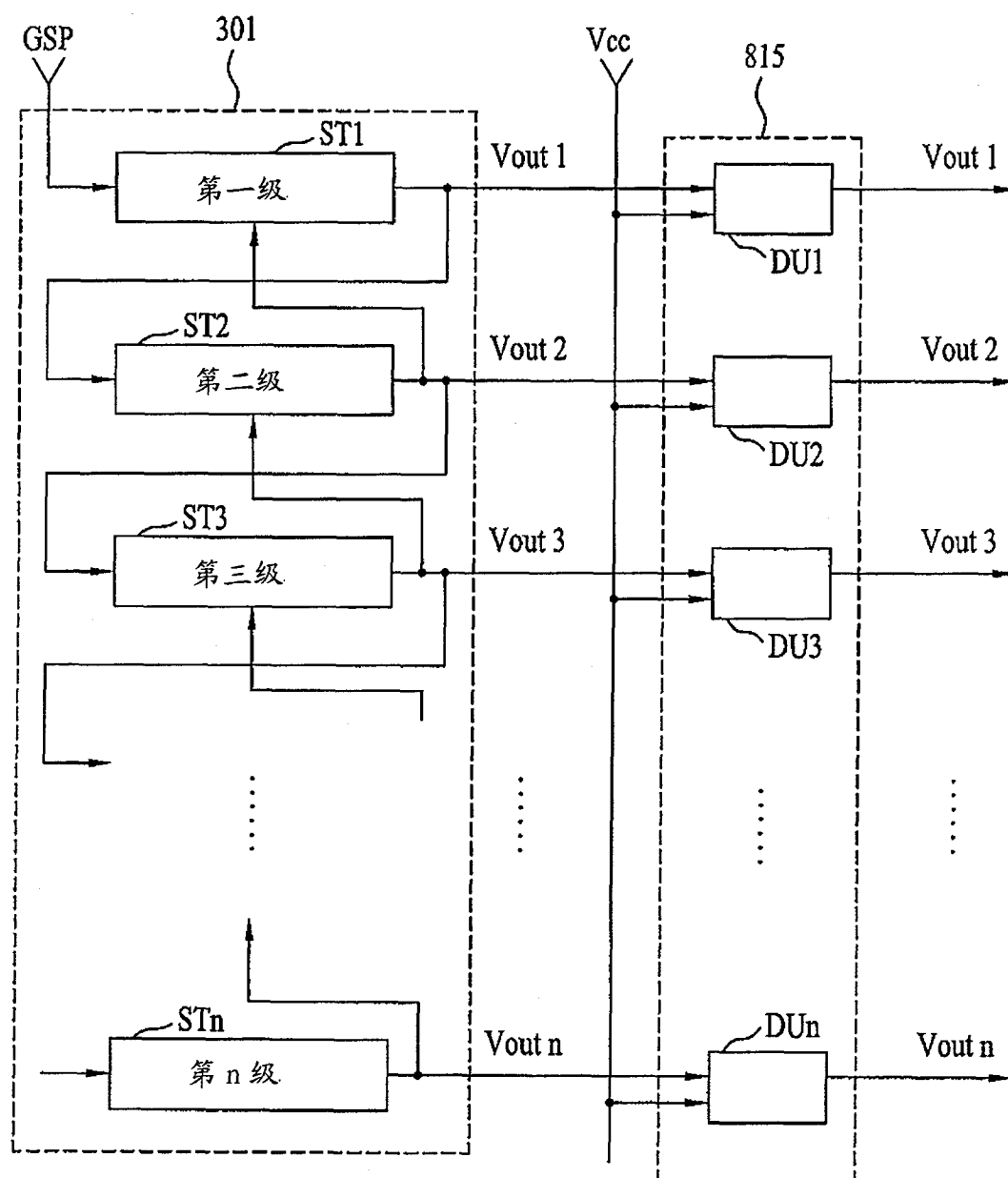


图 10

专利名称(译)	液晶显示设备及其驱动方法		
公开(公告)号	CN101192393B	公开(公告)日	2010-11-17
申请号	CN200710196030.4	申请日	2007-11-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	洪荣基		
发明人	洪荣基		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3677 G09G2330/027 G09G3/3611 G09G2320/0257 G09G2310/0245 G09G2310/08 G09G2330/02		
优先权	1020060118948 2006-11-29 KR		
其他公开文献	CN101192393A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示设备及其驱动方法，当电源关闭时，所述液晶显示设备及其驱动方法能够从屏幕清除余像，所述液晶显示设备包括：液晶面板，其包括由多个彼此交叉的选通线和数据线限定的多个像素；选通驱动器，其用于驱动所述选通线；数据驱动器，其用于经所述数据线给所述像素充入模拟视频信号；以及放电单元，当电源关闭时，所述放电单元通过控制选通驱动器的输出以分时驱动所有的所述选通线或同时驱动所有的所述选通线，从而从所述像素中释放电压。

