

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410089878.3

[51] Int. Cl.

G02F 1/133 (2006.01)

G02F 1/136 (2006.01)

G02F 1/13 (2006.01)

[45] 授权公告日 2008 年 6 月 25 日

[11] 授权公告号 CN 100397157C

[22] 申请日 2004.10.28

[21] 申请号 200410089878.3

[30] 优先权

[32] 2003.10.28 [33] JP [31] 2003-367276

[73] 专利权人 东芝松下显示技术有限公司

地址 日本东京

[72] 发明人 田畠弘志 川村哲也 河村真一

稻田克彦 武田笃 今井信雄

高见明宏

[56] 参考文献

US 5227901A 1993.7.13

US 6515720B1 2003.2.4

US 5781253A 1998.7.14

CN 1388404A 2003.1.1

审查员 郭 栋

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 张 鑫

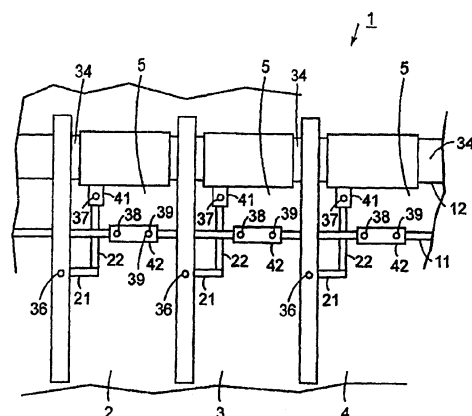
权利要求书 3 页 说明书 10 页 附图 6 页

[54] 发明名称

阵列基板及平面显示装置

[57] 摘要

本发明提供一种能够防止薄膜晶体管发生静电破坏的液晶显示装置。用分断部对每一像素(5)将栅极电极配线(11)分断。将被分断部分断后的栅极电极配线(11)的端部间,用与层间绝缘膜上的信号电极配线(13)相同材料的导电膜(42)进行电气连接。使栅极电极配线(11)的长度在每一个像素(5)中缩短。通过使带电的玻璃基板(3)进行工作,能对栅极电极配线(11)与多晶硅半导体层(22)之间的栅极绝缘层上的电压的上升进行抑制。能防止栅极绝缘层的静电破坏。



1.一种阵列基板，其特征在于，具有：

透光性基板；

设在该透光性基板上的具有开关元件的像素；

与所述开关元件连接的栅极电极配线，所述栅极电极配线在所述像素中具有分断部并被设置在第一绝缘层上；

与所述开关元件连接的信号配线，所述信号配线被设置在与第一绝缘层不同的第二绝缘层上；以及

设在第二绝缘层上以将所述栅极电极配线与所述分断部彼此电气连接的导电部，所述分断部降低了所述栅极电极配线和所述开关元件间的静电电容。

2.如权利要求1所述的阵列基板，其特征在于，

还具有像素电极以及与所述像素电极连接的公共电容配线。

3.如权利要求1所述的阵列基板，其特征在于，

所述开关元件设置成矩阵状，并且每一个所述分断部相对于所述像素中的一个来设置。

4.如权利要求1所述的阵列基板，其特征在于，还具有设置在未形成分断部的像素上的模型图案，其中所述模型图案与所述导电部结构相同。

5.如权利要求1所述的阵列基板，其特征在于，所述像素设置为多种颜色，所述开关元件被设置成矩阵状并且对应于各个像素，

所述分断部对应于同一颜色的每一所述像素而设置。

6.如权利要求1所述的阵列基板，其特征在于，还具有为未形成分断部的像素而设置的模型图案，

其中所述像素设置为多种颜色，

所述开关元件被设置成矩阵状并且对应于各个像素，

所述分断部对应于同一颜色的每一所述像素而设置。

7.如权利要求1所述的阵列基板,其特征在于,所述分断部用与信号配线相同的材料形成。

8.如权利要求7所述的阵列基板,其特征在于,
还包括像素电极以及与所述像素电极连接的公共电容配线。

9.如权利要求7所述的阵列基板,其特征在于,所述开关元件被设置成矩阵状,
并且每个所述分断部相对于所述像素中的一个来设置。

10.如权利要求7所述的阵列基板,其特征在于,还具有设置在未形成分断部的像素上的模型图案,
其中所述模型图案与所述导电部结构相同。

11.如权利要求7所述的阵列基板,其特征在于,所述像素设置为多种颜色,
所述开关元件被设置成矩阵状并且对应于各个像素,
所述分断部对应于同一颜色的每一所述像素而设置。

12.如权利要求7所述的阵列基板,其特征在于,还具有为未形成分断部的像素而设置的模型图案,
其中所述像素设置为多种颜色,
所述开关元件被设置成矩阵状并且对应于各个像素,
所述分断部对应于同一颜色的每一所述像素而设置。

13.一种平面显示装置,其特征在于,具有:
透光性基板;
设在该透光性基板上的具有开关元件的像素;
与所述开关元件连接的栅极电极配线,所述栅极电极配线在所述像素中具有分断部并被设置在第一绝缘层上;
与所述开关元件连接的信号配线,所述信号配线被设置在与第一绝缘层不

同的第二绝缘层上；

设在第二绝缘层上以将所述栅极电极配线与所述分断部彼此电气连接的导电部；以及

光调制器，

其中当所述导电部没有被连接在所述分断部之间时，所述分断部降低了所述栅极配线和所述开关元件间的静电电容。

阵列基板及平面显示装置

技术领域

本发明涉及具有开关元件的阵列基板及平面显示装置。

背景技术

以往，作为这种平面显示装置的有源矩阵型的液晶显示装置，由于在具有大的表面积的透光性基板上能以较低的温度均匀性良好地形成半导体活性层，故作为显示像素的开关元件能使用非晶质硅的薄膜晶体管。又，在最近，不仅是显示像素的开关元件、即使周边的驱动用电路元件也使用形成在同一玻璃基板上的薄膜晶体管。并且，作为该薄膜晶体管，已知有：使用将比非晶质硅的薄膜晶体管的场效应移动度更大的多晶硅用于半导体活性层的多晶硅薄膜晶体管的结构（例如，参照专利文献 1：日本专利特开 2000-187248 号公报（第 4~6 页，图 1~图 3））。

但是，在上述的液晶显示装置中，由于使用绝缘物的玻璃作为透光性基板，故因该透光性基板的带电引起的元件的静电破坏使合格率大大降低而成为生产上的问题。另外，由于近年使用的透光性基板作成大型化，该透光性基板的带电量增大，成为该透光性基板的静电破坏越来越大的问题。

例如，将带电的透光性基板从接地的载物台上用支杆等抬起、或载置在突出的衬垫上时，支杆及衬垫上的部分和在与这些支杆及衬垫上以外的部分，因接地状况的不同而产生电荷的再分配，在位于支杆及衬垫上的部分的透光性基板上，有时与载物台接地时相比要施加数十倍以上的电压。

尤其，在透光性基板上的孤立的小的多晶硅的图案上形成有栅极绝缘膜、在该栅极绝缘膜上形成长的栅极电极配线、在这些多晶硅的图案与栅极电极配线之间形成电容的情况下，如上所述，对用支杆等将透光性基板抬起、并产生电荷的再分配的情况下，影响特别大。因此，在这些栅极电极配线与多晶硅之间存在静电破坏、即发生薄膜晶体管的静电破坏的可能性高的问题。

发明内容

本发明是鉴于上述问题而作成的，其目的在于，提供能防止发生薄膜晶体管的静电破坏的阵列基板及平面显示装置。

本发明的阵列基板，具有：透光性基板；设在该透光性基板上的开关元件；具有被分断的分断部并与所述开关元件连接的电极配线；设在与该电极配线不同的层上，并将该电极配线上的所述分断部间电气连接的导电部。

并且，在与透光性基板上的开关元件连接的电极配线不同的层上设有导电部，用该导电部将电极配线的被分断的分断部之间电气连接。其结果是，通过使带电的透光性基板工作，由于能抑制电极配线下的电压的上升，故能防止开关元件的静电破坏。

发明的效果

采用本发明，在与透光性基板上的开关元件连接的电极配线不同的层上设有导电部，由于用该导电部将电极配线的分断部进行电气连接，通过使带电的透光性基板工作，能抑制电极配线下方的电压的上升，故能防止开关元件的静电破坏。

附图说明

图1是表示本发明的平面显示装置的第1实施形态的一部分的说明平面图。

图2是表示同上平面显示装置的一部分的说明平面图。

图3是表示同上平面显示装置的说明剖视图。

图4是表示本发明第2实施形态的平面显示装置的说明平面图。

图5是表示同上平面显示装置的说明剖视图。

图6是表示本发明第3实施形态的平面显示装置的说明平面图。

图7是表示同上平面显示装置的说明剖视图。

图8是表示以往的平面显示装置的一部分的说明平面图。

图9是表示将同上平面显示装置与载物台上接地状态下的等效电路的说明图。

图10是表示将同上平面显示装置以用可动式支杆从载物台上抬起后状态的等价电路的说明图。

图11是表示同上平面显示装置的栅极电极配线的长度与在载物台上抬起前后的栅极电极配线的电位差的关系的曲线图。

具体实施方式

以下参照图 1~图 3 对本发明的液晶显示装置的第 1 实施形态的结构进行说明。

在图 1~图 3 中, 1 是作为平面显示装置的液晶显示装置 1, 该液晶显示装置 1 是顶栅极型多晶硅薄膜晶体管 (Thin Film Transistor: TFT) 方式的逆参差式。又, 该液晶显示装置 1 是有源矩阵型, 具有作为薄膜晶体管基板的大致矩形的平板状的阵列基板 2。该阵列基板 2 具有作为大致透明的矩形平板状的透明绝缘基板的透光性基板即玻璃基板 3。在该玻璃基板 3 的作为一主面的表面上的中央部上, 形成有显示图像的矩形的显示区域 4。在该显示区域 4 上, 矩阵状配置着作为显示点的多个像素 5。

另外, 在玻璃基板 3 的显示区域 4 上, 沿该玻璃基板 3 的宽度方向配设着作为扫描线的电极配线即多条栅极电极配线 11。这些栅极电极配线 11, 向玻璃基板 3 的横方向被等间隔地平行地分开。又, 在这些栅极电极配线 11 之间, 沿玻璃基板 3 的横方向分别配设着作为辅助电容配线的电极配线即多条公共电容配线 12。这些公共电容配线 12, 向玻璃基板 3 的横方向被等间隔地平行地分开。

又, 在玻璃基板 3 的表面上, 沿该玻璃基板 3 的纵方向配设着作为信号线的信号电极配线 13。这些信号电极配线 13 向玻璃基板 3 的纵方向被等间隔地平行地分开。并且, 这些多个信号电极配线 13 的每一个用与栅极电极配线 11 和公共电容配线 12 的各配线相同的材料形成。另外, 这些多个栅极电极配线 11、公共电容配线 12 和信号电极配线 13 的每一配线, 在每像素 5 中重复地被配线成格子状。

另一方面, 在玻璃基板 3 的表面上, 将用硅氮化膜或氧化硅膜等构成的未图示的底涂层进行层叠而成膜。在该底涂层上, 将作为显示像素的开关元件即像素晶体管的薄膜晶体管 21 配设在作为像素构成要素的各像素 5 中。这些薄膜晶体管 21 具有在底涂层上所形成的作成多结晶半导体层的多晶硅薄膜的多晶硅半导体层 22。

该多晶硅半导体层 22 是用受激准分子激光束溶解结晶化的退火将作为非晶质半导体的无定形硅 (a-Si) 作成的多晶硅 (p-Si)。又, 该多晶硅半导体层 22 是薄膜晶体管 21 用的半导体层图案, 具有设置在该多晶硅半导体层 22 的中央

部上作为通道区域的半导体活性层 23。在该半导体活性层 23 的两侧分别设置具有作为源极区域和漏极区域功能的电阻接触区 24。

并且，在包含各薄膜晶体管 21 的半导体活性层 23 和电阻接触区 24 的各个的底涂层上，将具有绝缘性的硅氧化膜即作为栅极绝缘膜的栅极绝缘层 31 进行层叠而成膜。该栅极绝缘层 31 用由等离子化学蒸镀（CVD）法进行成膜的氧化硅膜构成。

另外，在与各薄膜晶体管 21 的半导体活性层 23 相对的栅极绝缘层 31 上，将栅极电极配线 11 进行层叠而成膜。这些栅极电极配线 11 向半导体活性层 23 的长度方向分开地配设着。又，这些栅极电极配线 11 的每一条隔着栅极绝缘层 31 在各薄膜晶体管 21 的半导体活性层 23 上相对配置。

这里，在这些栅极电极配线 11 上，分别形成有作为将这些各栅极电极配线 11 部分地分断并进行电气切断的分割部的多个分断部 32。这些分断部 32 与各像素 5 的每一个对应地被设置在这些各像素 5 的薄膜晶体管 21 之间。又，这些分断部 32 的每一个沿各栅极电极配线 11 的宽度方向设置。因此，各栅极电极配线 11 在多个像素 5 的每一个被分断部 32 分断，使每个像素 5 的栅极电极配线 11 的长度缩短。

另一方面，在与栅极电极配线 11 离开的栅极绝缘层 31 上，设有作为积蓄辅助电容的像素辅助电容的蓄积电容 34。该蓄积电容 34 具有在栅极绝缘层 31 上进行层叠而成膜的公共电容配线 12。该公共电容配线 12 相对栅极电极配线 11 被电气绝缘，相对这些各栅极电极配线 11 平行配设。这里，这些公共电容配线 12 是在与栅极电极配线 11 同一个工序中用相同材料形成。

并且，在包含这些公共电容配线 12 和栅极电极配线 11 的栅极绝缘层 31 上，将层间绝缘膜 35 进行层叠而成膜。该层间绝缘膜 35 由用等离子 CVD 法形成的氮化硅和氧化硅的层叠膜构成。另外，在这些层间绝缘膜 35 和栅极绝缘膜 31 上，开口设有作为贯通这些层间绝缘膜 35 和栅极绝缘膜 31 的每一个的导通部的多个接触孔 36、37。

这里，这些接触孔 36、37 被设置在位于薄膜晶体管 21 的栅极电极配线 11 的两侧上的、该薄膜晶体管 21 的各电阻接触区 24 上。并且，这些接触孔 36、37 分别与薄膜晶体管 21 的电阻接触区 24 连通地进行开口。

并且，在包含与各薄膜晶体管 21 的一方的电阻接触区 24 连通的接触孔 36 的层间绝缘膜 35 上叠层设置作为该薄膜晶体管 21 的源极电极发挥功能的信号

电极配线 13。该信号电极配线 13 通过接触孔 36 与薄膜晶体管 21 的一方的电阻接触区 24 电气连接地进行导通。

又，在包含与各薄膜晶体管 21 的另一方的电阻接触区 24 连通的接触孔 37 的层间绝缘膜 35 上叠层设置具有导电性的作为信号电极的漏极电极 41。该漏极电极 41 与蓄积电容 34 的公共电容配线 12 相对，并通过层间绝缘膜 35 在与公共电容配线 12 之间积蓄辅助电容。又，该漏极电极 41 与信号电极配线 13 在同一层上以同一工序，用相同的材料形成。这里，利用这些信号电极配线 13、漏极电极 41、多晶硅半导体层 22、栅极电极配线 11、栅极绝缘层 31 和层间绝缘膜 35 构成各薄膜晶体管 21。

另一方面，在位于各栅极电极配线 11 上的各分断部 32 的两侧上的层间绝缘膜 35 上，分别开口形成有与被分断的各栅极电极配线 11 的端部连通的未图示的一对接触孔 38、39。并且，在包含这一对接触孔 38、39 的层间绝缘膜 35 上，将有导电性的作为岛状的导电部的导电膜 42 层叠成膜。这些导电膜 42 通过接触孔 38、39 使被分断部 32 分断的栅极电极配线 11 的端部间进行电气连接。因此，如图 3 中用虚线所示，这些导电膜 42 在接触孔 38、39 内和层间绝缘膜 35 上成一整体地成膜形成，其剖面大致为“T”字状。

也就是说，这些各栅极电极配线 11 是将这些各栅极电极配线 11 的一部分用导电膜 42 延长地连接着。另外，这些导电膜 42 与信号电极配线 13 在同一层上以同一工序，用相同的材料层叠形成。即，这些导电膜 42 用形成信号电极配线 13 的材料形成。

另一方面，在包含这些信号电极配线 13 和漏极电极 41 的层间绝缘膜 35 上，将作为保护膜的保护层 43 进行层叠而成膜。在该保护层 43 上，开口设有作为贯通该保护层 43 的导通部的接触孔 44。该接触孔 44 与薄膜晶体管 21 的漏极电极 41 连通地进行开口。

并且，在包含该接触孔 44 的保护层 43 上，将作为 ITO 薄膜的透明像素电极 45 进行层叠而成膜。该透明像素电极 45 通过接触孔 44 与漏极电极 41 电气连接地进行导通。又，该透明像素电极 45 通过各个保护层 43 和层间绝缘膜 35，被设置在与公共电容配线 12 相对的位置上。这里，该透明像素电极 45 由设有该透明像素电极 45 的像素 5 内的薄膜晶体管 21 控制。另外，在包含该透明像素电极 45 的保护层 43 上，将取向膜 46 进行层叠而成膜。

另一方面，在阵列基板 2 的表面上，相对地配设有矩形平板状的对向基板

51。该对向基板 51 具有作为矩形平板状的透明绝缘基板的透光性基板即玻璃基板 52。在该玻璃基板 52 上的与阵列基板 2 相对的一侧的作为一主面的表面上，层叠着将 1 组色单位例如红（R）、绿（G）、蓝（B）的 3 个点重复地配置而构成的色层即多个彩色滤色片 53。这些彩色滤色片 53 设置成在使对向基板 51 与阵列基板 2 相对时分别与该阵列基板 2 的各像素 5 相对。

又，在这些彩色滤色片 53 的表面上，层叠地设置着矩形平板状的对向电极 54。该对向电极 54 是在使对向基板 51 的表面与阵列基板 2 的表面相对时，与该阵列基板 2 的玻璃基板 3 的显示区域 4 整体相对的矩形的电极。另外，在该对向电极 54 的表面上，将取向膜 55 进行层叠成膜。

并且，在该对向基板 51 上，在将该对向基板 51 的取向膜 55 与阵列基板 2 的取向膜 46 相对的状态下，安装阵列基板 2。即，该阵列基板 2 的透明像素电极 45，与对向基板 51 的对向电极 54 相对地配设。另外，作为光调制层的液晶层，将液晶 56 夹入插在这些对向基板 51 的取向膜 55 与阵列基板 2 的取向膜 46 之间并密封。

接着对上述第 1 实施形态的阵列基板的制造方法进行说明。

首先，在将底涂层层叠在玻璃基板 3 上后，用等离子 CVD 法将未图示的无定形硅膜在该底涂层上进行成膜。

然后，将受激准分子激光束照射该无定形硅膜并进行激光退火，将该无定形硅膜进行受激准分子激光溶解结晶化而作成多晶硅薄膜。

接着，通过利用光刻工序和蚀刻工序的图案成型，将该多晶硅薄膜形成构成各薄膜晶体管 21 的多晶硅半导体层 22 的多晶硅的岛图案。

另外，用等离子 CVD 法将栅极绝缘层 31 形成在包含该多晶硅的岛图案的底涂层上。

然后，将未图示的栅极电极配线金属膜层叠在该栅极绝缘层 31 上而进行成膜后，在光刻工序和蚀刻工序中将该栅极电极配线金属层形成图案而分别形成栅极电极配线 11 和公共电容配线 12。这时，在该栅极电极配线 11 上分别形成多个分断部 32。

接着，将该栅极电极配线 11 作为掩膜，在用离子注入等方法将掺杂剂注入在各薄膜晶体管 21 的多晶硅半导体层 22 中的成为各电阻接触区 24 的部分后，用热处理等方法使该掺杂剂活性化且低电阻化而形成各薄膜晶体管 21 的电阻接触区 24。

然后，用等离子 CVD 法将层间绝缘膜 35 形成在包含栅极电极配线 11 和公共电容配线 12 的栅极绝缘层 31 上。

接着，在光刻工序和蚀刻工序中，分别形成与各薄膜晶体管 21 的电阻接触区 24 分别连通的接触孔 36、37 和与被各分断部 32 分断的各栅极电极配线 11 的端部分别连通的接触孔 38、39。

然后，在将未图示的信号电极配线金属膜形成在分别包含这些各接触孔 36、37 的层间绝缘膜 35 上后，将该信号电极配线金属膜利用光刻工序和蚀刻工序形成图案而分别形成信号电极配线 13、漏极电极 41 和导电膜 42。

这时，被分断部 32 分断后的各栅极电极配线 11 的端部分别利用导电膜 42 并通过接触孔被延长地进行电气连接。

接着，在将保护层 43 形成在分别包含这些信号电极配线 11、漏极电极 41 和导电膜 42 的层间绝缘膜 35 上后，在该保护层 43 上利用光刻工序和蚀刻工序形成与漏极电极 41 连通的接触孔 44。

另外，在将未图示的透明像素电极层形成在包含该接触孔 44 的保护层 43 上后，将该透明像素电极层利用光刻工序和蚀刻工序以像素形状形成图案而形成透明像素电极 45 后，将取向膜 46 形成在包含这些透明像素电极 45 的保护层 43 上而制成阵列基板 2。

然后，使对向基板 51 的取向膜 55 侧与该阵列基板 2 的取向膜 46 侧相对，在将该阵列基板 2 安装在对向基板 51 上后，将液晶 56 夹插在这些阵列基板 2 与对向基板 51 之间进行密封。

另外，将未图示的系统电路及偏振片、背照灯等的各种构件组合在这些阵列基板 2 和对向基板 51 上而作成液晶显示装置 1。

如上所述，采用上述第 1 实施形态，如图 8 所示的以往的液晶显示装置 1 那样，在玻璃基板 3 上的栅极电极配线 11 未被分断部 32 部分分断而为连续的直线状的情况下，在这些栅极电极配线 11 与各薄膜晶体管 21 的多晶硅半导体层 22 之间形成辅助电容。

在这种情况下，在用未图示的可动式支杆等将带电的玻璃基板 3 抬起、而改变该玻璃基板 3 的接地状态时，在对电荷进行再分配的情况影响特别大，在这些栅极电极配线 11 与多晶硅半导体层 22 之间、即对栅极绝缘层 31 的施加电压上升，发生该栅极绝缘层 31 的静电破坏的可能性特别高。

这里，如图 9 所示，对在表面形成这些多晶硅半导体层 22 和栅极电极配线

11 的玻璃基板 3 与载物台 61 进行接地的情况下的玻璃基板 3 的显示区域 4 的等效电路进行说明。另外，该载物台 61 的一部分由接地后的导电性的可动式支杆 62 形成。

这时，将栅极电极配线 11 上的带电量设为 Q_0 ，将该栅极电极配线 11 上的电位设为 V_0 ，并将该栅极电极配线 11 中不在可动式支杆 62 上的部分的长度设为 A ，将该栅极电极配线 11 中位于可动式支杆上的部分的长度设为 B 。还将该栅极电极配线 11 中不在可动式支杆 62 上的部分与载物台 61 之间形成的电容设为 C_a ，将该栅极电极配线 11 中位于可动式支杆 62 上的部分与载物台 61 之间形成的电容设为 C_b 。

并且，在玻璃基板 3 的显示区域 4 中，由于重复相同的图案，故电容比成为 $C_b = B \div A \times C_a$ 。另外，电荷、电位与电容的关系成为 $Q_0 = (C_a + C_b) \times V_0$ 。

接着，对用可动式支杆 62 将该玻璃基板 3 支承并抬起后状态的、该玻璃基板 3 的显示区域 4 的等价电路进行说明。这时，如图 10 所示，将栅极电极配线 11 的电位设为 V 、将玻璃基板 3 中不在可动式支杆 62 上的部分与载物台 61 之间形成的电容设为 C_s 时，在用可动式支杆 62 将玻璃基板 3 抬起后的情况下、从电荷保存方面看、也成立 $Q_0 = \{C_a \times C_s \div (C_a + C_s) + C_b\} \times V$ 的关系。其结果，利用上述 3 个式子，能获得 $V/V_0 = (A + B) \div \{A \times C_s \div (C_a + C_s) + B\}$ 的关系。

另外，根据该式，例如将多晶硅半导体层 22 的图案形成在介电常数为 4、厚度为 1mm 的玻璃基板 3 上，在该多晶硅半导体层 22 的图案上形成介电常数为 4、厚度为 100nm 的栅极绝缘层 31、并在该栅极绝缘层 31 上形成栅极电极配线 11 后的情况下，对用导电性的可动式支杆 62 将该玻璃基板 3 抬起 50mm 后时的 V/V_0 进行说明。

这时，将可动式支杆 62 上的栅极电极配线 11 的长度固定成 5mm，使这些栅极电极配线 11 整体的长度进行变化。其结果，如图 11 所示，可知：在用可动式支杆 62 将玻璃基板 3 抬起时，为了对在该玻璃基板 3 上的栅极电极配线 11 与可动式支杆 62 之间施加的电压进行抑制，使这些栅极电极配线 11 的长度缩短是有效的。

因此，如上所述，用分断部 32 对每一像素 5 对各栅极电极配线 11 进行分断，同时用与层间绝缘膜 35 上的信号电极配线 13 相同的材料形成的导电膜 42 将被这些分断部 32 分断的栅极电极配线 11 的端部间进行电气连接，使这些各

栅极电极配线 11 的长度在每个像素 5 中缩短。

其结果，通过使带电的玻璃基板 3 工作，由于能够抑制位于该玻璃基板 3 上的栅极电极配线 11 下方、即栅极电极配线 11 与多晶硅半导体层 22 之间的栅极绝缘层 31 上的电压上升，故能防止该栅极绝缘层 31 的静电破坏。因此，由于能防止各薄膜晶体管 21 的静电破坏，故能提高阵列基板 2 和液晶显示装置 1 的生产率。

接着，参照图 4 和图 5 对本发明的第 2 实施形态进行说明。

该图 4 和图 5 所示的液晶显示装置 1 基本上是与图 1~图 3 所示的液晶显示装置 1 同样的，但在每个像素 5 上未形成栅极电极配线 11 的分断部 32，仅在这些各像素中的每一像素 5 中形成分断部 32。这些分断部 32 仅设置在同色的像素 5 中。

这里，在未形成该分断部 32 的各像素 5 的每一个上，分别形成与导电膜 42 同样结构的多个模型图案 (dummy patterns) 71。即，这些模型图案 71 的各个，是与导电膜 42 相等的结构。这些模型图案 71 和导电膜 42 分别被设置在与栅极电极配线 11 不同的层的层间绝缘膜 35 上。又，这些模型图案 71 的两端部通过形成在层间绝缘膜 35 上并与栅极电极配线 11 连通的接触孔 72，与该栅极电极配线 11 电气连接。

其结果，即使仅在玻璃基板 3 的显示区域 4 中的多个像素 5 的每一个上形成分断部 32，通过使带电的玻璃基板 3 工作，由于能抑制该玻璃基板 3 上的栅极电极配线 11 与多晶硅半导体层 22 之间的栅极绝缘层 31 上的电压上升，故能起到与上述第 1 实施形态同样的作用效果。

另外，通过在各像素 5 上形成分断部 32，与在显示区域 4 的各像素 5 的全体上形成分断部 32 的情况相比，由于能使对栅极电极配线 11 进行分断的部位、即分断部 32 的个数减少，故能防止因接触孔 72 及导电膜 42 发生不良情况引起的合格率的降低。

又，在未形成分断部 32 的各像素 5 的每一个上分别形成模型图案 71，使这些模型图案 71 的两端部与栅极电极配线 11 电气连接。其结果是，在形成这些模型图案 71 的像素 5 内的透明像素电极 45 与栅极电极配线 11 之间产生的电容，就与在形成分断部 32 并且用导电膜 42 进行电气连接的其它的像素 5 内的透明像素电极 45 与栅极电极配线 11 之间产生的电容相同。因此，由于能抑制在形成这些模型图案 71 的像素 5 和形成分断部 32 的像素 5 中的显示不匀，故

能防止玻璃基板 3 的显示区域 4 的不匀。

另外，在上述第 2 实施形态中，在未形成分断部 32 的各像素 5 的每一个上形成了模型图案 71，而如图 6 和图 7 所示的第 3 实施形态那样，即使仅在与形成分断部 32 的像素 5 同色的像素 5 的全体上形成模型图案 71，形成这些模型图案 71 的同色的像素 5 内的透明像素电极 45 与栅极电极配线 11 之间的电容，也由于成为与形成分断部 32 的其它的同色的像素 5 内的透明像素电极 45 与栅极电极配线 11 之间的电容相同，故能起到与上述第 2 实施形态同样的作用效果。

又，在上述各实施形态中，对栅极电极配线 11 设置分断部 32，并将被这些分断部 32 分断后的栅极电极配线 11 的端部间用导电膜 42 进行电气连接，而即使将这些分断部 32 设置在公共电容配线 12 上，并将被这些分断部 32 分断后的公共电容配线 12 的端部间用导电膜 42 进行电气连接以进行使用，也能起到与上述各实施形态同样的作用效果。

另外，即使不是逆参差型的液晶显示装置 1、而是参差型的液晶显示装置中与薄膜晶体管连接的信号线及扫描线等的电极配线，也能对应地进行使用。又，除了薄膜晶体管 21 以外，即使对例如使用二极管等的开关元件的液晶显示装置也能对应地进行使用。

并且，不仅是使用由多晶硅构成的薄膜晶体管 21 的液晶显示装置 1，即使是使用作为非晶质硅的无定形硅构成的薄膜晶体管的液晶显示装置也能对应地进行使用。

又，对在阵列基板 2 与对向基板 51 之间将作为光调制层的液晶 56 进行密封的液晶显示装置 1 作了说明，而即使是具有液晶以外的光调制层的平面显示装置也能对应地进行使用。

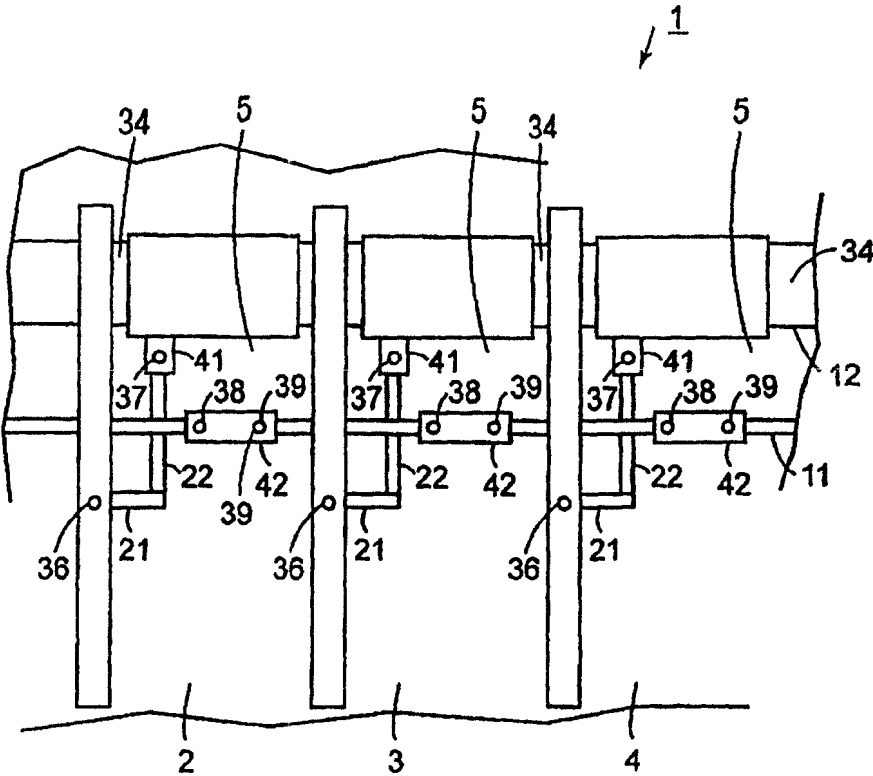


图 1

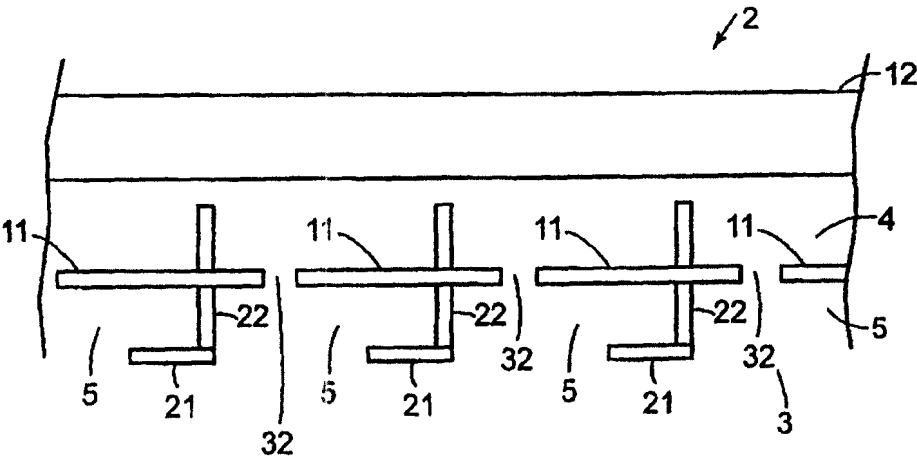


图 2

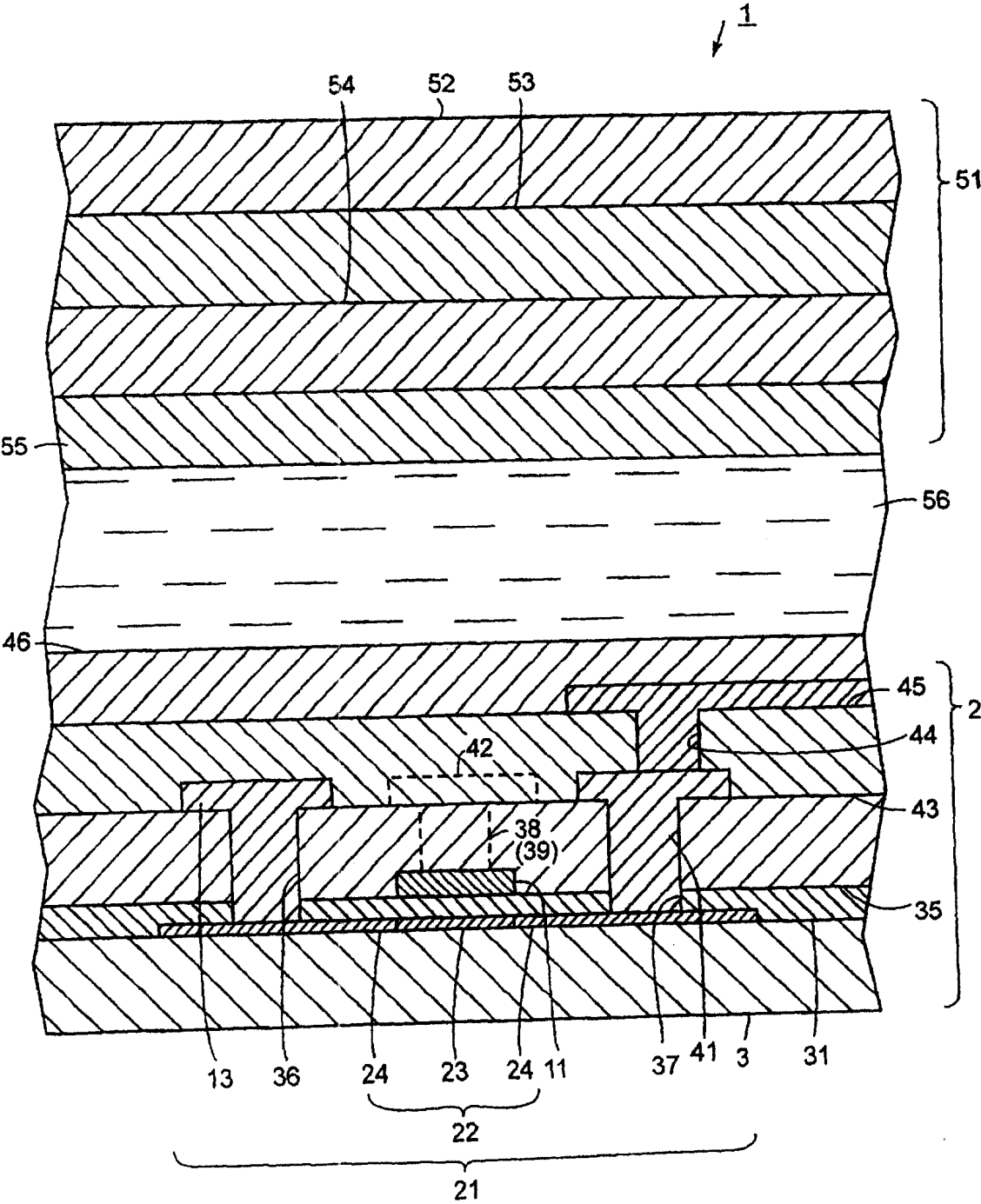


图 3

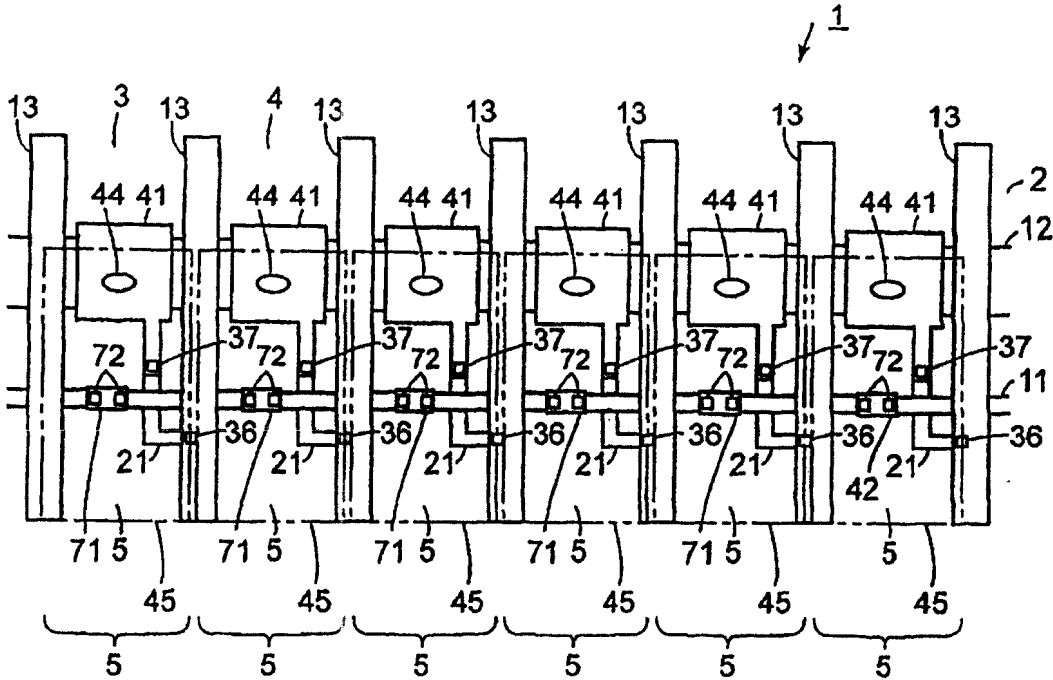


图 4

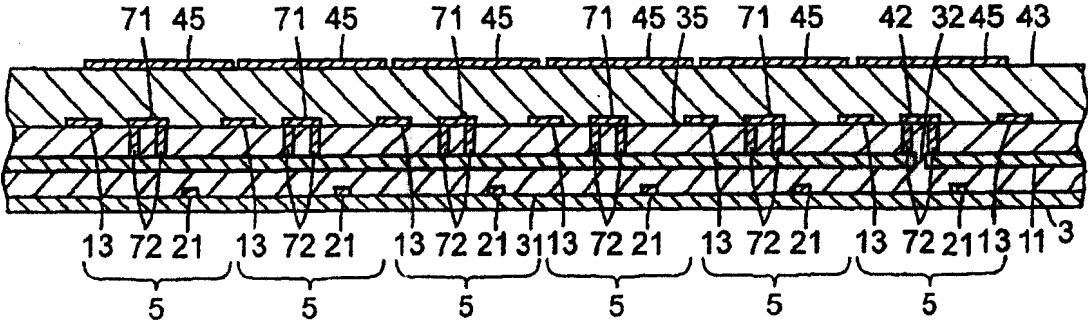


图 5

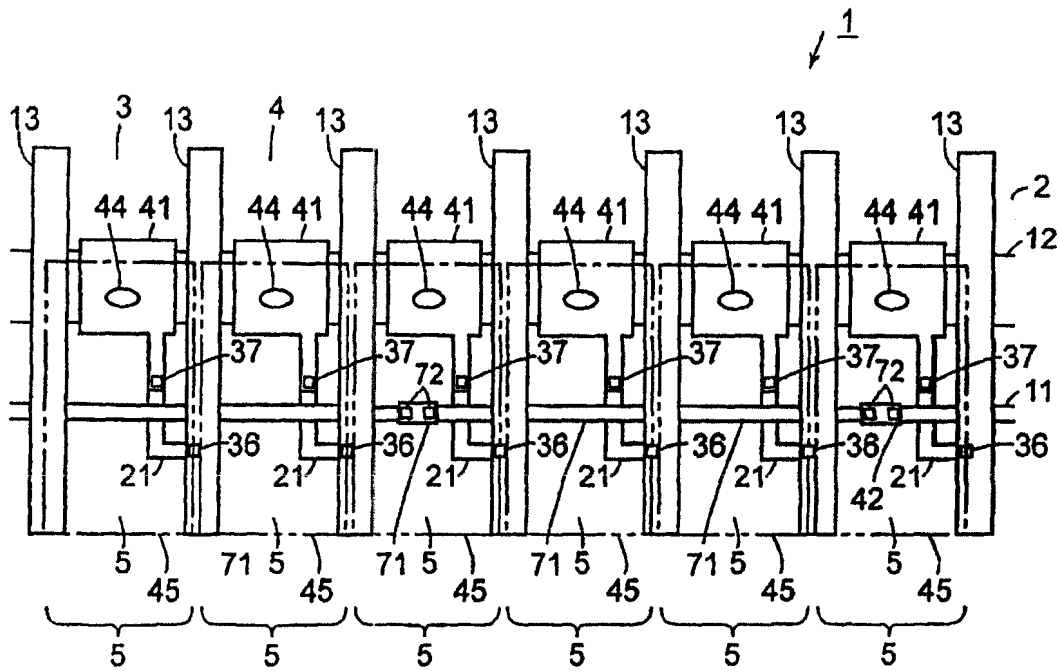


图 6

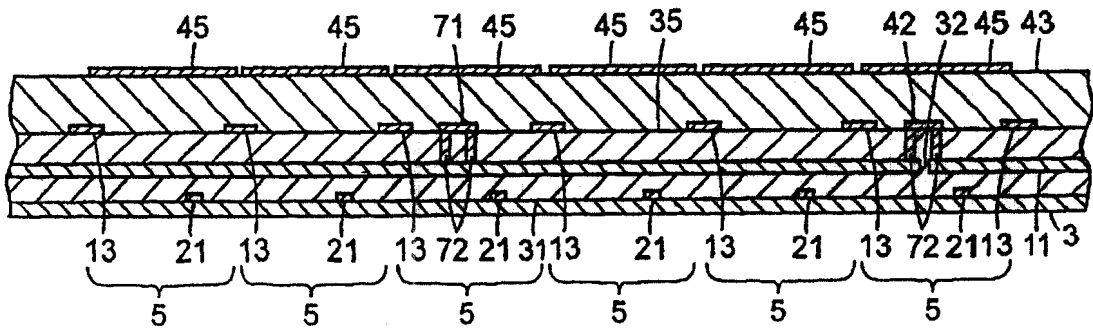


图 7

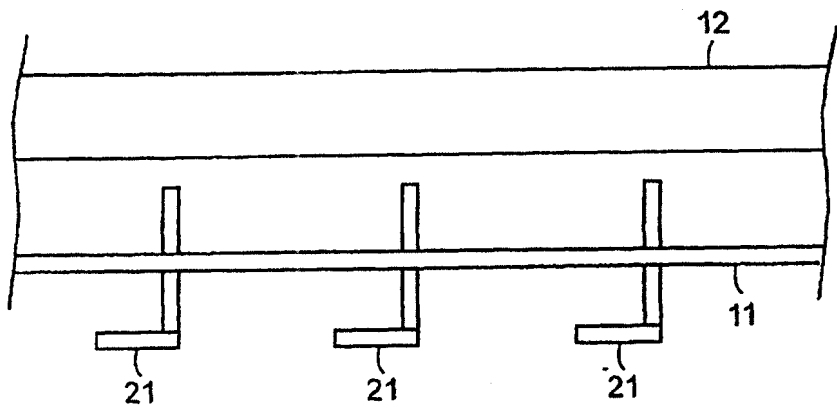


图 8

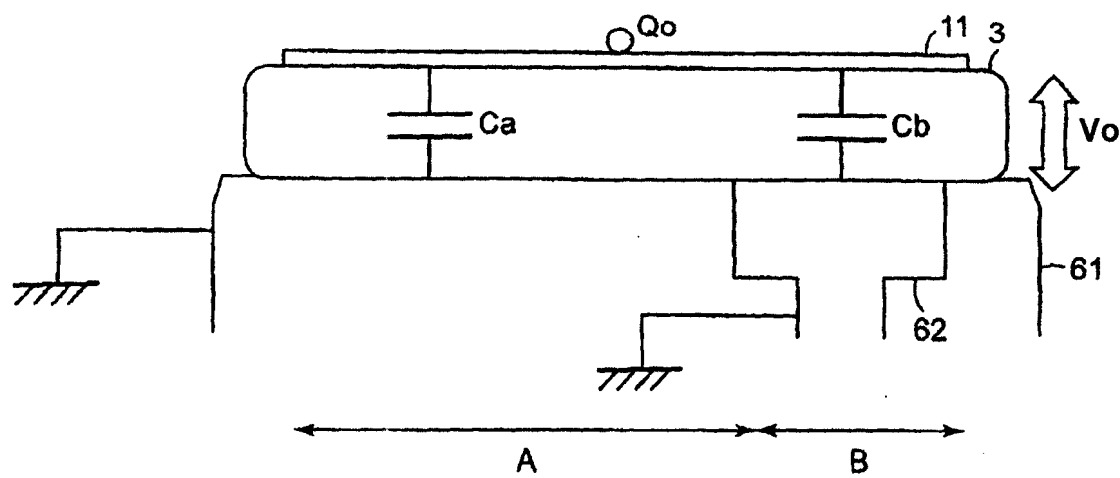


图 9

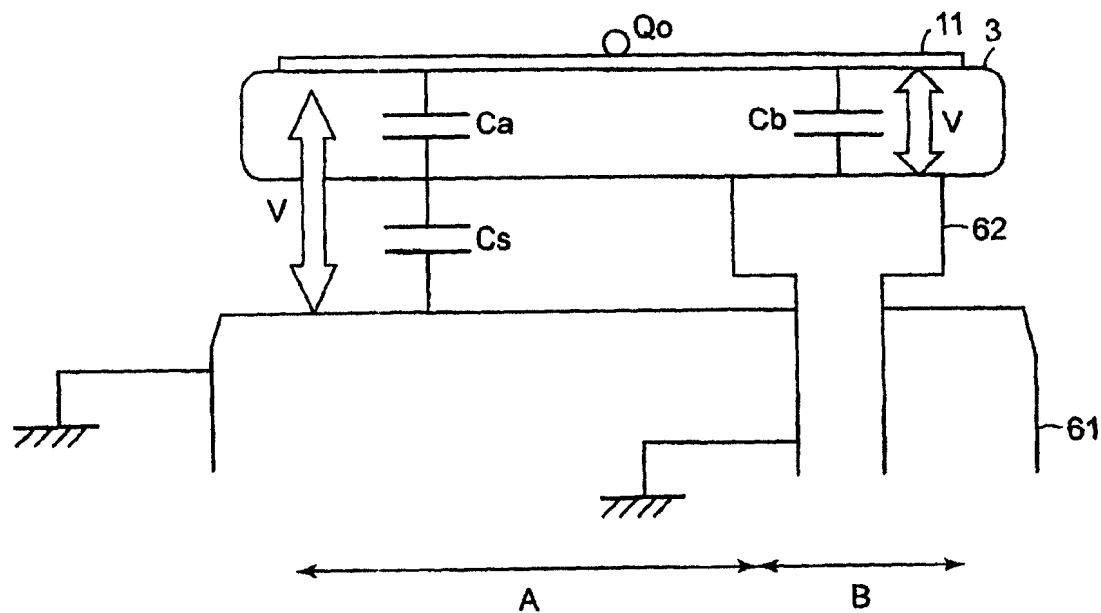


图 10

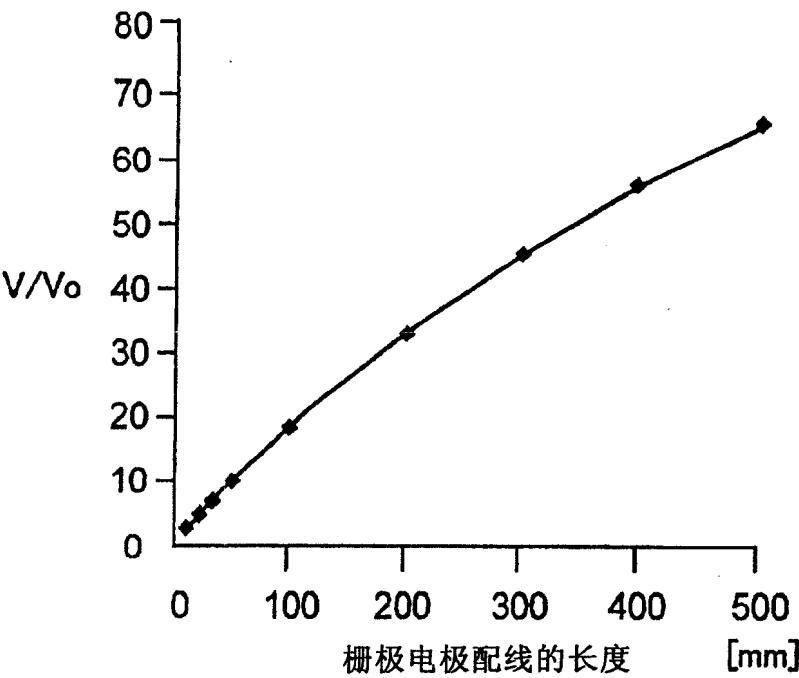


图 11

专利名称(译)	阵列基板及平面显示装置		
公开(公告)号	CN100397157C	公开(公告)日	2008-06-25
申请号	CN200410089878.3	申请日	2004-10-28
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
当前申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	田畠弘志 川村哲也 河村真一 稻田克彦 武田笃 今井信雄 高见明宏		
发明人	田畠弘志 川村哲也 河村真一 稻田克彦 武田笃 今井信雄 高见明宏		
IPC分类号	G02F1/133 G02F1/136 G02F1/13 G02F1/1368 G02F1/1362 G09G3/36 G09G5/00 H01L21/77 H01L27/12		
CPC分类号	H01L27/1214 G02F1/136204 H01L27/12 H01L27/124		
代理人(译)	张鑫		
审查员(译)	郭栋		
优先权	2003367276 2003-10-28 JP		
其他公开文献	CN1612004A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种能够防止薄膜晶体管发生静电破坏的液晶显示装置。用分断部对每一像素(5)将栅极电极配线(11)分断。将被分断部分断后的栅极电极配线(11)的端部间，用与层间绝缘膜上的信号电极配线(13)相同材料的导电膜(42)进行电气连接。使栅极电极配线(11)的长度在每一个像素(5)中缩短。通过使带电的玻璃基板(3)进行工作，能对栅极电极配线(11)与多晶硅半导体层(22)之间的栅极绝缘层上的电压的上升进行抑制。能防止栅极绝缘层的静电破坏。

