

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 03811406.2

[51] Int. Cl.

G02F 1/1368 (2006.01)

G09F 9/30 (2006.01)

H01L 29/786 (2006.01)

[45] 授权公告日 2008 年 2 月 6 日

[11] 授权公告号 CN 100367103C

[22] 申请日 2003.4.14 [21] 申请号 03811406.2

[30] 优先权

[32] 2002. 4. 16 [33] JP [31] 113903/2002

[86] 国际申请 PCT/JP2003/004727 2003.4.14

[87] 国际公布 WO2003/088193 日 2003.10.23

[85] 进入国家阶段日期 2004.11.19

[73] 专利权人 夏普株式会社

地址 日本大阪府

[72] 发明人 小倉雅史 片岡義晴

[56] 参考文献

JP2000-275663A 2000.10.6

CN1299984A 2001.6.20

JP8-18058A 1996.1.19

JP2001-305515A 2001.10.31

JP2000-284326A 2000.10.13

审查员 王 敏

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 火惠颖

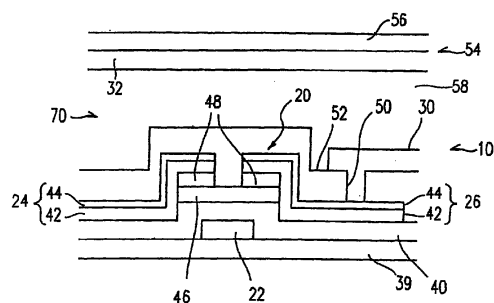
权利要求书 1 页 说明书 14 页 附图 8 页

[54] 发明名称

基片、具有该基片的液晶显示器及其制造方法

[57] 摘要

本发明的基片(10)包括：第一电极(26)和第二电极(30)。第二电极(30)在至少覆盖部分第一电极(26)的绝缘薄膜(52)上形成，并通过在绝缘薄膜(52)中形成的接触孔(50)与第一电极(26)电连接。所述第一电极(26)包括金属薄膜(42)和保护薄膜(44)的层迭结构。相对用于形成金属薄膜(42)和保护薄膜(44)的第一蚀刻，金属薄膜(42)的蚀刻速率几乎等于保护薄膜(44)的蚀刻速率。相对用于形成接触孔(50)的第二蚀刻，保护薄膜(44)的蚀刻速率几乎为零。



1. 一种显示设备的制造方法，其特征在于，包括：

用于形成栅信号线的过程，

用于形成薄膜晶体管的栅电极的过程，其中，所述栅电极是从所述栅信号线分支出来的，

用于形成至少覆盖部分所述栅信号线的栅绝缘薄膜的过程，

用于形成源信号线的过程，

用于形成所述薄膜晶体管的漏电极和源电极的过程，其中，所述源电极是从所述源信号线分支出来的，

用于形成绝缘薄膜以覆盖至少部分所述漏电极的过程，

通过去除所述绝缘薄膜的一部分在所述绝缘薄膜中形成接触孔的过程，和
用于去除所述栅信号线上的所述栅绝缘薄膜的一部分的过程，

在所述绝缘薄膜上形成由所述薄膜晶体管控制的像素电极的过程，其中，
所述漏电极和所述像素电极通过所述接触孔电连接，

其中

所述用于形成所述漏电极的过程包括层迭金属薄膜和保护薄膜的过程，其中所述保护薄膜是非晶传导性薄膜，而所述非晶传导性薄膜为包含氧化铟和氧化锌的氧化物，和

通过第一蚀刻使所述层迭的金属薄膜和保护薄膜图案化的过程，其中，所述金属薄膜的蚀刻速率与所述保护薄膜的蚀刻速率几乎相等，和

所述用于形成接触孔的过程包括：

通过干蚀刻在所述绝缘薄膜中形成所述接触孔的过程，其中，所述保护薄膜的蚀刻速率几乎为零，和

通过所述干蚀刻在终端区中去除所述栅绝缘薄膜的一部分的过程。

2. 如权利要求 1 所述的显示设备的制造方法，其特征在于，

所述用于图案化的过程包括用混合的弱酸溶液通过湿蚀刻使金属薄膜和保护薄膜图案化的过程。

3. 根据权利要求 1 所述的显示设备的制造方法，其特征在于，所述金属薄膜包含钼。

基片、具有该基片的液晶显示器及其制造方法 技术领域

本发明涉及基片、具有该基片的液晶显示器及其制造方法。

背景技术

在传统液晶显示器的有源矩阵基片中，已知薄膜晶体管的漏极和像素电极是通过接触孔电连接的。该像素电极是在覆盖漏极的绝缘薄膜上形成的，且接触孔是在绝缘薄膜上形成的。

图 12 为传统有源矩阵基片的平面示意图。

有源矩阵基片 110 包括多个薄膜晶体管（以下也称为“TFT”）120、多条源信号线 114、及多条栅信号线 112。薄膜晶体管 120 排成矩阵形态。源信号线 114 是沿以列方向排列的薄膜晶体管 120 彼此相隔预定距离平行设置的。栅信号线 112 是沿以排方向排列的薄膜晶体管 120 彼此相隔预定距离平行设置的。

相应的源驱动器 118 分别连接至多条源信号线 114。各源驱动器 118 将电压施加到相应的源信号线 114，且该电压与视频信号相对应。

相应的源驱动器 116 分别连接至多条栅信号线 112。各源驱动器 116 将电压施加到相应的栅信号线 112，且该电压与扫描信号相对应。

每个薄膜晶体管 120 都包括栅电极 122、源电极 124 和漏极 126。栅电极 122 是从相应的栅信号线 112 分支出来的，而源电极 124 是从相应的源信号线 114 分支出来的。

每个漏极 126 都与相应的像素电极 130 相连。每个像素电极 130 都是相应像素电容器 128 的一个终端。各像素电容器 128 的另一个终端是设置在对基片 154 上的电容器极板 132（见图 14 和 15）。电容器极板 132 通常由多个像素电极 130 共享。

有源矩阵基片 110 包括显示区 134 和终端区 136。显示区 134 用于视频显示，而将终端区围绕显示区 134 的外围排列。在显示区 134 中，排列了多个像素电极 130 和薄膜晶体管 120。在终端区 136 中，排列了多个栅驱动器 116 和源驱动器 118。

传统液晶显示器 170（见图 14 和 15）包括有源矩阵基片 110、对基片 154（见图 14 和 15）及液晶 158（见图 14）。对基片 154 与有源矩阵基片 110 相对。液

晶 158 插在有源矩阵基片 110 和对基片 154 之间。

当各薄膜晶体管 120 相对于由栅驱动器 116 施加的信号开或关时，将与由源驱动器 118 施加的视频信号相对应的电压施加到相应的像素电极 130 上。液晶的取向受根据施加到像素电极 130 和电容器极板 132 上的电压控制。藉此，在液晶显示器上显示图象。

图 13 为传统有源矩阵基片 110 的示意平面图。

如图 13 所示的栅驱动器 116 包括信号输入终端部分 138，其中扫描信号是从外部输入的。

像素电极 130 通过连接孔 150 连接至漏极 126。

图 14 为传统液晶显示器沿图 13 中的线 P-P 的剖面图。

如图 14 中所示的传统液晶显示器 170 包括有源矩阵基片 110、对基片 154、和液晶 158。液晶 158 插在有源矩阵基片 110 和对基片 154 之间。

图 14 示出像素电极 130 的剖面结构。在有源矩阵基片 110 的显示区 134 中，像素电极 130 与薄膜晶体管 120 和薄膜晶体管 120 的漏极 126 相连。

有源矩阵基片 110 包括透明绝缘基片 139。栅电极 122 是在透明绝缘基片 139 上形成的。栅绝缘薄膜 140 是在透明绝缘基片 139 上形成的，以覆盖栅电极 122。

半导体层 146 是通过栅绝缘薄膜 140 在栅电极 122 上形成的。 n^+ 硅 (Si) 层 148 是在半导体层 146 上形成的，以与半导体层 146 对齐。

从源信号线 114 分支出来的源电极 124 在部分栅绝缘薄膜 140 上形成，以覆盖 n^+ Si 层 148 的部分表面，及 n^+ Si 层 148 和半导体层 146 的侧面。

漏极 126 在栅绝缘薄膜 140 的其它部分上形成，以覆盖 n^+ Si 层 148 的表面的其它部分，及 n^+ Si 层 148 和半导体层 146 的其它侧面。

源电极 124 和漏极 126 相隔预定距离排列在 n^+ Si 层 148 的表面。

薄膜晶体管 120 包括栅电极 122、半导体层 146、 n^+ Si 层 148、源电极 124 和漏极 126。

为了增加液晶显示器的尺寸或提高其分辨率，最好减少栅信号线 112、源信号线 114、栅电极 122、源电极 124 及漏极 126 的阻抗。因此，通常将易于加工的具有低阻抗的金属用作这些信号线和电极的材料。

用于栅信号线 112、源信号线 114、栅电极 122、源电极 124 及漏极 126 的一

般材料是 Al、Mo、Ti、Ta 等等。

Mo 具有较低的电阻系数，而且易于通过用弱酸蚀刻形成图形。因此，Mo 最好用作源信号线 114、源电极 124 及漏极 126 的材料。

虽然在上述材料中，Al 的电阻系数最低，但 Al 最好不与 n+Si 层 148 接触，因此最好不要将单层 Al 用作源电极 124 及漏极 126 的材料。因此，当将 Al 用于源信号线时，需要诸如 Al/Ti、Al/Mo 之类的层迭结构。

因为 Ti 的阻抗比 Al 和 Mo 高，最好不要将单层 Ti 用作尺寸增加了的液晶显示器的电极和信号线的材料。

因为 Ta 同 Ti 一样也具有高电阻系数，最好不要使用单层 Ta。

在栅绝缘薄膜 140 上形成用于保护薄膜晶体管 120 的绝缘薄膜 152，以覆盖源电极 124、漏极 126 和 n+Si 层 148 的其它部分。绝缘薄膜 152 的材料是，例如： SiN_x 。

绝缘薄膜 152 包括穿过绝缘薄膜 152 并延伸到漏极 126 的接触孔 150。

在绝缘薄膜 152 上形成像素电极 130，以通过接触孔 150 与漏电极 126 相连。像素电极的材料是透明 ITO。

在液晶显示器中，特别是透明的 TFT 液晶显示器，最好使用上述结构，即，包括形成薄膜晶体管 120 和绝缘薄膜 152 以覆盖薄膜晶体管 120 的漏极 126，并形成像素电极 130 以通过在绝缘薄膜 152 中形成的接触孔 150 与漏极 126 电连接的结构。

为何最好使用该结构的原因如下。即，在该结构中，因为用像素电极 130 形成的表面与用源信号线 114 形成的表面不一样，可以增加像素电极 130 的表面面积，同时防止像素电极 130 和源信号线 114 之间的短路。像素电极 130 是在绝缘薄膜 152 上形成的，且源信号线 114 与在绝缘薄膜 152 下形成的源电极 124 相连。

对基片 154 包括透明绝缘基片 156 和设置在透明绝缘基片 156 上的电容器极板 132。

图 15 为传统液晶显示器沿图 13 中的线 Q-Q 的剖面图。

在图 15 中，在有源矩阵基片 110 的终端区 136 中示出栅驱动器 116 中信号输入终端区 138 的剖面结构。

栅信号线 112 是在透明绝缘基片 139 上形成的。在透明绝缘基片 139 上形成

栅绝缘薄膜 140 以覆盖栅信号线 112 的两端。在栅绝缘薄膜 140 上形成绝缘薄膜 152。

形成抗氧化薄膜 160 以覆盖栅绝缘薄膜 140 和绝缘薄膜 152 的侧面及绝缘薄膜 152 的部分表面。抗氧化薄膜 160 用于防止栅信号线 112 氧化，氧化会增加阻抗。此时，抗氧化薄膜 160 的材料是透明的 ITO，并且此 ITO 是与像素电极 130 相同的材料。

上述传统的有源矩阵基片 110 是通过以下过程制造的。

通过溅射法之类的方法沉积用于在透明绝缘基片 139 上形成栅信号线 112 和栅电极 122 的材料。然后形成的层经掩模曝光、显影和干蚀刻后形成具有规定图案的栅信号线 112 和栅电极 122。

接着，通过 CVD 法将用于形成栅绝缘薄膜 140 的材料沉积在透明绝缘基片 139 上以覆盖栅信号线 112 和栅电极 122。

接着，通过 CVD 法将用于形成半导体层 146 的材料和用于形成 n+Si 层 148 的材料沉积在用于形成栅绝缘薄膜 140 的材料上。用于形成半导体层 146 和 n+Si 层 148 的沉积的材料经掩模曝光、显影和干蚀刻后形成具有规定图案的半导体层 146 和 n+Si 层 148。

接着，将用于形成源信号线 114、源电极 124 和漏极 126 的材料（例如：Mo）沉积在栅绝缘薄膜 140 上以覆盖半导体层 146 和 n+Si 层 148。然后形成的 Mo 层经掩模曝光、显影和干蚀刻后形成具有规定图案的 Mo。

接着，湿蚀刻源电极 124 和漏极 126 之间的 Mo 以形成薄膜晶体管 120 的沟道。然后形成源信号线 114、源电极 124 和漏极 126。

接着，将用于形成绝缘薄膜 152 的材料沉积在栅绝缘薄膜 140 上以覆盖源电极 124、漏极 126 和 n+Si 层 148 的表面其它部分。

接着，用 CF_4 和 O_2 的混合气体通过干蚀刻去除在漏极 126 上的部分绝缘薄膜 152 以在绝缘薄膜 152 中形成接触孔 150。连续去除部分绝缘薄膜 152 和部分栅绝缘薄膜 140 以使栅信号线 112 的部分表面曝光。在终端区 136 栅信号线 112 的上部形成绝缘薄膜 152（图 12），并在栅信号线 112 上形成栅绝缘薄膜 140。

接着，沉积 ITO，并在沉积的 ITO 经掩模曝光、显影和干蚀刻后形成具有规定图案的像素电极 130 和抗氧化薄膜 160。此时，在绝缘薄膜 152 上形成像素电

极 130 以通过接触孔 150 与漏极 126 电连接。另一方面, 形成抗氧化薄膜 160 以覆盖栅信号线 112 的部分表面、栅绝缘薄膜 140 和绝缘薄膜 152 的侧面及绝缘薄膜 152 的部分表面。

在终端区 136 的信号输入终端部分 138 中, 通过去除用于在栅信号线 112 的上部形成绝缘薄膜 152 的材料的一部分而曝光栅信号线 112 的部分表面, 并继续地去除用于在栅信号线 112 上形成栅绝缘薄膜 140 的材料的一部分。在显示区 134 中, 通过去除在漏极 126 上的部分绝缘薄膜 152 在绝缘薄膜 152 中形成接触孔 150。这些过程由同样的干蚀刻完成。

然而, 因为同样的干蚀刻连续地去除显示区 134 中的部分绝缘薄膜 152 和终端区 136 中的部分栅绝缘薄膜 140, 除了显示区 134 中的部分绝缘薄膜 152 之外, 还可以去除部分排列在绝缘薄膜 152 下的漏极 126 和部分栅绝缘薄膜 140。

特别是当将 CF_4 和 O_2 的混合气体用于干蚀刻, 将 SiN_x 用作绝缘薄膜 152 的材料并将 Mo 用作漏极 126 的材料时, 绝缘薄膜 152 和漏极 126 之间的蚀刻选择比就变得不够了。藉此, 去除漏极 126 的一部分。

图 16 为液晶显示器的剖面图, 其中接触孔 150A 不仅穿过绝缘薄膜 152 还穿过漏极 126 到达栅绝缘薄膜 140 中。

如图 16 的所示, 在液晶显示器 170A 中, 当接触孔 150A 形成时, 像素电极 130 在漏极 126 的剖面与漏极 126 接触。接触孔 150A 不仅穿过绝缘薄膜 152 还穿过漏极 126 到达栅绝缘薄膜 140 中。与接触孔 150A 的表面面积相比, 漏极 126 的剖面面积非常小, 这样就存在像素电极 130 和漏极 126 之间的电连接不足的问题。

为了解决以上问题, 在形成漏极 126 后, 在漏极 126 上沉积 ITO 以形成保护膜。在该保护薄膜上形成绝缘薄膜 152, 并通过掩模曝光、显影和干蚀刻在绝缘薄膜 152 中形成接触孔 150。形成的保护薄膜保护漏极 126 不被干蚀刻, 从而防止漏极 126 被蚀刻。

然而, 如果将 ITO 沉积在漏极 126 上形成保护薄膜, 就会出现增加成本和加工的新问题。

本发明的目的是缓解和/或消除这些问题, 且本发明的主要目的是提供一种基片、具有该基片的液晶显示器及其制造方法, 同时不增加成本和加工。在基片中, 第一电极和第二电极通过接触孔稳定地连接。在覆盖第一电极的绝缘薄膜上形成第二电极, 且接触孔是在绝缘薄膜中形成的。

发明内容

根据本发明的基片包括第一电极和第二电极。在至少覆盖了部分第一电极的绝缘薄膜上形成第二电极，且第一电极和第二电极通过在绝缘薄膜上形成的接触孔电连接。第一电极具有金属薄膜和保护薄膜的层迭结构。对于形成金属薄膜和保护薄膜的第一蚀刻而言，金属薄膜的蚀刻速率几乎和保护薄膜的蚀刻速率相等。对于形成接触孔的第二蚀刻而言，保护薄膜的蚀刻速率几乎为0。从而实现了本发明的目的。

所述保护薄膜可以是非晶传导性氧化物。

非晶传导性氧化物可以是包含氧化铟和氧化锌的氧化物。

金属薄膜可以包含钼。

可以相对于保护薄膜在接触孔的一侧形成金属薄膜。

根据本发明的基片还可以包含具有用作漏极的第一电极、源电极和栅电极的薄膜晶体管。第二电极可以用作由薄膜晶体管控制的像素电极。

根据本发明的基片还可以包括栅信号线和栅绝缘薄膜。栅信号线是从薄膜晶体管的栅电极分支出来的，且栅绝缘薄膜覆盖至少部分栅电极和栅信号线。在栅绝缘薄膜上形成薄膜晶体管的漏极，且保护薄膜可以保护漏极下的栅绝缘薄膜不受第二蚀刻。

根据本发明的液晶显示器包括上述基片、与基片相对的对基片、及插在基片和对基片之间的液晶。从而实现了本发明的目的。

根据本发明的制造基片的方法包括以下过程，用于形成第一电极的过程，用于形成绝缘薄膜以覆盖至少部分第一电极的过程，通过去除部分绝缘薄膜在绝缘薄膜中形成接触孔的过程，在绝缘薄膜上形成第二电极以使第一电极和第二电极通过接触孔电连接的过程。用于形成第一电极的过程包括迭加金属薄膜和保护薄膜的过程，且通过第一蚀刻使层迭的金属薄膜和保护薄膜图案化的过程。形成接触孔的过程包括通过第二蚀刻在绝缘薄膜中形成接触孔的过程。第二蚀刻中保护薄膜的蚀刻速率几乎为零。从而实现了本发明的目的。

用于图案化的过程包括用混合的弱酸溶液通过湿蚀刻使金属薄膜和保护薄膜图案化的过程。

根据本发明的制造方法是用于制造基片的方法，其中第一电极用作薄膜晶体管的漏极，而第二电极用作由薄膜晶体管控制的像素电极。该制造方法还包括形成栅信号线，形成薄膜晶体管的栅电极，形成至少覆盖部分栅信号线的栅绝缘薄膜，形成源信号线，和去除在栅信号线上的部分栅绝缘薄膜的过程。栅电极是从栅信号线分支出来的。源电极是从源信号线分支出来的。第二蚀刻为干蚀刻。通过干蚀刻，可以去除部分栅绝缘薄膜，同时形成接触孔。

所述保护薄膜可以是非晶传导性氧化物。

非晶传导性氧化物可以是包含氧化铟和氧化锌的氧化物。

金属薄膜可以包含钼。

附图说明

图1为本发明的一个例子中的液晶显示器的有源矩阵基片的平面示意图。

图2为本发明的一个例子中有源矩阵基片的平面图。

图3为在本发明的一个例子中的液晶显示器沿图2中的线P-P的剖面图。

图4为在本发明的一个例子中的液晶显示器沿图2中的线Q-Q的剖面图。

图5为用于说明本发明的一个例子中有源矩阵基片的制造方法的剖面图。

图6为用于说明本发明的一个例子中有源矩阵基片的制造方法的剖面图。

图7为用于说明本发明的一个例子中有源矩阵基片的制造方法的剖面图。

图8为用于说明本发明的一个例子中有源矩阵基片的制造方法的剖面图。

图9为用于说明本发明的一个例子中有源矩阵基片的制造方法的剖面图。

图10为用于说明本发明的一个例子中有源矩阵基片的制造方法的剖面图。

图11为在本发明的另一例子中液晶显示器剖面图。

图12为传统有源矩阵基片的平面示意图。

图13为传统有源矩阵基片110的剖面图。

图14为传统液晶显示器沿图13中的线P-P的剖面图。

图15为传统液晶显示器沿图13中的线Q-Q的剖面图。

图16为图14中的液晶显示器的剖面图，其中接触孔不仅穿过绝缘薄膜还穿过漏极到达栅绝缘薄膜中。

具体实施方式

以下对液晶显示器，特别是具有有源矩阵基片的液晶显示器进行说明。本发明不限于这些液晶显示器及具有有源矩阵基片的液晶显示器。可以将本发明用于一任意的结构，其中第一电极和第二电极通过接触孔电连接。在覆盖第一电极的绝缘薄膜上形成第二电极，并且在绝缘薄膜中形成接触孔。

在本发明的一个例子中的液晶显示器包括有源矩阵基片，其中漏极和像素电极通过接触孔电连接。像素电极是在覆盖漏极的绝缘薄膜上形成的，而接触孔是在绝缘薄膜中形成的。

图1为本发明的一个例子中的液晶显示器的有源矩阵基片的平面示意图。

有源矩阵基片10包括多个薄膜晶体管（以下也称为“TFT”）20、多条源信号线14、及多条栅信号线12。薄膜晶体管20排成矩阵形态。源信号线14是沿以列方向排列的薄膜晶体管20彼此相隔预定距离平行设置的。栅信号线12是沿以排方向排列的薄膜晶体管20彼此相隔预定距离平行设置的。

相应的源驱动器18分别连接至各条源信号线14。各源驱动器18将电压施加到相应的源信号线14，且该电压与视频信号相对应。

相应的源驱动器16分别连接至各条栅信号线12。各源驱动器16将电压施加到相应的栅信号线12，且该电压与扫描信号相对应。

每个薄膜晶体管20都包括栅电极22、源电极24和漏电极26。栅电极22是从相应的栅信号线12分支出来的，而源电极24是从相应的源信号线14分支出来的。

每个漏极26都与相应的像素电极30相连。每个像素电极30都是相应像素电容器28的一个终端。各像素电容器的另一个终端是设置在对基片54上的电容器极板32（见图3和4）。电容器极板32通常被多个像素电极30共享。

有源矩阵基片10包括显示区34和终端区36。显示区34用于视频显示，而将终端区围绕显示区34的外围排列。在显示区34中，排列了多个像素电极30和薄膜晶体管20。在终端区36中，排列了多个栅驱动器16和源驱动器18。

液晶显示器70（见图3和4）包括有源矩阵10、对基片53（见图3和4）及液晶58（见图3）。对基片54与有源矩阵10相对。液晶58插在有源矩阵10和对基片54之间（见图3和4）。

当各薄膜晶体管20相对于由栅驱动器16施加的信号开或关时，将与由源驱

动器 18 施加的视频信号相对应的电压施加到相应的像素电极 30 上。液晶的取向是根据施加到像素电极 30 和电容器极板 32 上的电压控制的。藉此，在液晶显示器上显示图象（见图 3 和 4）。

图 2 为本发明的一个例子中有源矩阵基片的平面图。

如图 2 所示的栅驱动器 16 包括信号输入终端部分 38，其中扫描信号是从外部输入的。

像素电极 30 通过连接孔 50 与漏极 26 连接。

图 3 为本发明的一个例子中的液晶显示器沿图 2 中的线 A-A 的剖面图。

如图 3 中所示的传统液晶显示器 70 包括有源矩阵基片 10、对基片 54、和液晶 58。液晶 58 插在有源矩阵基片 10 和对基片 54 之间。

图 3 示出像素电极 30 的剖面结构。在有源矩阵基片 10 的显示区 34 中，像素电极 30 与薄膜晶体管 20 和薄膜晶体管 20 的漏极 26 相连。

有源矩阵结构包括透明绝缘基片 39。栅电极 22 是在透明绝缘基片 39 上形成的。栅电极 22 包括 TaN、Ta 和 TaN 的层迭结构（TaN/Ta/TaN）。

栅绝缘薄膜 40 是在透明绝缘基片 39 上形成的，以覆盖栅电极 22。

半导体层 46 是通过栅绝缘薄膜 40 在栅电极 22 上形成的。n+硅（Si）层 48 是在半导体层 46 上形成的，以与半导体层 46 对齐。

从源信号线 14 分支出来的源电极 24 在部分栅绝缘薄膜 40 上形成，以覆盖 n+Si 层 48 的部分表面，及 n+Si 层 48 和半导体层 46 的侧面。

漏极 26 在栅绝缘薄膜 40 的其它部分形成，以覆盖 n+Si 层 48 的表面的其它部分，及 n+Si 层 48 和半导体层 46 的其它侧面。

源电极 24 和漏极 26 相隔预定距离排列在 n+Si 层 48 的表面。

漏极 26 包括金属薄膜 42 和保护薄膜 44 的层迭结构。

薄膜晶体管 20 包括栅电极 22、半导体层 46、n+Si 层 48、源电极 24 和漏极 26。

在有源矩阵基片 10 中，源电极 24 和源信号线 14 还包括和漏极 26 一样的金属薄膜 42 和保护薄膜 44 的层迭结构。

在栅绝缘薄膜 40 上形成用于保护薄膜晶体管 20 的绝缘薄膜 52，以覆盖源电极 24、漏极 26 和 n+Si 层 48 的其它部分的表面。绝缘薄膜 52 的材料为，例如：

SiN_x。

在绝缘薄膜 52 中形成接触孔 50。接触孔 50 穿过绝缘薄膜 52 到达漏极 26。形成接触孔以连接保护薄膜 44。即，相对于金属薄膜 42 在接触孔的一侧形成保护薄膜 44。

在绝缘薄膜 52 上形成像素电极 30 以通过接触孔 50 与漏极 26 相连。像素电极 30 的材料是透明的 IT0。

在薄膜晶体管 20 中，通过蚀刻（第一蚀刻）形成漏极 26 的金属薄膜 42 和保护薄膜 44。就用于形成金属薄膜 42 和保护薄膜 44 的蚀刻而言，金属薄膜 42 的蚀刻速率几乎与保护薄膜 44 的相等。藉此，通过同时蚀刻金属薄膜 42 和保护薄膜 44，形成具有几乎相同图案的金属薄膜 42 和保护薄膜 44。在此情况下，金属薄膜 42 的蚀刻速率几乎与保护薄膜 44 的相等的意义在于同时蚀刻的金属薄膜 42 和保护薄膜 44 之间的设计误差变成在理想的范围之内。

相对用于在绝缘薄膜 52 中形成接触孔 50 的蚀刻（第二蚀刻），保护薄膜 44 的蚀刻速率几乎为零。

满足这些属性的金属薄膜 42 的材料是，例如，Mo。保护薄膜 44 的是，例如，非晶传导性氧化物。非晶传导性氧化物是，例如，IZO。IZO 是包含氧化铟和氧化锌的氧化物，和主要由氧化铟和氧化锌组成的 In-Zn-O。在此情况下，由 Idemitsu Kosan 股份有限公司制造的，主要由 In₂O₃ 和 ZnO 组成的 IZO 被用作非晶传导性氧化物。

对基片 54 包括透明绝缘基片 56 和设置在透明绝缘基片 56 上的电容器极板 32。

图 4 为在本发明的一个例子中的液晶显示器沿图 2 中的线 B-B 的剖面图。

图 4 示出在有源矩阵基片 10 的终端区 136 中，栅驱动器 16 中信号输入终端部分 38 的剖面结构。

在透明绝缘基片 39 上形成栅信号线 12。栅信号线 12 包括 TaN、Ta 和 TaN 的层迭结构（TaN/Ta/TaN）。此时，栅信号线 12 是用与栅电极 22 相同的材料形成的。

在透明绝缘基片 39 上形成栅绝缘薄膜 40 以覆盖栅信号线 12 的两端。在栅绝缘薄膜 40 上形成绝缘薄膜 52。

形成抗氧化薄膜 60 以覆盖栅绝缘薄膜 40 和绝缘薄膜 52 的侧面及绝缘薄膜 52 的部分表面。抗氧化薄膜 60 用于防止栅信号线 12 氧化，氧化会增加阻抗。此时，抗氧化薄膜 60 的材料是透明的 ITO，并且此 ITO 是与像素电极 30 相同的材料。

图 5-10 是用于说明本发明的一个例子中有源矩阵基片的制造方法的剖面图。

图 5 (a)、图 6 (a)、图 7 (a)、图 8 (a)、图 9 (a)、图 10 (a) 与沿图 2 中的线 A-A 的剖面图相对应，并示出形成像素电极 30 的过程。在显示区 34 中像素电极 30 与薄膜晶体管 20 以及薄膜晶体管 20 的漏极 26 相连 (见图 1)。

图 5 (b)、图 6 (b)、图 7 (b)、图 8 (b)、图 9 (b)、图 10 (b) 与沿图 2 中的线 B-B 的剖面图相对应，并示出在终端区 36 形成栅驱动器 16 的信号输入终端部分 38 的过程。(见图 1)。

首先，参见图 5 (a) 和 (b)。通过溅射法之类的方法将用于形成栅信号线 12 和栅电极 22 的材料 (例如: TaN/Ta/TaN) 沉积在厚度为 4000 埃的透明绝缘基片 39 上。然后，将沉积的材料掩模曝光、显影和干蚀刻以形成具有规定图案的栅信号线 12 和栅电极 22。

然后参见图 6 (a) 和 (b)。连续地沉积用于形成栅绝缘薄膜 40 的材料 (例如: Si_3N_4)、用于形成半导体层 46 的材料和用于形成 n+Si 层 48 的材料，以覆盖栅信号线 12 和栅电极 6。这些材料是通过 CVD 法沉积的，以具有约 5000 埃的总厚度。

然后，将沉积的材料曝光、显影、干蚀刻并剥离以形成具有预定图形的半导体层 46 和 n+Si 层 48。

如图 6 (a) 和 (b) 所示，在显示区 34 中 (见图 1)，用于形成半导体层 46 和 N+Si 层 48 的材料仅保留在沿线 A-A 的剖面中的区域中，用于形成薄膜晶体管 20 (见图 2)。在另一区域去除用于形成半导体层 46 和 N+Si 层 48 的材料。

在终端区 36 中 (见图 1)，通过蚀刻去除用于形成半导体层 46 和 N+Si 层 48 的材料。

然后参见图 7 (a) 和 (b)。在栅绝缘薄膜 40 上，沉积了厚度为 1500 埃的金属薄膜 42 材料 (例如: Mo)，并连续地通过溅射法沉积了厚度为 100 埃的保护薄膜 44 材料 (例如: IZO)。

然后，通过掩模曝光和显影使光刻胶形成图案。然后，用混合的弱酸溶液 (例

如：3%硝酸、73%磷酸和 3%醋酸的混合溶液）通过湿蚀刻去除部分沉积的金属薄膜 42 和保护薄膜 44 的材料。

可以用硝酸、磷酸和醋酸等弱酸的混合溶液蚀刻金属薄膜 42 的材料（例如：Mo）和保护薄膜 44 材料（例如：IZO），因为对于用于形成金属薄膜 42 和保护薄膜 44 的蚀刻（在此处为湿蚀刻），金属薄膜 42 的蚀刻速率几乎与保护薄膜 44 的相等。因此，可以通过与一个漏极 26 相同的蚀刻使金属薄膜 42 和保护薄膜 44 形成图案。

在终端区 36 的信号输入终端区 38 中（见图 1），金属薄膜 42 的材料（例如：Mo）和保护薄膜 44 材料（例如：IZO）都是通过蚀刻去除的。

接着，通过干蚀刻在源电极 24 和漏极 26 之间形成沟道，并形成源信号线 14、源电极 24 和漏极 26。在此情况下，各源信号线 14、源电极 24 和漏极 26 都包括金属薄膜 42 和保护薄膜 44 的层迭结构。

然后参见图 8 (a) 和 (b)。在栅绝缘薄膜 40 上沉积绝缘薄膜 52 的材料（例如： Si_xN_y ）以覆盖源电极 24、漏极 26 和 n+Si 层 48 的部分表面。通过 CVD 法沉积厚度约为 3500 埃的此种材料。然后对绝缘薄膜 52 的材料进行掩模曝光和显影以使光刻胶形成图案。

然后，参见图 9(a)和 (b)。在显示区 34 中（见图 1），去除在漏极 26 的保护薄膜 44 上的绝缘薄膜 52 以形成接触孔 50。在终端区 36 中（见图 1），去除了栅信号线 12 的上部形成的绝缘薄膜 52 的一部分，并连续地去除在同一栅信号线 12 上形成的栅绝缘薄膜 40 的一部分。这些过程是用 CF_4 和 O_2 的混合气体通过干蚀刻完成的。

此时，因为相对于在绝缘薄膜 52 中形成接触孔 50 的蚀刻（这里为干蚀刻），保护薄膜 44 的蚀刻速率几乎为零，包括保护薄膜 44 的部分漏极不会通过此蚀刻去除。

然后，参见图 10(a)和 (b)。通过溅射法在绝缘薄膜 52 上沉积 ITO 以覆盖接触孔 50、曝光的栅信号线 12、和栅绝缘薄膜 40 和绝缘薄膜 52 的侧面。

然后，沉积的 ITO 是通过掩模曝光和显影而图形化光刻胶，并且由氯化铁蚀刻形成像素电极 30 和抗氧化薄膜 60。

如上所述制造成本发明的一个例子中的有源矩阵基片 10。

再参见图 9(a)和 (b)。在显示区 34 中仅需要蚀刻绝缘薄膜 52。然而，在终端区 36 的信号输入终端区 38 不仅要蚀刻绝缘薄膜 52 还要蚀刻栅绝缘薄膜 40。因此，在显示区 34 中，蚀刻显示区 34 的时间比仅蚀刻显示区 34 的绝缘薄膜 52 所需的时间长。

然而，根据本发明，除了绝缘薄膜 52 之外，保护薄膜 44 不与金属薄膜 42 接触。因此，当蚀刻显示区 34 的时间超过蚀刻一般所需的时间，漏极 26 不受干蚀刻的伤害而且保护金属薄膜 42 不被蚀刻。

当将 RIE（反应离子蚀刻）用作干蚀刻时，蚀刻过程执行如下：使固体材料和气体起反应，使固体材料起化学反应后变成挥发性气体而蚀刻。当将 RIE（反应离子蚀刻）用于制造有源矩阵基片 10 时，不能用基于氟的气体蚀刻包含铟的保护薄膜 44，因为铟和氟的化合物具有低挥发性。因此，因为像素电极 30 通过接触孔 50 与漏极 26 的表面相连，像素电极 30 和漏极 26 稳定地电连接。

如上所述，根据本发明的一个例子，像素电极 30 通过在绝缘薄膜 52 中形成的接触孔 50 与漏极 26 相连，且漏极 26 包括金属薄膜 42 和保护薄膜 44 的层迭结构。此时，因为保护薄膜 44 是接触孔 50 相对金属薄膜 42 的一侧形成的，漏极 26 不被干蚀刻损伤，且不形成接触孔 50 以扩展到漏极 26 的内部。因此，像素电极 30 与漏极 26 的表面相连，且像素电极 30 和漏极 26 稳定地电连接。

结果，根据本发明，可以不必增加掩模曝光、蚀刻和成本地电连接像素电极 30 和漏极 26。

图 11 为在本发明的另一例子中液晶显示器剖面图。

如图 11 所示的液晶显示器 70A 的有源矩阵基片 10A 与沿图 2 中线 A-A 的剖面图相对应。相同组件使用与有源矩阵基片 10 中相同的参考号。省略对这些组件的具体说明。

有源矩阵基片 10A 与有源矩阵基片 10 不同，因为它包括漏极 26A 和源极 24A，其中金属薄膜 42 是在接触孔 50A 相对于保护薄膜 44 的一侧形成的。

在制造有源矩阵基片 10A 时，不仅要蚀刻绝缘层 52 还要蚀刻终端区 36 中的栅绝缘薄膜 40（见图 1）。因此，在显示区 34（见图 1），蚀刻显示区 34 的时间比仅蚀刻显示区的绝缘薄膜 52 所需的时间长，从而还蚀刻了为了与绝缘薄膜 52 相连而形成的金属薄膜 42。

然而，在此例中，因为保护薄膜 44 是在金属薄膜 42 下形成的，金属薄膜 42 不被干蚀刻所损伤，且接触孔 50A 不延伸到保护薄膜 44 的内部。藉此，像素电极 30 与薄膜晶体管 20A 的漏极 26A 的保护薄膜 44 相连，从而像素电极 30 和漏极 26A 稳定地电连接。

在以上说明中，虽然将主要由非晶氧化铟和氧化锌组成的 IZO 薄膜作为保护薄膜 44 的非晶传导性氧化物的例子进行说明，非晶传导性氧化物并不限于 IZO 薄膜。如果将主要由非晶氧化铟和氧化锡组成的 ITO 薄膜用作非晶传导性氧化物，可以得到与由 IZO 薄膜得到的相同的效果。

可以用 H_2O 和 H_2 通过沉积 ITO 或在低于 ITO 的结晶温度的温度下形成非晶 ITO（参见 J,Vac.Sci.Technol., A8(3),1403(1990)）。

工业实用性

根据本发明，在不增加成本和加工的情况下，第一电极和第二电极通过第一电极上的绝缘薄膜稳定地电连接。

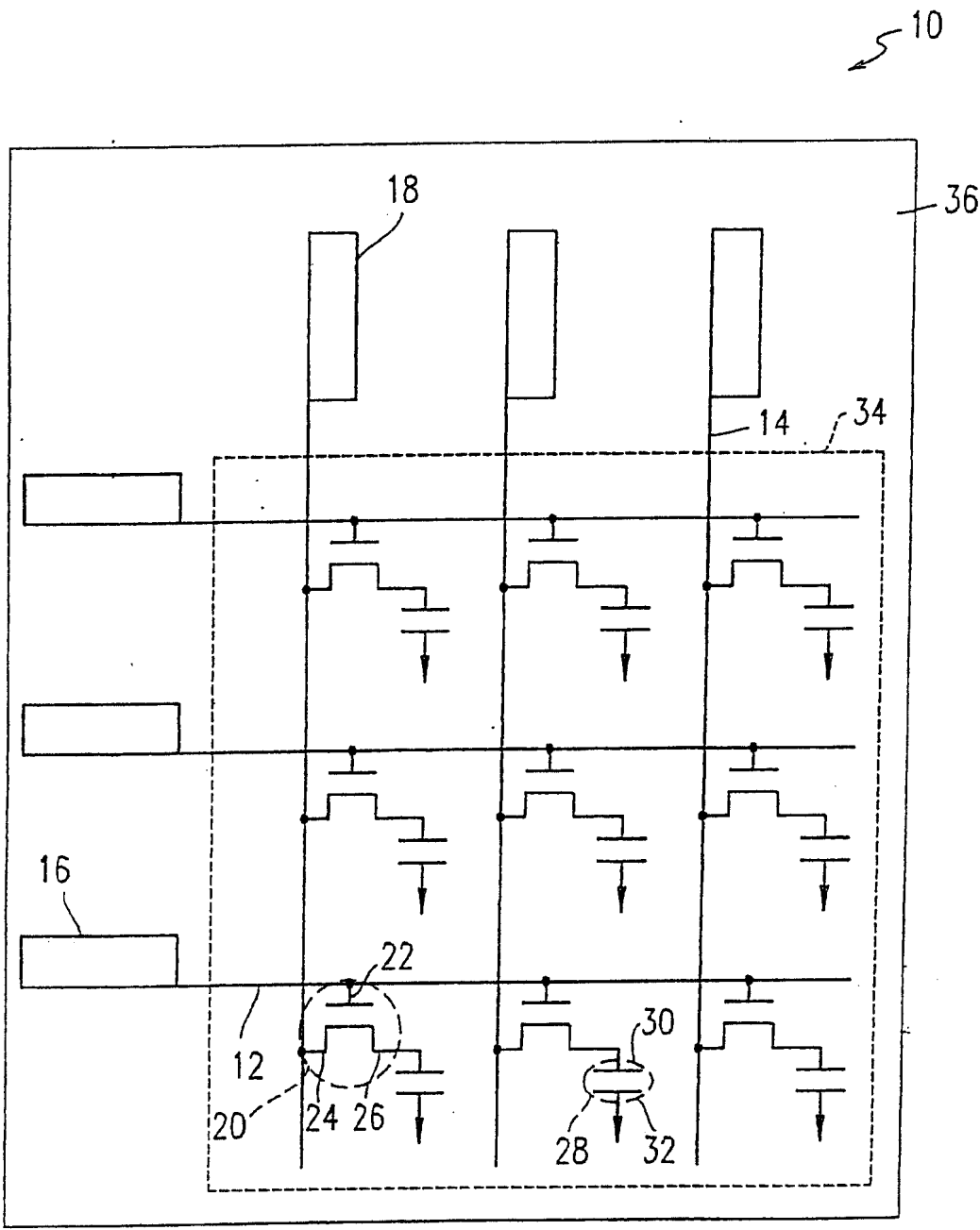


图 1

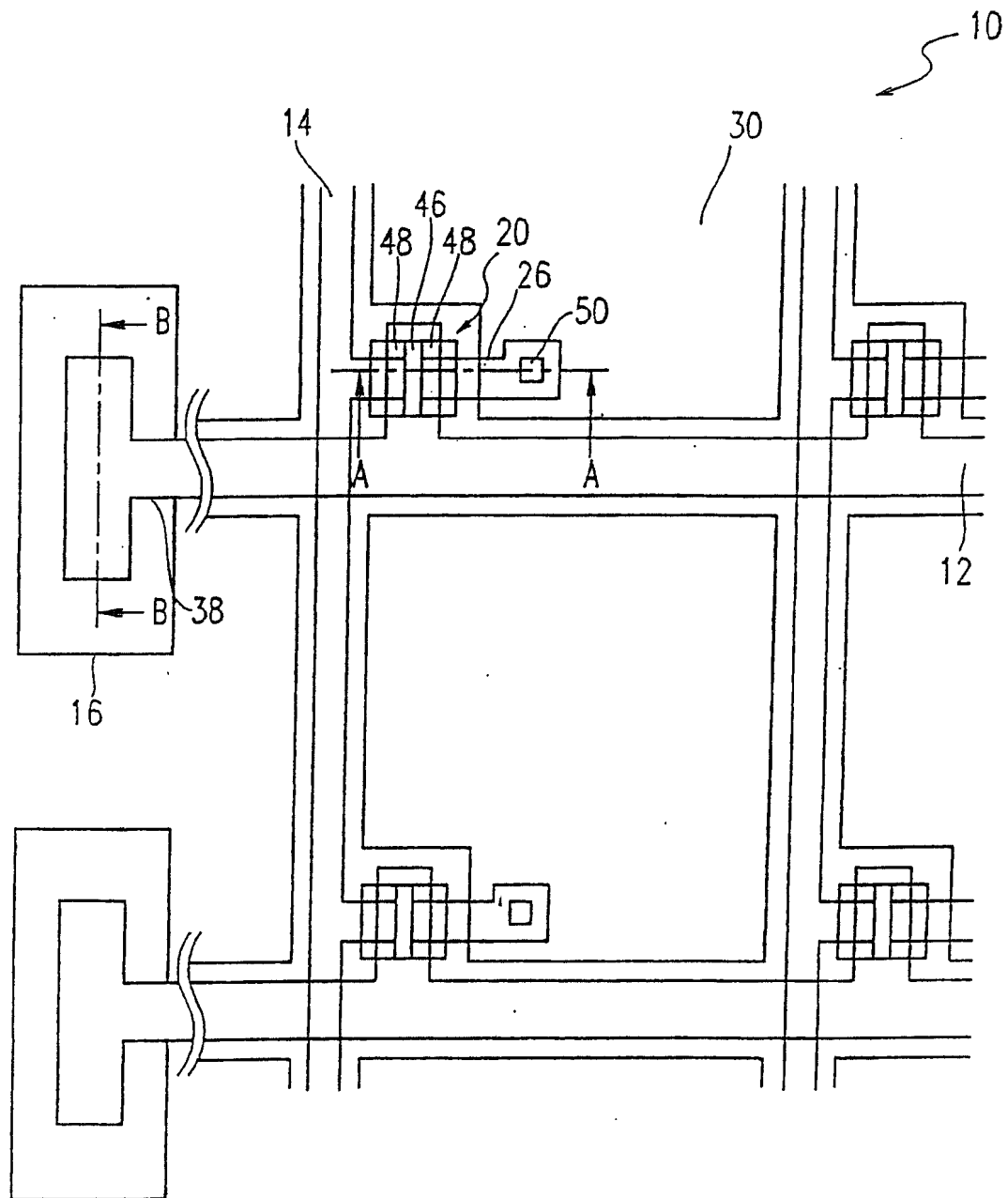


图 2

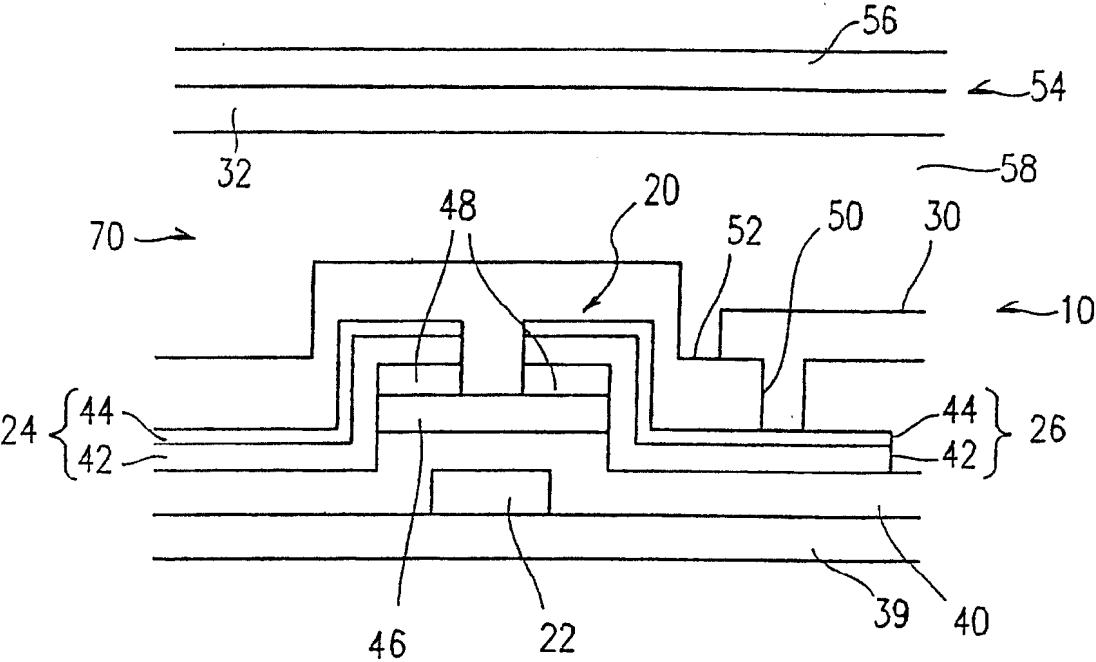


图 3

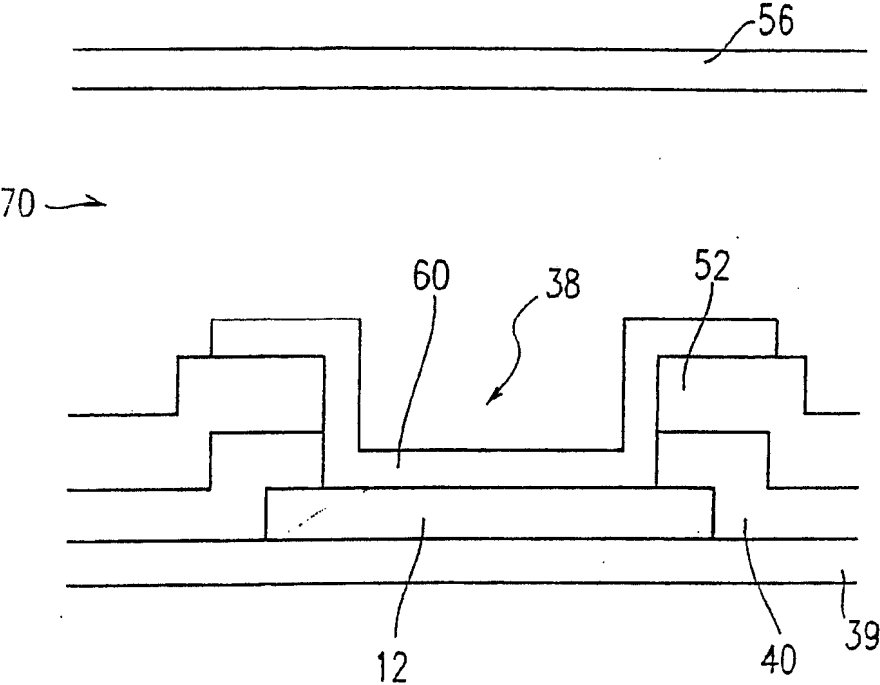


图 4

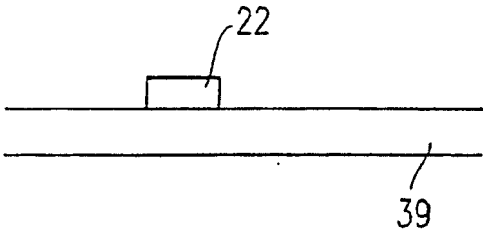


图 5A

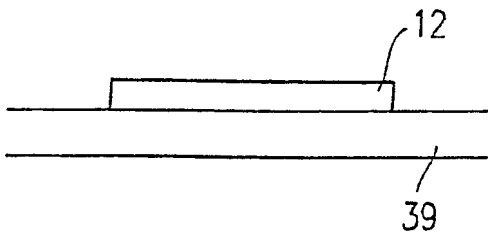


图 5B

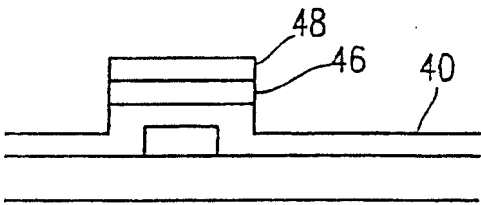


图 6A

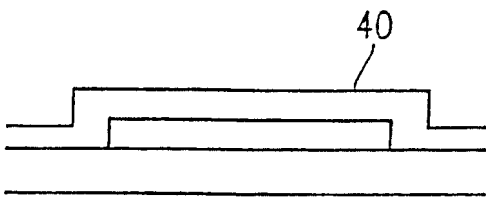


图 6B

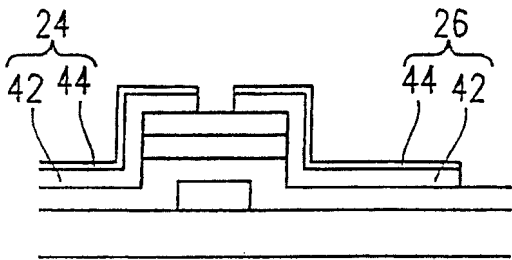


图 7A

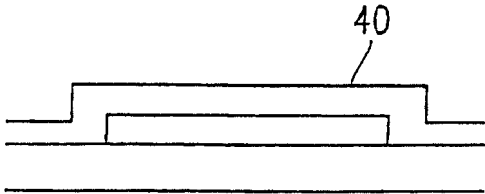


图 7B

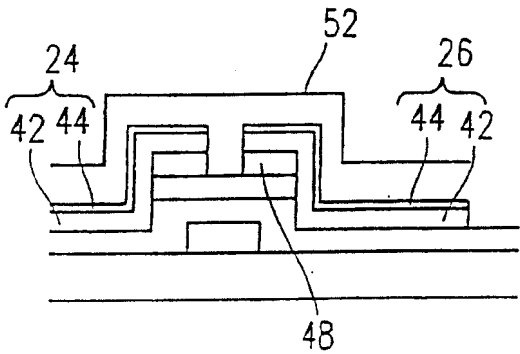


图 8A

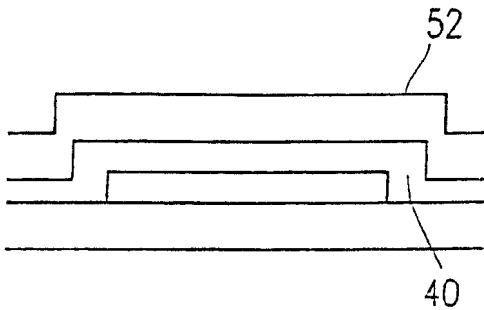


图 8B

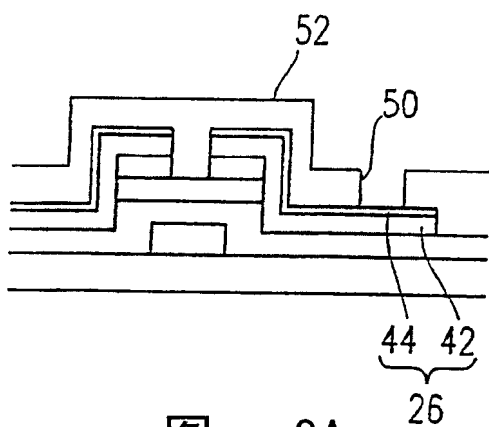


图 9A

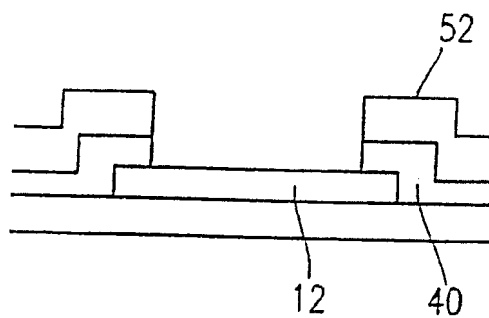


图 9B

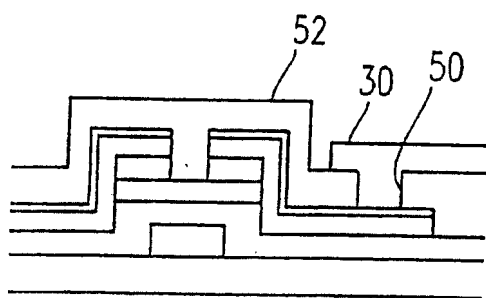


图 10A

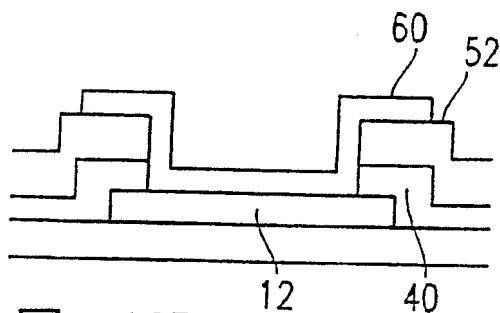


图 10B

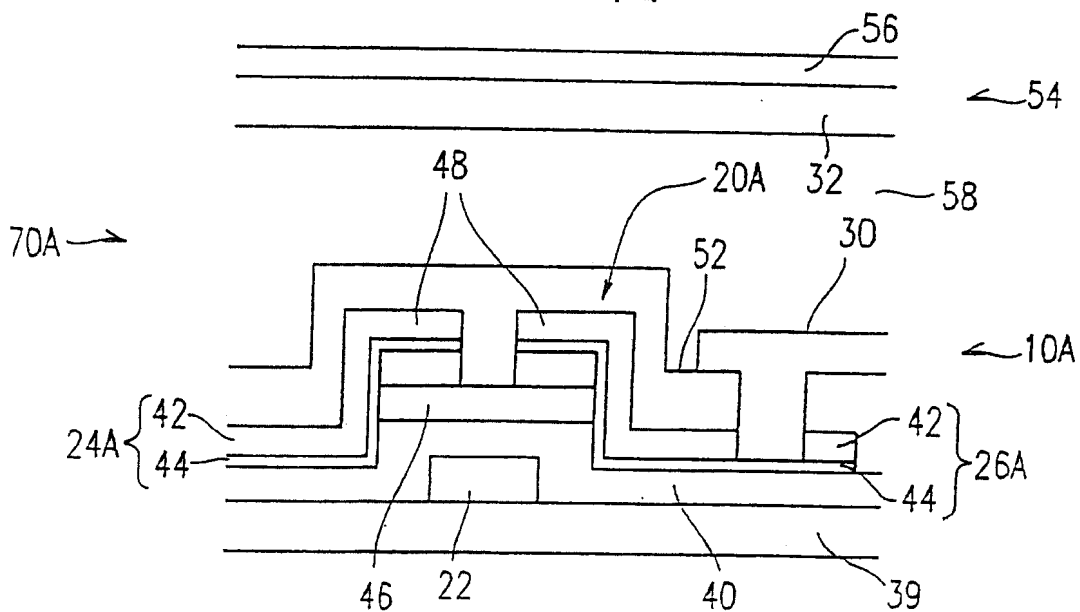


图 11

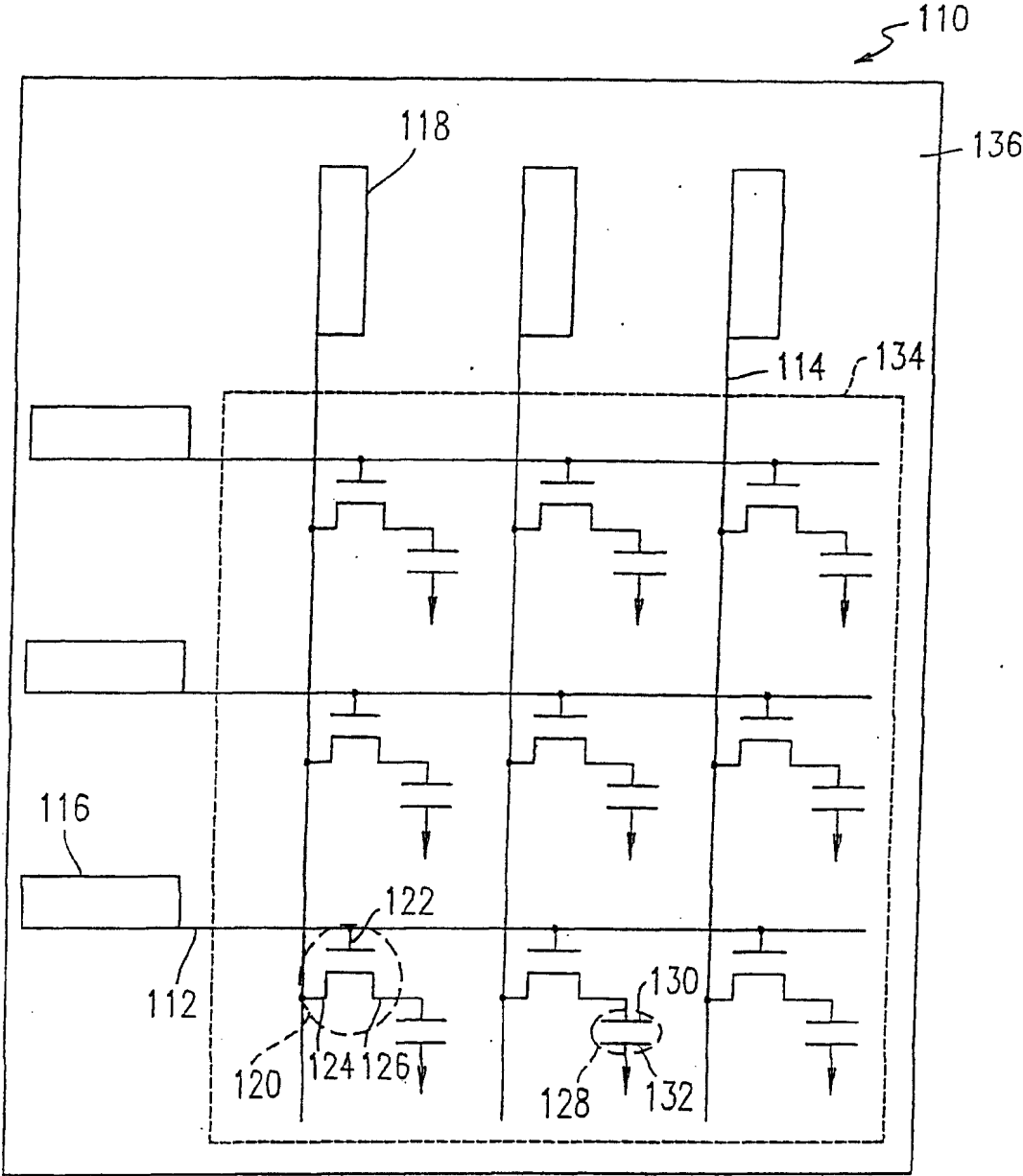


图 12

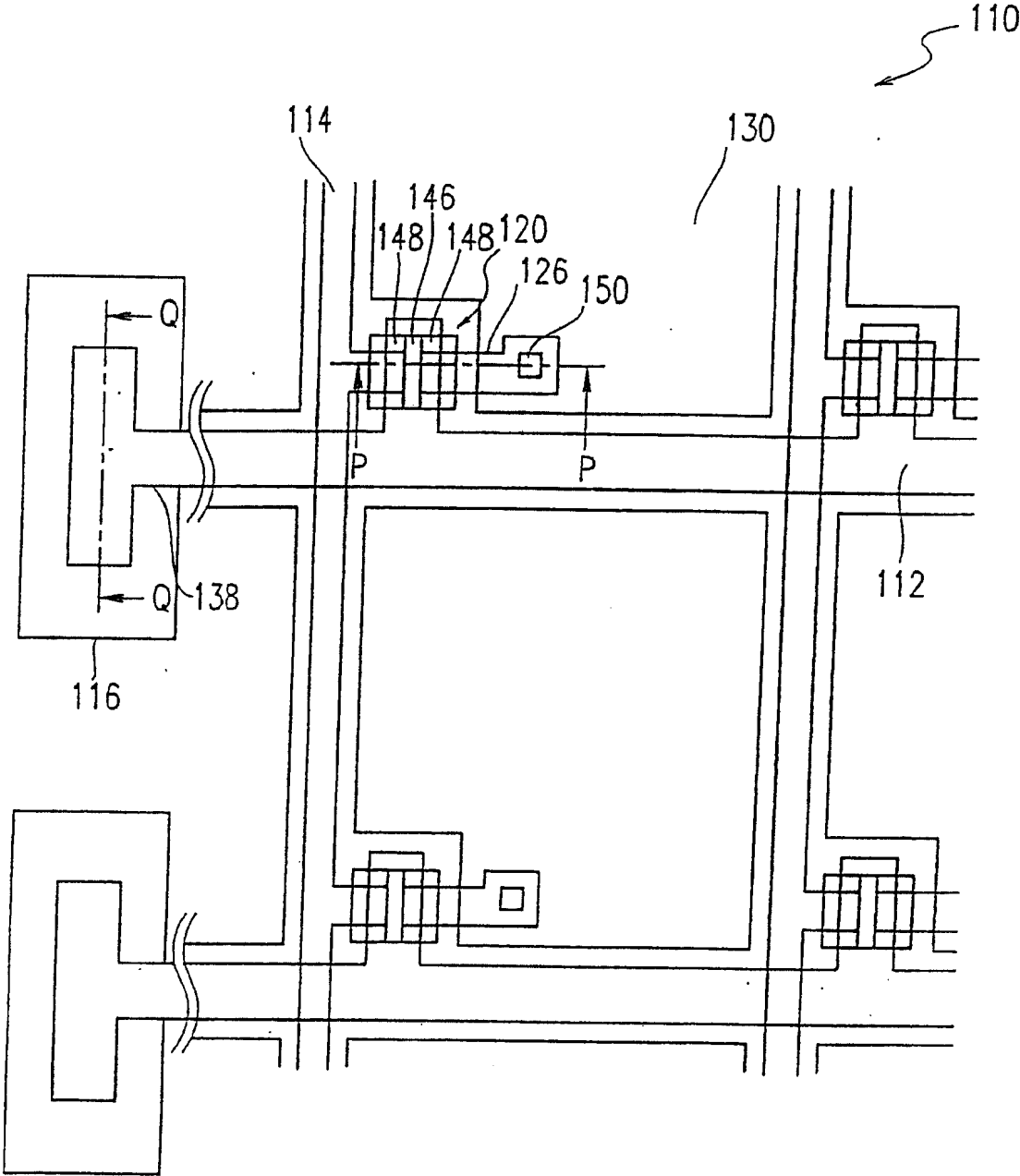


图 13

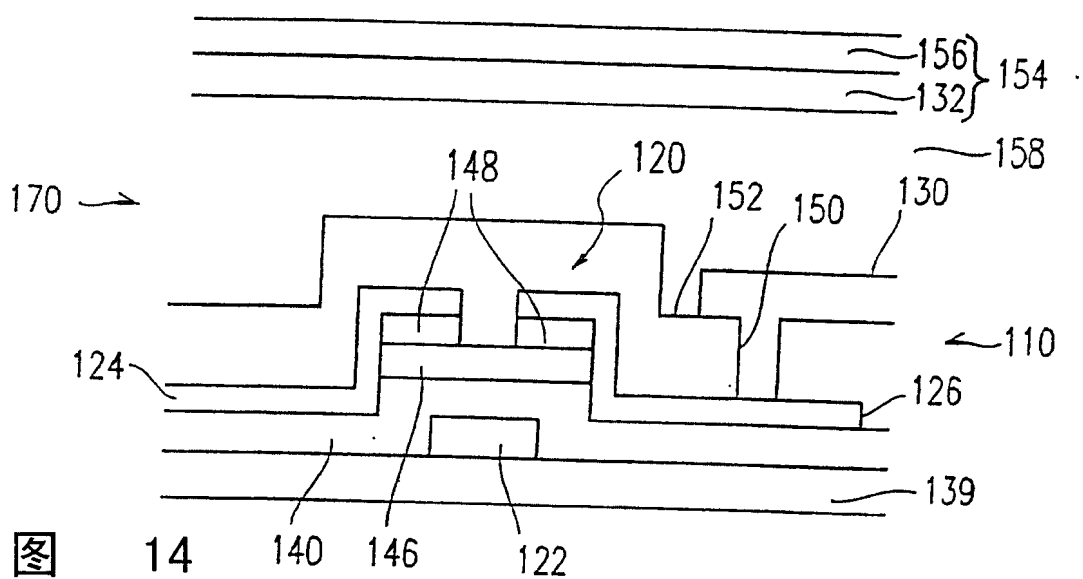


图 14

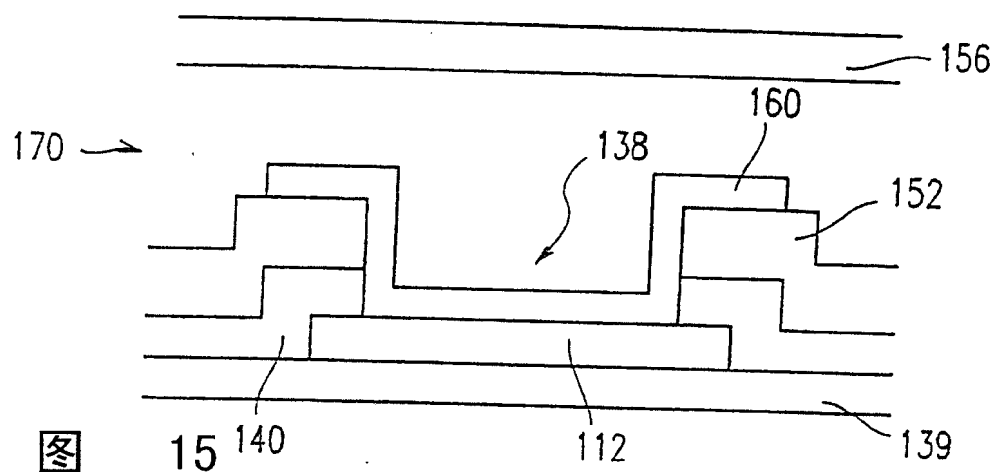


图 15

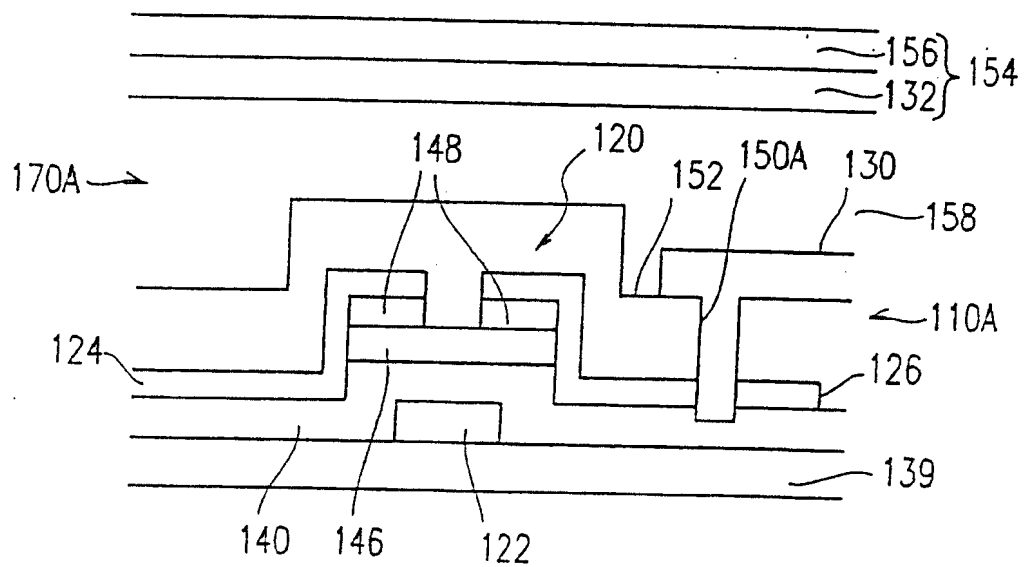


图 16

专利名称(译)	基片、具有该基片的液晶显示器及其制造方法		
公开(公告)号	CN100367103C	公开(公告)日	2008-02-06
申请号	CN03811406.2	申请日	2003-04-14
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	小倉雅史 片岡義晴		
发明人	小倉雅史 片岡義晴		
IPC分类号	G09F9/30 H01L29/786 G02F1/1362 G02F1/1368 H01L21/336 H01L29/45		
CPC分类号	H01L29/66765 H01L29/458 G02F2001/13629 G02F1/136227		
审查员(译)	王敏		
优先权	2002113903 2002-04-16 JP		
其他公开文献	CN1653508A		
外部链接	Espacenet SIPO		

摘要(译)

本发明的基片(10)包括：第一电极(26)和第二电极(30)。第二电极(30)在至少覆盖部分第一电极(26)的绝缘薄膜(52)上形成，并通过在绝缘薄膜(52)中形成的接触孔(50)与第一电极(26)电连接。所述第一电极(26)包括金属薄膜(42)和保护薄膜(44)的层迭结构。相对用于形成金属薄膜(42)和保护薄膜(44)的第一蚀刻，金属薄膜(42)的蚀刻速率几乎等于保护薄膜(44)的蚀刻速率。相对用于形成接触孔(50)的第二蚀刻，保护薄膜(44)的蚀刻速率几乎为零。

