

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610074173.3

[43] 公开日 2006年10月11日

[11] 公开号 CN 1845235A

[22] 申请日 2006.4.7

[21] 申请号 200610074173.3

[30] 优先权

[32] 2005.4.7 [33] JP [31] JP2005-111439

[71] 申请人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 能势崇

[74] 专利代理机构 中原信达知识产权代理有限责任公司

代理人 关兆辉 陆锦华

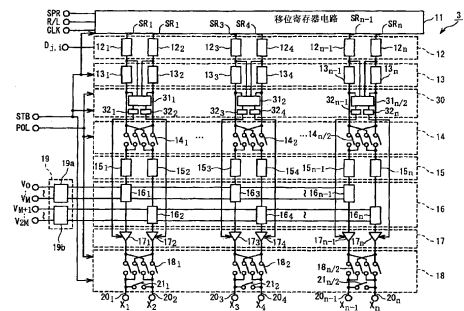
权利要求书 6 页 说明书 24 页 附图 15 页

[54] 发明名称

改善反相驱动的液晶显示器

[57] 摘要

本发明涉及一种改善反相驱动的液晶显示器。该液晶显示器包括：第一和第二数据线 (X_{2k-1} , X_{2k})、第一和第二运算放大器 (17_{2k-1} , 17_{2k}) 以及短路电路 (2_{1k})。构成第一运算放大器 (17_{2k-1}) 以在第一周期期间驱动第一数据线 (X_{2k-1}) 到第一极性的电位，并且在第一周期之后的第二周期期间驱动第二数据线 (X_{2k}) 到第一极性的电位。构成第二运算放大器 (17_{2k}) 以在第一周期期间驱动第二数据线 (X_{2k}) 到与第一极性互补的第二极性的电位，并且在第二周期期间驱动第一数据线 (X_{2k-1}) 到第二极性的电位。构成短路电路 (2_{1k}) 在第一和第二周期之间的短路周期期间，短路第一和第二数据线 (X_{2k-1} , X_{2k})。根据在短路周期期间第一和第二数据线 (X_{2k-1} , X_{2k}) 的短路电位来控制第一和第二运算放大器 (17_{2k-1} , 17_{2k}) 的驱动能力。



1. 一种液晶显示器，包括：

第一和第二数据线；

构成第一运算放大器以在第一周期期间驱动所述第一数据线到第一极性的电位，并且在所述第一周期之后的第二周期期间驱动所述第二数据线到所述第一个极性的电位；

构成第二运算放大器以在所述第一周期期间驱动所述第二数据线到与所述第一极性互补的第二极性的电位，并且在所述第二周期期间驱动所述第一数据线到所述第二极性的电位；

构成短路电路以在所述第一和第二周期之间的短路周期期间短路所述第一和第二数据线，

其中根据在所述短路周期期间所述第一和第二数据线的短路电位控制所述第一和第二运算放大器的驱动能力。

2. 根据权利要求1的液晶显示器，其中根据所述短路电位与在所述第二周期期间驱动所述第二数据线的电位之间的差值来控制所述第二周期期间所述第一运算放大器的驱动能力，以及

其中根据所述短路电位与在所述第二周期期间驱动所述第一数据线的电位之间的差值来控制所述第二周期期间所述第二运算放大器的驱动能力。

3. 根据权利要求1的液晶显示器，其中所述第一运算放大器在所述第一周期期间，根据第一像素数据驱动所述第一数据线，在所述第二周期期间根据第二像素数据驱动所述第二数据线，

其中所述第二运算放大器在所述第一周期期间，根据第三像素数据驱动所述第二数据线，在所述第二周期期间根据第四像素数据驱动所述第一数据线，

其中除所述短路电位之外，根据所述第二像素数据控制在所述第二周期期间所述第一运算放大器的所述驱动能力，以及

其中除所述短路电位之外，根据所述第四像素数据控制在所述第二周期期间所述第二运算放大器的所述驱动能力。

4. 根据权利要求3的液晶显示器，其中除所述第二像素数据之外，根据所述第一和第三像素数据控制在所述第二周期期间所述第一运算放大器的所述驱动能力，以及

其中除所述第四像素数据之外，根据所述第一和第三像素数据控制在所述第二周期期间所述第二运算放大器的所述驱动能力。

5. 根据权利要求4的液晶显示器，其中所述第一极性是正极性，其中所述第一运算放大器为所述第一和第二数据线提供输出电平，从而所述输出电平随着所述第一和第二像素数据值的增大而升高，其中所述第二极性是负极性，以及

其中所述第二运算放大器为所述第一和第二数据线提供输出电平，从而所述输出电平随着所述第三和第四像素数据值的增大而降低，其中根据所述第一与第三像素数据值之间的差值的一半与所述第二像素数据值之间的差值，在所述第二周期期间所述第一运算放大器的所述驱动能力是可控的，以及

其中根据所述第一和第三像素数据值之间的差值的一半与所述第四像素数据值之间的差值，在所述第二周期期间所述第二运算放大器的所述驱动能力是可控的。

6. 根据权利要求4的液晶显示器，还包括传送所述第一到第四像素数据的LCD控制器，

其中在独立于所述LCD控制器准备的数据驱动器中提供所述第一和第二运算放大器，

其中所述LCD控制器根据所述第一到第三像素数据产生第一控制数据，以传送所述第一控制数据到所述数据驱动器，并且根据所述第一、第二和第四像素数据产生第二控制数据，以传送所述第二控制数据到所述数据驱动器，

其中根据所述第一控制数据控制在所述第二周期期间所述第一运算放大器的所述驱动能力，以及

其中根据所述第二控制数据控制在所述第二周期期间所述第二运算放大器的所述驱动能力。

7. 一种液晶显示器，包括：

多个数据线，包括：

多个第一数据线；以及

多个第二数据线；

多个第一运算放大器根据第一像素数据在第一周期期间为所述第一数据线提供正极性的正数据信号，并且根据第二像素数据在所述第一周期之后的第二周期期间为所述第二数据线提供所述正极性的正数据信号；

多个第二运算放大器根据第三像素数据在第一周期期间为所述第二数据线提供负极性的负数据信号，并且根据第四像素数据在所述第二周期期间为所述第一数据线提供所述负极性的负数据信号；以及

构成短路电路以在所述第一和第二周期之间的短路周期期间短路所述多个数据线，

其中根据在所述短路周期期间所述多个数据线的电位以及相关的所述第二像素数据，控制在所述第二周期期间所述第一运算放大器的驱动能力，以及

其中根据在所述短路周期期间所述多个数据线的电位以及相关的所述第四像素数据，控制在所述第二周期期间所述第二运算放大器的驱动能力。

8. 根据权利要求7的液晶显示器，其中根据所述第一和第三像素数据控制在所述第二周期期间所述第一和第二运算放大器的所述驱动能力。

9. 根据权利要求8的液晶显示器，还包括传送所述第一到第四像

素数据的 LCD 控制器，

其中在独立于所述 LCD 控制器准备的数据驱动器中，提供所述第一和第二运算放大器，

其中所述 LCD 控制器根据所有的所述第一和第三像素数据以及相关的所述第二像素数据分别产生与所述第一运算放大器相关的第一控制数据，以传送所述第一控制数据到所述数据驱动器，并且根据所有的所述第一和第三像素数据以及相关的所述第四像素数据分别产生与所述第一运算放大器相关的第二控制数据，以传送所述第二控制数据到所述数据驱动器，

其中根据所述第一控制数据控制在所述第二周期期间所述第一运算放大器的所述驱动能力，以及

其中根据所述第二控制数据控制在所述第二周期期间所述第二运算放大器的所述驱动能力。

10. 一种液晶显示器，包括：

第一和第二数据线；

第一运算放大器，在第一周期期间根据第一像素数据为所述第一和第二数据线中的一个提供第一极性的数据信号，并且在所述第一周期之后的第二周期期间，根据第二像素数据为所述第一和第二数据线中的另一个提供所述第一极性的数据信号；

第二运算放大器，在所述第一周期期间根据第三像素数据为所述第一和第二数据线中的所述另一个提供与所述第一极性互补的第二极性的数据信号，并且根据第二像素数据为所述第一和第二数据线中的所述一个提供所述第二极性的数据信号；以及

构成的短路电路，以在所述第一和第二周期之间的短路周期期间短路所述第一和第二数据线，

其中根据所述第一和第三像素数据控制所述第一和第二运算放大器的驱动能力。

11. 根据权利要求 10 的液晶显示器，其中根据所述第一和第三像

素数据控制在所述第二周期期间所述第一运算放大器的所述驱动能力，以及

其中根据所述第一、第三和第四像素数据控制在所述第二周期期间所述第二运算放大器的所述驱动能力。

12. 一种液晶驱动器，包括：

分别与第一和第二数据线连接的第一和第二输出端子；

第一运算放大器，在第一周期期间，根据第一像素数据为所述第一和第二输出端子中选择的一个提供第一极性的数据信号，并且在所述第一周期之后的第二周期期间，根据第二像素数据为所述第一和第二输出端子中的另一个提供所述第一极性的数据信号；

第二运算放大器，在所述第一周期期间，根据第三像素数据为所述第一和第二输出端子中的所述另一个提供与所述第一极性互补的第二极性的数据信号，并且在所述第二周期期间，根据第四像素数据为所述第一和第二输出端子中的所述一个提供所述第二极性的数据信号；

构成的短路电路，以在所述第一和第二周期之间的短路周期期间短路所述第一和第二输出端子，

其中根据所述第一和第三像素数据，控制在所述第二周期期间所述第一和第二运算放大器的驱动能力。

13. 根据权利要求 12 的液晶驱动器，其中根据所述第一和第三像素数据，控制在所述第二周期期间所述第一运算放大器的所述驱动能力，以及

其中根据所述第一，第三和第四像素数据，控制在所述第二周期期间所述第二运算放大器的所述驱动能力。

14. 一种驱动液晶显示器面板的方法，包括：

在第一周期期间，使用第一运算放大器驱动第一数据线到第一极性的第一电平，并且使用第二运算放大器驱动第二数据线到与所述第

一极性互补的第二极性的第二电平；

在所述第一周期之后的第二周期期间，使用所述第一运算放大器驱动所述第二数据线到所述第一极性的第三电平，并且使用所述第二运算放大器驱动所述第一数据线到所述第二极性的第四电平；以及

在所述第一和第二周期之间的短路周期期间，短路所述第一和第二数据线；

其中根据在所述短路周期期间所述第一和第二数据线的短路电位，控制在所述第二周期期间分别用于驱动所述第一和第二数据线的所述第一和第二运算放大器的驱动能力。

15. 根据权利要求 14 的方法，其中根据所述短路电位与所述第三电平之间的差值，控制在所述第二周期期间所述第一运算放大器的所述驱动能力，以及

其中根据所述短路电位与所述第四电平之间的差值，控制在所述第二周期期间所述第二运算放大器的所述驱动能力。

改善反相驱动的液晶显示器

技术领域

本发明涉及液晶显示器(LCD)装置、液晶驱动器、以及驱动LCD面板的方法，特别涉及通过反相驱动方法驱动LCD面板的技术。

背景技术

反相驱动被认为是广泛地用于驱动液晶显示面板的技术之一。反相驱动是以合适的时间和空间间隔，为数据线(或信号线)提供数据信号极性反向的驱动方法，以免LCD面板的图像“烙印(burn-in)”。反相驱动减少了施加到各像素内的液晶电容器上的驱动电压的直流分量，并且有效地防止了图像“烙印”现象。

反相驱动包括两种方法：公共常数驱动方法和公共反相驱动方法。公共常数驱动方法包括对数据信号的极性进行反相，同时维持公共电极(或相对电极)的电平不变；公共电极的电平在下文中称作公共电位 V_{COM} 。另一方面，公共反相驱动方法是数据信号和公共电位 V_{COM} 都反相的驱动方法。公共常数驱动方法与公共反相驱动方法相比，其公共电位 V_{COM} 具有优异的稳定性的优点。如本领域的技术人员众所周知的，公共电位 V_{COM} 的稳定性就抑制闪烁而言是重要的。

一种典型的公共常数驱动方法是施加到各像素上的数据信号的极性相对于水平和垂直方向空间地反相的点反相驱动。应当注意，在本说明书中，相对于公共电位 V_{COM} 来定义数据信号的极性。点反相驱动进一步改善了公共电位 V_{COM} 的稳定性并且有效地抑制了闪烁。最一般地，数据信号极性反相的空间间隔相对于水平和垂直方向是一个像素。然而，在本说明书中的点反相驱动应该被理解为包括数据信号极性反相的空间间隔为两个或更多像素的情况，以及数据信号极性反相的空

间间隔在水平方向与垂直方向之间不同的情况。

在点反相驱动中，将数据线的电平反相，以便相对于垂直方向对写入到像素中的数据信号进行反相。数据线电平的极性在当数据信号写入到在特定的水平行中的像素中时与当数据信号加到在相邻水平行中的像素时数据线电平的极性相反。

伴随数据线电平反相的问题是：由于数据线非常大的电容量要求增加功率，以反相数据线的电平，这将导致液晶显示器的功耗增加。数据线电平反相增加的功耗是严重的问题之一，尤其是在移动电话终端内的液晶显示器中。

已经提出一种方法作为抑制液晶显示器的功耗的技术，包括在对数据线电平进行反相以前短路数据线。例如，日本特许公开专利申请第 Jp-A Heisei 11-95729 号公开了在液晶显示器内对数据线电平进行反相以前短路相邻数据线的技术，适合于具有空间间隔的点反相驱动，以反相构成一个像素的数据信号。短路数据线允许积聚在数据线中的电荷被有效地利用，并由此抑制液晶显示器中的功耗。日本特许公开专利申请第 Jp-A 2002-62855 号还公开了在数据线电平极性不反相的非反相周期中不短路数据线的技术，用于进一步抑制功耗。

抑制液晶显示器功耗的另一个重要因素是减少用于驱动数据线的运算放大器的功耗。

然而，在这些专利申请中公开的技术遇到了运算放大器中的无用功耗的问题。这是因为在这些公开的液晶驱动器中，并不控制运算放大器的驱动能力。在反相一对数据线的电平以前短路一对数据线的液晶驱动器的结构中，运算放大器需要具有足够的驱动能力，以从一对数据线的平均电平将各个数据线充电（或放电）到由有关像素数据表示的电平。因此，当一对上述数据线的平均电平与由像素数据所表示

的电平之间的差异较小时，运算放大器的驱动能力应该小；然而，在上述专利申请中公开的液晶驱动器不具有控制运算放大器的驱动能力的功能。在常规技术中，要求设计运算放大器具有应付在一对数据线的平均电位与由像素数据所表示的电位之间的最大差值的驱动能力。这不适当地增加了运算放大器的功耗。

对于上述问题，公开了通过控制运算放大器的驱动能力和使用/不使用来减少运算放大器的功耗的技术。例如，日本特许公开专利申请第 Jp-A Heisei 5-41651 号公开了根据由运算放大器提供的输出信号与输入信号电压之间的差值来控制各个放大器的驱动能力的技术。在该技术中，当输出信号与输入信号电压之间的差值较大时，增加各个运算放大器的驱动能力，并且对于较小的差值降低运算放大器的驱动能力。因为降低驱动能力有效地减少了运算放大器的功耗，所以通过在不需要大驱动能力的时候降低运算放大器的驱动能力来抑制运算放大器的功耗。

日本特许公开专利申请第 Jp-A 2004-45839 号进一步公开了根据与在水平行中的像素有关的像素数据以及在相邻水平行中相应像素的像素数据，使运算放大器无效的技术。更具体地，该专利申请公开了：当在水平行中的所有像素的像素数据与在相邻水平行中相应像素的像素数据一致时，由 D/A 转换器而不使用运算放大器来驱动数据线的技术。当检测到在水平行中的一个像素的像素数据不同于在相邻水平行中的相应像素的像素数据时，使用运算放大器来驱动数据线。

然而，这些技术没有提供如下控制运算放大器驱动能力的技术：该运算放大器具有适合于在驱动数据线以前短路数据线的结构。

发明内容

在本发明的一个方面中，液晶显示器包括第一和第二数据线、第一和第二运算放大器以及短路电路。如此构成的第一运算放大器，以

在第一周期期间驱动第一数据线到第一极性的电位，并且在第一周期之后的第二周期期间驱动第二数据线到第一极性的电位。如此构成的第二运算放大器，以在第一周期期间驱动第二数据线到与第一极性相反的第二极性的电位，并且在第二周期期间驱动第一数据线到第二极性的电位。如此构成的短路电路，以在第一与第二周期之间的短路周期期间对第一和第二数据线进行短路。根据在短路周期期间第一和第二数据线的短路电位，控制第一和第二运算放大器的驱动能力。

这样构成的液晶显示器根据当第一和第二数据线短路时第一和第二数据线的电位来控制第一和第二运算放大器的驱动能力，并由此有效地降低了功耗。

更具体地，根据短路电位与在第二周期期间驱动第二数据线的电位之间的差值来控制第二周期期间第一运算放大器的驱动能力，并且根据短路电位与在第二周期期间驱动第一数据线的电位之间的差值来控制第二周期期间第二运算放大器的驱动能力。这种结构允许当短路电位与要驱动的第一和第二数据线的电位之间的差值较大时，用较大的驱动能力来驱动第一和第二数据线，反之亦然。

根据像素数据可以实现在短路电位与要驱动的第一和第二数据线的电位之间的差值为基础的控制。例如，当第一运算放大器在第一周期期间根据第一像素数据驱动第一数据线，并且在第二周期期间根据第二像素数据驱动第二数据线，以及第二运算放大器在第一周期期间根据第三像素数据驱动第二数据线，并且在第二周期期间根据第四像素数据驱动第一数据线时，最好在第二周期期间除短路电位之外，根据第二像素数据来控制第一运算放大器的驱动能力，并且在第二周期期间除短路电位之外，根据第四像素数据来控制第二运算放大器的驱动能力。

在优选实施例中，在第二周期期间除第二像素数据之外，可以根

据第一和第三像素数据来控制第一运算放大器的驱动能力，并且在第二周期期间除第四像素数据之外，可以根据第一和第三像素数据来控制第二运算放大器的驱动能力。像素数据的使用优选便于控制驱动能力的。

在本发明的另一方面中，液晶显示器包括第一和第二数据线；第一和第二运算放大器以及短路电路。第一运算放大器在第一周期期间，根据第一像素数据为第一和第二数据线中的一个提供第一极性的数据信号，并且在第一周期之后的第二周期期间，根据第二像素数据为第一和第二数据线中的另一个提供第一极性的数据信号。第二运算放大器在第一周期期间，根据第三像素数据为第一和第二数据线中的另一个提供与第一极性相反的第二极性的数据信号，并且根据第二像素数据为第一和第二数据线中的一个提供第二极性的数据信号。如此构成的短路电路，以在第一与第二周期之间的短路周期期间，短路第一和第二数据线。根据第一和第三像素数据控制第一和第二运算放大器的驱动能力。

这样构成的液晶显示器能够由第一和第三像素数据识别在短路周期期间第一和第二数据线的短路电位，并且根据短路电位用合适的驱动能力配置第一和第二运算放大器。这有效地降低了液晶显示器的功耗。

如上所述，本发明有效地降低了在驱动各数据线以前短路数据线的点反相驱动方法中所采用的液晶显示器的功耗。

附图说明

由以下结合附图的介绍，本发明的以上以及其它优点和特征将更加显而易见，其中：

图 1 示例了在本发明第一实施例中的液晶显示器结构的方框图；

图 2 示例了在第一实施例中的液晶显示器的数据驱动器结构的方

框图；

图 3 示例了在第一实施例中的数据驱动器结构的详图；

图 4 示例了在第一实施例中的数据驱动器内的数据处理部分的结构方框图；

图 5A 示例了在第一实施例中的数据驱动器内的运算放大器的优选结构的电路图；

图 5B 示例了在第一实施例中的数据驱动器内的运算放大器的另一个优选结构的电路图；

图 6 示例了在第一实施例中的数据驱动器的操作的时序图；

图 7 示例了在第一实施例中的数据驱动器内的数据处理部分和控制数据锁存器的操作的示意图；

图 8 示例了在第一实施例中的数据驱动器的数据处理部分和控制数据锁存器的操作的示意图；

图 9 示例了在第一实施例中的数据驱动器的实例性操作的时序图；

图 10 示例了在本发明第二实施例中的液晶显示器的数据驱动器结构的方框图；

图 11 示例了在第二实施例中的液晶显示器的数据驱动器结构的方框图；

图 12 示例了在第二实施例中的数据驱动器的操作的时序图；

图 13 示例了在第三实施例中的液晶显示器的数据驱动器结构的方框图；

图 14 示例了在第三实施例中的数据驱动器结构的方框图；以及

图 15 示出了在第三实施例中的数据驱动器的另一个结构的方框图。

具体实施方式

在此参考说明性实施例介绍本发明。本领域的技术人员将认识到使用本发明的教导能够实现许多替代实施例，并且本发明不局限于为了说明的目的而示例的各实施方案。应当注意，在附图中相同或类似的参考数字表示相同、相应或类似的元件。

第一实施例

1. LCD 装置的整体结构

图 1 是说明在本发明第一实施例中的液晶显示器 10 的结构的功能框图。液晶显示器 10 由 LCD (液晶显示) 面板 1、LCD 控制器 2、许多数据驱动器 3 (示出了一个)、栅极驱动器 4 和标准灰阶电压发生器 5 组成。LCD 面板 1 包括数据线 X_1 到 X_n (n 是 2 或更大的偶数)、栅极线 Y_1 到 Y_m (m 是 2 或更大的自然数) 和在数据线与栅极线的各个交叉点处提供的像素 P 。为了更好地理解附图, 在图 1 中仅示出了像素中的两个。在下面的说明中, 在数据线 X_j 与栅极线 Y_i 的交叉点处提供的像素称作像素 $P_{j,i}$ 。每个像素 $P_{j,i}$ 具有与公共电极 1a 相对的像素电极 1b 和 TFT (薄膜晶体管) 1c。当用像素 $P_{j,i}$ 的 TFT 1c 导通将数据信号提供到数据线 X_j 上时, 将数据信号施加到像素 $P_{j,i}$ 内的液晶电容器上(即, 公共电极 1a 与像素电极 1b 组成的电容器)。

LCD 控制器 2 控制数据驱动器 3 和栅极驱动器 4, 以在 LCD 面板 1 上显示想要的图像。详细地, LCD 控制器 2 从图像处理 LSI 6, 例如, CPU (中央处理单元) 和 DSP (数字信号处理器), 接收像素数据, 并且将接收到的像素数据传送到数据驱动器 3。像素数据表示 LCD 面板 1 的各个像素的灰度级。在下文中, 与像素 $P_{j,i}$ 有关的像素数据称作像素数据 $D_{j,i}$ 。LCD 控制器 2 另外接收来自图像处理 LSI 6 的各种控制信号, 包括垂直同步信号 V_{sync} 、水平同步信号 H_{sync} 、数据使能信号 DE、时钟信号 DCLK、以及其它控制信号, 并且根据从图像处理 LSI 6 接收的控制信号产生用于控制数据驱动器 3 的数据驱动器控制信号 7 和用于控制栅极驱动器 4 的栅极驱动器控制信号 8。在该实施例中, 数据驱动器控制信号 7 包括起始脉冲信号 SPR、移位方向指示信号 R/L、时钟信号 CLK、锁存信号 STB 和极性信号 POL。起始脉冲信号 SPR 是允许数据驱动器 3 锁存像素数据的信号, 使用移位方向指示信号 R/L 来控制由数据驱动器 3 锁存的像素数据。使用锁存信号 STB 来控制数据驱动器 3 内的数据传送, 使用极性信号 POL 来确定供应给各个数据线

的数据信号的极性。

每个数据驱动器 3 用来根据从 LCD 控制器 2 接收到的像素数据和数据驱动器控制信号 7 来驱动在 LCD 面板 1 内的数据线 X_1 到 X_n 。详细地, 在驱动第 j 行像素 $P_{j,1}$ 到 $P_{j,n}$ 的第 j 个水平周期期间, 数据驱动器 3 分别根据像素数据 $D_{j,1}$ 到 $D_{j,n}$ 驱动数据线 X_1 到 X_n 。使用从标准灰阶电压发生器 5 接收的灰阶电压 V_1 到 V_{2M} 来驱动数据线 X_1 到 X_n 。M 是像素允许的灰度级数。当像素数据 $D_{j,i}$ 是 p 位数据时, M 是 $2p$ 。灰阶电压 V_1 到 V_M 相对于公共电位 V_{COM} (即, 公共电极 1a 的电位) 具有正极性, 满足以下公式:

$$V_1 > V_2 > \dots > V_M > 0。$$

同时, 灰阶电压 V_{M+1} 到 V_{2M} 具有负极性, 满足以下公式:

$$0 > V_{M+1} > V_{M+2} > \dots > V_{2M}。$$

当将数据线 X_1 到 X_n 驱动到正电位电平时, 从灰阶电压 V_1 到 V_M 中为各个数据线 X_1 到 X_n 挑选出灰阶电压, 从而将数据线 X_1 到 X_n 驱动到对应于所选择的灰阶电压的正电位电平。当将数据线 X_1 到 X_n 驱动到负电位电平时, 从灰阶电压 V_{M+1} 到 V_{2M} 中为各个数据线 X_1 到 X_n 挑选出灰阶电压, 从而将数据线 X_1 到 X_n 驱动到对应于所选择的灰阶电压的负电位电平。

栅极驱动器 4 根据从 LCD 控制器 2 接收的栅极驱动器控制信号 8 来驱动栅极线 Y_1 到 Y_m 。

2.数据驱动器的结构

图 2 是说明数据驱动器 3 的结构的方框图。将数据驱动器 3 设计成适合于数据信号的极性按一个像素的空间间隔反相的点反相驱动。换句话说, 将数据驱动器 3 构成为以用相反极性的数据信号来驱动一对数据线 X_{2k-1} 和 X_{2k} 。

更具体地, 每个数据驱动器 3 包括: 移位寄存器电路 11、数据寄

寄存器电路 12、锁存电路 13、驱动能力切换电路 30、输入侧切换电路 14、电平转换电路 15、译码器 (D/A 转换器) 16、驱动器输出级 17、输出侧切换电路 18、灰阶电压缓冲器 19、以及分别连接到数据线 X_1 到 X_n 的输出端子 20_1 到 20_n 。数据寄存器电路 12 包括寄存器 12_1 到 12_n ，锁存电路 13 包括分别连接到寄存器 12_1 到 12_n 的输出的锁存器 13_1 到 13_n 。输入侧切换电路 14 包括切换电路 14_1 到 $14_{n/2}$ 。为每两个锁存器 13_{2i-1} 和 13_{2i} 提供一个切换电路 14_i 。电平转换电路 15 包括电平转换器 15_1 到 15_n 。译码器 16 包括连接到电平转换器 15_1 到 15_n 的输出的选择器 16_1 到 16_n 。驱动器输出级 17 包括运算放大器 17_1 到 17_n 。输出侧切换电路 18 包括切换电路 18_1 到 $18_{n/2}$ 。为每两个运算放大器 18_{2i-1} 和 18_{2i} 提供一个切换电路 17_i 。输出侧切换电路 18 还包括短路开关 21_1 到 $21_{n/2}$ 。为每两个输出端子 20 提供一个短路开关 21_i 。灰阶电压缓冲器 19 包括电压跟随器 19a 和 19b。

将移位寄存器电路 11 设计成用来产生触发脉冲信号 SR_1 到 SR_n ，以允许数据寄存器电路 12 锁存像素数据。移位寄存器电路 11 在每个水平周期期间顺序地激活触发脉冲信号 SR_1 到 SR_n 。更具体地，移位寄存器电路 11 由具有并行输出的 n 位移位寄存器组成，它根据起始脉冲信号 SPR 、移位方向指示信号 R/L 和时钟信号 CLK 进行操作。当起始脉冲信号 SPR 被激活时，一位的逻辑“1”在移位寄存器电路 11 内沿由移位方向指示信号 R/L 所指示的方向与时钟信号 CLK 同步移位，从而当相关的位取逻辑“1”时，触发脉冲信号 SR_1 到 SR_n 依次被激活。当移位方向指示信号 R/L 处于“H”电平时，触发脉冲信号 SR_1 、 SR_2 、...、 SR_n 按该顺序激活。当移位方向指示信号 R/L 处于“L”电平时，触发脉冲信号按相反的顺序激活。因为 LCD 面板 1 由许多数据驱动器 3 驱动，所以将特定的数据驱动器 3 设计成用来以相同的时序激活起始脉冲信号 SPL 作为触发脉冲信号 SR_n ，并且传送起始脉冲信号 SPL 到相邻的数据驱动器 3。相邻的数据驱动器 3 使用接收到的起始脉冲信号 SPL 作为起始脉冲信号 SPR 。

数据寄存器电路 12 分别根据触发脉冲信号 SR_1 到 SR_n 锁存从 LCD 控制器 2 接收到的像素数据到寄存器 12_1 至 12_n 中。详细地, 在第 j 行中与像素 $P_{j,1}$ 到 $P_{j,n}$ 有关的像素数据 $D_{j,1}$ 到 $D_{j,n}$ 根据触发脉冲信号 SR_1 到 SR_n 分别被锁存到寄存器 12_1 到 12_n 中。

锁存电路 13 根据锁存信号 STB 将来自数据寄存器电路 12 的像素数据锁存到锁存器 13_1 到 13_n 中。储存在锁存器 13_1 到 13_n 中的像素数据用来在当前的水平周期中驱动数据线 X_1 到 X_n 。应当注意, 锁存到数据寄存器电路 12 中的像素数据是用来在随后的水平周期中驱动数据线 X_1 到 X_n 的像素数据。

输入侧切换电路 14 根据极性信号 POL 在锁存 13_1 到 13_n 与电平转换器 15_1 到 15_n 之间切换电连接。详细地, 如图 3 所示, 在输入侧切换电路 14 中的每个切换电路 14_k 包括四个接触开关 22 到 25。接触开关 22 连接在锁存器 13_{2k-1} 与电平转换器 15_{2k-1} 之间, 接触开关 23 连接在锁存器 13_{2k} 与电平转换器 15_{2k} 之间。另一方面, 接触开关 24 连接在锁存器 13_{2k-1} 与电平转换器 15_{2k} 之间, 而接触开关 25 连接在锁存器 13_{2k} 与电平转换器 15_{2k-1} 之间。这样构成的切换电路 14_k 在锁存器 13_{2k-1} 和 13_{2k} 中的一个与电平转换器 15_{2k-1} 的输入之间、以及另一个与电平转换器 15_{2k} 的输入之间提供电连接。

重新参考图 2, 电平转换电路 15、译码器 16 和驱动器输出级 17 是根据从锁存器 13_1 到 13_n 接收的像素数据来产生各数据信号的电路。电平转换电路 15、译码器 16 和驱动器输出级 17 被分成两部分: 一部分产生正数据信号, 一部分产生负数据信号。奇数号电平转换器 15_1 、 15_3 、...、 15_{n-1} , 选择器 16_1 、 16_3 、...、 16_{n-1} 以及运算放大器 17_1 、 17_3 、...、 17_{n-1} 用来产生正数据信号。另一方面, 偶数号电平转换器 15_2 、 15_4 、...、 15_n , 选择器 16_2 、 16_4 、...、 16_n 以及运算放大器 17_2 、 17_4 、...、 17_n 用来产生负数据信号。

更具体地，如图3所示，奇数号电平转换器 15_{2k-1} 将与其连接的锁存器（即，锁存器 13_{2k-1} 或锁存器 13_{2k} ）的输出信号电平转换为选择器 16_{2k-1} 的输入信号电平。通过电压跟随器19a为选择器 16_{2k-1} 提供正灰阶电压 V_1 到 V_M 。选择器 16_{2k-1} 根据从与其连接的锁存器接收到的像素数据来选择灰阶电压 V_1 到 V_M 中的一个，并且将所选择的灰阶电压提供给运算放大器 17_{2k-1} 。由选择器 16_{2k-1} 选择的灰阶电压随着相关像素数据值（即，相关像素的灰阶电平）的增加而增加。运算放大器 17_{2k-1} 根据所提供的灰阶电压产生正电平数据信号。由运算放大器 17_{2k-1} 产生的数据信号的电压电平随着相关像素数据值（即，相关像素的灰阶电平）的增加而增加。

相应地，偶数号电平转换器 15_{2k} 将与其连接的锁存器（即，锁存器 13_{2k-1} 或锁存器 13_{2k} ）的输出信号电平转换为选择器 16_{2k} 的输入信号电平。通过电压跟随器19b为选择器 16_{2k} 提供负灰阶电压 V_{M+1} 到 V_{2M} （ $0 > V_{M+1} > V_{M+2} > \dots > V_{2M}$ ）。选择器 16_{2k} 根据从与其连接的锁存器接收到的像素数据来选择灰阶电压 V_{M+1} 到 V_{2M} 中的一个，并且将所选择的灰阶电压提供给运算放大器 17_{2k} 。由选择器 16_{2k-1} 选择的灰阶电压随着相关像素数据值（即，相关像素的灰阶电平）的增加而减小。运算放大器 17_{2k} 根据提供的灰阶电压产生具有负电平的数据信号。由运算放大器 17_{2k} 产生的数据信号的电压电平随着相关像素数据值（即，相关像素的灰阶电平）的增加而减小。

输出侧切换电路18根据极性信号POL在运算放大器 17_1 到 17_n 与输出端子 20_1 到 20_n 的之间进行电连接的切换。如图3所示，在输出侧切换电路18内的每个切换电路 18_k 包括四个接触开关26到29。接触开关26连接在运算放大器 17_{2k-1} 与输出端 20_{2k-1} 之间，接触开关27连接在运算放大器 17_{2k} 与输出端 20_{2k} 之间。另一方面，接触开关28连接在运算放大器 17_{2k-1} 与输出端 20_{2k} 之间，接触开关29连接在运算放大器 17_{2k} 与输出端 20_{2k-1} 之间。这样构成的切换电路 18_k 在运算放大器 17_{2k-1} 和 17_{2k} 中的一个与输出端子 20_{2k-1} 之间，以及在运算放大器 17_{2k-1}

和 17_{2k} 的另一个与输出端 20_{2k} 之间提供了电连接。

进一步设计输出侧切换电路 18 以便短路一对相邻的输出端子 20 (即一对相邻的数据线)。当在每个水平周期开始时准备的消隐周期期间激活锁存信号 STB 时, 在输出侧切换电路 18 中的短路开关 21_k 短路相邻的输出端子 20_{2k-1} 和 20_{2k} (即, 数据线 X_{2k-1} 和 X_{2k})。

在这样构成的数据驱动器 3 中, 根据极性信号 POL, 将送到输出端 20_1 到 20_n (即, 数据线 X_1 到 X_n) 的数据信号的极性都进行切换。通过输入侧切换电路 14 和输出侧切换电路 18 来实现极性切换。当极性信号 POL 上拉到“H”电平时, 输出侧切换电路 18 将奇数号运算放大器 17_1 、 17_3 、... 连接到奇数号输出端子 20_1 、 20_3 、... (即, 奇数号数据线 X_1 、 X_3 、...), 并且将偶数号运算放大器 17_2 、 17_4 、... 连接到偶数号输出端子 20_2 、 20_4 、... (即, 偶数号数据线 X_2 、 X_4 、...)。因此, 奇数号数据线 X_1 、 X_3 、... 由正数据信号驱动, 而偶数号数据线 X_2 、 X_4 、... 由负数据信号驱动。当极性信号 POL 下拉到“L”电平时, 反过来切换各连接。输入侧切换电路 14 根据在运算放大器 17_1 到 17_n 的输出与数据线 X_1 到 X_n 之间的连接在锁存器 13_1 到 13_n 与选择器 16_1 到 16_n 之间切换电连接。在存储在锁存器 13_1 到 13_n 中的像素数据之中, 将与由正数据信号驱动的数据线相关的像素数据传送到奇数号选择器 16_1 、 16_3 、..., 而将与由负数据信号驱动的数据线相关的像素数据传送到偶数号选择器 16_2 、 16_4 、...。操作输入侧切换电路 14 来实现这种连接切换。

在一个方面中, 在本实施例中的液晶显示器 10 涉及了对在数据驱动器 3 内的运算放大器 17_1 到 17_n 的驱动能力控制的最佳化, 来降低液晶显示器 10 的功耗。更具体地, 在本实施例中, 优化运算放大器 17_{2k-1} 和 17_{2k} 的驱动能力, 从而当在每个水平周期内的消隐周期期间数据线 X_{2k-1} 和 X_{2k} 被短路时, 根据数据线 X_{2k-1} 和 X_{2k} 的电平来驱动运算放大器 17_{2k-1} 和 17_{2k} 。

详细地,在当数据线 X_{2k-1} 和 X_{2k} 短路时数据线 X_{2k-1} 和 X_{2k} 的电平、与之后要将数据线 X_{2k-1} 驱动到的那个电平之间的差值较小的情况下,降低驱动数据线 X_{2k-1} 的运算放大器 17_{2k-1} (或运算放大器 17_{2k}) 的驱动能力。这有效地避免了运算放大器 17_{2k-1} 中不必要的功耗。相应地,在当数据线 X_{2k-1} 和 X_{2k} 短路时数据线 X_{2k-1} 和 X_{2k} 的电平、与之后要将数据线 X_{2k-1} 驱动到的那个电平之间的差值较大的情况下,增加运算放大器 17_{2k-1} (或运算放大器 17_{2k}) 的驱动能力。增加驱动能力对于减少驱动数据线 X_{2k-1} 需要的持续时间是重要的。以同样的方式驱动数据线 X_{2k} 。

为了实现驱动能力控制,每个数据驱动器 3 具有驱动能力切换电路 30,该驱动能力切换电路 30 产生用于控制运算放大器 17_1 到 17_n 的驱动能力的控制数据。将运算放大器 17_1 到 17_n 设计成:根据从驱动能力切换电路 30 接收到的控制数据,其驱动能力是可变的或可控的。在下面给出了驱动能力切换电路 30 和运算放大器 17_1 到 17_n 的详细说明。

3.驱动能力切换电路和运算放大器的结构

驱动能力切换电路 30 包括数据处理部分 31_1 到 $31_{n/2}$ 和控制数据锁存器 32_1 到 32_n 。为每两个数据线提供一个数据处理部分 31_k 。控制数据锁存器 32_1 到 32_n 分别与运算放大器 17_1 到 17_n 相联系。数据处理部分 31_1 到 $31_{n/2}$ 具有产生用于控制运算放大器 17_1 到 17_n 的驱动能力的控制数据的功能。控制数据锁存器 32_1 到 32_n 将产生的控制数据传送到运算放大器 17_1 到 17_n 。

图 4 是部分说明驱动能力切换电路 30 结构的电路图,主要说明与数据处理部分 31_k 以及控制数据锁存器 32_{2k-1} 和 32_{2k} 相联系的部分。数据处理部分 31_k 产生一对控制数据 AS_{2k-1} 和 AS_{2k} ,用于控制运算放大器 17_{2k-1} 和 17_{2k} 的驱动能力。数据处理部分 31_k 发送控制数据 AS_{2k-1} 和 AS_{2k} 中的一个到数据控制锁存器 32_{2k-1} ,并且发送另一个到数据控制锁存器

32_{2k}。控制数据锁存器 32_{2k-1} 根据锁存信号 STB 锁存来自数据处理部分 31_k 的控制数据，并且将该锁存的控制数据传送到运算放大器 17_{2k-1}。相应地，控制数据锁存器 32_{2k} 根据锁存信号 STB 锁存来自数据处理部分 31_k 的控制数据，并且将该锁存的控制数据传送到运算放大器 17_{2k}。

详细地，每个数据处理部分 31_k 包括电位差计算电路 33、控制数据寄存器 34 和 35 以及切换电路 36。电位差计算电路 33 根据如下差值来产生控制数据 AS_{2k-1} 和 AS_{2k}：根据当在下一个水平周期的消隐周期期间短路数据线 X_{2k-1} 和 X_{2k} 时数据线 X_{2k-1} 和 X_{2k} 的电平、与在下一个水平周期中要将数据线 X_{2k-1} 和 X_{2k} 驱动到的那个电平之间的差值。具体地，电位差计算电路 33 接收来自锁存电路 13 中的锁存器 13_{2k-1} 和 13_{2k} 的当前水平周期的像素数据，并且接收来自数据寄存器电路 12 中的寄存器 12_{2k-1} 和 12_{2k} 的下一个水平周期的像素数据。然后，电位差计算电路 33 以所收到的像素数据为基础产生控制数据 AS_{2k-1} 和 AS_{2k}，以便控制运算放大器 17_{2k-1} 和 17_{2k} 的驱动能力。更具体地，如下计算在第 j 个水平周期期间用于驱动像素 D_{j,2k-1} 和 D_{j,2k} 的控制数据 AS_{j,2k-1} 和 AS_{j,2k}：

$$AS_{j,2k-1} = |(D_{j-1,2k} - D_{j-1,2k-1})/2 - D_{j,2k-1}| \quad \dots \quad (1a)$$

以及

$$AS_{j,2k} = |(D_{j-1,2k-1} - D_{j-1,2k})/2 - D_{j,2k}| \quad \dots \quad (1b)$$

控制数据 AS_{j,2k-1} 和 AS_{j,2k} 具有对应于当在第 j 个水平周期的消隐周期中短路时数据线 X_{2k-1} 和 X_{2k} 的电位、与在第 j 个水平周期期间分别驱动数据线 X_{2k-1} 和 X_{2k} 所要达到的电平之间的差值。详细地，在公式 (1a) 中的 (D_{j-1,2k} - D_{j-1,2k-1})/2 表示短路的数据线 X_{2k-1} 和 X_{2k} 的电平，在公式 (1a) 中的 D_{j,2k-1} 表示其后要将数据线 X_{2k-1} 驱动到的那个电平。相应地，在公式 (1b) 中的 (D_{j-1,2k-1} - D_{j-1,2k})/2 表示当短路数据线 X_{2k-1} 和 X_{2k} 时数据线 X_{2k-1} 和 X_{2k} 的电平，在公式 (1b) 中的 D_{j,2k} 表示其后要将数据线 X_{2k} 驱动到的那个电平。如下所述，随着控制数据 AS_{j,2k-1} 和 AS_{j,2k} 值的增加提高了对运算放大器 17_{2k-1} 和 17_{2k} 的驱动能力。这样实现了控制运算放大器 17_{2k-1} 和 17_{2k} 的驱动能力的优化。

严格地说，数据线的电平不与在像素数据中表示的灰阶电平值成比例。作为替代，数据线的电平与在像素数据中表示的灰阶电平值的联系由所谓的“伽马曲线”表示。为了以当短路时数据线 X_{2k-1} 和 X_{2k} 的电平与在第 j 个水平周期期间要将数据线 X_{2k-1} 和 X_{2k} 驱动到的那个电平之间的差值为基础来实现更适当的控制，控制数据 $AS_{j,2k-1}$ 和 $AS_{j,2k}$ 优选由以下公式确定：

$$AS_{j,2k-1} = |\{\gamma(D_{j-1,2k}) + \gamma(D_{j-1,2k-1})\}/2 - \gamma(D_{j,2k-1})|, \dots (1a)'$$

$$AS_{j,2k} = |\{\gamma(D_{j-1,2k}) + \gamma(D_{j-1,2k-1})\}/2 - \gamma(D_{j,2k-1})|, \dots (1b)'$$

这里 $\gamma(D_{j,i})$ 是在伽马曲线中与像素数据 $D_{j,i}$ 有关的电平。虽然优选的是根据伽马曲线来计算，但是应当注意，为了简单起见，在实施中以公式 (1a) 和 (1b) 为基础进行上述计算是有利的。

控制数据寄存器 34 和 35 根据在触发脉冲信号 SR_1 到 SR_n 之中最迟定时时所激活的触发脉冲信号的下降沿，分别锁存控制数据 AS_{2k-1} 和 AS_{2k} 。该操作用于完成以下各动作：由电位差计算电路 33 来对控制数据 AS_{2k-1} 和 AS_{2k} 进行计算，并且在响应于锁存信号 STB 将存储在数据寄存器电路 12 中的下一个水平周期的像素数据捕获到锁存器 13_1 到 13_n 中以前，将控制数据 AS_{2k-1} 和 AS_{2k} 锁存到控制数据寄存器 34 和 35 中。

切换电路 36 根据极性信号 POL 在控制数据寄存器 34 和 35 与控制数据锁存器 32_{2k-1} 和 32_{2k} 之间切换电连接。详细地，切换电路 36 包括四个接触开关：接触开关 37、38、39 和 40。接触开关 37 连接在控制数据寄存器 34 与控制数据锁存器 32_{2k-1} 之间，接触开关 38 连接在控制数据寄存器 35 与控制数据锁存器 32_{2k} 之间。另一方面，接触开关 39 连接在控制数据寄存器 34 与控制数据锁存器 32_{2k} 之间，接触开关 40 连接在控制数据寄存器 35 与控制数据锁存器 32_{2k-1} 之间。这样构成的切换电路 36 将由控制数据寄存器 34 和 35 锁存的控制数据 AS_{2k-1} 和

AS_{2k} 中的一个传送到控制数据锁存器 32_{2k-1} ，并且将另一个传送到控制数据锁存器 32_{2k} 。根据极性信号 POL 来切换控制数据 AS_{2k-1} 和 AS_{2k} 的传送目的地。切换电路 36 的必要性是基于这样的事实：存储在锁存电路 13 的锁存器 13_{2k-1} 和 13_{2k} 中的像素数据的传送目的地由切换电路 14_k 来切换。例如，当像素数据 $D_{j,2k-1}$ 传送到选择器 16_{2k} 并且根据像素数据 $D_{j,2k-1}$ 驱动运算放大器 17_{2k} 时，要求将与像素数据 $D_{j,2k-1}$ 相关的控制数据 AS_{2k-1} 通过控制数据锁存器 32_{2k} 传送到运算放大器 17_{2k} 。

将传送到控制数据锁存器 32_{2k-1} 的控制数据进一步传送到运算放大器 17_{2k-1} ，用于控制运算放大器 17_{2k-1} 的驱动能力。相应地，将传送到控制数据锁存器 32_{2k} 的控制数据进一步传送到运算放大器 17_{2k} ，用于控制运算放大器 17_{2k} 的驱动能力。

运算放大器 17_1 到 17_n 的驱动能力随着传送来的控制数据值的增加而增加，由此，根据当短路时相应于相邻数据线对的电平、与其后要将各数据线驱动到的各电平之间的差值，用适当的驱动能力来配置各个运算放大器 17_1 到 17_n 。例如，当根据在第 j 个水平周期期间的像素数据 $D_{j,2k-1}$ 来驱动运算放大器 17_{2k-1} 时，送到运算放大器 17_{2k-1} 的控制数据 $AS_{j,2k-1}$ 随着以下差值的增加而增加：在消隐周期期间当数据线 X_{2k-1} 和 X_{2k} 短路时数据线 X_{2k-1} 和 X_{2k} 的电平、与其后要将数据线 X_{2k-1} 驱动到的那个电平之间的差值，反之亦然。根据控制数据 $AS_{j,2k-1}$ 的增加提高了运算放大器 17_{2k-1} 的驱动能力，以实现运算放大器 17_{2k-1} 驱动能力的优化。

图 5A 是说明适合于上述操作的运算放大器 17_1 到 17_n 的示例性结构的电路图。每个运算放大器 17_{2k-1} (17_{2k}) 包括偏置电压产生电路 41、电流源 42 和电压跟随器 43。偏置电压产生电路 41 根据从控制数据锁存器 32_{2k-1} (或 32_{2k}) 接收到的控制数据 AS 产生偏置电压 V_b 。根据控制数据 AS 的增加来提高产生的偏置电压 V_b 。电流源 42 根据偏置电压 V_b 将偏流 I_b 馈送到电压跟随器 43。偏置电流 I_b 随着偏置电压 V_b 的

增加而增加。电压跟随器 43 接收偏置电流 I_b 以驱动输出端 20_{2k-1} (或 20_{2k}) (即, 数据线 X_{2k-1} (或 X_{2k})) 到与从选择器 16_{2k-1} (或 16_{2k}) 接收的灰阶电压相对应的电平。电压跟随器 43 包括在偏置电流 I_b 下工作的差分放大器和输出级 (未示出)。因此, 电压跟随器 43 的驱动能力随着偏置电流 I_b 的增加而升高。在这样构成的运算放大器 17_{2k-1} (17_{2k}) 中, 控制数据 AS 的增加加大了偏置电流 I_b , 由此提高了运算放大器 17_{2k-1} (17_{2k}) 的驱动能力。

图 5B 是说明运算放大器 17_1 到 17_n 的另一个示例性结构的电路图。在图 5B 中的运算放大器中, 提供多个开关 SW1 到 SW q 和产生相同强度的电流的恒流电源 44_1 到 44_q 来代替偏置电压产生电路 41 和电流源 42。开关 SW i 和恒流电源 44_i 串联连接在电压跟随器 43 和接地端之间。根据控制数据 AS, 将从开关 SW1 到 SW q 中选出的一个或多个导通, 根据控制数据 AS 的值来确定导通开关的数量。为电压跟随器 43 馈送具有与导通的开关 SW 的数量成比例的强度的偏置电流 I_b 。因此, 在图 5B 所示结构中, 偏置电流 I_b 也随着控制数据 AS 的增加而增加, 并因此增加了运算放大器 17_{2k-1} (17_{2k}) 的驱动能力。

4.数据驱动器的操作

在下面, 将给出数据驱动器 3 的示例性操作的详细说明, 特别是产生用于在第 j 个水平周期中控制运算放大器 17_1 到 17_n 的控制数据的过程, 以及以控制数据为基础来控制驱动能力的过程。图 6 是说明在第 $j-1$ 个水平周期 (即, 驱动第 $j-1$ 行中的像素的那个周期) 和第 j 个水平周期期间数据驱动器 3 的操作的时序图。

在第 j 个水平周期中用于控制运算放大器 17_1 到 17_n 的驱动能力的控制数据是在第 $j-1$ 个水平周期中产生的。优选的是这种控制数据的产生过程用于在第 j 个水平周期中即时控制运算放大器 17_1 到 17_n 的驱动能力; 不优选的是, 在当前第 j 个水平周期中产生用在第 j 个水平周期中的控制数据, 因为可能导致运算放大器 17_1 到 17_n 在第 j 个水平周期

中开始输出数据信号的不希望的延迟。

详细地,当在第 $j-1$ 个水平周期内的消隐周期中激活锁存信号 STB 时,每两个相邻的数据线由短路开关 21_1 到 21_n 短路。此外,根据锁存信号 STB 的激活,将用于在第 $j-1$ 个水平周期中产生数据信号的像素数据 $D_{j-1,1}$ 到 $D_{j-1,n}$ 从数据寄存器电路 12 传送到锁存电路 13。在第 $j-1$ 个水平周期期间,根据传送到锁存电路 13 的像素数据 $D_{j-1,1}$ 到 $D_{j-1,n}$ 来驱动数据线 X_1 到 X_n 。送到各数据线的数据信号的极性由极性信号 POL 确定。在本实施例中,根据设置为“H”电平的极性信号 POL,将正极性的数据信号送到奇数号数据线 X_1 、 X_3 、..., 而将负极性的数据信号送到偶数号数据线 X_2 、 X_4 、...。

当在第 $j-1$ 个水平周期期间驱动数据线 X_1 到 X_n 时,将用于在第 j 个水平周期中驱动数据线 X_1 到 X_n 的像素数据从 LCD 控制器 2 传送到数据寄存器电路 12。更具体地,根据起始脉冲信号 SPR 的激活,触发脉冲信号 SR_1 到 SR_n 依次被激活,然后与顺序激活的触发脉冲信号 SR_1 到 SR_n 同步地依次传送像素数据 $D_{j,1}$ 到 $D_{j,n}$ 。这导致在数据寄存器电路 12 内的寄存器 12_1 到 12_n 存储了像素数据 $D_{j,1}$ 到 $D_{j,n}$ 。

在寄存器 12_1 到 12_n 中存储了像素数据 $D_{j,1}$ 到 $D_{j,n}$ 之后,在驱动能力切换电路 30 内的数据处理部分 31_1 到 31_n 计算在第 j 个水平周期中使用的控制数据。详细地,如图 7 所示,在数据处理部分 31_k 中的电位差计算电路 33 以上述公式 (1a) 和 (1b) 为基础,由存储在寄存器 12_{2k-1} 和 12_{2k} 中的像素数据 $D_{j,2k-1}$ 和 $D_{j,2k}$ 、以及存储在锁存器 13_{2k-1} 和 13_{2k} 中的像素数据 $D_{j-1,2k-1}$ 和 $D_{j-1,2k}$ 来计算控制数据 $AS_{j,2k-1}$ 和 $AS_{j,2k}$ 。

在第 $j-1$ 个水平周期结束时,将计算出的控制数据锁存到数据处理部分 31_1 到 31_n 中的控制数据寄存器 34 和 35 中。具体地,根据在触发脉冲 SR_1 到 SR_n 之中在最迟定时时被激活的触发脉冲 SR_n 的下降沿,将控制数据 $AS_{j,2k-1}$ 锁存到数据处理部分 31_k 中的数据寄存器 34 中,而将

控制数据 $AS_{j,2k}$ 锁存到控制数据寄存器 35 中。

当第 j 个水平周期开始时，如图 6 所示，极性信号 POL 在消隐周期中被反相，然后激活锁存信号 STB。根据激活的锁存信号 STB，每两个相邻的数据线由短路开关 21_1 到 21_n 短路。详细地，数据线 X_{2k-1} 和 X_{2k} 由短路开关 21_k 短路。在短路之后，数据线 X_{2k-1} 和 X_{2k} 的电平是在前面的第 $j-1$ 个水平周期中要将数据线 X_{2k-1} 和 X_{2k} 驱动到的各电平的平均值。

此外，如图 7 所示，通过控制数据锁存器 32_1 到 32_n ，将存储在数据处理部分 31_1 到 31_n 内的控制数据寄存器 34 和 35 中的控制数据传送到运算放大器 17_1 到 17_n 。详细地，当在第 j 个水平周期的消隐周期中激活锁存信号 STB 时，将存储在数据处理部分 31_k 内的控制数据寄存器 34 中的控制数据 $AS_{j,2k-1}$ 传送到控制数据锁存器 32_{2k-1} 和 32_{2k} 中选择一个，而将存储在数据处理部分 31_k 内的控制数据寄存器 35 中的控制数据 $AS_{j,2k}$ 传送至控制数据锁存器 32_{2k-1} 和 32_{2k} 中的另一个。

根据极性信号 POL 来切换控制数据的传送目的地。在本实施例中，如图 7 所示，根据极性信号 POL 设置为“L”电平，将存储在数据处理部分 31_k 内的控制数据寄存器 34 中的控制数据 $AS_{j,2k-1}$ 传送到控制数据锁存器 32_{2k} ，而将存储在控制数据寄存器 35 中的控制数据 $AS_{j,2k}$ 传送到控制数据锁存器 32_{2k-1} 。如图 8 所示，当极性信号 POL 设置为“H”电平时，传送目的地交换。根据极性信号 POL 对控制数据的传送目的地进行切换在于为运算放大器提供与像素数据的传送目的地相关的合适的控制数据。在图 7 所示的操作中，根据这样的事实将控制数据 $AS_{j,2k-1}$ 传送到运算放大器 17_{2k} ：响应于像素数据 $D_{j,2k-1}$ 来驱动运算放大器 17_{2k} 。

用对应于所传送的控制数据的驱动能力来配置运算放大器 17_1 到 17_n 。在图 7 所示操作中，为运算放大器 17_{2k-1} 提供控制数据 $AS_{j,2k}$ ，并

且根据控制数据 $AS_{j,2k}$ 控制运算放大器 17_{2k-1} 的驱动能力。相应地，为运算放大器 17_{2k} 提供控制数据 $AS_{j,2k-1}$ ，并且根据控制数据 $AS_{j,2k-1}$ 控制运算放大器 17_{2k} 的驱动能力。这实现了运算放大器 17_{2k-1} 和 17_{2k} 的驱动能力控制的优化，并由此有效地降低数据驱动器 3 的功耗。

图 9 是示出了数据驱动器 3 操作的例子的时序图。在该例子中，假定在第 $j-1$ 个水平周期中，将数据线 X_{2k-1} 驱动到正电位电平 V_{x11} ，而将数据线 X_{2k} 驱动到负电位电平 V_{x21} 。当在随后的第 j 个水平周期的消隐周期中短路数据线 X_{2k-1} 和 X_{2k} 时，数据线 X_{2k-1} 和 X_{2k} 的电平被设置为平均电平 $V_{r2}[(V_{x11}+V_{x21})/2]$ 。其后，在第 j 个水平周期中，将数据线 X_{2k-1} 驱动到负电位电平 V_{x21} ，而将数据线 X_{2k} 驱动到正电位电平 V_{x22} 。根据平均电平 V_{r2} 与电平 V_{x21} 之间较小的差值 ΔV_{x21} ，将驱动数据线 X_{2k-1} 的运算放大器 17_{2k-1} 设置为具有较低的驱动能力，如图 9 中的斜阴影线（左下到右上方）表示的。如果不需要高驱动能力，则配置运算放大器具有较低的驱动能力，由此降低了放大器中的静态电流消耗，即，功耗。

当在随后的第 $j+1$ 个水平周期的消隐周期中短路数据线 X_{2k-1} 和 X_{2k} 时，数据线 X_{2k-1} 和 X_{2k} 的电平转变为平均电平 $V_{r3}[(V_{x21}+V_{x22})/2]$ 。其后，在第 $j+1$ 个水平周期中，将数据线 X_{2k-1} 驱动到正电位电平 V_{x31} ，而将数据线 X_{2k} 驱动到负电位电平 V_{x32} 。根据平均电平 V_{r3} 与电平 V_{x32} 之间较大的差值 ΔV_{x32} ，将驱动数据线 X_{2k} 的运算放大器配置成具有较高的驱动能力，如图 9 中的斜阴影线（左上到右下方）表示的。如果需要，配置运算放大器具有较高的驱动能力，将导致即时驱动数据线。

第二实施例

图 10 是在本发明第二实施例中的液晶显示器 10A 的示例性结构的方框图。在本实施例中的液晶显示器 10A 与在第一实施例中的液晶显示器 10 之间的主要区别是：由 LCD 控制器 2A 代替数据驱动器 3A 来实现控制数据 AS 的产生。

更具体地，LCD 控制器 2A 包括具有一行像素的像素数据容量的行存储器 51，以及产生用于控制运算放大器 17_1 到 17_n 的驱动能力的控制数据 AS 的驱动能力切换部分 52。行存储器 51 存储与第 $j-1$ 行中的各像素相关的各像素数据 $D_{j-1,1}$ 到 $D_{j-1,n}$ ，当计算控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ 时，像素数据 $D_{j-1,1}$ 到 $D_{j-1,n}$ 用于在第 j 个水平周期中驱动像素 $P_{j,1}$ 到 $P_{j,n}$ 。当第 j 行像素的像素数据 $D_{j,1}$ 到 $D_{j,n}$ 由图像处理 LSI 6 提供到 LCD 控制器 2A 时，驱动能力切换部分 52 由以下数据来产生控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ ：像素数据 $D_{j,1}$ 到 $D_{j,n}$ 和存储在行存储器 51 中的像素数据 $D_{j-1,1}$ 到 $D_{j-1,n}$ 。以上述公式 (1a) 和 (1b) 为基础计算控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ 。将所产生的控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ 传送到数据驱动器 3A。与将像素数据 $D_{j,1}$ 到 $D_{j,n}$ 传送到数据驱动器 3 同步地进行控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ 的传送。

根据在 LCD 控制器 2A 内提供行存储器 51 并且由 LCD 控制器 2A 产生控制数据 AS 的事实，数据驱动器 3A 的结构由第一实施例中的数据驱动器 3 变化如下。

如图 11 所示，从数据驱动器 3A 中去掉输入侧切换电路 14。作为替代，利用在本实施例中提供的行存储器 51，根据极性信号 POL 来切换将像素数据传送到数据驱动器 3A 的顺序。更具体地，如图 12 所示，当极性信号 POL 设置为“L”电平时，切换第 j 行像素的像素数据 $D_{j,1}$ 到 $D_{j,n}$ 的传送顺序，从而像素数据按 $D_{j,2}$ 、 $D_{j,1}$ 、 $D_{j,4}$ 、 $D_{j,3}$ 、... 的次序传送到数据驱动器 3A。另一方面，当极性信号 POL 设置为“H”电平时，不切换像素数据的传送顺序；像素数据按 $D_{j,1}$ 、 $D_{j,2}$ 、... 的次序传送到数据驱动器 3A。这实现了相当于图 2 所示的包括了输入侧切换电路 14 的数据驱动器 3 的操作的操作。优选地，将图 11 所示的不包括输入侧切换电路 14 的数据驱动器 3A 的结构用于简化数据驱动器 3A 的结构。

另外，如图 11 所示，数据驱动器 3A 另外包括控制数据寄存器 53_1

到 53_n 和控制数据锁存器 54_1 到 54_n 。提供这些寄存器和锁存器以在合适的时间将从 LCD 控制器 2A 接收到的控制数据 AS 传送到运算放大器 17_1 到 17_n 。控制数据寄存器 53_1 到 53_n 根据触发脉冲信号 SR_1 到 SR_n 接收来自 LCD 控制器 2A 的控制数据 AS。控制数据锁存器 54_1 到 54_n 根据锁存信号 STB 锁存来自控制数据寄存器 53_1 到 53_n 的控制数据 AS，并且将锁存的控制数据 AS 传送到运算放大器 17_1 到 17_n 。类似于数据寄存器电路 12，当使用控制数据锁存器 54_1 到 54_n 存储在当前水平周期中使用的控制数据时，使用控制数据寄存器 53_1 到 53_n 存储在下一个水平周期中使用的控制数据 AS。

将控制数据从控制数据锁存器 54_1 到 54_n 传送到运算放大器 17_1 到 17_n ，并且根据传送来的控制数据控制运算放大器 17_1 到 17_n 的驱动能力。如第一实施例的情况，对运算放大器 17_1 到 17_n 驱动能力的控制有效地降低了数据驱动器 3A 的功耗。

第三实施例

参考图 13，在第三实施例中构成数据驱动器 3B，从而在各水平周期的消隐周期期间，短路所有的数据线 X_1 到 X_n 。更具体地，如图 14 所示， $n-1$ 个短路开关 21_1 到 $21_{(n-1)}$ 连接在任何相邻的数据线 X_1 到 X_n 之间。在各水平周期的消隐周期中，将短路开关 21_1 到 $21_{(n-1)}$ 导通，因此数据线 X_1 到 X_n 被短路，从而具有相同的电平。

因此，更改控制数据 AS 的计算方法，从而根据当数据线 X_1 到 X_n 短路时数据线 X_1 到 X_n 的电平来控制运算放大器 17_1 到 17_n 的驱动能力。更具体地，在 LCD 控制器 2B 内的驱动能力切换部分 52B 根据下面的公式计算在第 j 个水平周期中使用的控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ ：

$$AS_{j,2k-1} = \left| \sum_{i=1}^{i=n/2} (D_{j-1,2i} - D_{j-1,2i-1}) / n - D_{j,2k-1} \right|, \quad \dots \quad (2a)$$

$$AS_{j,2k} = \left| \sum_{i=1}^{i=n/2} (D_{j-1,2i-1} - D_{j-1,2i}) / n - D_{j,2k} \right|, \quad \dots \quad (2b)$$

公式 (2a) 的第一项相当于当数据线 X_1 到 X_n 短路时数据线 X_1 到 X_n 的电平, 公式 (2a) 的第二项 ($D_{1,2k-1}$) 相当于其后要将数据线 X_{2k-1} 驱动到的那个电平。公式 (2b) 的情况也如此。

与像素数据 $D_{j,1}$ 到 $D_{j,n}$ 的传送同步地将计算出的控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ 传送到数据驱动器 3B。数据驱动器 3B 通过对应于控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ 来控制第 j 个水平周期中运算放大器 17_1 到 17_n 的驱动能力。

由于上述驱动能力控制, 根据当数据线 X_1 到 X_n 短路时数据线 X_1 到 X_n 的电位、与其后要将各数据线驱动到的各电平之间的差值, 在第 j 个水平周期期间适当地控制各运算放大器的驱动能力。

当设计液晶显示器 10B 从而使所有的水数据线 X_1 到 X_n 短路时, 优选地由 LCD 控制器 2B 计算控制数据 $AS_{j,1}$ 到 $AS_{j,n}$, 以便简化数据驱动器 3B 的电路结构。如由公式 (2a) 和 (2b) 理解的, 在本实施例中有必要准备与所有数据线 X_1 到 X_n 相关的像素数据, 用于产生每个控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ 。在数据驱动器 3B 内实现这种计算的尝试可能使数据驱动器 3B 的电路结构变复杂。在 LCD 控制器 2B 中集中对控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ 进行计算, 有效地避免了使数据驱动器 3B 的电路结构变复杂。

如图 15 所示, 可以配置数据驱动器 3B, 从而当设计数据驱动器 3B 从而能够短路所有数据线 X_1 到 X_n 时, 通过开关 21_n 为数据线 X_1 到 X_n 提供中间电位 $1/2V_{LCD}[(V_1+V_{2M})/2]$ 。

在这种情况下, 在第 j 个水平周期中使用的控制数据 $AS_{j,1}$ 到 $AS_{j,n}$ 用下面的公式表示, 代替公式 (1a)、(1b)、(2a) 和 (2b):

$$AS_{j,2k-1} = |D_{1/2LCD} - D_{j,2k-1}|, \quad \dots (3a), \quad \text{以及}$$

$$AS_{j,2k} = |D_{1/2LCD} - D_{j,2k}|, \quad \dots (3b)$$

这里 $D_{1/2LCD}$ 是对应于中间电位 $1/2V_{LCD}$ 的固定灰阶电平值。当中间电位 $1/2V_{LCD}$ 与公共电位 V_{COM} 一致时, $D_{1/2LCD}$ 可以设置为零。这样计算控制数据 $AS_{j,1}$ 到 $AS_{j,n}$, 从而根据当数据线 X_1 到 X_n 短路时数据线 X_1 到 X_n 的电位、与其后要将各数据线驱动到的各电平之间的差值, 来适当地控制在第 j 个水平周期中各运算放大器的驱动能力。

结论

如上所述, 根据当在消隐周期中相邻两个或所有数据线被短路时它们的电平、与其后要将各数据线驱动到的电位之间的差值, 液晶显示器控制运算放大器的驱动能力。这有效地降低了液晶显示器的功耗。

很明显本发明不局限于上述各实施例, 可以修改和变化而不脱离本发明的保护范围。例如, 本发明不局限于短路两个数据线的结构或短路所有数据线的结构。例如, 在适合于以两个像素的空间周期反相数据信号极性的点反相驱动的液晶显示器中, 可以将数据驱动器设计成短路每四个数据线, 这四个数据线包括两个驱动到正电平电平的数据线和两个驱动到负电平电平的数据线。

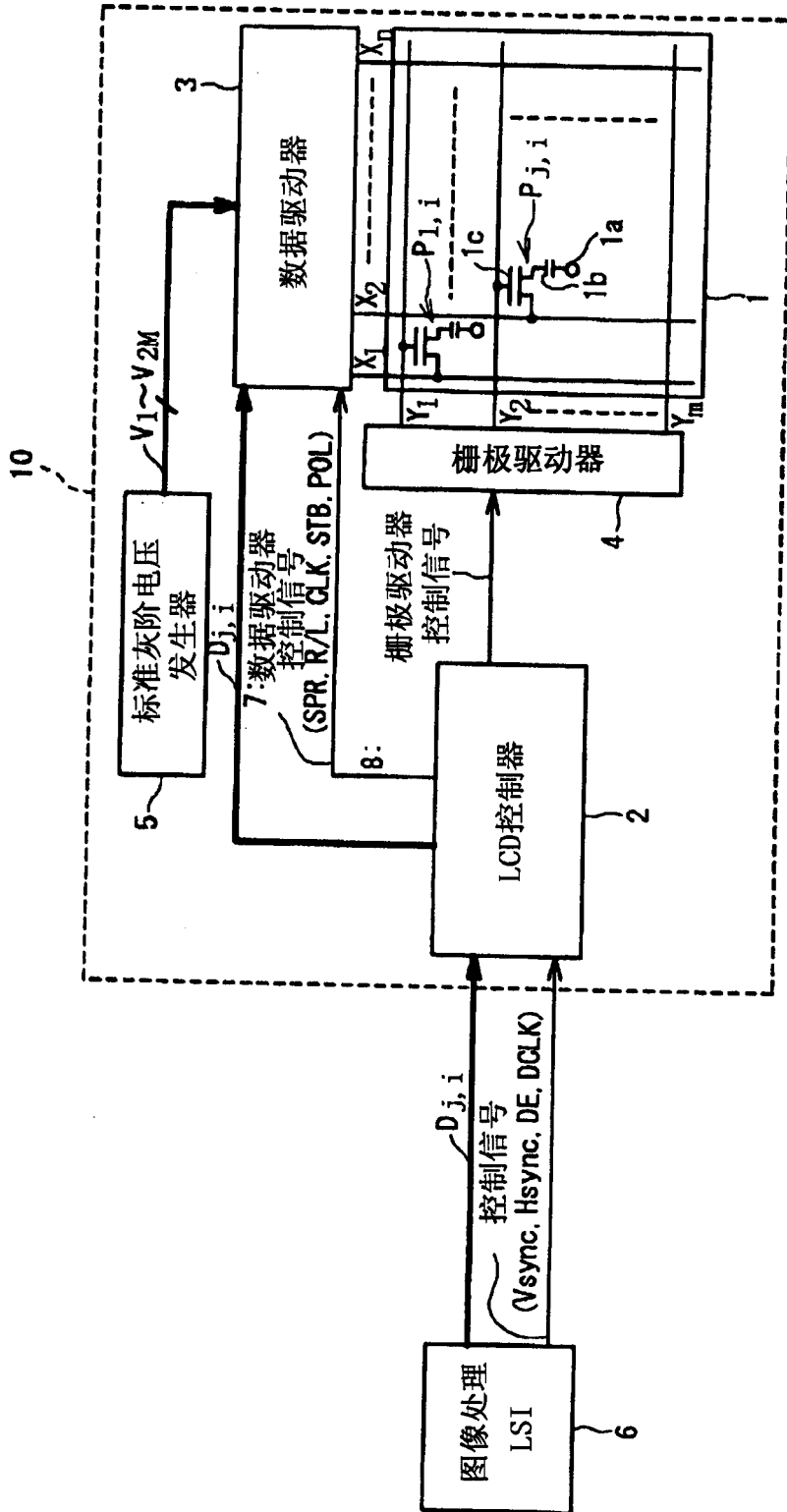


图1

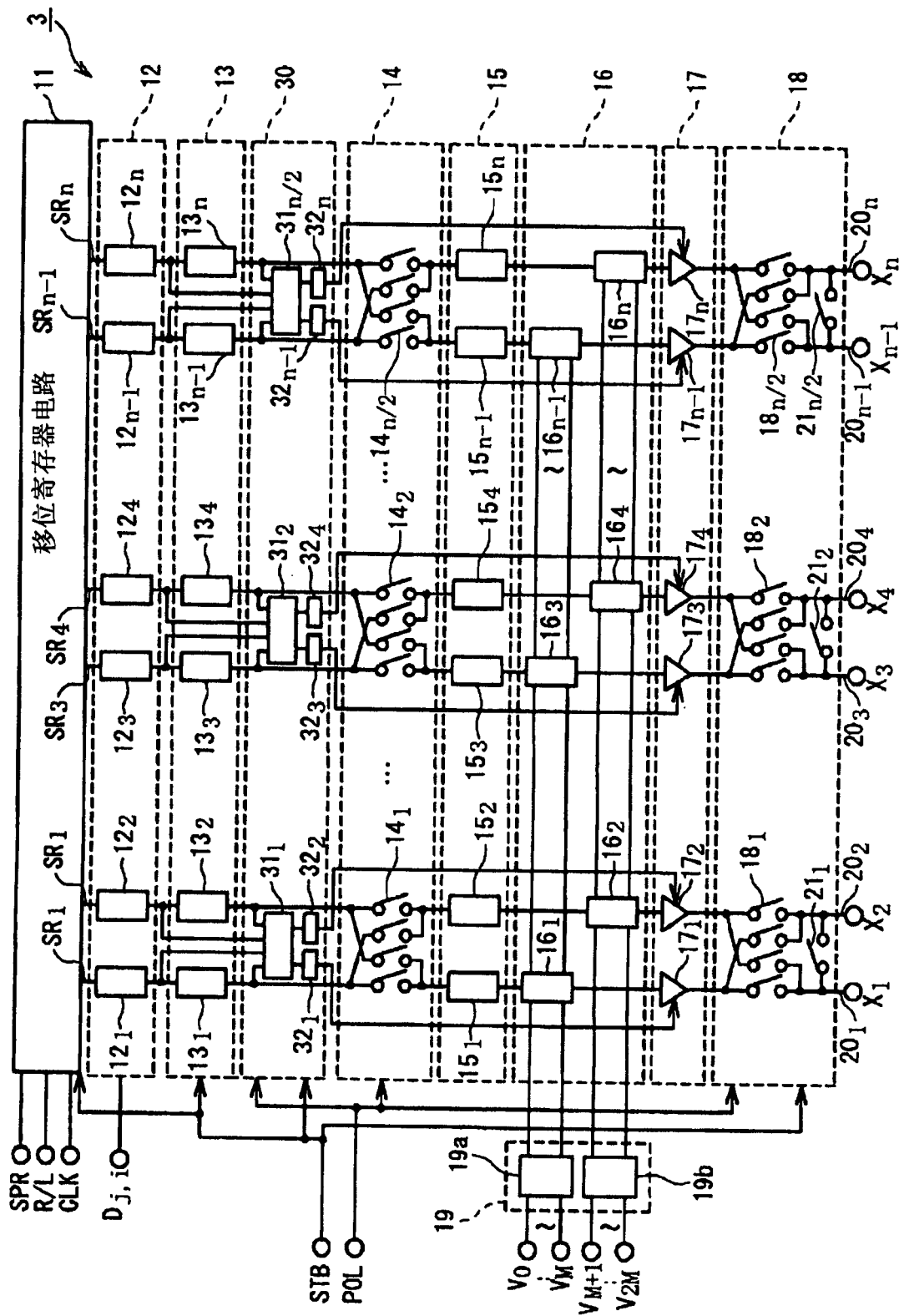


图2

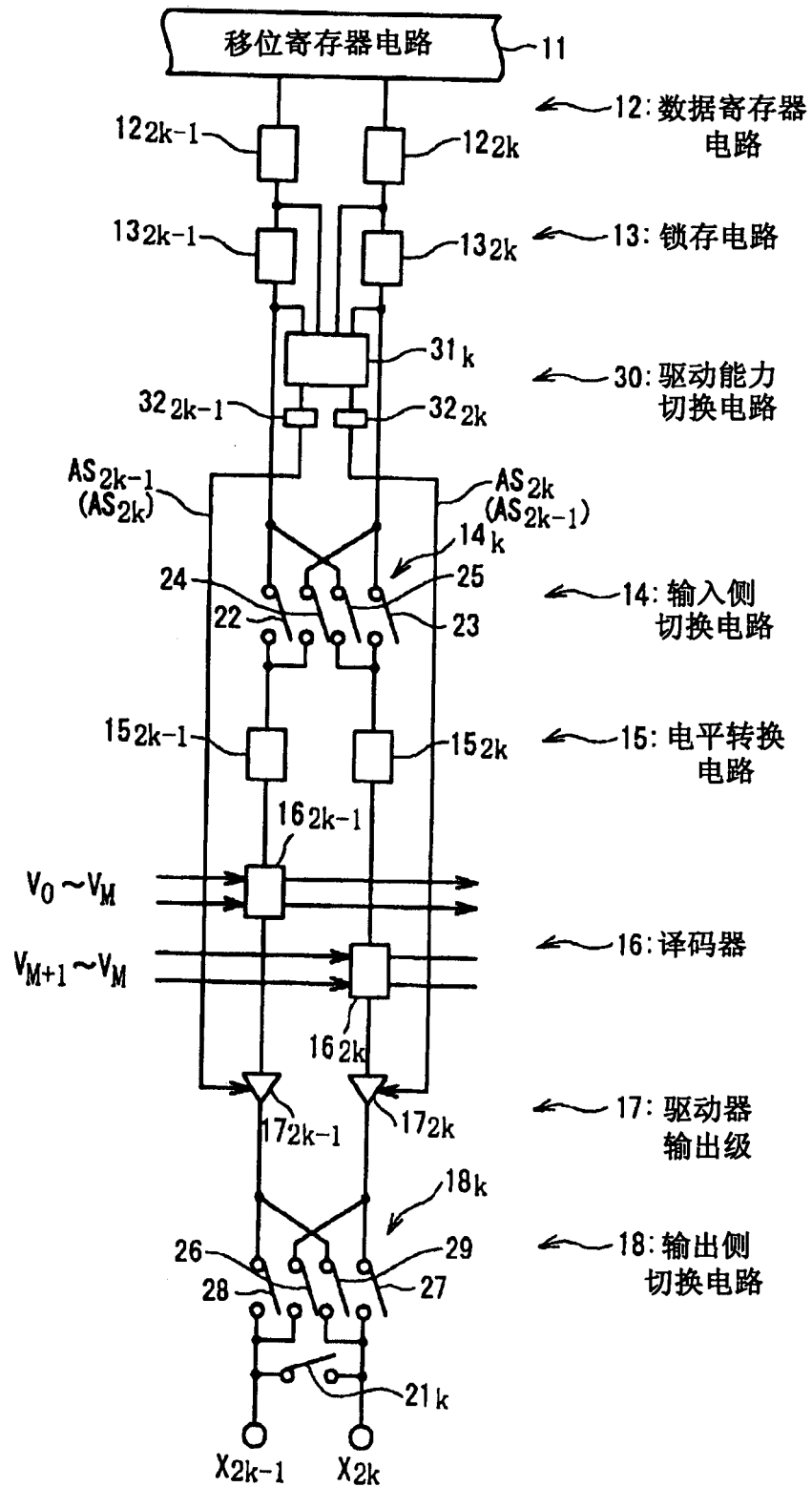


图3

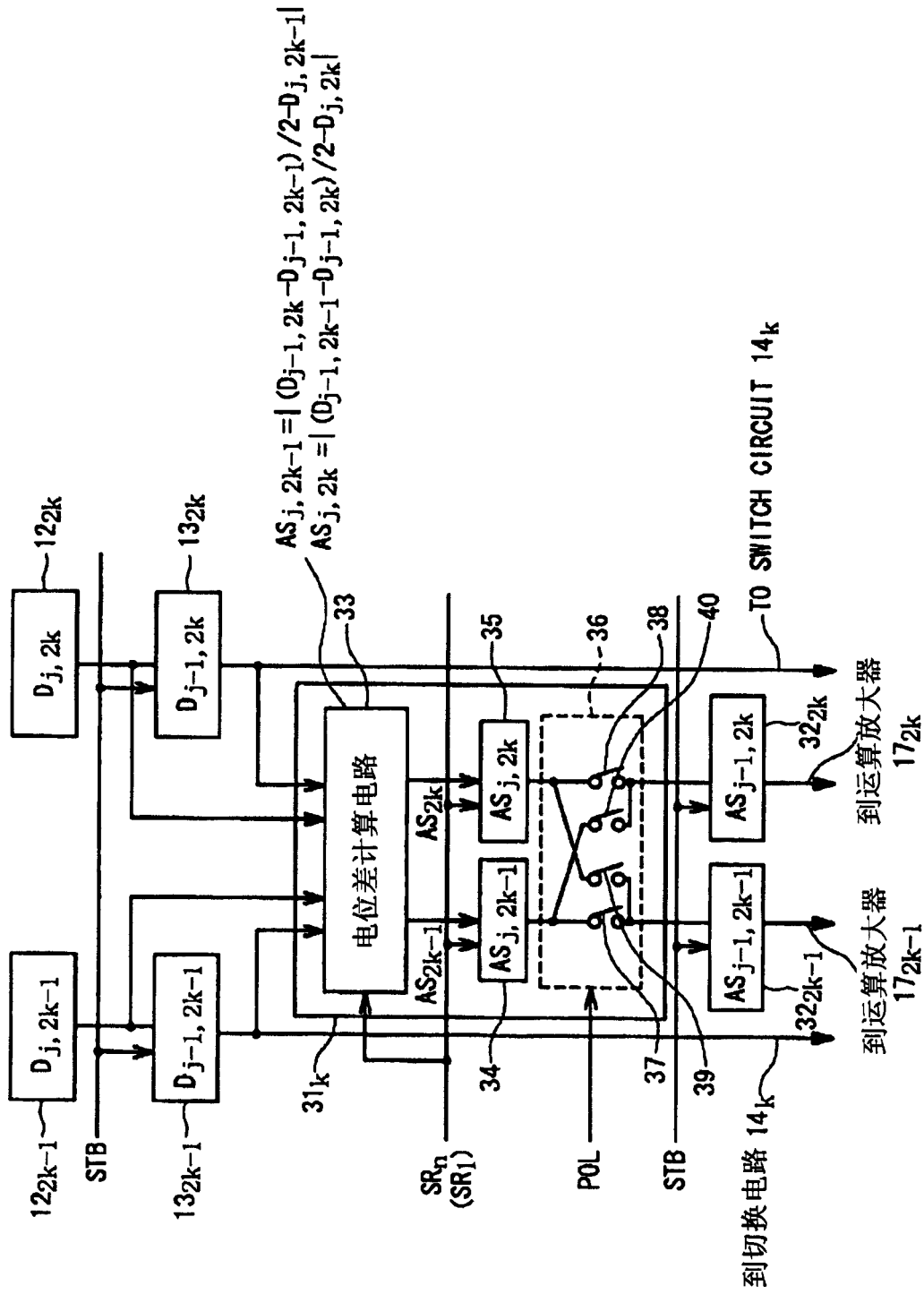


图4

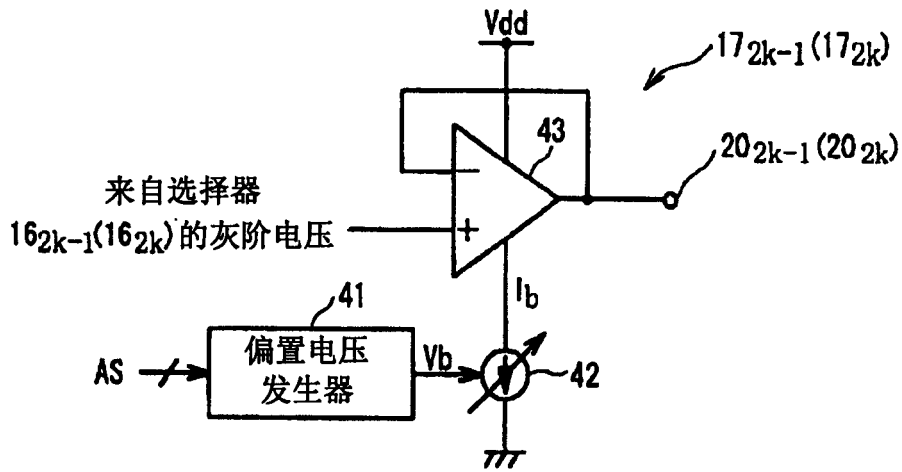


图5A

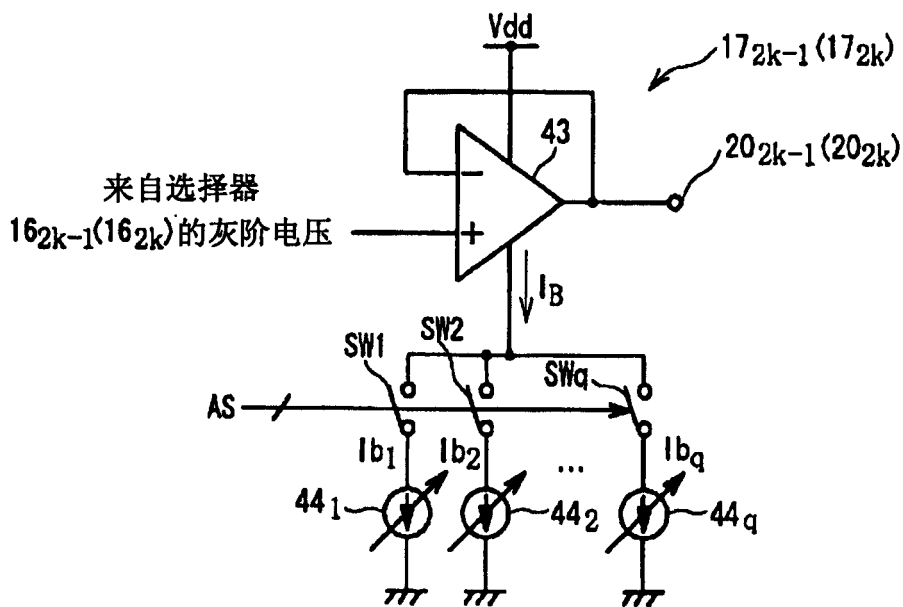


图5B

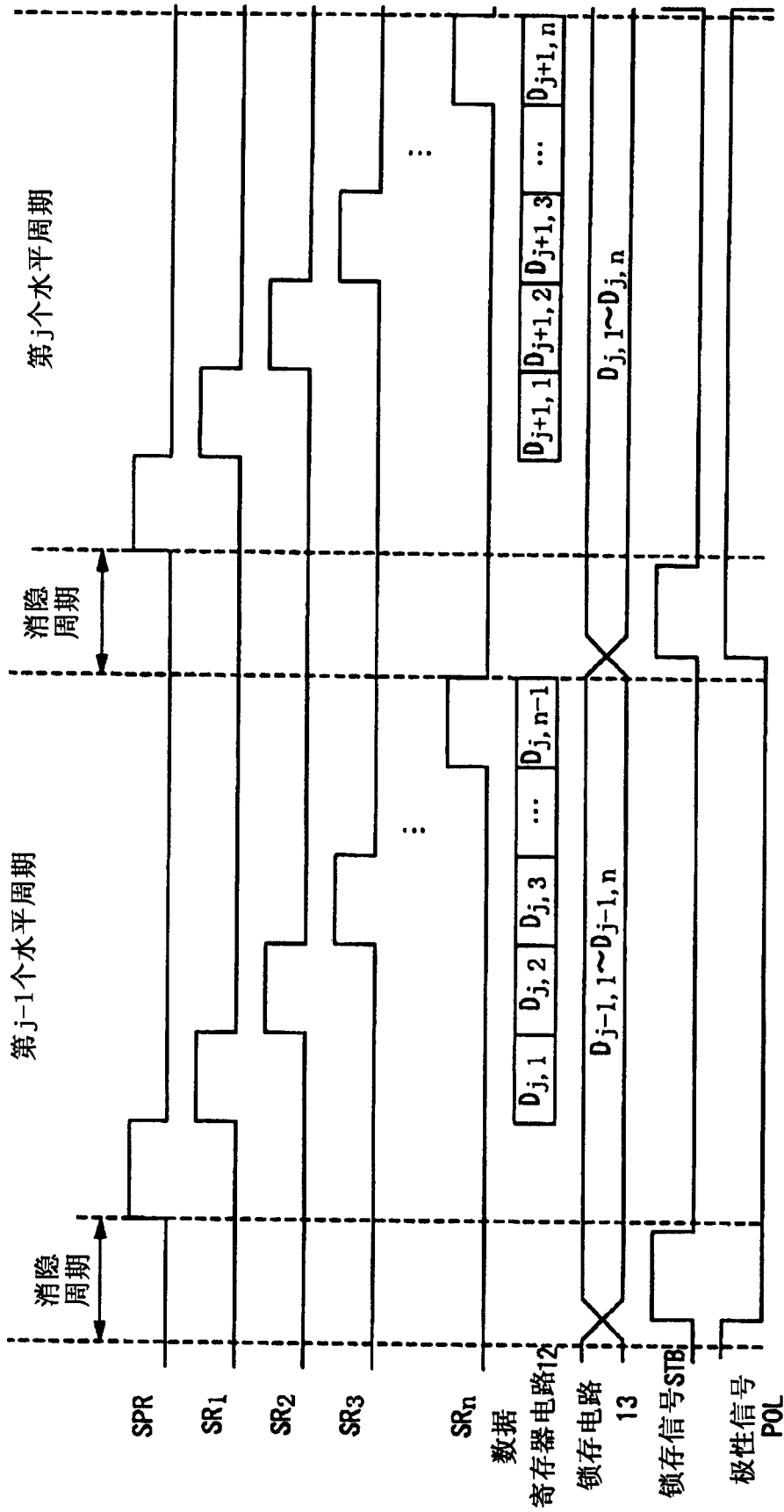


图6

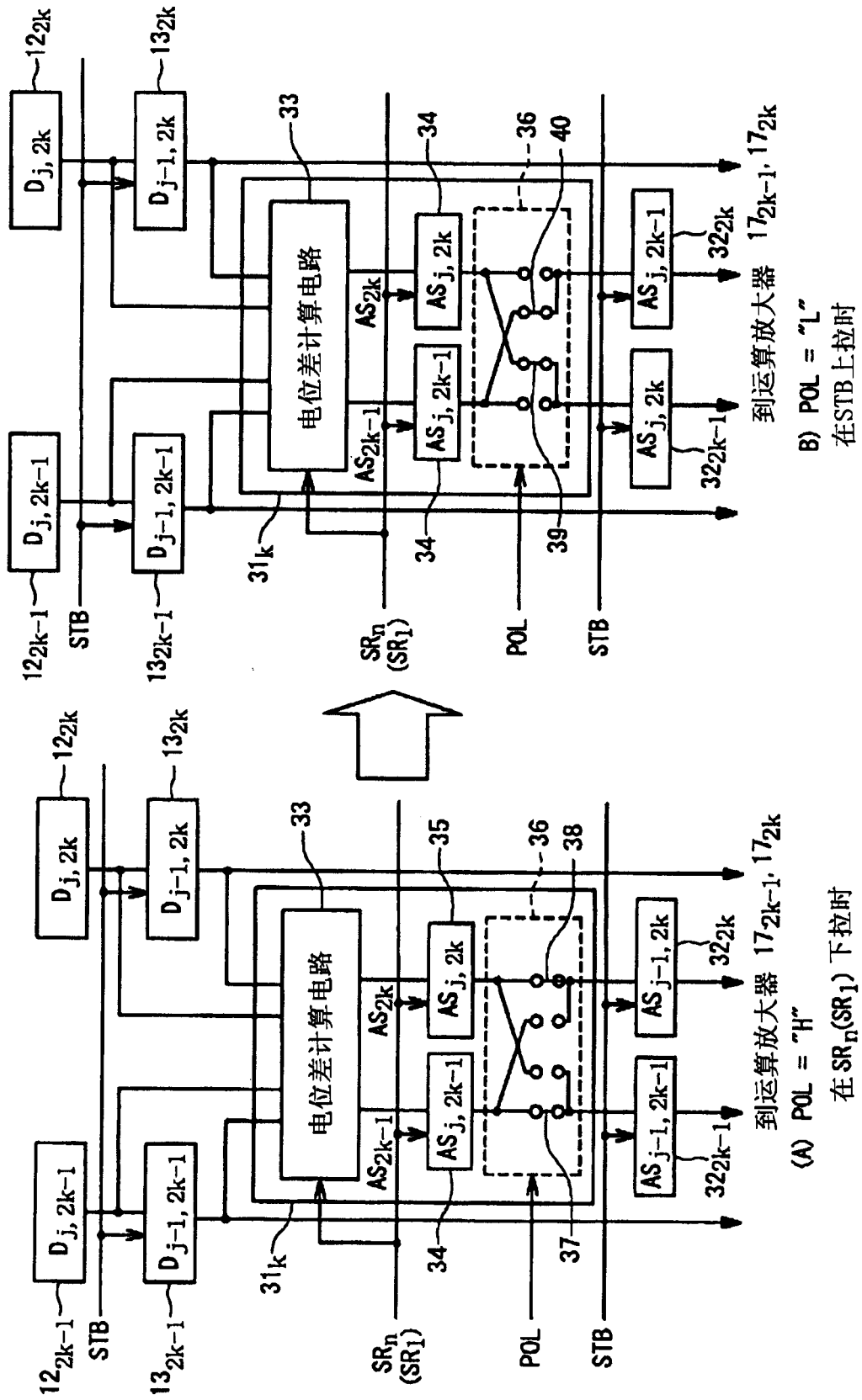


图7

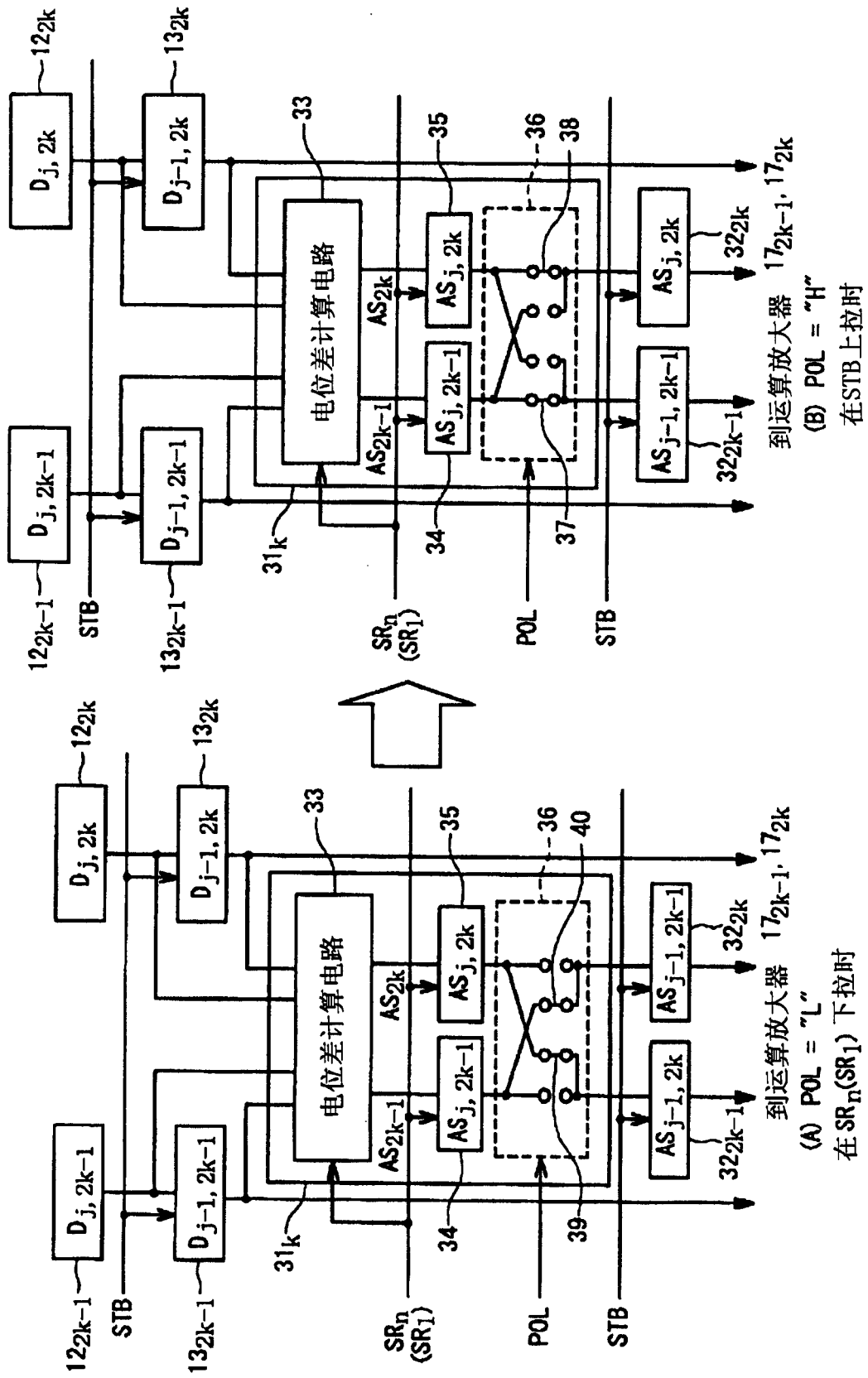


图8

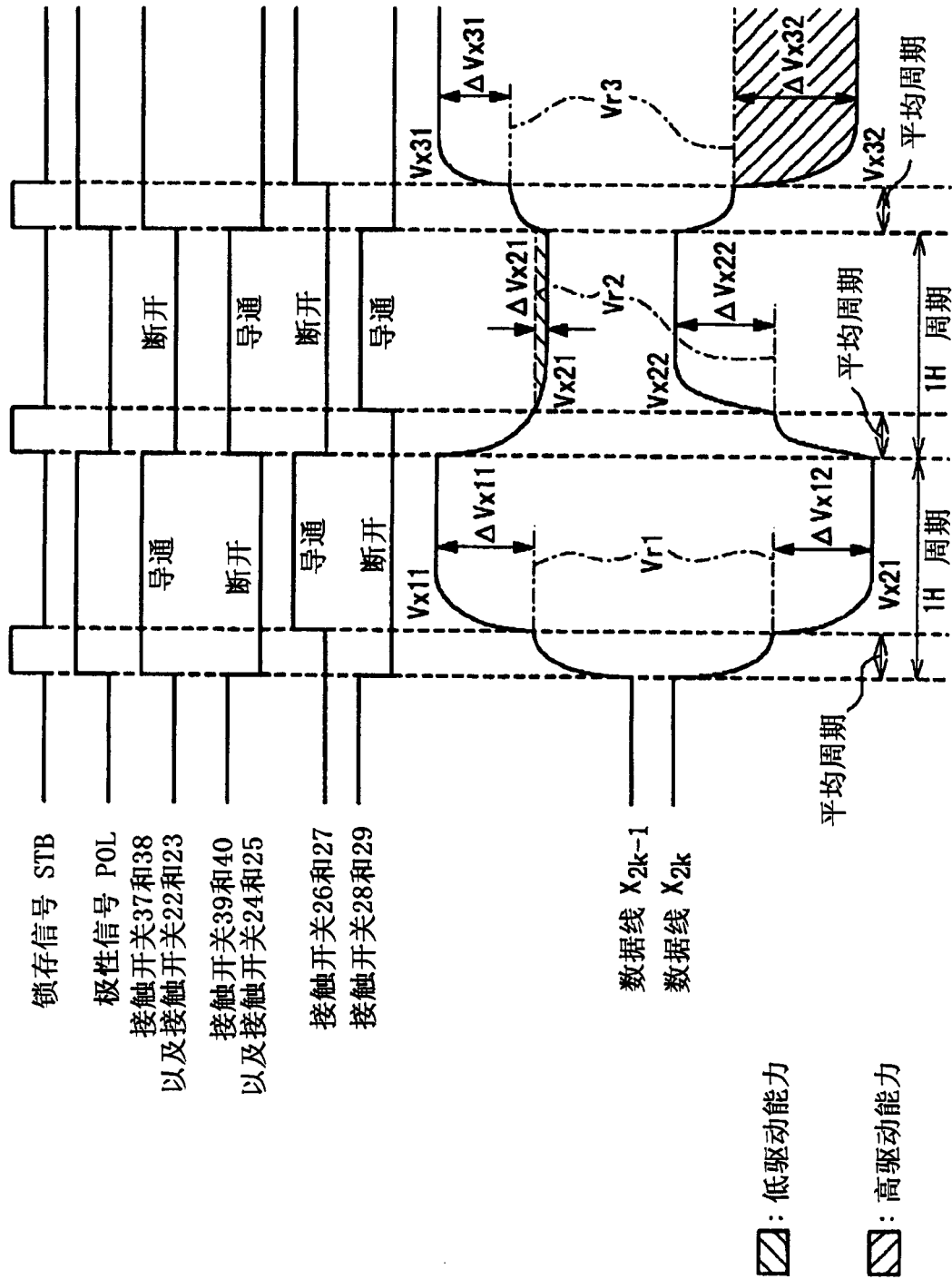


图9

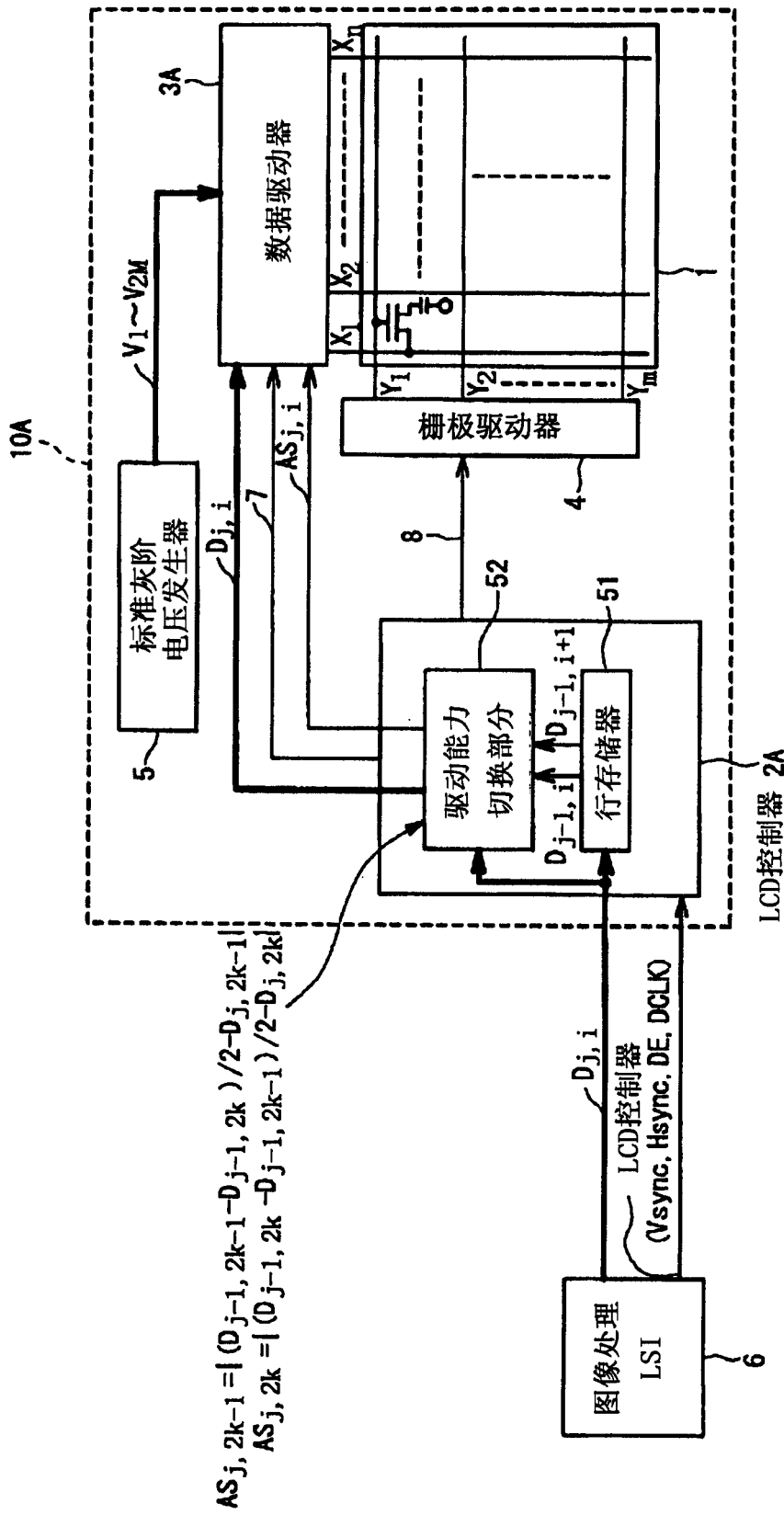


图10

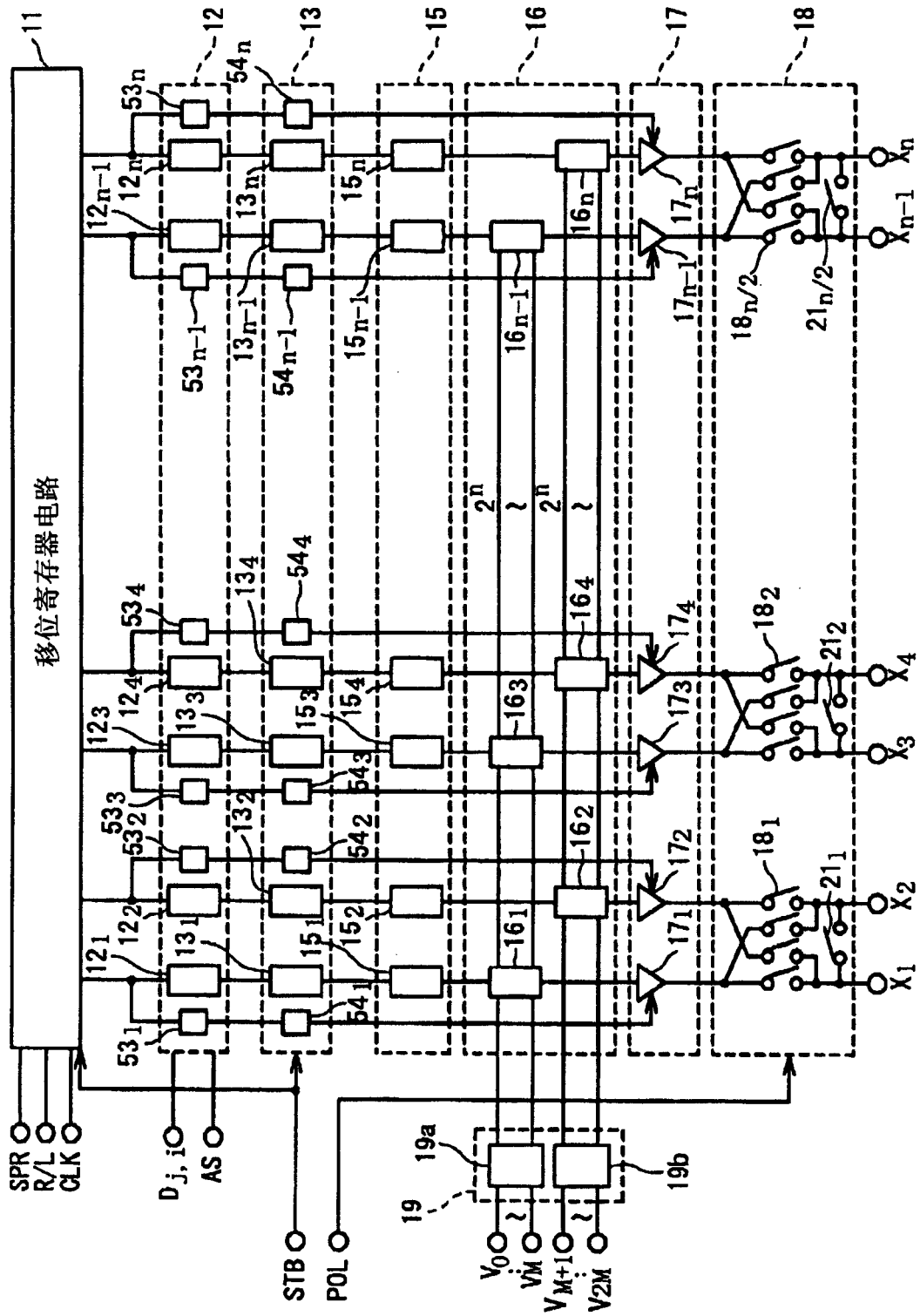


图11

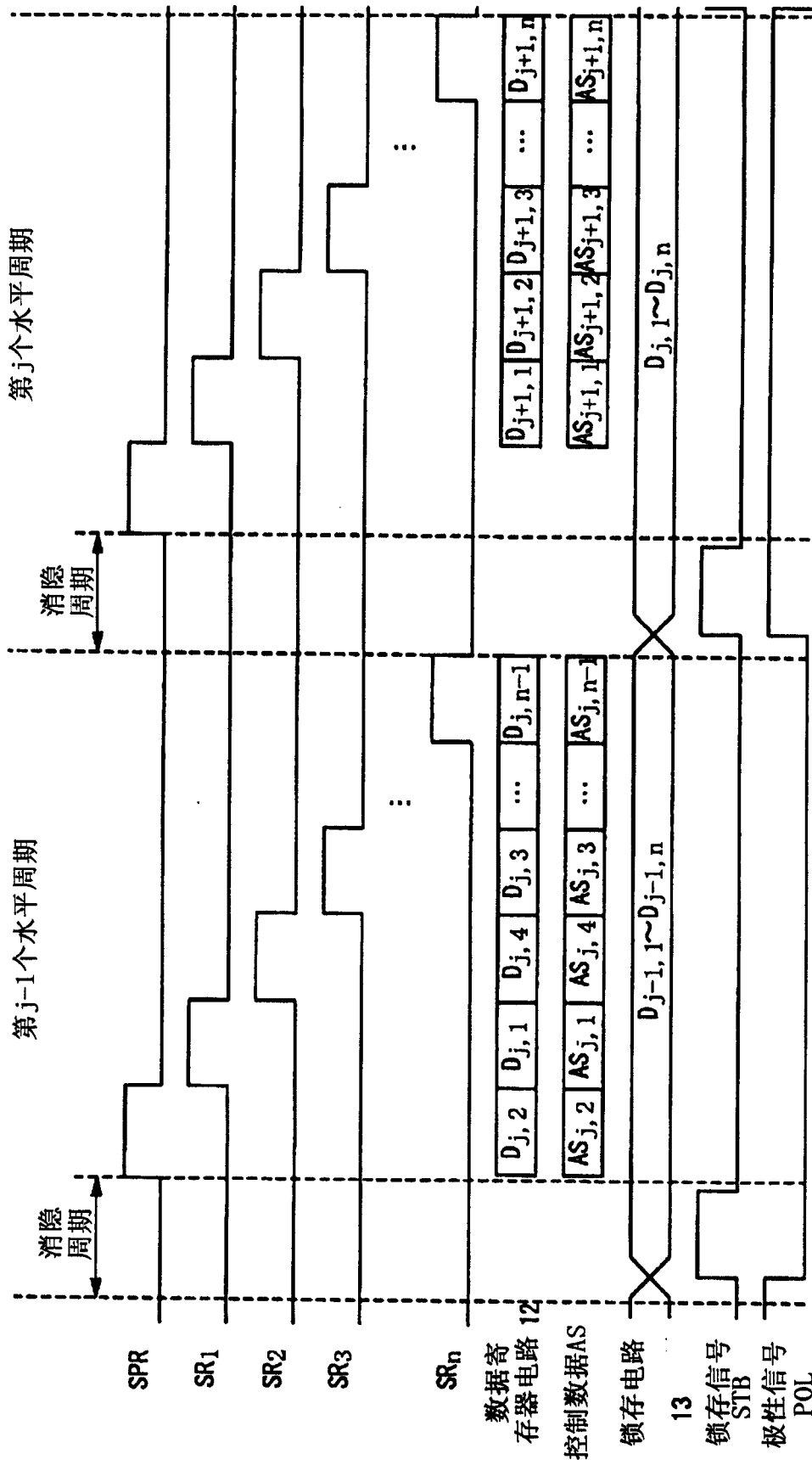


图12

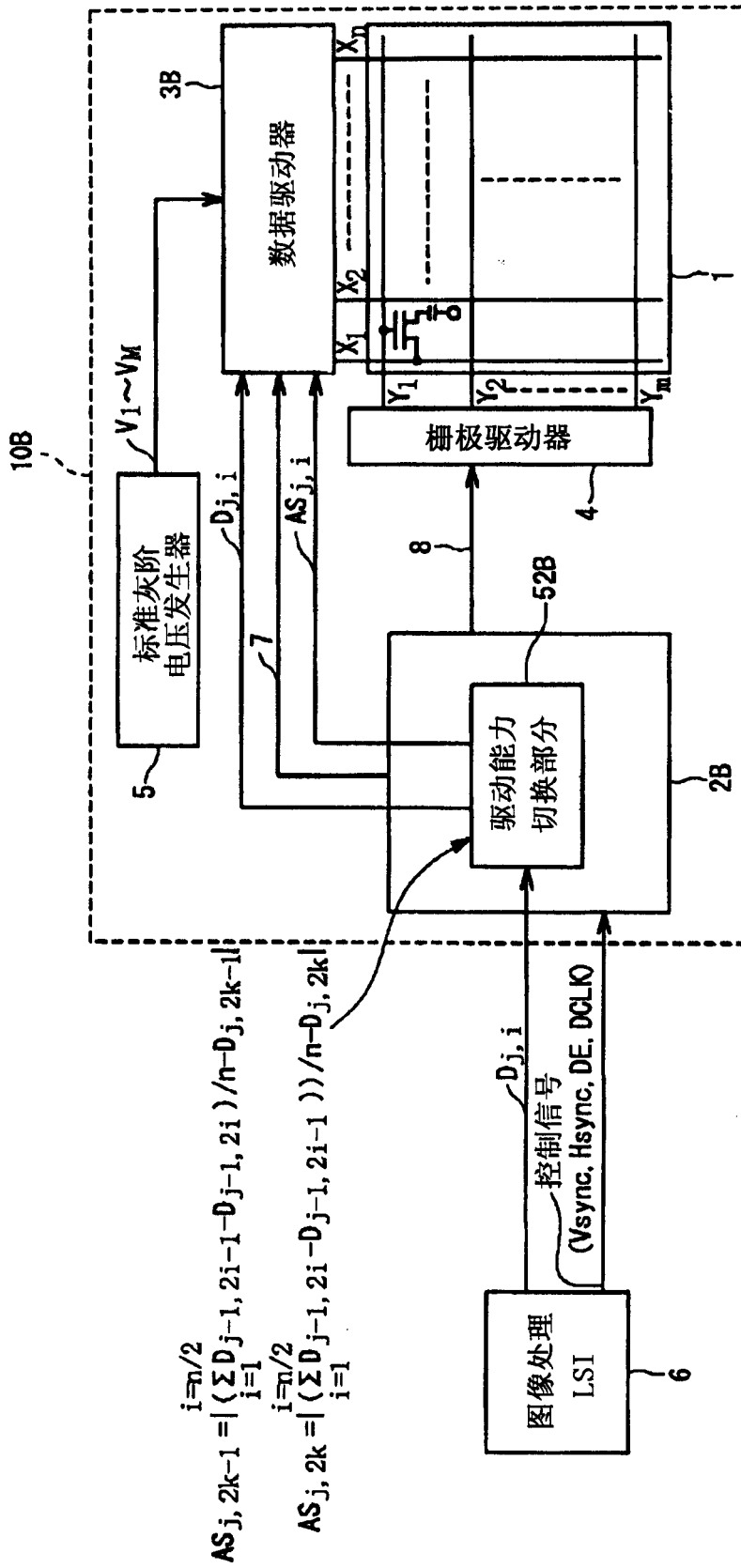


图13

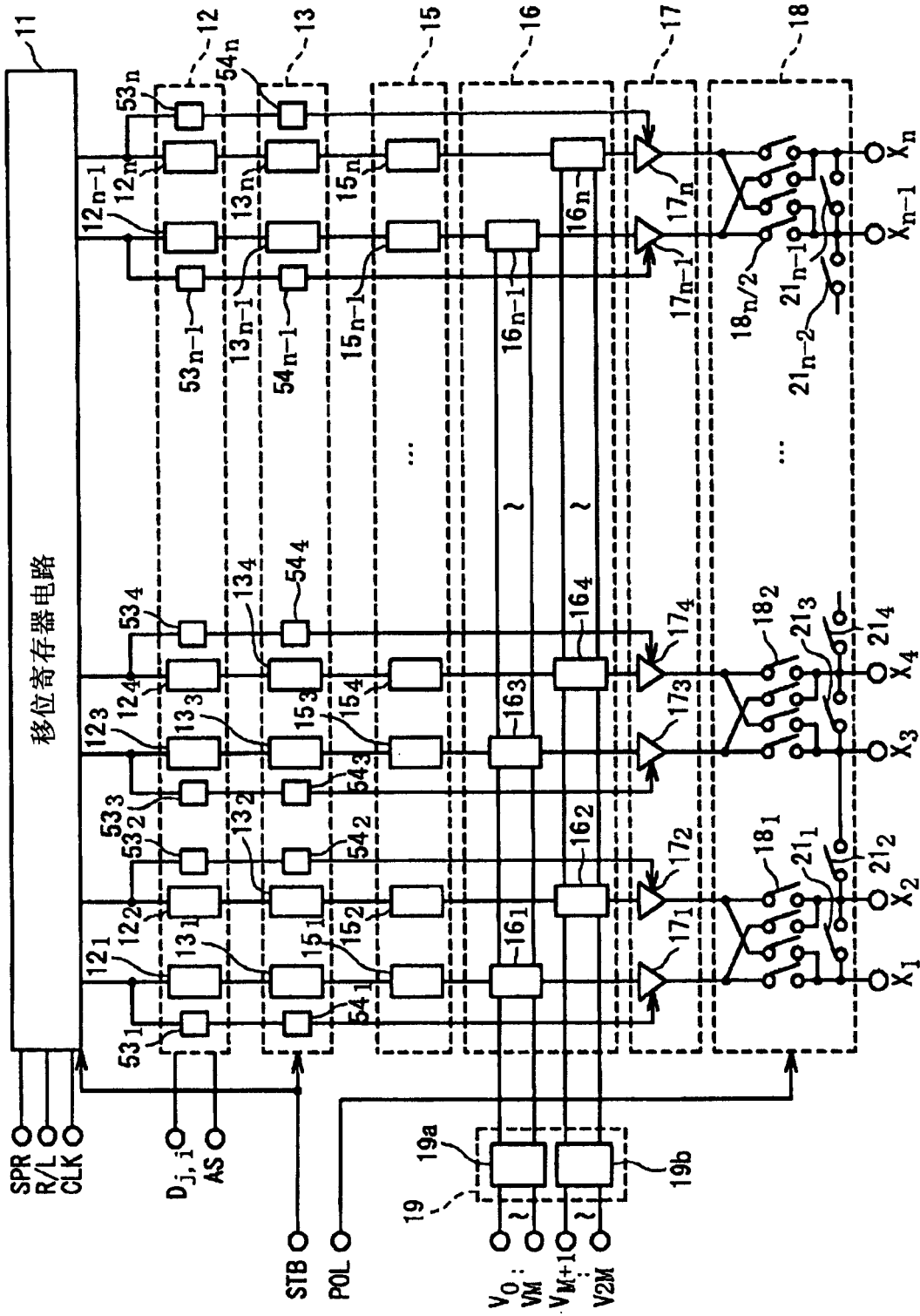


图14

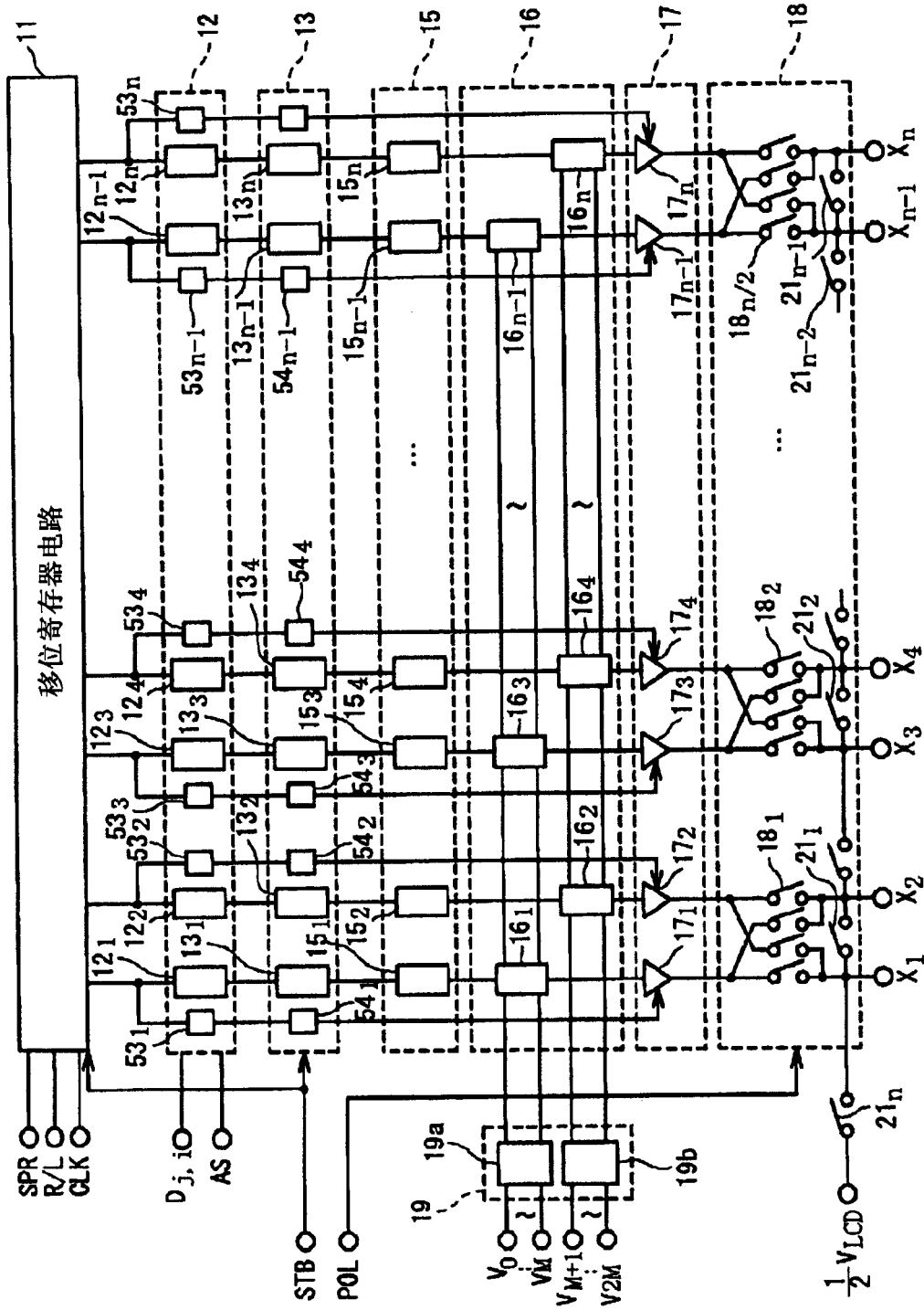


图15

专利名称(译)	改善反相驱动的液晶显示器		
公开(公告)号	CN1845235A	公开(公告)日	2006-10-11
申请号	CN200610074173.3	申请日	2006-04-07
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	恩益禧电子股份有限公司		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	能势崇		
发明人	能势崇		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/2092 G09G3/3614 G09G3/3648 G09G2310/0289 G09G2310/0291 G09G2320/0276 G09G2330/023		
代理人(译)	陆锦华		
优先权	2005111439 2005-04-07 JP		
其他公开文献	CN100552764C		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种改善反相驱动的液晶显示器。该液晶显示器包括：第一和第二数据线(X2k - 1, X2k)、第一和第二运算放大器(172k - 1, 172k)以及短路电路(21k)。构成第一运算放大器(172k - 1)以在第一周期期间驱动第一数据线(X2k - 1)到第一极性的电位，并且在第一周期之后的第二周期期间驱动第二数据线(X2k)到第一极性的电位。构成第二运算放大器(172k)以在第一周期期间驱动第二数据线(X2k)到与第一极性互补的第二极性的电位，并且在第二周期期间驱动第一数据线(X2k - 1)到第二极性的电位。构成短路电路(21k)在第一和第二周期之间的短路周期期间，短路第一和第二数据线(X2k - 1, X2k)。根据在短路周期期间第一和第二数据线(X2k - 1, X2k)的短路电位来控制第一和第二运算放大器(172k - 1, 172k)的驱动能力。

