

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷



[12] 发明专利申请公开说明书

G02F 1/136

H01L 29/786

H01L 21/027

G02F 1/133

G03F 7/20

[21] 申请号 200510009452.7

[43] 公开日 2005年8月17日

[11] 公开号 CN 1655039A

[22] 申请日 2005.2.8

[21] 申请号 200510009452.7

[30] 优先权

[32] 2004.2.10 [33] JP [31] 2004-034094

[71] 申请人 NEC 液晶技术株式会社

地址 日本神奈川县川崎市

[72] 发明人 大石三真 木村聪

[74] 专利代理机构 中原信达知识产权代理有限责任公司

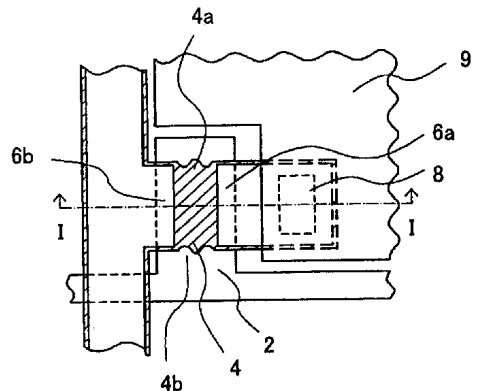
代理人 穆德骏 陆 弋

权利要求书 3 页 说明书 16 页 附图 8 页

[54] 发明名称 薄膜晶体管、使用其的液晶显示器、及其制造方法

[57] 摘要

位于栅极电极上用来形成在源极电极和漏极电极之间的沟道区域的半导体膜具有比位于栅极电极上的源极电极的宽度和漏极电极的宽度宽的宽度。在沟道区中的两边部分上的半导体膜的宽度方向上形成了不规则。



ISSN 1008-4274

1. 一种薄膜晶体管，包括：

5 在源极电极和漏极电极之间延伸的半导体膜，所述半导体膜包括沿半导体膜的延伸方向的其两个边上并且在垂直于延伸方向中形成的不规则，不规则的凹部位于连接所述源极电极和所述漏极电极的相对边的两端的一对虚拟直线所夹着的区域之外；以及

布置在所述沟道区域下的栅极电极，在所述半导体膜和所述栅极电极之间插入栅极绝缘膜。

10

2. 一种液晶显示器，包括：

在其上形成了薄膜晶体管的有源矩阵衬底；以及

与上述有源矩阵衬底相对的用于插入液晶层的相对衬底，

其中，每个所述薄膜晶体管包括：

15 在源极电极和漏极电极之间延伸的半导体膜，所述半导体膜包括沿半导体膜的延伸方向的其两个边上并且在垂直于延伸方向中形成的不规则，不规则的凹部位于连接所述源极电极和所述漏极电极的相对边的两端的一对虚拟直线所夹着的区域之外；以及

20 布置在所述沟道区域下的栅极电极，在所述半导体膜和所述栅极电极之间插入栅极绝缘膜。

20

3. 一种制造薄膜晶体管的方法，包括如下步骤：

在绝缘衬底上形成栅极电极；

25 在所述绝缘衬底上和所述栅极电极上形成半导体膜和导电膜，其中在所述绝缘衬底和所述栅极电极以及所述半导体膜之间插入栅极绝缘膜；

在所述半导体膜上和所述导电膜上形成光致抗蚀剂膜；

通过使用所述光致抗蚀剂膜作为掩模来构图所述导电膜和所述半导体膜，并由此以岛的形状形成导电膜和半导体膜；

30

通过构图所述导电膜彼此隔离地形成源极电极和漏极电极；以及

对所述源极电极和所述漏极电极之间的所述半导体膜进行沟道蚀刻，

其中，在沿延伸方向提供的所述半导体膜的两个边上并且在垂直于延伸方向的方向中形成不规则，并且

5 不规则的凹部位于连接所述源极电极和所述漏极电极的相对边的两端的一对虚拟直线所夹着的区域之外。

4. 根据权利要求3的制造薄膜晶体管的方法，
其中所述光致抗蚀剂膜包括：

10 对应于源极电极形成区域和漏极电极形成区域的厚的部分；以及
对应于所述源极电极形成区域和所述漏极电极形成区域之间的沟道形成区域的薄的部分，其具有的厚度比所述厚的部分的厚度薄。

5. 根据权利要求3的制造薄膜晶体管的方法，

15 其中所述光致抗蚀剂膜是使用包括具有不同光透射量的三个区域的光掩模时，通过曝光和显影形成的，以及

所述光掩模包括对应于所述源极电极形成区域和所述漏极电极形成区域的一对光遮挡区域、位于所述一对光遮挡区域之间分别穿过缝隙的矩形部分、以及除了所述光遮挡区域和所述半透明区域之外的光透明区域，其中所述矩形部分与所述缝隙一起构成半透明区域。

20

6. 根据权利要求5的制造薄膜晶体管的方法，

其中，所述光掩模的所述矩形部分比所述一对光遮挡区域的宽度宽。

25

7. 根据权利要求6的制造薄膜晶体管的方法，

其中，多个矩形部分穿过所述缝隙，每个矩形部分与所述光掩模的所述矩形部分相同。

30

8. 根据权利要求4的制造薄膜晶体管的方法，

其中用于形成所述光致抗蚀剂膜的光掩模包括对应于源极和漏极形成区域的一对光遮挡区域、光透明区域、以及具有光透明和光遮挡图形的半透明区域，其具有等于或低于曝光设备的分辨力的尺寸，

5 所述光透明和光遮挡图形包括一对缝隙和一个细长矩形部分，并且

所述细长矩形部分比对应于所述源极和漏极形成区域的所述一对光遮挡区域的相对部分的宽度长。

9. 根据权利要求 8 的制造薄膜晶体管的方法，

10 其中在对应于所述源极和漏极形成区域的所述一对光遮挡区域的相对部分处，构成所述光掩模的所述半透明区域的所述光透明和光遮挡图形的所述细长矩形部分比所述源极形成区域的宽度和所述漏极形成区域的宽度中的任何一个长 $1.5\mu\text{m}$ 或更多。

15 10. 根据权利要求 4 的制造薄膜晶体管的方法，

其中在对应于所述源极和漏极形成区域的所述一对光遮挡区域的相对部分处，构成所述光掩模的半透明区域的所述光透明和光遮挡图形的所述细长矩形部分比所述源极形成区域的宽度和所述漏极形成区域的宽度中的任何一个在一侧上长包括 $1.5\mu\text{m}$ 到 $3.0\mu\text{m}$ 在内的范围并且

20 且在两侧上总共长包括 $3.0\mu\text{m}$ 到 $6.0\mu\text{m}$ 在内的范围。

薄膜晶体管、使用其的液晶显示器、以及其制造方法

5 技术领域

本发明涉及薄膜晶体管、使用该薄膜晶体管的液晶显示器、以及制造该薄膜晶体管的方法。更具体地，本发明涉及具有改进的导通电流和沟道长度的薄膜晶体管、使用该薄膜晶体管的液晶显示器、以及该薄膜晶体管的制造方法。

10

背景技术

使用薄膜晶体管 (TFT) 作为开关元件的液晶显示器已经广泛地普及。在许多无定形硅 (α -Si) TFT 中采用了反交错结构 (inverted staggered structure)。尽管 TFT 分类为沟道保护型或沟道蚀刻型，但为了减少制造步骤的数量，在目前沟道蚀刻型是主流。

15

尽管通过使用五个或六个掩模来实现的制造沟道蚀刻型 TFT 的方法已经被常规地采用，但是为了进一步减少制造步骤的数量，已经公开了通过使用四个掩模来实现的制造沟道蚀刻型 TFT 的方法。

20

例如，根据日本未决专利 No.2000-164886，通过使用在 TFT 的沟道区域薄薄地形成的并在源极和漏极电极形成区域中厚厚地形成的光敏膜，而在其它区域中去除光敏膜以便将由相同的金属层构成的源极和漏极电极隔离的方法，减小了制造步骤的数量。首先，在绝缘衬底上形成导电层，并且在应用光刻技术和蚀刻技术时通过使用第一光掩模来对导电层构图以形成栅极布线。在栅极布线上形成栅极绝缘膜并且层叠半导体层、 n^+ 掺杂半导体层以及源极和漏极金属层。接着，通过使用第二光掩模和光刻技术，光敏膜被厚厚地形成在源极电极形成区域上和漏极电极形成区域上并且被薄薄地形成在源极和漏极电极形成区域之间的区域上。此外，通过使用该光敏膜作为掩模来蚀刻源

25

30

极和漏极金属层、 n^+ 掺杂半导体层以及半导体层以构图源极和漏极电极、 n^+ 掺杂半导体层以及半导体层。在 n^+ 掺杂半导体层和半导体层的蚀刻的同时，光敏膜的厚度通过去除源极和漏极电极形成区域之间的区域中的薄光敏层的受控量而被减少。

5

源极和漏极电极形成区域上的光敏膜的厚度减少了但仍保留在其上。通过蚀刻暴露在源极和漏极电极形成区域之间的源极和漏极金属层并且进一步蚀刻在源极和漏极电极形成区域之间的 n^+ 掺杂半导体层，来构图源极和漏极电极以及 n^+ 掺杂半导体层。然后，去除光敏膜。

10

接着，形成钝化层并在应用光刻技术和蚀刻技术时通过使用第三光掩模来形成接触孔。接着，形成透明导电膜并在应用光刻技术和蚀刻技术时通过使用第四光掩模来形成像素电极。

15

上述光敏膜在下文将被描述为光致抗蚀剂膜。

20

同时，日本未决专利 No.2001-324725 公开了光掩模图形，其构造为在源极和漏极电极形成区域厚厚地形成光致抗蚀剂图形并且在源极和漏极电极形成区域之间的区域薄薄地形成光致抗蚀剂图形。如图 1A 所示，该光掩模图形包括用于覆盖以形成源极和漏极电极的两个光遮挡区域 111a，以及布置在两个光遮挡区域 111a 之间的并同时分别插入缝隙 113a 的细长矩形光遮挡部分 112a。使用上述光掩模图形进行曝光。基于这样的理解，即当使用上述掩模图形时，会产生在源极和漏极电极形成区域之间的沟道区域中的薄光致抗蚀剂图形的厚度变得不均匀的问题，所以还公开了一种光掩模图形，例如，其包括在两端上具有切角（cut-off corner）的光遮挡区域 111b，如图 1B 所示。通过使用上述光掩模图形，形成光致抗蚀剂图形，并然后蚀刻金属层、 n^+ α -Si 层以及 α -Si 层以构图源极和漏极电极、 α -Si 层以及 n^+ α -Si 层。此后，去除在源极和漏极电极形成区域之间的光致抗蚀剂图形的薄的部分。此外，通过使用独立的光致抗蚀剂图形作为掩模蚀刻 n^+ α -Si 层

25

30

和 α -Si层。

同时，日本未决专利 No.2002-55364 还公开了各种形状的光掩模图形。例如，如图 2A 所示，公开了包括在两个光遮挡区域 111d 之间
5 布置了多个细长矩形光遮挡部分 112d 并插入缝隙 113d 的光掩模图形。当通过使用该掩模图形制造薄膜晶体管时，由于光的干涉现象，以弯曲的方式形成了在栅极电极 102 上且在源极电极 106a 和漏极电极 106b 之间的半导体膜 104，即半导体膜 104 中的沟道区域的每个端部，如图 2C 所示。在本申请中，TFT 的沟道区域的这样的端部在下文将被称作边缘部分（edge rim portion）。当弯曲发生在该半导体膜 104 的两边部分中时，TFT 的导通电流路径也弯曲了。因此，通过以矩阵形式布置这样的 TFT 而形成的液晶显示器的图像质量将会降低。为防止发生两边部分上的弯曲，例如，还公开了一种技术以通过使用图 2B
10 所示的形状的光掩模图形来形成图 2D 所示的宽半导体膜 104。

此外，日本未决专利 No.2002-57338 公开了薄光致抗蚀剂图形的厚度的均匀性通过使用图 1A 所示的上述光掩模图形而被降低，其中光致抗蚀剂图形用于在源极和漏极电极形成区域之间形成沟道区域。此外，该公报还公开下述问题，当使用如图 1A 所示的光掩模图形时，
20 由于光致抗蚀剂图形的膜厚度的非均匀性而增加了 TFT 中的沟道长度的不均匀性，并且后果是液晶显示器的显示特性降低。为解决这些问题，如图 1C 所示公开了一种光掩模图形的光遮挡区域 111c 的形状的改进。

顺便提及，这些光掩模图形中的每一个都包括光透明部分、光遮挡区域以及半透明区域，该半透明区域低于曝光设备的分辨力的光透明和光遮挡图形构成。该半透明区域的光透射量被怀疑在制造中引起了光掩模图形的不均匀。例如，在图 1B 所示的光掩模图形中，孔缝隙的每个端部形成为比孔缝隙的中央部分宽，而半透明区域的宽度选择为等于或窄于曝光设备的分辨力。特别地，制造中引起的光掩模图
30

形的不均匀的影响在端部比在孔缝隙的中心更为显著。因此，在半透明区域中的光透射量与在孔缝隙的中心和端部之间不同。因此，存在半透明区域中形成的光致抗蚀剂图形的厚度变得不均匀的问题。

5 同时，在图 2B 所示的光掩模图形中，在沟道区域中的半透明部分包括纵向排列的孔缝隙和光遮挡区域，并且在沟道区域的上部和下部上的两个边部分包括横向排列的孔缝隙和光遮挡区域。如果纵向中的光掩模图形的尺寸精度与横向中的尺寸精度不同，那么在沟道区域中形成的光致抗蚀剂图形的厚度与在沟道区域的上部和下部上将要形

10 成的两个边部分上形成的光致抗蚀剂图形的厚度不同。如果在沟道区域的中央部分的光致抗蚀剂的厚度与在其两个边部分的光致抗蚀剂的厚度不同，那么由于曝光量的变化使沟道长度和沟道宽度的放大量波动，并因此难以稳定 TFT 的导通电流特性。例如，当在两个边部分的光致抗蚀剂的厚度变得比沟道区域的中心部分的光致抗蚀剂的厚度薄

15 时，最适合沟道长度的曝光量波动并由此降低了 TFT 的导通电流。相反，当在两个边部分的光致抗蚀剂的厚度变得比沟道区域的中心部分的光致抗蚀剂的厚度厚时，TFT 的导通电流增加但是必需确保自沟道宽度到栅极电极的端部的足够的间隔。因此，必需延长栅极电极。当该栅极电极被延长时，TFT 所占据的区域扩展，而孔径比降低。因此，

20 优选地设置在光掩模图形的纵向中和其横向中的二维精度在相同的程度，并且在制造中必需严格控制光掩模的不均匀。

此外，当光从透明绝缘衬底侧照射时，在光到达漏极电极的附近中的 α -Si 层而不被栅极电极遮挡时，TFT 的截止电流，即，光漏电流

25 会增加。如图 2D 所示，在用过使用图 2B 的光掩模形成的 TFT 中，突出于漏极电极之上并位于栅极电极之外的 α -Si 的每一部分都对产生漏电流有贡献。因此，光漏电流进一步增加。

同时，在图 1C 所示的掩模图形中，突出的部分形成在孔缝隙 113c

30 的端部的附近中的细长矩形部分 112c 中，而光透明区域的宽度选择为

等于或低于曝光设备的分辨力。但是，制造中光掩模图形的不均匀的影响在孔缝隙 113c 的端部的附近中的突出部分比在其中心部分大。因此，产生了与使用图 1B 所示的掩模图形的情况相似的问题。

5 发明内容

因此，本发明的一个目标是提供一种能够稳定导通电流并抑制沟道长度的不均匀的薄膜晶体管，使用该薄膜晶体管的液晶显示器，以及制造该薄膜晶体管的方法。

10 此外，本发明的另一个目标是提供一种能够通过使用光掩模图形来降低对薄膜晶体管的导通电流特性的影响的制造薄膜晶体管的方法，该光掩模图形能够降低薄膜晶体管的导通电流特性的影响。

15 根据本发明的薄膜晶体管，在源极电极和漏极电极之间延伸的半导体膜的两个边上，在垂直于半导体膜的延伸方向中形成不规则。不规则的凹部位于连接源极电极和漏极电极的相对边的两端的一对虚拟直线所夹着的区域之外。

20 本发明的薄膜晶体管的特点在于半导体膜的宽度比位于栅极电极上的源极电极的宽度和漏极电极的宽度宽，并且在沟道区域中的两个边部分的半导体膜具有包括凹部和凸部的不规则形状。

25 本发明的液晶显示器包括具有形成在其上薄膜晶体管的有源矩阵衬底，以及与有源矩阵衬底相对并配置为插入液晶层的相对衬底。这里，薄膜晶体管包括半导体膜，以及位于沟道区域下面的栅极电极，在半导体膜和栅极电极之间插入了栅极绝缘膜。半导体膜在源极电极和漏极电极之间延伸。在垂直于其延伸方向中，半导体膜的两边上形成了不规则。此外，半导体膜的不规则的凹部位于源极电极和漏极电极的相对边的两端的一对虚拟直线所夹着的区域之外。栅极电极布置
30 在沟道区域之下，在半导体膜和栅极电极之间插入栅极绝缘膜。

制造本发明的薄膜晶体管的方法包括如下步骤：在绝缘衬底上形成栅极电极；在绝缘衬底和栅极电极上形成半导体膜和导电膜，其中
5 半导体膜和栅极电极之间插入栅极绝缘膜；在半导体膜上和导电膜上形成光致抗蚀剂膜；通过使用光致抗蚀剂膜作为掩模来构图导电膜和
半导体膜，并由此以岛的形状形成导电膜和半导体膜；通过构图导电
膜彼此隔离地形成源极电极和漏极电极；以及对源极电极和漏极电极
10 之间的半导体膜进行沟道蚀刻。这里，在垂直于延伸方向的方向中，
在沿其延伸方向提供的半导体膜的两个边上形成不规则。此外，不规则的凹部位于连接源极电极和漏极电极的相对边的两端的一对虚拟直线所夹着的区域之外。

优选地，光致抗蚀剂膜包括对应于厚的源极和漏极电极形成区域的
15 厚的部分，以及对应于源极电极形成区域和漏极电极形成区域之间的
区域的薄的部分。

优选地，使用包括具有不同光透射量的三个区域的光掩模时，通过
20 曝光和显影形成光致抗蚀剂膜，并且光掩模包括对应于源极电极形成
区域和漏极电极形成区域的一对光遮挡区域、位于一对光遮挡区域
之间分别穿过缝隙的矩形部分、以及除了光遮挡区域和半透明区域之
外的光透明区域，其中矩形部分与缝隙一起构成半透明区域。

优选地，光掩模的矩形部分比该对光遮挡区域的宽度宽。

25 优选地，光掩模的多个矩形部分穿过缝隙。

优选地，用于形成光致抗蚀剂膜的光掩模包括对应于源极和漏极
30 形成区域的一对光遮挡区域、光透明区域、以及具有光透明和光遮挡
图形的半透明区域，其具有等于或低于曝光设备的分辨力的尺寸。这
里，光透明和光遮挡图形包括一对缝隙和一个细长矩形部分，并且细

长矩形部分比对应于源极和漏极形成区域的该对光遮挡区域的相对部分的宽度长。

5 优选地，在对应于源极和漏极形成区域的该对光遮挡区域的相对部分处，构成光掩模的半透明区域的光透明和光遮挡图形的细长矩形部分比源极形成区域的宽度和漏极形成区域的宽度长 $1.5\mu\text{m}$ 或更长。

10 优选地，在对应于源极和漏极形成区域的该对光遮挡区域的相对部分处，构成光掩模的半透明区域的光透明和光遮挡图形的细长矩形部分比源极形成区域的宽度和漏极形成区域的宽度在一侧上长包括 $1.5\mu\text{m}$ 到 $3.0\mu\text{m}$ 在内的范围并且在两侧上总共长包括 $3.0\mu\text{m}$ 到 $6.0\mu\text{m}$ 在内的范围。

15 在本发明中，薄膜晶体管的半导体膜在源极电极和漏极电极之间延伸。在沿延伸方向上的该半导体膜的两边上，在垂直于延伸方向的方向中形成不规则。此外，不规则的凹部位于连接源极电极和漏极电极的相对边的两端的一对虚拟直线所夹着的区域之外。因此，发生了 TFT 导通电流的路径弯曲，由此，可以抑制液晶显示器的图像质量的降低。

20 此外，在本发明中，用于形成光遮挡区域、光透明区域、以及半透明区域的光掩模包括对应于源极和漏极形成区域的光遮挡区域、光透明区域、以及由光透明和光遮挡图形构成的半透明区域，半透明区域具有等于或低于曝光设备的分辨力的尺寸。这里，光透明和光遮挡图形包括一对缝隙部分和一个细长矩形部分，或者可以替换地，包括
25 多个缝隙部分和多个细长矩形部分，并且多个细长矩形部分中的一个或者每个都形成为比对应于源极和漏极形成区域的该对光遮挡区域的相对部分的宽度长。这样，甚至当光掩模图形中的纵向的尺寸精度与横向尺寸精度不同时，也能够避免沟道区域中的两边部分上形成的光致抗蚀剂图形比用于形成沟道区域的内部的光致抗蚀剂图形薄，并由
30

此抑制了由于曝光量的变化从源极和漏极的沟道长度和沟道宽度的扩
大量的波动。这样，能够稳定 TFT 的导通电流特性。因此，能够在制
造光掩模中放松纵向或横向中的尺寸精度，从而抑制产量降低。此外，
用于形成源极电极形成区域和漏极电极形成区域之间的沟道区域的薄
5 的光致抗蚀剂图形的厚度的均匀性可以得到改善。因此，能够解决由
于沟道长度的不均匀性引起的液晶显示器的显示特性降低的问题。

根据本发明的 TFT 和应用 TFT 的液晶显示器，具有稳定 TFT 的
导通电流和抑制沟道长度的不均匀性的效果。此外，根据本发明的制
10 造 TFT 的方法，具有减小在制造中引起的光掩模图形的不均匀性对 TFT
的导通特性的影响的效果。

附图说明

参考本申请并结合附图，本发明的这些和其它的目标和优点以及
15 进一步的说明对于本领域技术人员将会更明显，其中：

图 1A 到图 1C 是示出了现有技术的光掩模图形的平面图。

图 2A 和图 2B 是示出了现有技术的光掩模图形的平面图，以及
图 2C 和图 2D 是示出了通过使用图 2A 和图 2B 所示的光掩模图形制
造的薄膜晶体管的平面图。

20 图 3A 是示出了使用根据本发明第一实施例的薄膜晶体管的在有
源矩阵衬底上的单元像素，图 3B 是沿图 3A 中的线 I-I 的剖面图，以
及图 3C 是用于说明连接源极和漏极电极的相对边的两端的一对虚拟
直线的单元像素的另一个平面图。

图 4A 到图 4D 是示出了沿图 3A 中的线 I-I 的制造步骤顺序的剖
25 面图。

图 5 是用于制造根据本发明第一实施例的薄膜晶体管的掩模图
形的平面图。

图 6A 是示出了图 5 所示的掩模的矩形突出长度与沟道边和源
极-漏极边之间的距离之间的关系图，而图 6B 是示出了图 5 所
30 示的掩模的矩形突出长度和 TFT 的漏极电流-漏极电压之间的关系

的特性图。

图 7 是使用图 3A 和图 3B 所示的有源矩阵衬底的液晶显示器的剖面图。

5 图 8 是示出了使用根据本发明第二实施例的薄膜晶体管的有源矩阵衬底上的单元像素的平面图，图 8B 是用于制造根据本发明第二实施例的薄膜晶体管的光掩模图形的平面图，以及图 8C 是用于解释连接源极和漏极电极的相对边的两端的一对虚拟直线的单元像素的另一个平面图。

10 具体实施方式

现在，参考附图说明本发明的优选实施例。将参考图 3A 到图 7 说明第一实施例并参考图 8A 到 8C 说明第二实施例。任何一个实施例的目的在于限定位于栅极电极上的半导体膜的宽度，半导体膜构成了在薄膜晶体管中的源极电极和漏极电极之间的沟道区域。特别地，半
15 导体膜在源极电极和漏极电极之间延伸，并且在沿延伸方向上的该半导体膜的两边上，在垂直于延伸方向的方向中形成不规则。这里，不规则的凹部位于连接源极电极和漏极电极的相对边的两端的一对虚拟直线所夹着的区域之外。

20 首先，将参考附图说明第一实施例。如图 3A 所示，本实施例的薄膜晶体管的目的在于限定位于栅极电极 2 上的半导体膜 4 的宽度，该半导体膜构成了源极电极 6a 和漏极电极 6b 之间的沟道区域。具体地，半导体膜 4 在源极电极 6a 和漏极电极 6b 之间延伸，并且在沿延伸方向提供的该半导体膜 4 的两个边上，在垂直于延伸方向的方向上
25 形成了不规则（凹部 4b 和凸部 4a）。这里，如图 3C 所示，假设有连接源极电极 6a 和漏极电极 6b 的相对边的两端的一对虚拟直线 30。不规则的凹部 4b 位于该对虚拟直线 30 所夹着的区域之外。换句话说，位于栅极电极 2 上的该半导体膜 4 的宽度比源极电极 6a 的宽度和漏极电极 6b 的宽度宽，并且在沟道区域的两个边部分的每个边处的半
30 导体膜 4 具有包括凸部 4a 和凹部 4b 的不规则形状。

当具有上述形状的 TFT 用于液晶显示器时，TFT 以矩阵形式布置在有源矩阵衬底上并且源极电极 6a 通过接触孔 8 电气连接到像素电极 9。

5

参考图 3B，在透明绝缘衬底 1 上形成由金属层等构成的栅极电极。要提供沟道区域的半导体膜 4 形成在该栅极电极 2 上，在半导体膜 4 和栅极电极 2 之间插入栅极绝缘膜 3。此外，由金属层等构成的源极电极 6a 和漏极电极 6b 形成在该半导体膜 4 的两侧上，在半导体膜 4 和源极与漏极电极 6a、6b 之间插入高杂质掺杂半导体膜 5。此外，形成钝化膜 7 以覆盖这些部分，并且形成像素电极 9 以通过在钝化膜 7 处开的接触孔 8 与源极电极 6a 电气连接。尽管 TFT 的源极和漏极由施加到栅极、源极和漏极上的工作电位决定，但在本申请中，连接到像素电极的电极被称为源极电极。

10

15

接着，将参考图 4A 到图 5 说明具有图 3A 所示的平面布局和图 3B 所示的剖面结构的 TFT 的制作方法。

首先，在诸如玻璃的透明绝缘衬底 1 上，通过使用溅射方法等，形成诸如 Mo、Cr、Ta、或在 Al 上的 Mo 的叠层、或包含前述金属作为主要成分的合金层叠膜等的金属层，厚度在从 200nm 到 300nm 的范围内。此外，通过使用光刻技术和蚀刻技术将该金属层形成为栅极电极 2。

20

25

接着，通过使用等离子体增强 CVD 方法形成由 SiN 膜或 SiO₂ 膜和 SiN 膜的层叠膜构成的栅极绝缘膜 3，厚度从 350nm 到 500nm。然后，依次形成厚度从 100nm 到 250nm 范围内的 α -Si 层 4A 作为半导体膜，并且然后形成厚度从 20nm 到 50nm 的 n⁺ α -Si 层 5 作为用磷 (P) 掺杂的高杂质掺杂半导体膜。接着，通过使用溅射方法等将 Mo、Cr、Ta，或 Mo、Al 以及 Mo 的层叠膜形成为用于源极和漏极电极的金属

30

层 6，厚度从 200nm 到 300nm。此后，在绝缘衬底 1 上涂敷厚度从 1 μ m 到 2 μ m 的正光致抗蚀剂。

接着，通过使用如图 5 所示的光掩模图形将光致抗蚀剂曝光和显影。具体地，图 5 所示的光掩模图形是包括具有彼此不同的光透射量的三个区域的半色调 (halftone) 掩模，也就是说，包括光遮挡区域、半透明区域以及光透明区域。光遮挡区域包括用于形成源极和漏极区域的一对光遮挡区域 11。半透明区域包括缝隙 13、以及穿过缝隙 13 布置在该对光遮挡区域 11 之间并且具有大于该对光遮挡区域 11 的宽度的一个细长矩形部分 12。也就是说，沿 TFT 栅极宽度方向的细长矩形部分 12 的宽度大于光遮挡区域 11 的宽度。在该实施例中，在该对光遮挡区域 11 之间布置单个的细长矩形部分 12。此外，除了光遮挡部分和半透光部分之外的区域作为光透明区域。通过利用如此构造的光掩模图形进行曝光和显影。在该情况下，控制曝光量以便去除位于光透明区域中的光致抗蚀剂膜，保持与涂敷时基本上相同的光致抗蚀剂膜的厚度下保留位于光遮挡区域 11 中的光致抗蚀剂膜，以及保留在半透明区域中的薄光致抗蚀剂膜，该半透明区域包括细长矩形部分 12 和缝隙 13，其具有等于或低于曝光设备的分辨力的尺寸。位于半透明区域中的光致抗蚀剂膜的厚度减小到变为光遮挡区域 11 中的光致抗蚀剂膜的厚度的 20%到 60%，或者例如到从大约 200nm 到 600nm 的厚度。这样，如图 4A 所示形成包括厚的源极和漏极形成部分 10a 和薄的沟道形成部分 10b 的光致抗蚀剂膜。

接着，使用剩余的光致抗蚀剂膜作为掩模，通过干法蚀刻或湿法蚀刻构图源极和漏极金属层 6。例如，当源极和漏极金属层 6 由 Cr 制成时，应用 $CeNH_3$ 蚀刻剂的湿法蚀刻，当源极和漏极金属层 6 由 Mo 制成时，应用 SF_6 或 CF_4 与 O_2 气的混和气体的干法蚀刻。此后，通过使用 SF_6 与 HCl 或 O_2 的混和气体的干法蚀刻，蚀刻由 n^+ α -Si 制成的高杂质掺杂半导体膜 5 (5A) 和由 α -Si 制成的半导体膜 4 (4A) 的暴露的部分。这样，在图 3A 中的阴影部分，以及被源极电极 6a、漏极

电极 6b 以及漏极总线所覆盖的由 n^+ α -Si 制成的高杂质掺杂半导体膜 5 (5A) 和由 α -Si 制成的半导体膜 4 (4A) 部分被保留。保留的图形在对应于各单元像素的部分具有岛的形状，以单个漏极总线整体地形成。

5

这里，如图 4C 所示，包括厚的源极和漏极形成部分 10a 和薄的沟道形成部分 10b 的光致抗蚀剂膜也被蚀刻。对于整个光致抗蚀剂膜，薄的沟道形成区域 10b 被去除，而厚的源极和漏极形成区域 10a 被保留。通过使用这样保留的光致抗蚀剂膜进行源极和漏极金属层 6、 n^+ α -Si 层 5 和 α -Si 层 4 的首次蚀刻。可以选择地，通过使用 SF_6 或 CF_4 与 HCl 或 O_2 的混和气体的干法蚀刻，由 n^+ α -Si 制成的高杂质掺杂半导体膜 5 和由 α -Si 层制成的半导体膜 4 的部分被去除。当保留如图 4B 所示的薄的沟道形成部分 10b 时通过使用 O_2 气体的干灰化 (dry ashing) 去除光致抗蚀剂膜的薄的沟道形成部分 10b，而如图 4C 所示保留了源极和漏极形成部分 10a。在对光致抗蚀剂膜的平面布局的响应中，由 n^+ α -Si 制成的高杂质掺杂半导体膜 5 和由 α -Si 制成的半导体膜 4 形成为栅极电极 2 上面的不规则形状，该不规则形状包括凸部 4a 和凹部 4b。

接着，如图 4D 所示，通过与用于源极和漏极金属层 6 以及 n^+ α -Si 层 5A 的首次蚀刻相似的蚀刻来进行用于源极和漏极金属层 6 和位于光致该对抗蚀剂膜 10a 之间的 n^+ α -Si 层 5A 的二次蚀刻。当蚀刻 n^+ α -Si 层 5A 时， α -Si 层 4A 的部分表面被蚀刻以便保留一定厚度，如保留膜形成时从 50%到 80%范围的厚度以形成沟道 4B。接着，通过去除光致抗蚀剂膜形成图 4D 所示的 TFT。这里，在源极和漏极金属层 6 的二次蚀刻之后去除该光致抗蚀剂膜。可以替换的，在去除光致抗蚀剂膜之后，还能够通过使用源极和漏极金属层 6 作为掩模蚀刻 n^+ α -Si 层 5A 来形成沟道区域 4B。

接着，通过等离子体增强 CVD 方法形成厚度为 300nm 到 400nm

的 SiN 制成的钝化膜 7，然后通过使用光刻技术和蚀刻技术开接触孔 8。尽管其中没有示出，在栅极绝缘膜 3 和钝化膜 7 上形成用于连接栅极布线的接触孔，并且在钝化膜 7 处开用于连接漏极布线的接触孔。此外，通过溅射方法在钝化膜 7 上形成 ITO 膜，厚度从 40nm 到 140nm，并且然后通过使用光刻技术和蚀刻技术形成连接到源极电极 6a 的像素电极 9。这样，能够制造使用图 3A 和图 3B 所示的薄膜晶体管的有源矩阵衬底。

接着，参考图 6A 说明光掩模图形的细长矩形部分 12 的突出长度 d_1 与沟道边-源极和漏极距离 d_2 之间的关系。距离图 5 所示的光掩模图形的光遮挡区域 11 的细长矩形部分 12 的突出量定义为光掩模矩形的突出长度 d_1 。此外，源极和漏极电极 6a 和 6b 的边和在沟道区域中的半导体膜 4 的凹部 4b 的边之间的距离被定义为沟道边和源极-漏极边之间的距离 d_2 ，其中源极和漏极电极 6a 和 6b 是通过使用具有矩形突出长度 d_1 的光掩模图形进行曝光和显影而制造的。也就是说，图 6A 示出了当改变用于形成半透明区域的细长矩形部分 12 的长度 d_1 时，距离 d_2 的变化。根据图 6A，当突出长度 d_1 超过 $1.5\mu\text{m}$ 时，可以明显看出距离 d_2 变为正，即，在沟道区域中的半导体区域 4 的凹部 4b 变得比源极和漏极电极 6a 和 6b 的边宽。

图 6b 示出了当改变突出长度 d_1 分别到 $0\mu\text{m}$ 、 $1.5\mu\text{m}$ 和 $3.0\mu\text{m}$ 时，TFT 的漏极电流 I_d -漏极电压 V_d 特性。这里，栅极电压设为 10V 。从图 6A 和图 6B 可以明显看出，当光掩模矩形突出长度 d_1 设置为等于或大于 $1.5\mu\text{m}$ 时在沟道区域中的两个边部分上形成了不规则 4a 和 4b，并且甚至当两边部分弯曲时，也能抑制对 TFT 导通电流的影响。

这里，在沟道区域中的半导体膜 4 的边和栅极电极 2 的边之间的距离定义为图 6A 所示的栅极电极突出长度 d_3 。当从透明衬底 1 侧照射光时，如果光不被栅极电极 2 遮挡并且到达 $\alpha\text{-Si}$ 层 4，那么 TFT 的截止电流，即，光漏电流增加。为抑制截止电流增加，栅极电极突出

长度 d_3 不能设置为短于预定的长度。因此，像素电极的面积减小并且孔径比由此减小。当矩形突出长度 d_1 增加，不能同时减小栅极电极突出长度 d_3 。但是，当矩形突出长度 d_1 等于或低于 $3.0\mu\text{m}$ 时不会产生这个问题。总而言之，在对应于源极和漏极形成区域的该对光遮挡区域的相对部分处，光掩模的半透明区域中的细长矩形部分 12 被设置为比源极和漏极形成区域的宽度在一侧上长包括 $1.5\mu\text{m}$ 到 $3.0\mu\text{m}$ 在内的范围并且在两侧上总共长包括 $3.0\mu\text{m}$ 到 $6.0\mu\text{m}$ 在内的范围。

接着，将简单说明使用上述薄膜晶体管的液晶显示器。参考图 7，该液晶显示器在有源矩阵衬底和相对衬底之间插入了液晶层 15，该有源矩阵衬底在其上形成了第一实施例的上述 TFT，该相对衬底包括形成在透明绝缘衬底 14 上的光遮挡膜 16、彩色滤光层 17、用于平面化光遮挡膜 16 和彩色滤光膜 17 的表面的平面膜 18、以及形成在平面膜 18 上的相对电极 19。定向膜 20 分别形成在接触液晶层 15 的有源矩阵衬底和相对衬底的表面上。

如上所述，在本实施例的薄膜晶体管中，半导体膜 4 在源极电极 6a 和漏极电极 6b 之间延伸。沿延伸方向的该半导体膜 4 的两个边上，在垂直于延伸方向的方向上形成了不规则（凹部 4b 和凸部 4a）。此外，不规则的凹部 4b 位于连接源极电极 6a 和漏极电极 6b 的相对边的两端的该对虚拟直线 30 所夹着的区域之外。因此，能够稳定导通电流和实现沟道长度不均匀性的抑制。

此外，在本实施例的液晶显示器中，薄膜晶体管的半导体膜 4 在源极电极 6a 和漏极电极 6b 之间延伸。沿延伸方向的该半导体膜 4 的两个边上，在垂直于延伸方向的方向上形成了不规则（凹部 4b 和凸部 4a）。此外，不规则的凹部 4b 位于连接源极电极 6a 和漏极电极 6b 的相对边的两端的该对虚拟直线 30 所夹着的区域之外。因此，能够稳定薄膜晶体管的导通电流和实现沟道长度不均匀性的抑制。这样，能够防止显示特性的降低。

此外，通过使用包括矩形突出长度 $d1$ 设计在 $1.5\mu\text{m}$ 到 $3.0\mu\text{m}$ 范围内的光掩模图形，在沟道区域中的两个边部分上形成了不规则 4a 和 4b，并且即使在两个边部分发生弯曲时也能够抑制对 TFT 的导通电流的影响。此外，能够防止孔径比的降低且抑制了光漏电流的增加。

接着，将说明本发明的第二实施例。本实施例的薄膜晶体管也试图限定栅极电极 2 上的半导体膜 4 的宽度，该半导体膜 4 构成了源极电极 6a 和漏极电极 6b 之间的沟道区域。具体地，半导体膜 4 在源极电极 6a 和漏极电极 6b 之间延伸，并且在沿延伸方向提供的该半导体膜 4 的两个边上，在垂直于延伸方向的方向上形成了不规则（凹部 4b 和凸部 4a）。这里，如图 8C 所示，假设有连接源极电极 6a 和漏极电极 6b 的相对边的两端的一对虚拟直线 80。不规则的凹部 4b 位于该对虚拟直线 80 所夹着的区域之外。换句话说，该半导体膜 4 的宽度比位于栅极电极 2 上的源极电极 6a 的宽度和漏极电极 6b 的宽度宽，并且在沟道区域的两个边部分的每个处的半导体膜 4 具有包括凸部 4a 和凹部 4b 的不规则形状。在本实施例中，如图 8A 所示，在沟道区域中的半导体膜 4 的两个边部分的每一个具有包括两个凸部 4a 和三个凹部 4b 的不规则形状。也就是说，在半导体膜 4 的两个边部分的每一个中分别形成了多个凸部 4a 和多个凹部 4b。

当制造该 TFT 时，与第一实施例的上述制造方法相似，使用了包括光遮挡区域、半透明区域以及光透明区域的半色调掩模。但是，这里使用的光掩模的图形与第一实施例的图形不同。在本实施例中，光遮挡区域包括一对光遮挡区域 11。半透明区域包括缝隙 13，以及穿过缝隙 13 布置在该对光遮挡区域 11 之间并且具有大于该对光遮挡区域 11 的宽度的细长矩形部分 12。具体的，在本实施例中，在该对光遮挡区域 11 之间布置了两个细长矩形部分 12 和三个缝隙 13。除了光遮挡部分和半透光部分之外的区域作为光透明区域。通过使用该光掩模图形进行曝光和显影形成了 TFT，该光掩模图形包括半透明区域，

其具有比光遮挡区域 11 的相对部分的宽度长的两个细长矩形部分 12。

5 在本实施例的液晶显示器中，半导体膜 4 在源极电极 6a 和漏极电极 6b 之间延伸。沿延伸方向的该半导体膜 4 的两个边上，在垂直于延伸方向的方向上形成了不规则（凹部 4b 和凸部 4a）。此外，不规则的凹部 4b 位于连接源极电极 6a 和漏极电极 6b 的相对边的两端的该对虚拟直线 80 所夹着的区域之外。因此，能够稳定薄膜晶体管的导通电流和实现沟道长度不均匀性的抑制。这样，能够防止显示特性的降低。

10

此外，在本实施例中，能够抑制在该曝光和显影中响应曝光量的变化的光致抗蚀剂膜的膜厚度的变化，该光致抗蚀剂膜用于形成源极和漏极形成区域之间的薄沟道区域。因此，该实施例与第一实施例相比具有能够进一步抑制沟道长度的不均匀性的优点。

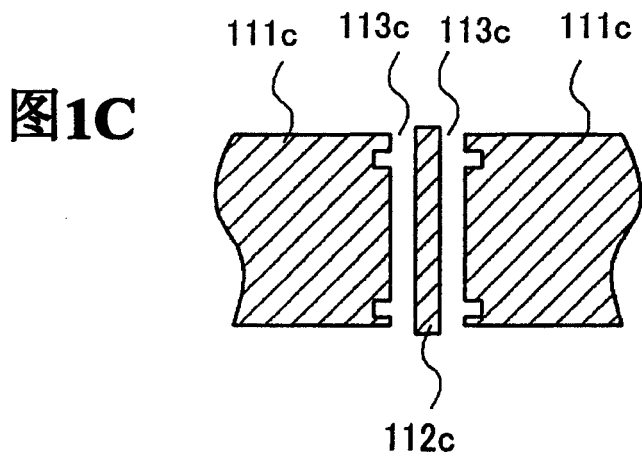
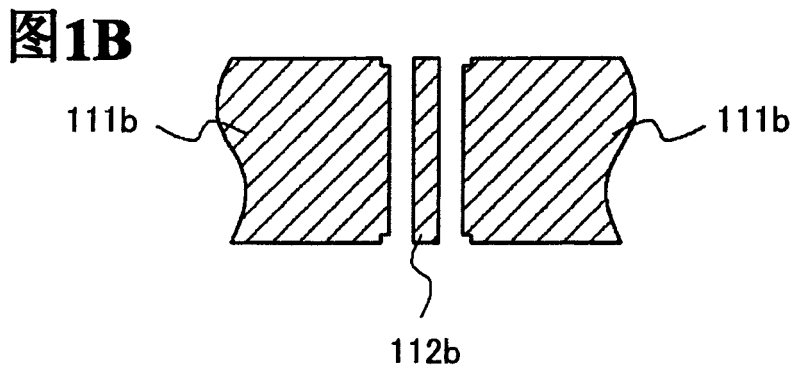
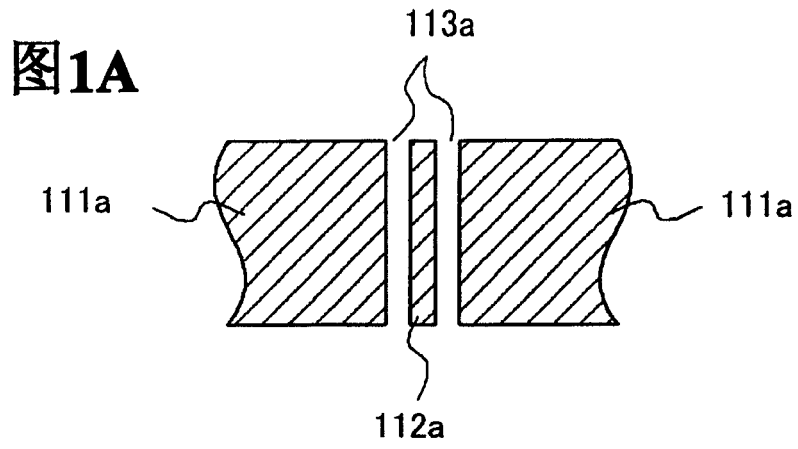
15

此外，与第一实施例相似，通过使用光掩模图形在沟道区域中的两个边部分上形成了不规则 4a 和 4b，该光掩模图形包括设计在从 1.5 μm 到 3.0 μm 范围内的光掩模矩形突出长度 d1，并且即使在两边部分弯曲时也能抑制对 TFT 的导通电流的影响。此外，能够防止孔径比的降低且抑制了光漏电流的增加。

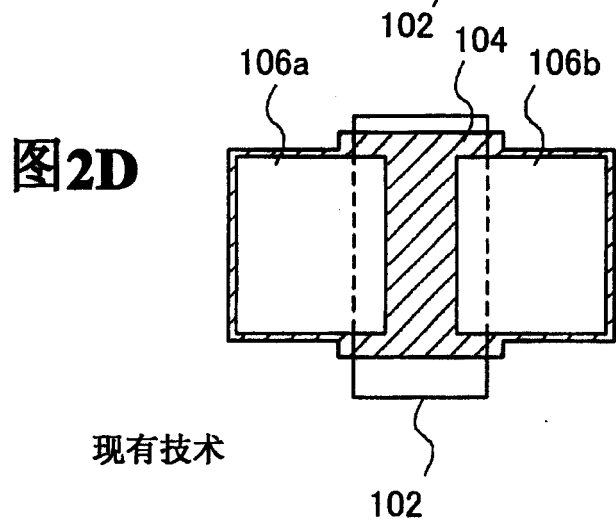
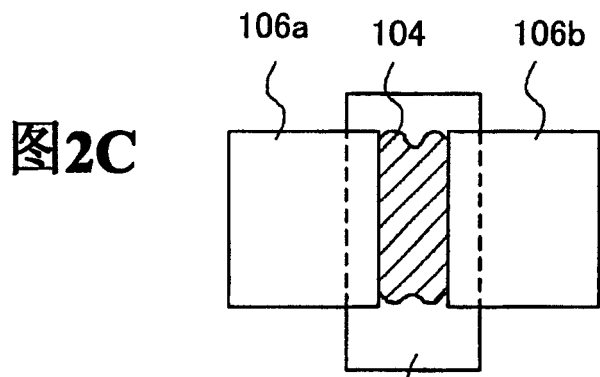
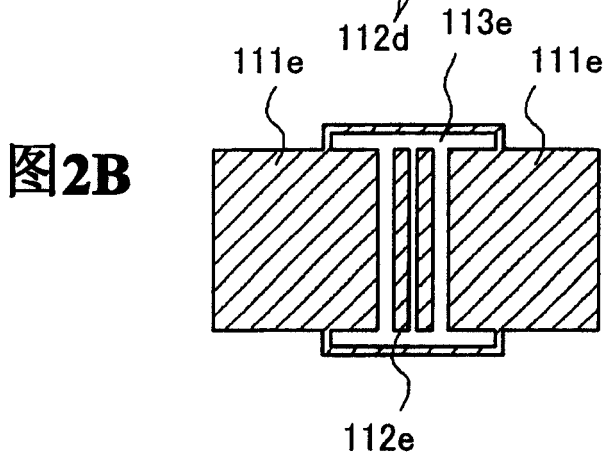
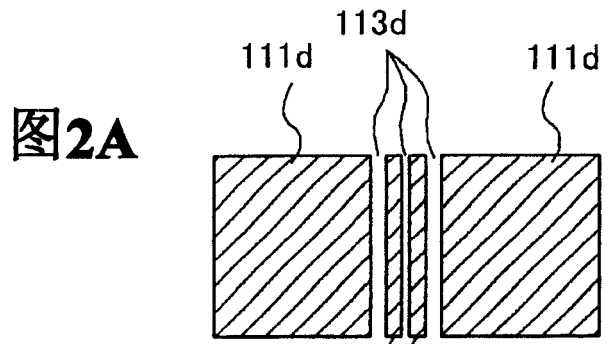
20

尽管已经参考附图说明了本发明的优选实施例，但对本领域技术人员显而易见的是可以作出各种变化和修改而不偏离本发明的真正范围。

25



现有技术



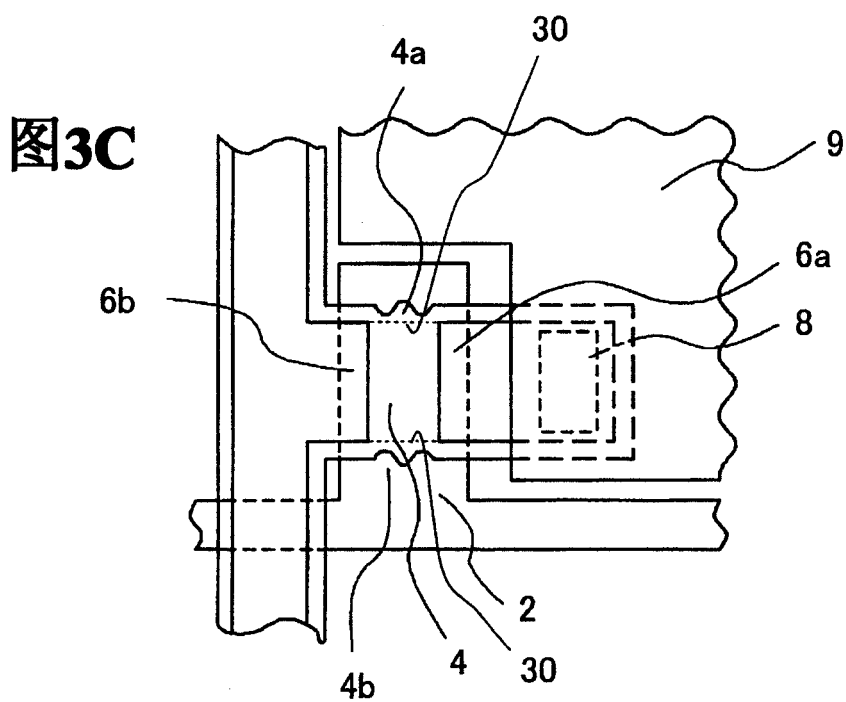
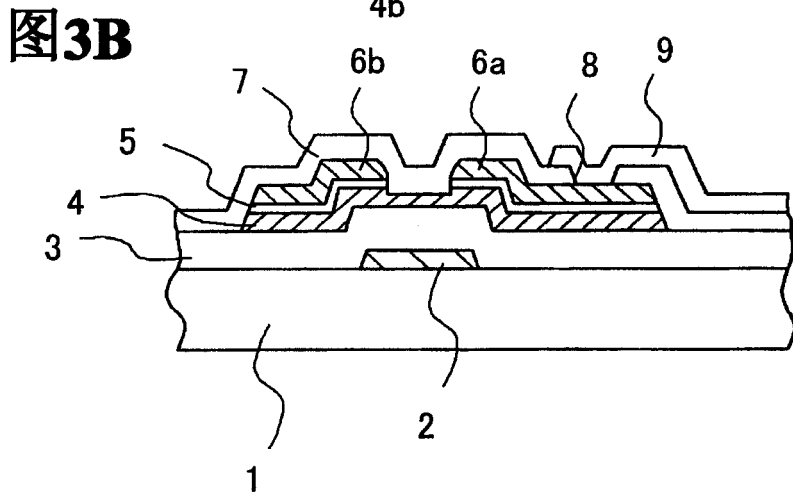
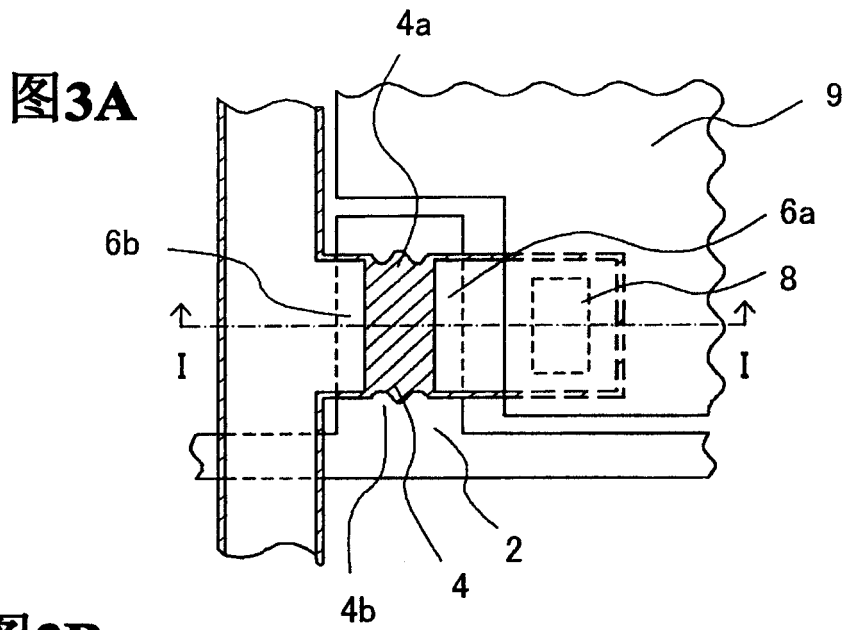


图4A

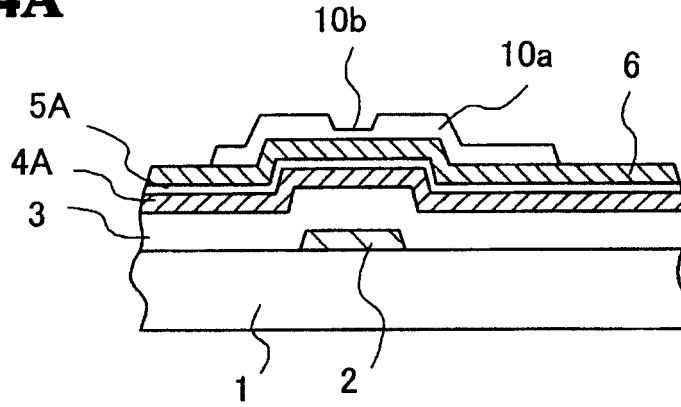


图4B

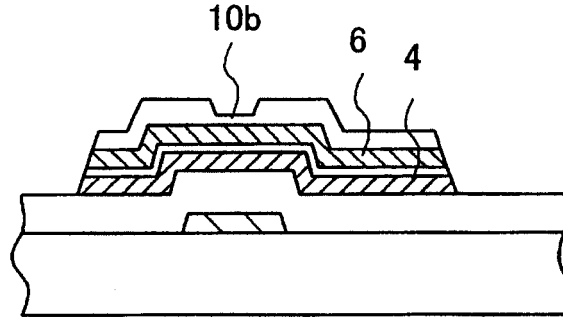


图4C

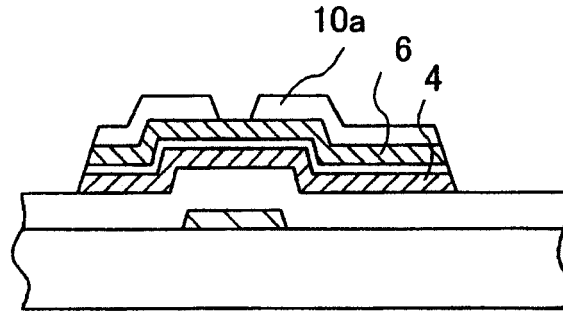


图4D

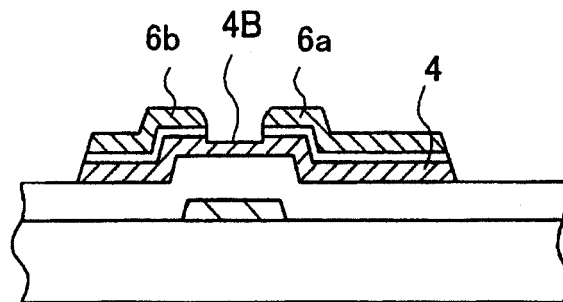
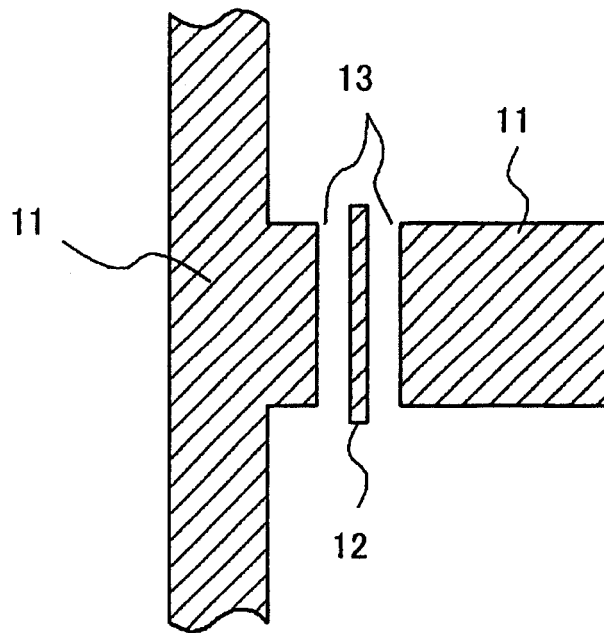


图5



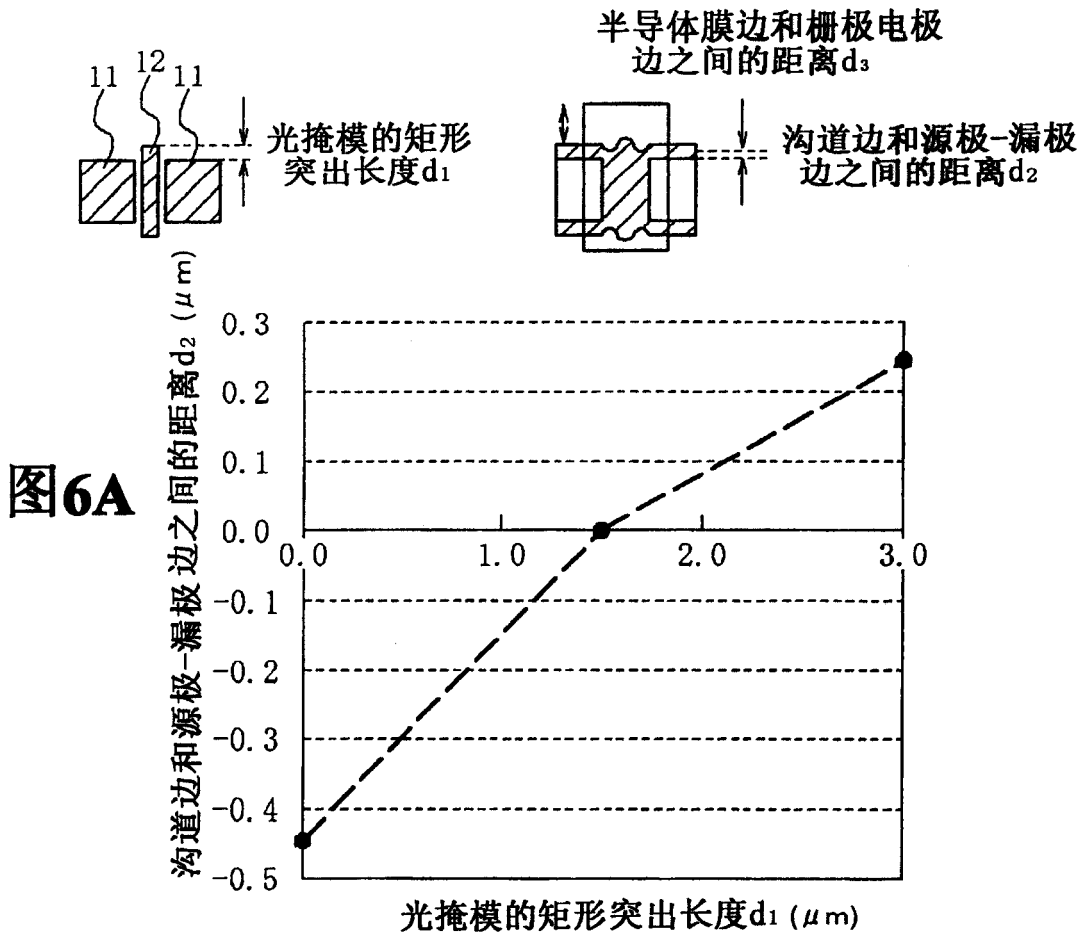


图6B

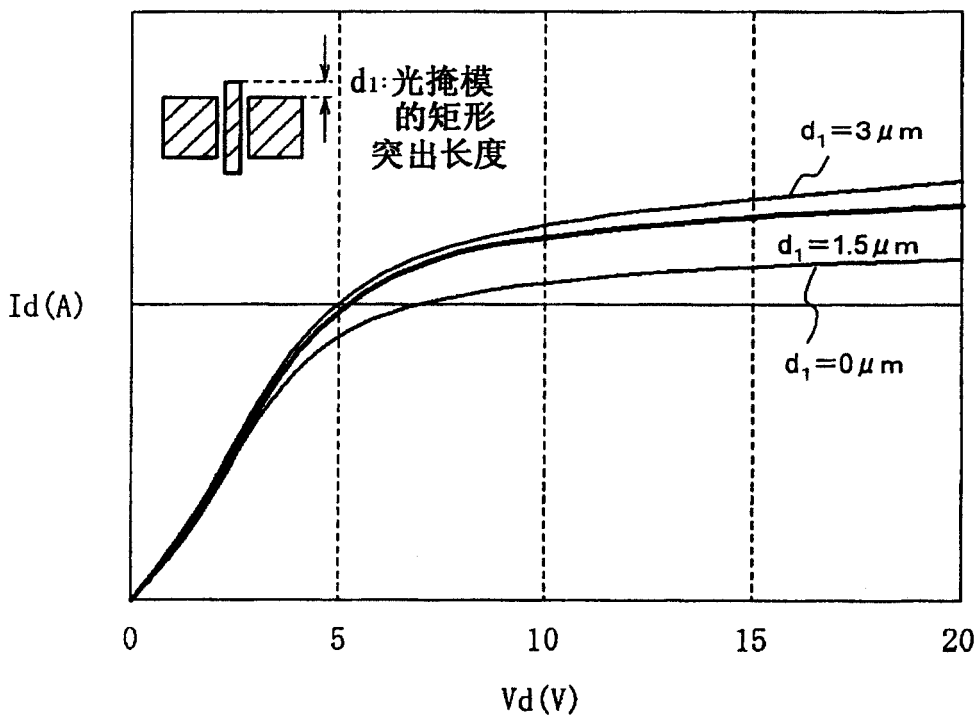
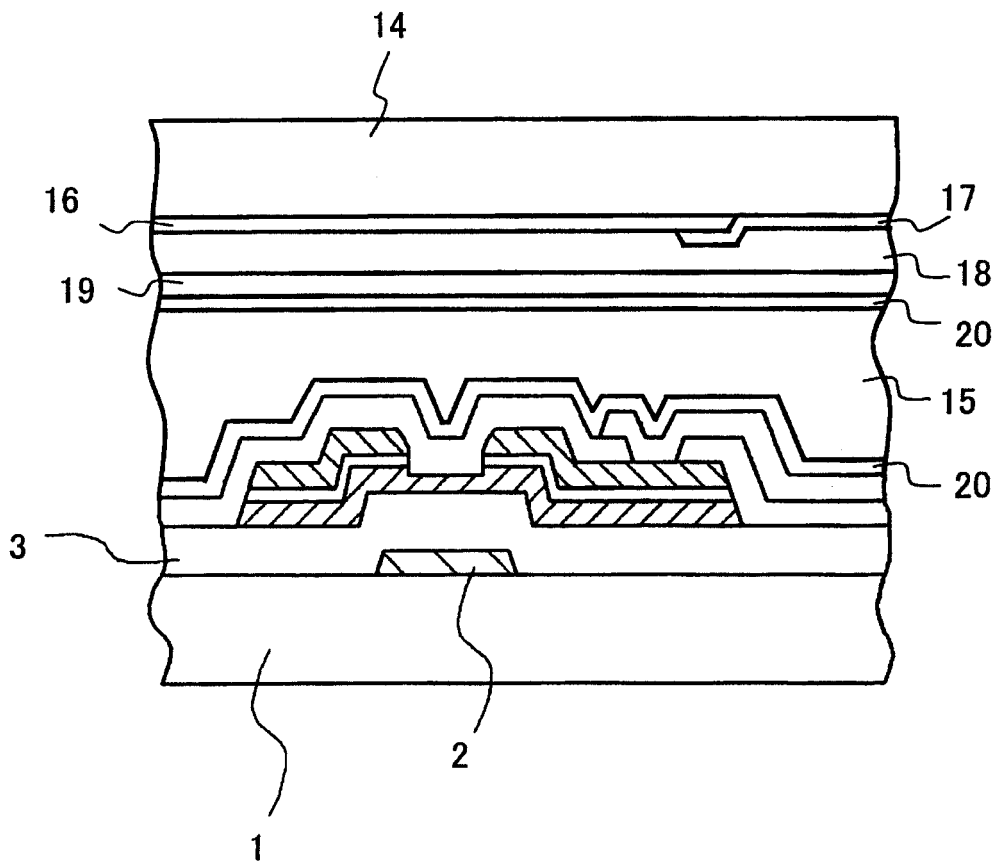
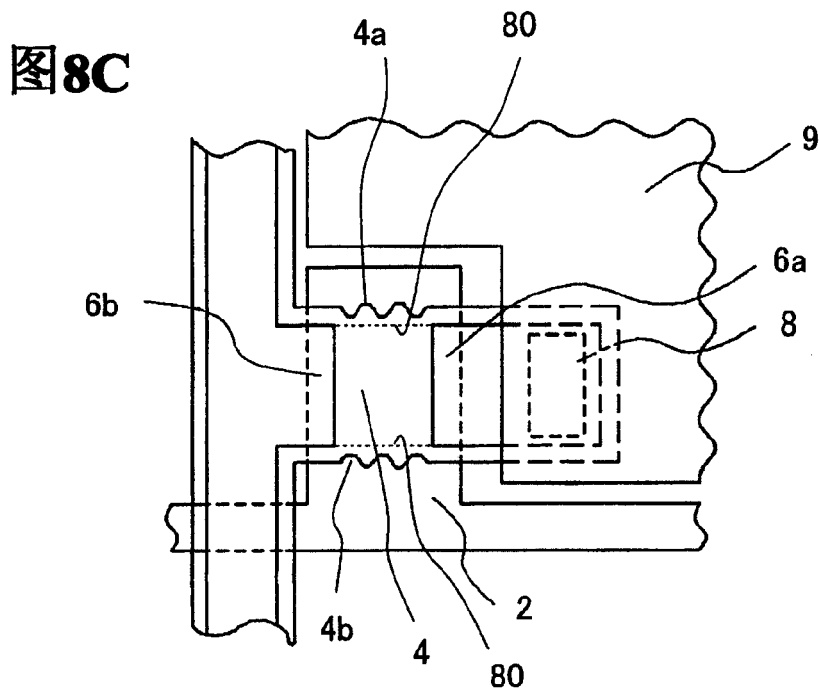
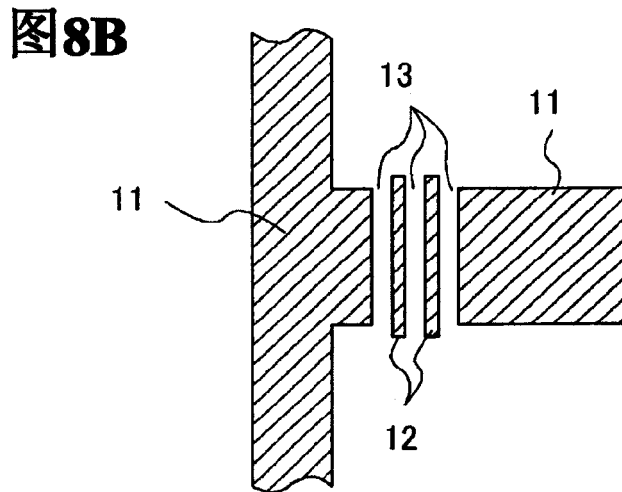
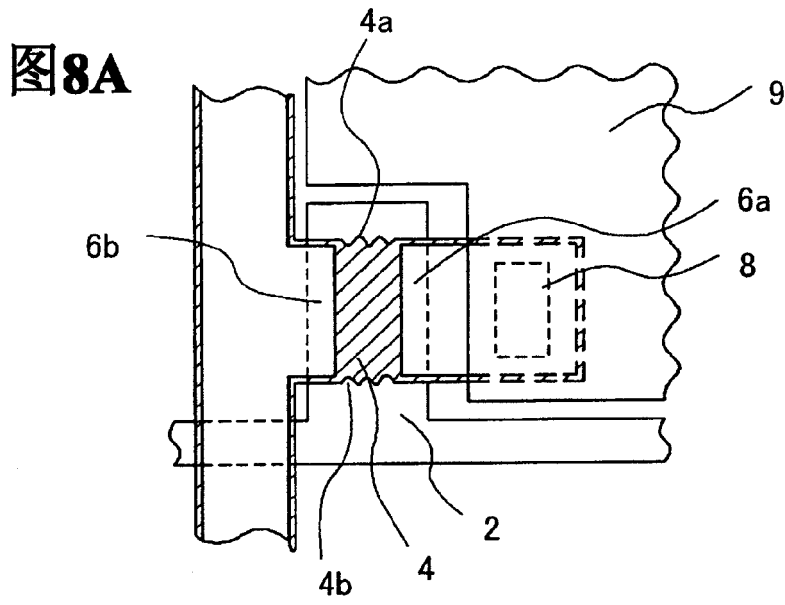


图7





专利名称(译)	薄膜晶体管、使用其的液晶显示器、以及其制造方法		
公开(公告)号	CN1655039A	公开(公告)日	2005-08-17
申请号	CN200510009452.7	申请日	2005-02-08
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC液晶技术株式会社		
当前申请(专利权)人(译)	NEC液晶技术株式会社		
[标]发明人	大石三真 木村聪		
发明人	大石三真 木村聪		
IPC分类号	G02F1/1368 G02F1/133 G02F1/136 G03F7/20 H01L21/00 H01L21/027 H01L21/336 H01L21/77 H01L21/84 H01L27/01 H01L27/12 H01L29/417 H01L29/786 H01L31/0392		
CPC分类号	H01L29/41733 H01L29/78633 H01L29/78696 H01L27/12 H01L27/1214 H01L27/1288		
优先权	2004034094 2004-02-10 JP		
其他公开文献	CN100407034C		
外部链接	Espacenet SIPO		

摘要(译)

位于栅极电极上用来形成在源极电极和漏极电极之间的沟道区域的半导体膜具有比位于栅极电极上的源极电极的宽度和漏极电极的宽度宽的宽度。在沟道区中的两边部分上的半导体膜的宽度方向上形成了不规则。

