



(12) 发明专利申请

(10) 申请公布号 CN 102629038 A

(43) 申请公布日 2012. 08. 08

(21) 申请号 201110421002. 4

(22) 申请日 2011. 12. 15

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 铃木照晃

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274

代理人 申健

(51) Int. Cl.

G02F 1/1343 (2006. 01)

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

H01L 27/02 (2006. 01)

H01L 21/77 (2006. 01)

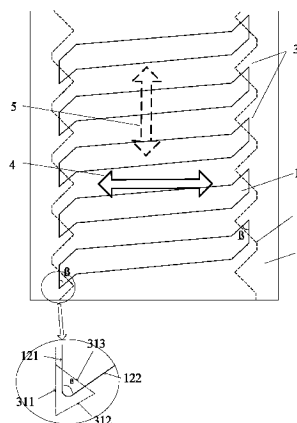
权利要求书 1 页 说明书 4 页 附图 5 页

(54) 发明名称

TFT 阵列基板及其制作方法和显示装置

(57) 摘要

本发明提供一种 TFT 阵列基板及其制作方法和显示装置, 涉及显示装置制造领域, 防止了电极狭缝边角产生的液晶反向旋转畴和向错线, 从而提高了该区域的透光率。其方法包括: 通过改变下层电极的形状, 使上层电极的狭缝的边角与下层电极在竖直方向上不存在对应交叠, 以削弱此区域的电场强度。本发明实施例用于 TFT 阵列基板制造。



1. 一种 TFT 阵列基板,包括上下两层电极,其中,上层电极具有狭缝,该狭缝包括至少一对小于或等于 90 度的角;下层电极为一整面电极,其特征在于,

所述下层电极具有缺损区域,所述缺损区域对应所述上层电极狭缝的所述小于或等于 90 度的角。

2. 根据权利要求 1 所述的 TFT 阵列基板,其特征在于,所述上层电极的狭缝为平行四边形或蟹腿形。

3. 根据权利要求 2 所述的 TFT 阵列基板,其特征在于,

所述下层电极的缺损区域为三角形,其中,所述三角形的两边分别对应远离所述上层电极狭缝的小于或等于 90 度的角的两边,所述三角形的另一条边交叠于所述上层电极狭缝的小于或等于 90 度的角,以使所述下层电极的缺损区域对应所述上层电极狭缝的所述小于或等于 90 度的角。

4. 根据权利要求 1 至 3 任一所述的 TFT 阵列基板,其特征在于,所述小于或等于 90 度的角的顶端为圆角。

5. 一种显示装置,其特征在于,包括:权利要求 1 至 4 任一所述的 TFT 阵列基板。

6. 一种 TFT 阵列基板的制造方法,其特征在于,包括:

在基板上形成栅线、栅极和下层电极,其中,在所述基板上通过构图工艺处理形成下层电极的同时,在所述下层电极上形成缺损区域;

在所述栅线、栅极、下层电极及基板上形成栅绝缘层;

在所述栅绝缘层上形成半导体有源层;

在所述基板上形成数据线、源极、漏极;

在所述数据线、源极、漏极、下层电极上形成钝化层;

在所述钝化层上形成具有狭缝的上层电极;其中,所述狭缝包括至少一对小于或等于 90 度的角,所述下层电极的所述缺损区域对应所述上层电极狭缝的所述小于或等于 90 度的角;

在所述上层电极上形成保护层。

7. 根据权利要求 6 所述的方法,其特征在于,所述上层电极的狭缝为平行四边形或蟹腿形。

8. 根据权利要求 7 所述的方法,其特征在于,所述下层电极的缺损区域为三角形,其中,所述三角形的两边分别对应远离所述上层电极狭缝的小于或等于 90 度的角的两边,所述三角形的另一条边交叠于所述上层电极狭缝的小于或等于 90 度的角,以使所述下层电极的缺损区域对应所述上层电极狭缝的所述小于或等于 90 度的角。

9. 根据权利要求 6 至 8 任一所述的 TFT 阵列基板的制造方法,其特征在于,所述小于或等于 90 度的角的顶端为圆角。

TFT 阵列基板及其制作方法和显示装置

技术领域

[0001] 本发明涉及显示装置制造领域,尤其涉及一种 TFT 阵列基板及其制作方法和显示装置。

背景技术

[0002] 薄膜场效应晶体管液晶显示器 (Thin Film Transistor LiquidCrystal Display, 简称 TFT-LCD) 具有体积小、功耗低、无辐射等特点,在当前的平板显示器市场占据了主导地位。

[0003] ADSDS (ADvanced Super Dimension Switch), 简称 ADS, 即高级超维场转换技术, 通过同一平面内狭缝电极边缘所产生的电场以及狭缝电极层与板状电极层间产生的电场形成多维电场, 使液晶盒内狭缝电极间、电极正上方所有取向液晶分子都能够产生旋转, 从而提高了液晶工作效率并增大了透光效率。高级超维场开关技术可以提高 TFT-LCD 产品的画面品质, 具有高分辨率、高透过率、低功耗、宽视角、高开口率、低色差、无挤压水波纹 (push Mura) 等优点。

[0004] 如图 1 所示, 一般的 ADS 模式的 TFT 阵列基板上, 具有上下两层电极, 上层电极 1 具有狭缝, 即狭缝电极, 下层电极 2 为一整面, 即为板状电极, 上下电极之间产生多维电场, 使液晶旋转。但在上层电极 1 的狭缝的小于或等于 90 度的边角区域 A, 由于电场的作用, 该区域的一部分液晶分子将发生反向旋转, 即反向旋转畴。在此区域液晶的透光率比正向旋转区域要差, 因而在反向旋转区域和正向旋转区域的边界产生向错线, 因此在此区域透光率非常低, 基本为黑色。为了消除上述不良影响, 对 TFT 基板的上层电极 1 的狭缝形状做出了改进, 将原有的狭缝两端进行了尖角处理, 处理后的狭缝形状为蟹腿形, 如图 2 所示。但是改进后的 TFT 基板对于防止电极狭缝边角产生的液晶反向旋转畴和向错线的效果并不明显, 无法明显提高该区域的透光率。

发明内容

[0005] 本发明的实施例提供的 TFT 阵列基板及其制作方法和显示装置, 防止了电极狭缝边角产生的液晶反向旋转畴和向错线, 提高该区域的透光率。

[0006] 为达到上述目的, 本发明的实施例采用如下技术方案:

[0007] 一方面, 提供一种 TFT 阵列基板, 包括上下两层电极, 其中, 上层电极具有狭缝, 该狭缝包括至少一对小于或等于 90 度的角; 下层电极为一整面电极。

[0008] 所述下层电极具有缺损区域, 所述缺损区域对应所述上层电极狭缝的所述小于或等于 90 度的角。

[0009] 一方面, 提供一种显示装置, 包括上述的 TFT 阵列基板。

[0010] 一方面, 提供一种 TFT 阵列基板的制造方法, 包括:

[0011] 在基板上形成栅线、栅极和下层电极, 其中, 在所述基板上通过构图工艺处理形成下层电极的同时, 在所述下层电极上形成缺损区域;

- [0012] 在所述栅线、栅极、下层电极及基板上形成栅绝缘层；
- [0013] 在所述栅绝缘层上形成半导体有源层；
- [0014] 在所述基板上形成数据线、源极、漏极；
- [0015] 在所述数据线、源极、漏极、下层电极上形成钝化层；
- [0016] 在所述钝化层上形成具有狭缝的上层电极；其中，所述狭缝包括至少一对小于或等于 90 度的角，所述下层电极的所述缺损区域对应所述上层电极狭缝的所述小于或等于 90 度的角；
- [0017] 在所述上层电极上形成保护层。
- [0018] 本发明的实施例提供的 TFT 阵列基板及其制作方法和显示装置，包括上下两层电极，其中，上层电极具有狭缝，该狭缝包括至少一对小于或等于 90 度的角；下层电极为一整面电极，下层电极具有缺损区域，该缺损区域对应上层电极狭缝的小于或等于 90 度的角。这样，在上层电极的狭缝的小于或等于 90 度的角的区域处，由于其下方没有对应的下层电极，因而削弱了此区域的电场强度，因此该区域的部分液晶分子发生反向旋转的情况较少，进而不会产生较明显的向错线，提高了该区域的透光率。

附图说明

- [0019] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- [0020] 图 1 为现有技术中 ADS 模式的 TFT 阵列基板的电极结构示意图一；
- [0021] 图 2 为现有技术中 ADS 模式的 TFT 阵列基板的电极结构示意图二；
- [0022] 图 3 为本发明实施例提供的 ADS 模式的 TFT 阵列基板的电极结构示意图；
- [0023] 图 4 为本发明另一实施例提供的 ADS 模式的 TFT 阵列基板的电极结构示意图；
- [0024] 图 5 为本发明实施例提供的 ADS 模式的 TFT 阵列基板的剖面示意图；
- [0025] 图 6 为本发明实施例提供的 ADS 模式的 TFT 阵列基板的制造方法的流程示意图。

具体实施方式

[0026] 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0027] 本发明实施例提供的 ADS 模式的 TFT 阵列基板，如图 3 所示，包括：具有狭缝 11 的上层电极 1 和整面的下层电极 2。其中，上层电极 1 的狭缝 11 为平行四边形，且包括至少一对小于或等于 90 度的角 $\angle \alpha$ ，在本实施例中 $\angle \alpha$ 的顶端可以是圆角。下层电极 2 具有缺损区域 21，缺损区域 21 对应上层电极 1 的狭缝 11 的角 $\angle \alpha$ 。

[0028] 以一个缺损区域为例，下层电极 2 的缺损区域 21 可以为三角形，其中，三角形的边 211 远离 $\angle \alpha$ 的边 111，三角形的边 212 远离 $\angle \alpha$ 的边 112，三角形的另一条边 213 交叠于角 $\angle \alpha$ ，这样，下层电极 2 的缺损区域 21 对应上层电极 1 的狭缝 11 的小于或等于 90 度的

角 $\angle \alpha$ 。从而,在上层电极的狭缝的小于或等于 90 度的角的区域处,由于其下方没有对应的下层电极,因此该区域的部分液晶分子发生反向旋转的情况较少,进而不会产生较明显的向错线,提高了该区域的透光率。

[0029] 在本实施例提供的 ADS 模式的 TFT 阵列基板上,当采用正性液晶时,液晶分子可以如图 3 实线箭头 4 所示,在水平方向(图 3 中的左右方向)上排列;当采用负性液晶时,液晶分子可以如图 3 虚线箭头 5 所示,在竖直方向(图 3 中的上下方向)上排列。

[0030] 本发明另一实施例提供的 ADS 模式的 TFT 阵列基板,如图 4 所示,包括:具有狭缝 12 的上层电极 1 和整面的下层电极 2。其中,上层电极 1 的狭缝 12 为蟹腿形,且包括至少一对小于或等于 90 度的角 $\angle \beta$,在本实施例中 $\angle \beta$ 的顶端可以是圆角。下层电极 3 具有缺损区域 31,缺损区域 31 对应上层电极 1 狭缝 12 的小于或等于 90 度的角 $\angle \beta$ 。

[0031] 以一个缺损区域为例,下层电极 3 的缺损区域 31 为三角形,其中,三角形的边 311 远离 $\angle \beta$ 的边 121,三角形的边 312 远离 $\angle \beta$ 的边 122,三角形的另一条边 313 交叠于角 $\angle \beta$,这样,下层电极 3 的缺损区域 31 对应上层电极 1 的狭缝 12 的小于或等于 90 度的角 $\angle \beta$ 。

[0032] 这样,在上层电极的狭缝的小于或等于 90 度的角的区域处,由于其下方没有对应的下层电极,因此该区域的部分液晶分子发生反向旋转的情况较少,进而不会产生较明显的向错线,提高了该区域的透光率。

[0033] 同样,在本实施例提供的 ADS 模式的 TFT 阵列基板上,当采用正性液晶时,液晶分子可以如图 4 实线箭头 4 所示,在水平方向(图 4 中的左右方向)上排列;当采用负性液晶时,液晶分子可以如图 4 虚线箭头 5 所示,在竖直方向(图 4 中的上下方向)上排列。

[0034] 如图 5 所示,为上述基板的剖面图,包括:具有狭缝 12 的上层电极 1、具有缺损区域 21 的整面的下层电极 2、栅极 3、栅绝缘层 4、有源层 5、漏极 6、源极 7 以及钝化层 8。

[0035] 本发明的实施例提供的 ADS 模式的 TFT 阵列基板,包括上下两层电极,其中,上层电极具有狭缝,该狭缝包括至少一对小于或等于 90 度的角;下层电极为一整面电极,下层电极具有缺损区域,该缺损区域对应上层电极狭缝的小于或等于 90 度的角。这样,在上层电极的狭缝的小于或等于 90 度的角的区域处,由于其下方没有对应的下层电极,因而削弱了此区域的电场强度,因此该区域的部分液晶分子发生反向旋转的情况较少,进而不会产生较明显的向错线,提高了该区域的透光率。

[0036] 本发明实施例提供的 ADS 模式的 TFT 阵列基板的制造方法,如图 6 所示,其步骤包括:

[0037] S601、在基板上形成栅线、栅极和下层电极,其中,在基板上通过构图工艺处理形成下层电极的同时,在下层电极上形成缺损区域。

[0038] S602、在栅线、栅极、下层电极及基板上形成栅绝缘层。

[0039] S603、在栅绝缘层上形成半导体有源层。

[0040] S604、在基板上形成数据线、源极、漏极。

[0041] S605、在数据线、源极、漏极上形成钝化层。

[0042] S606、在钝化层上形成具有狭缝的上层电极;其中,狭缝包括至少一对小于或等于 90 度的角,在本实施例中这些小于或等于 90 度的角的顶端可以是圆角,下层电极的缺损区域对应上层电极狭缝的小于或等于 90 度的角。

[0043] S607、在上层电极上形成保护层。

[0044] 示例性的,上层电极的狭缝可以为平行四边形或蟹腿形等。下层电极的缺损区域可以为三角形等,其中,三角形的两条边分别对应远离上层电极狭缝的小于或等于 90 度的角的两边,三角形的另一条边交叠于上层电极狭缝的小于或等于 90 度的角,以使下层电极的缺损区域对应上层电极狭缝的小于或等于 90 度的角。这样,上层电极的狭缝的小于或等于 90 度的角与下层电极在竖直方向上不存在对应交叠,因而削弱了此区域的电场强度,因此该区域的部分液晶分子发生反向旋转畴的情况较少,进而不会产生较明显的向错线,提高了该区域的透光率。

[0045] 本发明的实施例提供的 ADS 模式的 TFT 阵列基板的制作方法,在基板的上层电极形成狭缝,该狭缝包括至少一对小于或等于 90 度的角;下层电极为一整面电极,在下层电极上形成缺损区域,该缺损区域对应上层电极狭缝的小于或等于 90 度的角。这样,在上层电极的狭缝的小于或等于 90 度的角的区域处,由于其下方没有对应的下层电极,因而削弱了此区域的电场强度,因此该区域的部分液晶分子发生反向旋转畴的情况较少,进而不会产生较明显的向错线,提高了该区域的透光率。

[0046] 本发明实施例还提供一种显示装置,包括上述任一实施例提供的 TFT 阵列基板,其阵列基板的结构与上述实施例相同,不再赘述。具体地,上述显示装置可以为液晶显示装置,例如液晶面板、液晶电视、手机、液晶显示器等,其包括彩膜基板、以及上述实施例中的阵列基板;除了液晶显示装置,上述显示装置还可以是其他类型的显示装置,比如电子阅读器等,其不包括彩膜基板,但是包括上述实施例中的阵列基板。

[0047] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

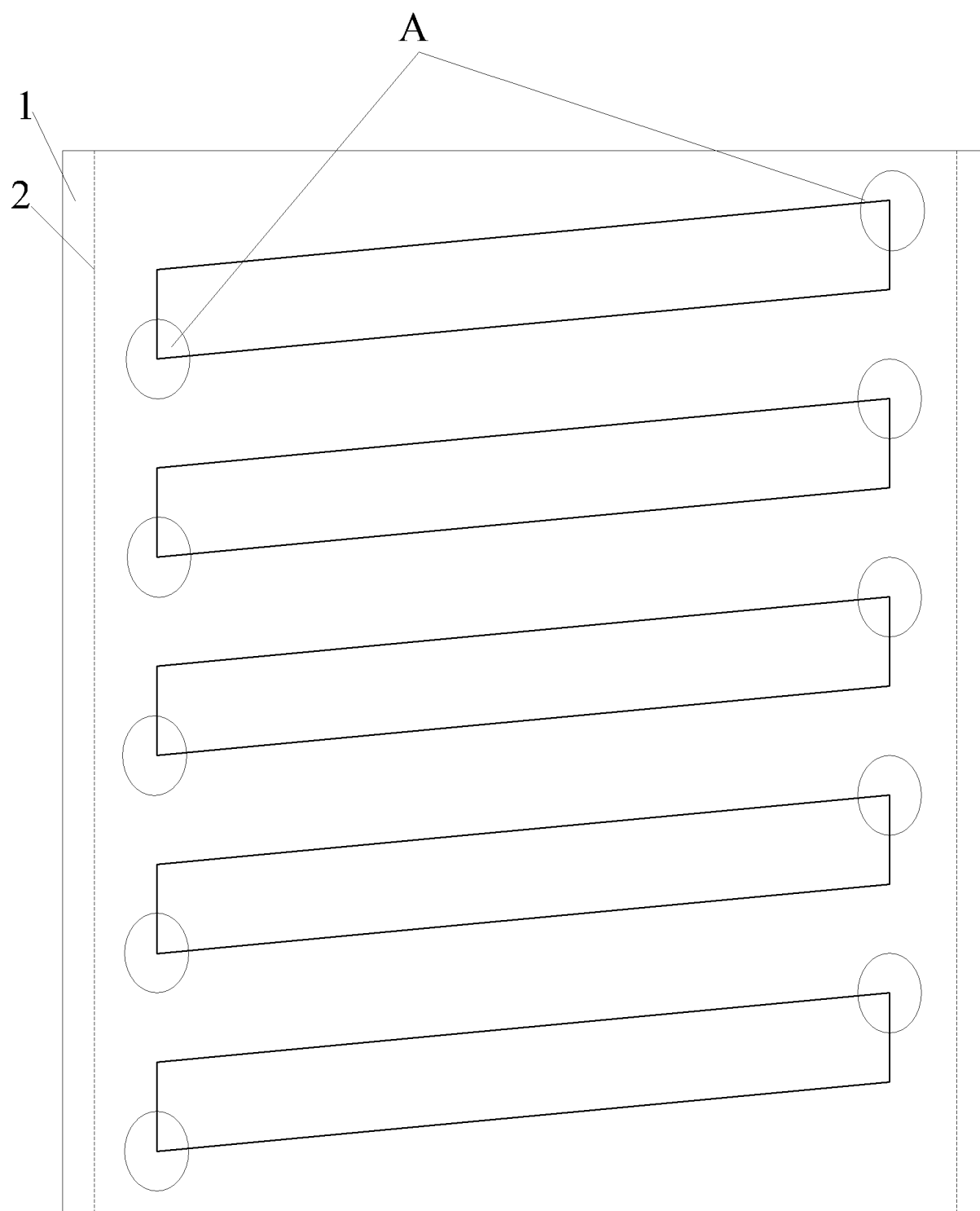


图 1

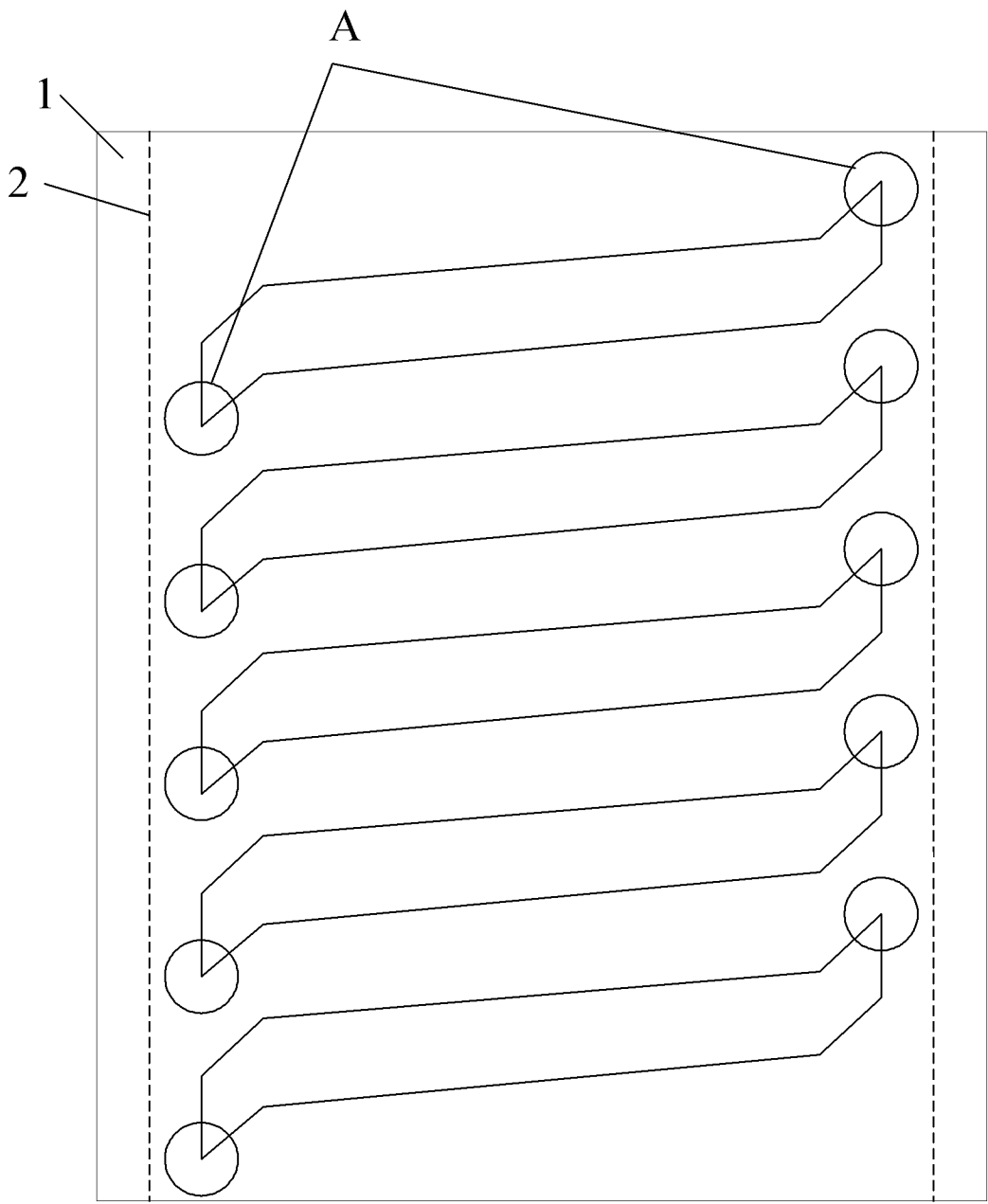


图 2

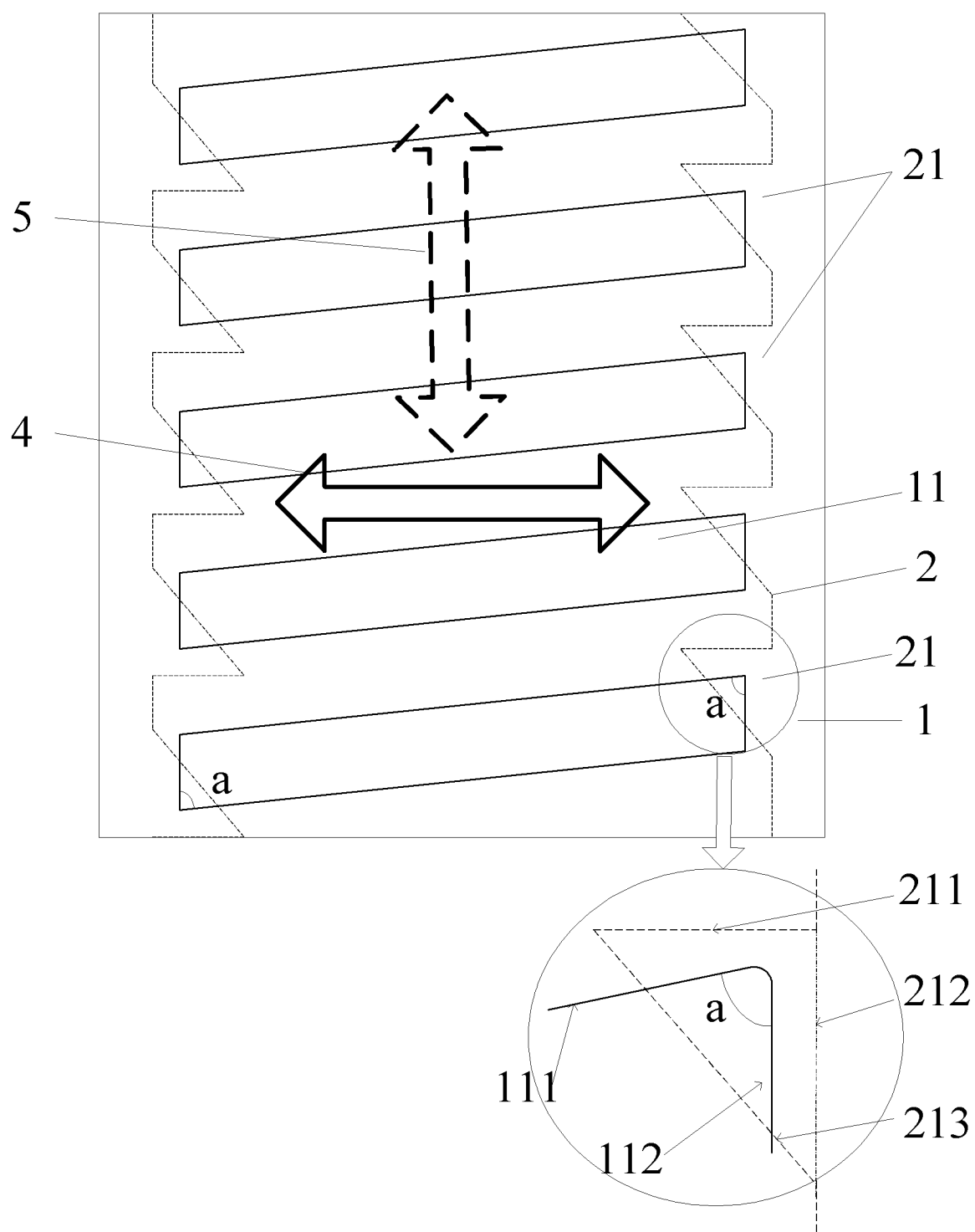


图 3

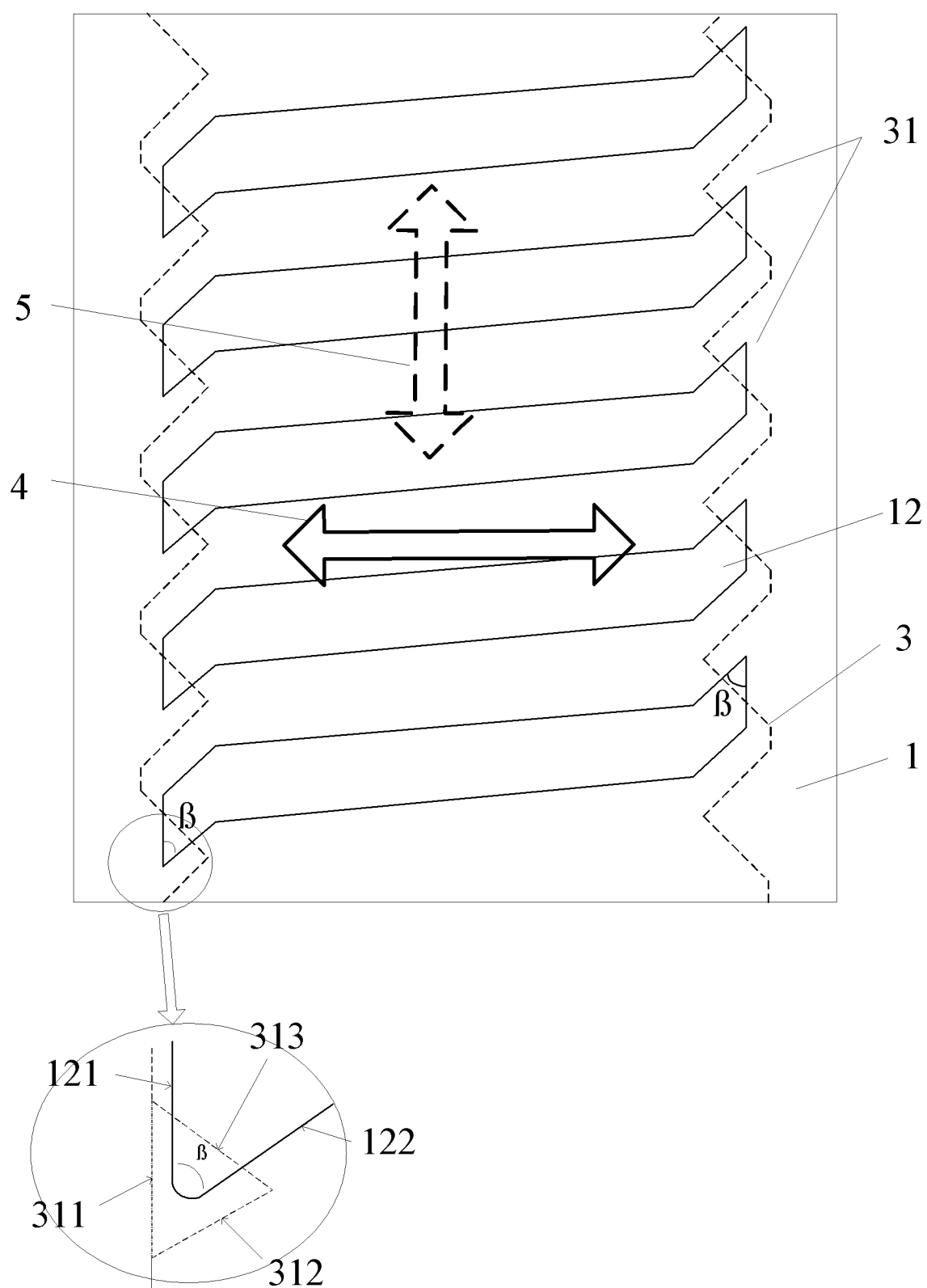


图 4

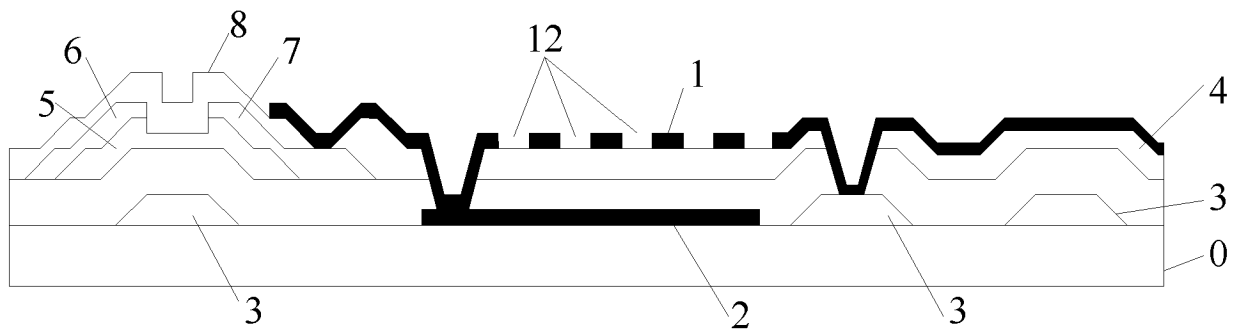


图 5

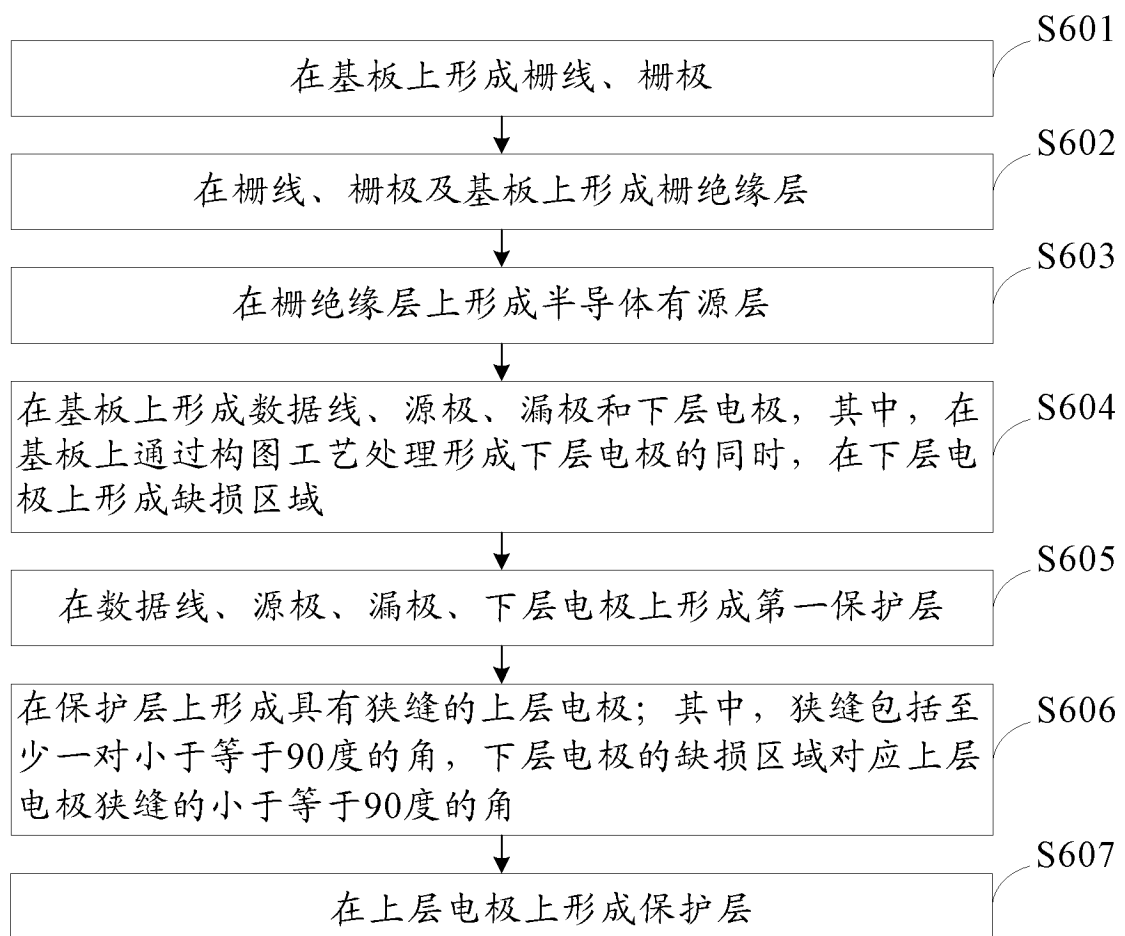


图 6

专利名称(译)	TFT阵列基板及其制作方法和显示装置		
公开(公告)号	CN102629038A	公开(公告)日	2012-08-08
申请号	CN201110421002.4	申请日	2011-12-15
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	铃木照晃		
发明人	铃木照晃		
IPC分类号	G02F1/1343 G02F1/1362 G02F1/1368 H01L27/02 H01L21/77		
CPC分类号	G02F1/133707 G02F1/1343 G02F1/134363 G02F1/136277 G02F2001/13373 G02F2001/134318 G02F2001/134372		
代理人(译)	申健		
其他公开文献	CN102629038B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种TFT阵列基板及其制作方法和显示装置，涉及显示装置制造领域，防止了电极狭缝边角产生的液晶反向旋转畴和向错线，从而提高了该区域的透光率。其方法包括：通过改变下层电极的形状，使上层电极的狭缝的边角与下层电极在竖直方向上不存在对应交叠，以削弱此区域的电场强度。本发明实施例用于TFT阵列基板制造。

