



(12) 发明专利

(10) 授权公告号 CN 101620353 B

(45) 授权公告日 2012. 10. 24

(21) 申请号 200910142598. 7

(22) 申请日 2009. 07. 03

(30) 优先权数据

2008-174283 2008. 07. 03 JP

2009-110162 2009. 04. 28 JP

2009-134289 2009. 06. 03 JP

(73) 专利权人 NLT 科技股份有限公司

地址 日本神奈川县川崎市

(72) 发明人 关根裕之

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 孙志湧 安翔

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G09G 3/36 (2006. 01)

(56) 对比文件

US 2005134539 A1, 2005. 06. 23, 全文.

CN 101196662 A, 2008. 06. 11, 全文.

CN 1637831 A, 2005. 07. 13, 全文.

审查员 焦丽宁

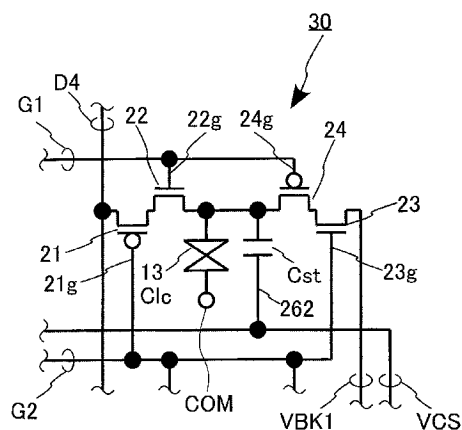
权利要求书 3 页 说明书 19 页 附图 29 页

(54) 发明名称

液晶显示装置及其驱动方法

(57) 摘要

本发明提供了液晶显示装置及其驱动方法。为了能够通过实现执行准脉冲驱动的液晶显示装置的高辉度而提供以低成本改进动态图画特性的液晶显示装置。在本发明的液晶显示装置中,构成每个像素的第一开关装置具有被连接至栅极线的控制端子,被连接至另一条栅极线的另一个控制端子,并且当控制端子之一是低电平而另一个是高电平时变为导电。第二开关装置具有被连接至栅极线的控制端子和被连接至另一条栅极线的控制端子。像素电容和存储电容被经由第一开关装置连接至数据线,并且被经由第二开关装置连接至黑信号提供布线。黑信号提供布线对所有的像素来说是公共的。



1. 一种液晶显示装置,所述液晶显示装置被形成为下述结构,在所述结构中液晶被夹在第一基板和第二基板之间,所述第一基板包括被安排在通过多条数据线和多条栅极线划分的每个区域中的多个像素,所述像素中的每一个具有第一开关装置、第二开关装置、像素电容、以及存储电容,其中:

所述像素电容和所述存储电容经由所述第一开关装置被连接至所述数据线;

所述像素电容和所述存储电容经由所述第二开关装置被连接至黑信号提供布线;

通过栅极线中彼此不同的两条控制所述第一开关装置;

通过所述两条不同的栅极线控制所述第二开关装置;

所述两条不同的栅极线在一个帧时段中具有四个时段,包括其中所述两条栅极线的电势电平彼此相同的两个时段和其中所述电势电平彼此不同的两个时段;

所述第一开关装置在所述四个时段之一中变为导电;并且

所述第二开关装置在所述四个时段中不同于其中所述第一开关装置变为导电的所述时段的时段中变为导电。

2. 根据权利要求1所述的液晶显示装置,其中:

分别由串联连接的不同导电类型的两个晶体管构造所述第一开关装置和所述第二开关装置;

由所述两条不同的栅极线中的各栅极线分离地控制每个构造所述第一开关装置和所述第二开关装置的所述两个晶体管;并且

在其中所述两条不同的栅极线的电势电平彼此不同的所述两个时段中,所述第一开关装置在所述时段之一中变为导电,并且所述第二开关装置在另一个时段中变为导电。

3. 根据权利要求1所述的液晶显示装置,其中:

由两个相同导电类型的串联连接的晶体管构造所述第一开关装置;

由两个不同于所述第一开关装置的晶体管的导电类型的串联连接的晶体管构造所述第二开关装置;

通过所述两条不同的栅极线之中的各栅极线分离地控制每个构造所述第一开关装置和所述第二开关装置的所述两个晶体管;并且

在其中所述两条不同的栅极线的电势电平彼此相同的所述两个时段中,所述第一开关装置在所述时段之一中变为导电,并且所述第二开关装置在另一个时段中变为导电。

4. 根据权利要求1-3中的任何一项所述的液晶显示装置,其中所述黑信号提供布线对所有的像素来说是公共的。

5. 根据权利要求4所述的液晶显示装置,其中:

形成所述存储电容的两个电极之中,所述电极中的一个被连接至所述第二开关装置,并且另一个电极被连接至对所有的像素来说是公共的存储电容布线;并且

所述存储电容布线还用作所述黑信号提供布线。

6. 根据权利要求5所述的液晶显示装置,其中:

通过由像素电极和公共电极生成的电场控制液晶的配向状态;

当没有电场被施加于所述液晶时显示黑;并且

所述存储电容布线的电势几乎等于所述公共电极的电势。

7. 根据权利要求1-3中的任何一项所述的液晶显示装置,包括多个所述黑信号提供布

线,其中

沿着所述数据线彼此相邻的像素行中的每一个被连接至所述黑信号提供布线中的不同布线。

8. 一种液晶显示装置,包括多条栅极线、多条数据线、多个具有像素电极的像素、以及黑信号提供布线,通过使每个像素被布置在所述多条栅极线和所述多条数据线之间的每个交叉点处成矩阵状来构造所述装置,其中假如所述多条数据线当中的相邻的线中的两条被称为第一栅极线和第二栅极线,所述像素中的每一个包括:

第一开关装置,具有仅当所述第一栅极线被选择并且所述第二栅极线没有被选择时都被设置为导通的多个串联连接的晶体管,以将从所述多条数据线之一提供的电压施加于所述像素电极;和

第二开关装置,具有仅当所述第一栅极线没有被选择并且所述第二栅极线被选择时都被设置为导通的多个串联连接的晶体管,以将从所述黑信号提供布线提供的电压施加于所述像素电极。

9. 一种用于驱动液晶显示装置的液晶显示装置驱动方法,所述液晶显示装置被形成为下述结构,在所述结构中液晶被夹在第一基板和第二基板之间,所述第一基板包括被安排在通过多条数据线和多条栅极线划分的每个区域中的多个像素,所述像素中的每一个具有第一开关装置、第二开关装置、像素电容、以及存储电容,其中:

所述像素电容和所述存储电容经由所述第一开关装置被连接至所述数据线;

所述像素电容和所述存储电容经由所述第二开关装置被连接至黑信号提供布线;

通过栅极线中彼此不同的两条控制所述第一开关装置;并且

通过所述两条不同的栅极线控制所述第二开关装置;

所述方法包括,在其中用于一个画面的视频信号被提供给所述液晶显示装置的帧时段中:

经由所述第一开关装置将所述视频信号从所述数据线写入所述像素中的每一个;并且

然后以与用于写入所述视频信号的频率相同的频率经由所述第二开关装置将黑信号从所述黑信号提供布线写入所述像素中的每一个。

10. 一种用于驱动液晶显示装置的液晶显示装置驱动方法,所述液晶显示装置被形成为下述结构,在所述结构中液晶被夹在第一基板和第二基板之间,所述第一基板包括被安排在通过多条数据线和多条栅极线划分的每个区域中的多个像素,所述像素中的每一个具有第一开关装置、第二开关装置、像素电容、以及存储电容,其中:

所述像素电容和所述存储电容经由所述第一开关装置被连接至所述数据线;

所述像素电容和所述存储电容经由所述第二开关装置被连接至对所有的像素来说是公共的存储电容布线;

通过栅极线中彼此不同的两条控制所述第一开关装置;

通过所述两条不同的栅极线控制所述第二开关装置,以及

形成所述存储电容的两个电极之中,所述电极中的一个被连接至所述第一开关装置和所述第二开关装置,并且另一个电极被连接至所述存储电容布线,所述方法包括,在其中用于一个画面的视频信号被提供给所述液晶显示装置的帧时段中:

经由所述第一开关装置将所述视频信号从所述数据线写入所述像素中的每一个;并且

然后以与用于写入所述视频信号的频率相同的频率经由所述第二开关装置将所述存储电容布线的电压从所述存储电容布线写入所述像素中的每一个，

其中，所述存储电容布线的所述电压与使所述液晶显示黑的电压相同。

液晶显示装置及其驱动方法

[0001] 相关申请的交叉引用

[0002] 本申请基于并要求 2008 年 7 月 3 日提交的日本专利申请 No. 2008-174283、2009 年 4 月 28 日提交的日本专利申请 No. 2009-110162、2009 年 6 月 3 日提交的日本专利申请 No. 2009-134289 的优先权,其公开在这里通过引用整体并入。

技术领域

[0003] 本发明涉及一种液晶显示装置。更具体地,本发明涉及有源矩阵型液晶显示装置及其驱动方法。

背景技术

[0004] 在液晶显示装置当中,因为能够提供高图像质量,同时具有低功率消耗,所以特别是在每个像素处提供的是有源装置的具有 TFT(薄膜晶体管)的有源矩阵型液晶显示装置,已经被广泛地用于从诸如便携式电话的便携式装置到薄型电视机的各种装置。将使用液晶显示装置的电视机与 CRT(阴极射线管)型电视机比较,使用液晶显示装置的电视机具有很多优点,例如,能够在薄型的情况下提供大面积、能够实现高清晰度、并且能够在低功率消耗的情况下被驱动。然而,应指出的是,当显示动态图画时,图像的轮廓变得模糊。

[0005] 虽然存在当显示动态图画时轮廓模糊的若干原因,但是认为基本上是因为液晶显示装置是保持型(hold-type)显示装置。保持型是采用下述显示方法的装置,利用所述方法,每个像素的辉度被保持直到被重写到下一帧的信号。同时,CRT表现出下述特性,即当电子束被照射到荧光体表面时,该区域中的荧光体发光并且辉度此后以时间常数快速减小。这被称为与保持型形成对比的脉冲型(impulse type)。

[0006] 在保持型显示装置的情况下,前帧的信号被持续地显示直到下一帧的信号被写入。因此,人类在动态图画的轮廓部分中认出按照时间积分的前后帧的信号,从而人类感觉到具有模糊的图像。主要存在两个用于克服保持型的问题的方法。一个是增加帧频率,并且生成并显示前帧和接下来的帧之间的帧图像(不是原来存在的)。由于以两倍于通常速度的速度进行显示,这被称为倍速驱动。由此,帧之间的图像的变化被减少,并且能够抑制在图像的轮廓处产生的模糊。另一个是下述方法,改变驱动方法从而获得接近于脉冲型的显示特性,这是被称为准脉冲驱动的技术。比较这两种方法,倍速驱动具有增加电路组件的成本的问题,因为它使用了诸如要被显示的视频信号的分析、中间图像的生成等等的复杂的信号处理技术。另外的准脉冲驱动不要求复杂的信号处理。然而,对于液晶显示装置,要求具有下述特性,即能够以与倍速驱动相同的高速度写入视频信号。

[0007] 将会通过参考附图描述执行此种准脉冲驱动的液晶显示装置。图 27 是示出执行此种准脉冲驱动的液晶显示装置的结构性示例的框图和电路图。图 28 是示出从图 27 取出的单个像素的放大电路图。在下文中,将会通过参考图 27 和图 28 提供解释。不仅被布置在栅极线 G1 和栅极线 G2 之间并且被连接至数据线 D4 的像素,而且所有其它的像素被称为像素 910。

[0008] 该液晶显示装置被构造有像素矩阵 901、用于驱动数据线 D1-D4 的数据驱动器电路 902、以及用于驱动栅极线 G1-G4 的栅极驱动器电路 903。在像素矩阵 901 中,像素 910 被安排在矩阵中被安排为矩阵状的数据线 D1-D4 和栅极线 G1-G4 之间的交点处,其中像素 910 被构造有作为像素开关的 TFT 911、液晶电容 Clc、以及存储电容 Cst。液晶电容 Clc 是构造有被布置在每个像素 910 中的像素电极 912 和公共电极 913 以及被布置在其间的液晶物质 914 的电容。存储电容 Cst 是被构造有两个电极的电容,其中这两个电极为电极 915,其一端被电气地连接至像素电极 912;和电极 916,其另一端被连接至布线 VCS。电压被从恒电势电源施加于布线 VCS。

[0009] 将通过参考图 29 的时序图描述在执行准脉冲驱动时液晶显示装置的操作。与将一个画面的视频信号从外部输入到液晶显示装置的循环对应的帧时段 Tv 至少被划分为两个时段 Td 和 Tb。时段 Td 是视频信号被写入液晶显示装置的时段,并且时段 Tb 是黑信号被写入液晶显示装置的时段。

[0010] 接下来,将描述时段 Td 的操作。栅极驱动器电路 903 在时段 Td 中顺序地执行选择栅极线 G1-G4 中的每一个的操作。例如,在栅极驱动器电路 903 选择栅极线 G1 的时段中,能够在数据驱动器电路 902 将对应于视频信号的信号写入到数据线 D1-D4 中的每一个时,将视频信号写入到被连接至栅极线 G1 的所有像素 910。通过为所有的栅极线 G1-G4 执行此种操作,用于一个画面的视频信号能够被写入液晶显示装置。

[0011] 栅极驱动器电路 903 在时段 Tb 中也顺序地执行选择栅极线 G1-G4 中的每一个的操作。例如,在栅极驱动器电路 903 选择栅极线 G1 的时段中,能够在数据驱动器电路 902 将黑信号写入到数据线 D1-D4 的每一个时,将黑信号写入被连接至栅极线 G1 的所有像素 910。通过为所有栅极线 G1-G4 执行此种操作,黑信号能够被写入液晶显示装置的所有像素 910。

[0012] 在图 29 中,电压 Vlc1,1 示出被布置在栅极线 G1 和栅极线 G2 之间的,被连接至数据线 D1 的像素 910 的电压。类似地,电压 Vlc1,2 示出被布置在栅极线 G2 和栅极线 G3 之间的,被连接至数据线 D1 的像素 910 的电压。

[0013] 通过这样的操作,液晶显示装置在是一个帧时段的前半时段的时段 Td 中显示视频信号,并且在是后半时段的时段 Tb 中显示黑。当液晶显示装置的响应速度足够时,液晶显示装置的像素 910 中的每一个变化到写入的信号相对应的辉度。当其后写入黑信号时,辉度与视频信号无关地减小,并且显示黑。即,表现出接近于诸如 CRT 的脉冲型的显示特性。因此,能够减小由于保持型导致的当显示动态图画时产生的模糊。

[0014] 然而,为了实现准脉冲驱动,必须在比帧时段短的时段中以高速将视频信号写入到液晶显示装置并且在剩余时段中写入黑信号。因此,必须以高速操作栅极驱动器电路和数据驱动器电路。此外,以不同于被输入到液晶显示装置的视频信号的频率的频率将视频信号写入到液晶显示装置,从而必须提供用于转换频率的帧存储器。如所述的,由于要求能够高速运行栅极驱动器电路和数据驱动器电路以及帧存储器,所以存在增加液晶显示装置的制造成本的问题。

[0015] 在日本未经审查的专利公开 9-127917 (pp. 3-4, 图 1 : 专利文献 1) 中描述了克服上述问题并且实现准脉冲驱动的液晶显示装置的示例。以下述方式构成专利文献 1 中描述的液晶显示装置:每个具有两个 TFT 的像素被安排在矩阵中,被安排为矩阵状的信号线(数据线)和扫描线(栅极线)的交叉点处;平行于每条信号线(数据线)布置黑信号提供布线;

平行于每条扫描线（栅极线）布置黑信号提供命令信号布线；被布置在每个像素中的两个 TFT 之一的栅极端子被连接至扫描线（栅极线），并且其漏极端子被连接至数据线；另一个 TFT 的栅极端子被连接至黑信号提供命令布线，并且其漏极端子被连接至黑信号提供布线；并且两个 TFT 的两个源极端子都被连接至液晶电容。

[0016] 接下来，将会描述操作。在一个帧时段中通过栅极驱动器顺序地扫描每条扫描线。当通过对应于扫描动作源极驱动器将视频信号提供到每条信号线时，视频信号按根据扫描的行单位被顺序地写入液晶显示装置。在从上述扫描线中的每一条被扫描的时序移位的时间，通过另一个栅极驱动器扫描黑信号提供命令信号布线。由此，黑信号提供布线的电势被按行单位顺续地写入液晶显示装置。

[0017] 如上所述，使用液晶显示装置，能够通过两条控制线（扫描线和黑信号提供命令信号布线）在不同的时序独立地写入视频信号和黑信号。因此，能够以与被提供给液晶显示装置的视频信号的频率相同的频率写入视频信号和黑信号。因此，栅极驱动器电路和数据驱动器电路仅需要以通常的速度来操作，并且帧存储器不是必须的。结果，能够以低成本实现准脉冲驱动。

[0018] 然而，在专利文献 1 的液晶显示装置中存在下述问题。一个是液晶显示装置的辉度被劣化，并且另一个是为了提供两个栅极驱动器增加了液晶显示装置的成本。将会在下面描述原因。

[0019] 劣化辉度的原因如下所述。通常，液晶显示装置通过在液晶显示装置的每个像素处控制来自于被称为背光的光源的光的透射光量提供显示。因此，根据背光的最大辉度和液晶显示装置的像素的最大透射率确定能够利用液晶显示装置显示的最大辉度。作为用于确定像素的最大透射率的重要因素之一，存在着开口率。在这里开口率是每个像素的光透射通过的面积相对于是限定单个像素的横向和纵向像素节距的乘积的面积的比例。自然地，开口率越高，像素的最大透射率越高。结果，液晶显示装置的最大辉度也增加。

[0020] 对于专利文献 1 的液晶显示装置，除了将视频信号写入每个像素所要求的 TFT 和用于控制 TFT 的布线（扫描线和信号线）之外，还要求用于写入黑的 TFT，用于控制 TFT 的黑信号提供命令信号布线、黑信号提供布线等等。因此，开口率被劣化。特别地，不能显著地减少用于布线的面积，除非在多层结构中形成布线。同时，当在多层结构中形成布线时，产生了增加液晶显示装置的工艺成本的另一个问题。因此，很难利用公开的方法以低成本提高辉度。

[0021] 增加液晶显示装置的成本的原因如下所述。关于扫描液晶显示装置的栅极线等的电路，通常将驱动器 IC 安装在液晶显示装置的基板上或者通过使用用于像素 TFT 的相同工艺在基板上同时制造电路。

[0022] 除了用于写入正常视频信号的扫描电路之外，专利文献 1 的液晶显示装置还要求用于写入黑信号的扫描电路。自然地，当单独的驱动器 IC 被用于两个扫描电路时成本被增加。同时，即使当和 TFT 一起在基板上制造扫描电路时，必须具有额外的基板用于为扫描电路提供布局。通常，通过具有布置在大型的母基板的多个液晶显示装置来制造液晶显示装置。根据母基板的单位确定用于该制造的工艺成本，并且用于单个液晶显示装置的成本与通过将用于单个母基板的成本除以被布置在单个母基板上的液晶显示装置的数目获得的值成比例。因此，当液晶显示装置的面积增加时，能够被布置在单个母基板上的液晶显示装

置的数目减少。这导致增加制造成本。由于上述原因,要求两个扫描电路的方法增加了液晶显示装置的成本。

发明内容

[0023] 因此,本发明的示例性目标是提供液晶显示装置,该液晶显示装置能够通过实现进行准脉冲驱动的液晶显示装置的高辉度以低成本改进动态图画特性。

[0024] 为了克服前述问题,根据本发明的示例性方面的液晶显示装置是形成为下述结构的液晶显示装置,其中液晶被夹在第一基板和第二基板之间,第一基板包括被布置在由多条数据线和多条栅极线划分的每个区域中的多个像素,像素中的每一个具有第一开关装置、第二开关装置、像素电容、以及存储电容,其中:像素电容和存储电容经由第一开关装置被连接至数据线;像素电容和存储电容经由第二开关装置被连接至黑信号提供布线;通过栅极线中彼此不同的两条控制第一开关装置;通过两条不同的栅极线控制第二开关装置;两条不同的栅极线在一个帧时段中具有四个时段,包括其中两条栅极线的电势电平彼此相同的两个时段和其中电势电平彼此不同的两个时段;第一开关装置在四个时段之一中变成导电;并且第二开关装置在四个时段中不同于第一开关装置变成导电的时段的一个时段中变成导电。

[0025] 根据本发明的另一个示例性方面的液晶显示装置驱动方法是用于驱动根据本发明的液晶显示装置的方法,其在用于一个画面的视频信号被施加于液晶显示装置的帧时段中包括:经由第一开关装置将视频信号从数据线写入每个像素;然后以与用于写入视频信号的频率相同的频率经由第二开关装置将黑信号从黑信号提供布线写入每个像素。

[0026] 作为根据本发明的示例性优点,能够在正常的操作速度下通过使用典型的栅极线写入黑信号。因此,没有必要提供用于写入黑信号的栅极驱动器电路和栅极线,从而能够实现下述效果之一。

[0027] (1) 能够通过实现准脉冲驱动同时抑制辉度的劣化来改进动态图画特性。

[0028] (2) 能够实现准脉冲驱动而没有增加用于液晶显示装置的成本。

[0029] (3) 因为能够根据要被显示的图像调节辉度,因此能够减少功率消耗。

附图说明

[0030] 图 1 是根据本发明的液晶显示装置的框图;

[0031] 图 2 是根据本发明的液晶显示装置的框图和电路图;

[0032] 图 3 是示出从图 2 取出的单个像素的放大电路图;

[0033] 图 4 是示出根据本发明的液晶显示装置的第一示例性实施例的框图和电路图;

[0034] 图 5 是示出图 4 中所示的液晶显示装置的操作的时序图;

[0035] 图 6 是示出根据本发明的液晶显示装置的第一示例性实施例的详细框图和详细电路图;

[0036] 图 7 是示出从图 6 取出的单个像素的放大电路图;

[0037] 图 8 是示出图 6 的栅极驱动器电路的示例的框图;

[0038] 图 9 是示出图 8 的触发器的示例的电路图;

[0039] 图 10 是示出图 6 中所示的液晶显示装置的操作的时序图;

- [0040] 图 11 是示出图 6 中所示的液晶显示装置的操作的另一时序图；
- [0041] 图 12 是示出根据本发明的液晶显示装置的第二示例性实施例的框图和电路图；
- [0042] 图 13 是示出图 12 中所示的液晶显示装置的操作的时序图；
- [0043] 图 14 是示出根据本发明的液晶显示装置的第二示例性实施例的详细框图和详细电路图；
- [0044] 图 15 是示出从图 14 取出的两个像素的放大电路图；
- [0045] 图 16 是示出图 14 的栅极驱动器电路的示例的框图；
- [0046] 图 17 是示出图 14 中所示的液晶显示装置的操作的时序图；
- [0047] 图 18 是示出图 14 中所示的液晶显示装置的操作的另一时序图；
- [0048] 图 19 是示出根据本发明的液晶显示装置的第三示例性实施例的框图和电路图；
- [0049] 图 20 是示出从图 19 取出的两个像素的放大电路图；
- [0050] 图 21 是示出根据本发明的液晶显示装置的第三示例性实施例的详细框图和详细电路图；
- [0051] 图 22 是示出图 21 中所示的液晶显示装置的操作的时序图；
- [0052] 图 23 是示出根据本发明的液晶显示装置的第四示例性实施例的框图和电路图；
- [0053] 图 24 是示出从图 23 取出的单个像素的放大电路图；
- [0054] 图 25 是示出根据本发明的液晶显示装置的第四示例性实施例的详细框图和详细电路图；
- [0055] 图 26 是示出图 25 中所示的液晶显示装置的操作的时序图；
- [0056] 图 27 是示出用于准脉冲驱动 (quasi-impulse drive) 的液晶显示装置的框图和电路图；
- [0057] 图 28 是示出从图 27 取出的单个像素的放大电路图；以及
- [0058] 图 29 是示出图 27 的液晶显示装置的操作的时序图。

具体实施方式

[0059] 接下来,将会通过参考附图详细地描述本发明的示例性实施例。

[0060] 图 1 是根据本发明的示例性实施例的液晶显示装置的框图。图 2 是图 1 中所示的第一基板 11 的框图和电路图。图 3 是示出从图 2 取出的单个像素的放大电路图。在下文中,将会通过参考图 1、图 2、以及图 3 提供解释。不仅被布置在栅极线 G1 和栅极线 G2 之间并且被连接至数据线 D4 的像素,而且所有其它的像素被称为像素 10。

[0061] 如图 1 中所示,根据本发明的示例性实施例的液晶显示装置具有下述结构:其中液晶 13(图 2)被夹在第一基板 11 和第二基板 19 之间。此外,如图 2 中所示,多条数据线 D1-D4 和多条栅极线 G1-G5 被布置在第一基板 11 上,并且具有被布置在用数据线 D1、……和栅极线 G1、……划分的每个区域中被排列成矩阵的像素 10 的像素矩阵 14 也被同样地布置。用于分别驱动数据线 D1、……和栅极线 G1、……的数据驱动器电路 15 和栅极驱动器电路 16 被布置在像素矩阵 14 的周围。

[0062] 如图 3 中所示,像素 10 包括第一开关装置 31、第二开关装置 32、像素电容 C1c、存储电容 Cst 等。第一开关装置 31 具有两个控制端子 A、B,并且控制端子 A、B 被连接到彼此相邻的不同栅极线 G2 和 G1。第二开关装置 32 具有两个控制端子 C、D,并且控制端子 C、D

被连接到彼此相邻的不同栅极线 G2 和 G1。像素电容 Clc 和存储电容 Cst 被经由第一开关装置 31 连接至数据线 D4, 并且经由第二开关装置 32 被连接至黑信号提供布线 VBK1。像素电容 Clc 是下述电容, 所述电容被构造有: 电极 131, 该电极 131 被布置在第一基板 11(图 2) 上并且被连接至第一、第二开关装置 31、32; 公共电极 COM, 该公共电极 COM 是另一个电极; 以及液晶 13, 该液晶 13 被布置在这两个电极之间。取决于液晶模式公共电极 COM 被布置在第一基板 11(图 2) 或者第二基板 19(图 1) 上。不同于被连接至第一和第二开关装置 31 和 32 的存储电容 Cst 的端子 261 的另一个端子 262, 被连接至布线 VCS。

[0063] 在根据本发明的示例性实施例的液晶显示装置中, 在一个帧时段中, 存在被连接至第一开关装置和第二开关装置的两条栅极线的电势电平变得相互一致的两个时段, 和这些电势电平变得不一致的两个时段。第一开关装置具有在四个时段之一中变为导电的功能, 并且第二开关装置具有在四个时段当中不同于第一开关装置变为导电的时段的时段中变为导电的功能。因此, 在根据本发明的示例性实施例的液晶显示装置中, 能够执行下述操作, 在四个时段之一中通过第一开关装置将从数据线提供的视频信号写入到液晶电容 Clc 的操作和在四个时段当中不同于第一开关装置将视频信号写入液晶电容的时段的时段中写入从黑信号提供布线 VBK1 提供的黑信号的操作。

[0064] 利用本发明的示例性实施例, 能够改进液晶显示装置的动态图画特性而不增加成本和劣化辉度。

[0065] 如前面所述, 取决于液晶模式其上被布置了公共电极 COM 的基板不同。通常, 在 TN(扭曲向列) 模式和 VA(垂直配向) 模式下公共电极 COM 被布置在第二基板上, 而在 IPS(共面转换) 模式和 FFS(边缘场转换) 模式下公共电极 COM 被布置在第一基板上以提供公共电压。然而, 本发明的特定特征在于栅极线、数据线、第一和第二开关装置、液晶电容、存储电容、以及黑信号提供布线之间的连接关系、栅极线的驱动方法、第一和第二开关装置的功能, 并且本发明的特征根本不受液晶模式和公共电极 COM 被布置在哪个基板上影响。

[0066] 接下来, 将通过参考具体示例更具体地描述根据本发明的液晶显示装置。在随附的权利要求的范围中描述的“晶体管”对应于每一个示例性实施例中的“TFT”。

[0067] (第一示例性实施例)

[0068] 在用于实现本发明的最佳方式当中, 第一示例性实施例是通过使第一开关装置在两条栅极线的电势电平彼此不同的两个时段之一导电并且使第二开关装置在两条栅极线的电势电平彼此不同的两个时段的另一个时段中导电来进行下述操作的本发明的液晶显示装置的形式, 其中所述操作包括: 通过第一开关装置将从数据线提供的视频信号写入液晶电容 Clc 的操作和通过第二开关装置将从黑信号提供布线 VBK1 提供的黑信号写入液晶电容的操作。在下文中, 作为第一开关装置变为导电的条件, 当 A 是高电平并且 B 是高电平时第一开关装置变成导电的情况被表示为“ $A \cdot B$ ”, 当 A 是低电平并且 B 是低电平时第一开关装置变成导电的情况被表示为“ $/A \cdot /B$ ”, 当 A 是低电平并且 B 是高电平时第一开关装置变成导电的情况被表示为“ $/A \cdot B$ ”, 以及当 A 是高电平并且 B 是低电平时第一开关装置变成导电的情况被表示为“ $A \cdot /B$ ”。以同样的方式来表示第二开关装置的条件。

[0069] 图 4 是作为第一示例性实施例的液晶显示装置的框图和电路图。在根据第一示例性实施例的液晶显示装置中, 构造每个像素 20 的第一开关装置 31a 使其控制端子 A 被连接至栅极线 G2 并且使其控制端子 B 被连接至栅极线 G1。当控制端子 A 是低电平并且控制端

子 B 是高电平时,第一开关装置 31a 变为导电。第二开关装置 32a 使其控制端子 C 被连接至栅极线 G2 并且使其控制端子 D 被连接至栅极线 G1。像素电容 Clc 和存储电容 Cst 被经由第一开关装置 31a 连接至数据线 (D1-D4),并且经由第二开关装置 32a 连接至黑信号提供布线 VBK1。黑信号提供布线 VBK1 对所有的像素来说是公共的。

[0070] 图 5 是示出根据第一示例性实施例的液晶显示装置的操作的时序图。图 5 中所示的时段 Tv 表示其中从外部提供用于一个帧的视频信号的帧时段。通过按照时间移位 (shift) 其高电平时间是 Tdat 并且低电平时间是 Tblk 的脉冲被输出至栅极线 (G1-G5) 中的每一条。

[0071] 接下来,将描述将视频信号写入液晶显示装置的操作。首先,将描述用于被布置在栅极线 G1 和 G2 之间的第一像素行的操作。在时段 Td1 中,栅极线 G1 是高电平,并且栅极线 G2 是低电平。因此,在第一像素行上的每个像素中,第一开关装置 31a 变为导电,并且第二开关装置 32a 变为断开 (open) 状态。通过在此时段中将与第一像素行对应的视频信号提供到数据线 (D1-D4),视频信号被写入第一像素行的每个像素中的液晶电容 Clc 和存储电容 Cst。在时段 Td2 中,栅极线 G1 变为高电平并且栅极线 G2 也变为高电平。因此,在第一像素行上的每个像素中第一和第二开关装置 31a 和 32a 都变为断开状态,并且在时段 Td1 中被写入的视频信号被保持。同时,在被安排在栅极线 G2 和 G3 之间的第二像素行上的每个像素中,第一开关装置 31a 变为导电,并且第二开关装置 32a 变为断开状态。因此,被提供到数据线 (D1-D4) 的视频信号被写入第二像素行的每个像素中的液晶电容 Clc 和存储电容 Cst。通过为所有的像素行执行此种操作,能够写入用于一个画面的视频信号。

[0072] 接下来,将描述将黑信号写入液晶显示装置的操作。在时段 Tb1 中,栅极线 G1 变为低电平,并且栅极线 G2 变为高电平。因此,在第一像素行上的每个像素中,第二开关装置 32a 变为导电,并且黑信号提供布线 VBK1 的电压被写入液晶电容 Clc 和存储电容 Cst。在时段 Tb2 中,数据线 G1 和栅极线 G2 变为低电平。因此,在第一像素行上的每个像素中第二开关装置 32a 变为断开状态。因此,黑信号被保持。同时,栅极线 G3 为高电平,从而第二像素行上的第二开关装置 32a 变为导电。因此,黑信号被写入液晶电容 Clc 和存储电容 Cst。通过为所有的像素行执行此种操作,能够写入用于所有像素的黑信号。在这里注意的是,时段 Tb1 和时段 Td4 按照时间相互重叠。这意味着同时进行将黑信号写入第一像素行和将视频信号写入第四像素行。

[0073] 液晶显示装置的操作能够被概括为如下。

[0074] 在液晶显示装置中,通过两条相邻的栅极线控制到各个像素的视频信号和黑信号的写入操作。在一个帧时段中,存在两条栅极线的电压电平变为不同的两个时段,和电压电平变为相同的两个时段。在电压电平不同的两个时段之一中写入视频信号,并且在电压电平不同的两个时段中的另一个中写入黑信号。在执行视频信号到任意像素行的写入操作的时段中,不执行用于其它像素行的视频信号的写入操作。然而,能够在该时段期间执行黑信号的写入操作。

[0075] 图 6 是示出作为第一示例性实施例的液晶显示装置的更具体结构的视图。图 7 是示出从图 6 取出的单个像素的放大电路图。

[0076] 本示例性实施例的液晶显示装置具有下述结构:其中液晶被夹在第一基板 11 和第二基板 12 之间。在基板 11 上提供有:像素矩阵 14,其中像素 30 被布置成矩阵;数据驱

动器电路 15, 该数据驱动器电路 15 用于驱动数据线 D1-D4; 以及栅极驱动器电路 16, 该栅极驱动器电路 16 用于驱动栅极线 G1-G5。在被布置成矩阵的多条数据线 D1-D4 和多条栅极线 G1-G5 之间的交叉点中的每一个, 像素 30 至少具有作为多个像素 TFT 的 TFT 21-24、液晶电容 Clc、以及存储电容 Cst。

[0077] 接下来, 为了提供关于各个像素 30 中的连接关系的解释, 将会描述栅极线 G1 和 G2 之间的像素行上的像素的连接。

[0078] 构造第一开关装置的 TFT 21 和 22 属于彼此不同的导电类型, 并且各自的栅极电极 21g 和 22g 被连接到彼此不同的相邻的栅极线 G2 和 G1。TFT 21 的源极电极或者漏极电极被连接至数据线 D4, 并且另一个电极被连接至 TFT 22 的源极电极或者漏极电极。TFT 22 的另一个电极 (源极电极和漏极电极之中) 被连接至液晶电容 Clc 和存储电容 Cst。

[0079] 构造第二开关装置的 TFT 23 和 24 属于彼此不同的导电类型, 并且各自的栅极电极 23g 和 24g 被连接到彼此不同的相邻的栅极线 G2 和 G1。TFT 23 的源极电极或者漏极电极被连接至黑信号提供布线 VBK1, 并且另一个电极被连接至 TFT 24 的源极电极或者漏极电极。TFT 24 的另一个电极 (源极电极和漏极电极之中) 被连接至液晶电容 Clc 和存储电容 Cst。TFT 21 和 24 属于相对于彼此的相同的导电类型。TFT 21 和 23 的各自的栅极电极 21g 和 23g 被连接至同一栅极线 G2。

[0080] 即, 在作为第一示例性实施例的液晶显示装置中, 构造每个像素的第一和第二开关装置的 TFT 中的两个属于不同的导电类型。

[0081] 其它像素行上的每个像素 30 的结构与图 5 中所示的像素 20 的结构相同, 不同之处在于要连接栅极线 G1-G5 和数据线 D1-D4。注意的是, 附图中示出的结构示出 TN (扭曲向列) 模式、VA (垂直配向) 模式等的情况, 从而公共电极 COM 形成在第一基板 11 上。

[0082] 至少通过开始信号 STD 和时钟信号 CLK 控制栅极驱动器电路 16, 并且栅极驱动器电路 16 具有将开始信号 STD 输出至栅极线 G1-G5 中的每一条同时通过与时钟信号同步顺序地将其移位的功能。还能够使用具有能够利用两个开始信号 STD、STU、以及移位方向控制信号 DIR 改变扫描方向的功能的栅极驱动器电路 16。图 6 示出使用具有能够改变移位方向的功能的栅极驱动器电路 16 的情况。

[0083] 作为具有此种功能的栅极驱动器电路 16 的结构性示例, 存在图 8 中所示的电路。该栅极驱动器电路 16 被构造有: 多个串联连接的触发器电路 FF, 其能够执行双向移位; 和缓冲器电路 33, 其被提供在触发器 FF 中的每一个的输出侧上。图 8 示出其中缓冲器电路 33 被构造有两段反相器 INV1 和 INV2 的情况。然而, 存在取决于栅极线 G1、……的负荷, 不必须地要求缓冲器电路 33 的情况。

[0084] 作为能够执行双向移位的触发器 FF 的结构性示例, 能够使用图 9 中所示的电路。能够进行双向移位的触发器 FF 被构造有 D 触发器 D-FF、开关 SW1-SW4、和反相器 INV3-INV5。移位方向控制信号 DIR 被用于控制断开 / 闭合开关 SW1-SW4, 以将端子 Tm1、Tm2 中的一个连接至 D 触发器 D-FF 的输入端子 D、并且将另一个 (端子 Tm1、Tm2 之中) 连接至输出端子 Q。

[0085] 例如, 假如当移位方向控制信号 DIR 是高电平时开关 SW1、SW4 处于导电状态而开关 SW2、SW3 处于非导电状态, 则端子 Tm1 被连接至 D 触发器 D-FF 的输入端子 D, 并且端子 Tm2 被连接至 D 触发器 D-FF 的输出端子 Q。因此, 触发器 FF 进行移位操作, 其通过与时钟

信号 CLK 同步来锁存端子 Tm1 的信号,并且在延迟一个时钟的情况下将其输出至端子 Tm2 和端子 OUT。

[0086] 根据此规则,当移位方向控制信号 D1R 是低电平时,触发器 FF 执行下述操作,其通过与时钟信号 CLK 同步锁存端子 Tm2 的信号,并且在延迟一个时钟的情况下将其输出至端子 Tm1 和端子 OUT。这使得能够通过移位方向控制信号 D1R 改变移位方向。在这里注意的是,D 触发器 D-FF 执行下述操作,通过与时钟信号 CLK 同步锁存输入端子 D 的信号,并且和下一个时钟信号 CLK 一起输出至输出端子 Q。

[0087] 接下来,将通过主要参考图 10 中所示的时序图描述根据示例性实施例的液晶显示装置的驱动方法,即,根据示例性实施例的液晶显示装置的操作。

[0088] 图 10 中的时段 Tv 表示其中从外部提供用于一个时帧的视频信号的帧时段。通过与时段 Tv 同步栅极驱动器电路 16 的开始信号 STD 被设置为高电平。在此基础上,开始信号 STD 通过与时钟信号 CLK 同步而被传输,并且被从栅极驱动器电路 16 的输出端子(栅极线 G1、……)中的每一个输出。

[0089] 在图 10 中的时段 Td1 中,栅极线 G1 变为高电平并且栅极线 G2 保持低电平。因此,在栅极线 G1 和栅极线 G2 之间的像素行上的像素 30 处,TFT 21 和 22 都变为导电,从而被提供到数据线 D1-D4 的视频信号被写入液晶电容 Clc 和存储电容 Cst。此时,TFT 23 和 24 都处于断开状态。

[0090] 在图 10 的时段 Td2 中,栅极线 G1 保持高电平,而栅极线 G2 变成高电平。因此,TFT 22 变为导电状态,而 TFT 21 变为非导电状态。因此,液晶电容 Clc 和存储电容 Cst 从数据线 D1-D4 电气地断开。这时,TFT 23 变为导电状态,而 TFT 24 变为非导电状态。因此,液晶电容 Clc 和存储电容 Cst 保持为从黑信号提供布线 VBK1 电气地断开,并且在时段 Td1 中写入的视频信号被保持在像素 30 处。

[0091] 通过为所有的像素行执行此种操作,用于一个画面的视频信号能够被写入像素矩阵 14。在时段 Tv 中,开始信号 STD 在时段 Tdat 中为高电平。因此,栅极驱动器电路 16 的每个输出在与时段 Tdat 长度相同的时间长度中变成高电平。

[0092] 因此,在图 10 的时段 Tb 1 中,栅极线 G1 变为低电平。这时,在栅极线 G1 和栅极线 G2 之间的像素行上的像素 30 处 TFT 21 和 22 都处于断开状态。然而,TFT 23 和 24 都变为电气地断开的状态,从而黑信号提供布线 VBK1 的电压被写入液晶电容 Clc 和存储电容 Cst。

[0093] 在图 10 的时段 Tb2 中,栅极线 G2 也变为低电平。因此,TFT 23 变为非导电状态,并且液晶电容 Clc 和存储电容 Cst 从黑信号提供布线 VBK1 电气地断开。这时,TFT 21 变为导电状态,而 TFT 22 保持为断开状态。因此,液晶电容 Clc 和存储电容 Cst 被保持为从数据线 D1-D4 电气地断开。由此,在时段 Tb1 中写入的黑信号被保持在像素 30 处。

[0094] 通过为所有的像素行执行此种操作,能够按行单位顺序地将黑信号写入所有的像素 30。图 10 中的电压 V1c1,1 示出被布置在栅极线 G1 和栅极线 G2 之间的被连接至数据线 D1 的像素 30 的电压。类似地,电压 V1c1,2 示出被布置在栅极线 G2 和栅极线 G3 之间的被连接至数据线 D1 的像素 30 的电压。

[0095] 图 11 示出当从栅极线 G5 的像素行开始视频信号的写入时的操作。在图 11 中的一个帧的时段 Tv 中,栅极驱动器电路 16 的开始信号 STU 被设置为低电平。由此,开始信号 STU

被与时钟信号 CLK 同步地传输,并且从栅极驱动器电路 16 的输出端子(栅极线 G1、……)中的每一个输出。

[0096] 在图 11 的时段 Td1 中,栅极线 G5 从高电平变为低电平,而栅极线 G4 保持高电平。因此,栅极线 G4 和栅极线 G5 之间的像素行上的像素 30 处 TFT 21 和 22 变成导电,并且 TFT 23 和 24 处于断开状态。因此,被写入数据线 D1-D4 的视频信号被写入液晶电容 Clc 和存储电容 Cst。

[0097] 在图 11 的时段 Td2 中,栅极线 G4 变为低电平。因此,TFT 22 变为断开状态,而 TFT 21 处于导电状态。因此,液晶电容 Clc 和存储电容 Cst 被从数据线 D1-D4 电气地断开。此外,TFT 23 处于非导电状态,并且 TFT 24 处于导电状态。因此,液晶电容 Clc 和存储电容 Cst 也保持为从黑信号提供布线 VBK1 电气地断开。由此,在时段 Td1 中写入的视频信号被保持在像素 30 处。

[0098] 通过为所有的像素行执行此种操作,用于一个画面的视频信号能够被写入像素矩阵 14。在时段 Tv 中,开始信号 STD 在时段 Tdat 中为高电平。因此,在与时段 Tdat 相同长度的时间中,栅极驱动器电路 16 的每个输出变为低电平。

[0099] 因此,在图 11 的时段 Tb1 中,栅极线 G5 变为高电平。这时,在栅极线 G4 和栅极线 G5 之间的像素行上的像素 30 处 TFT 21 和 22 都变为断开状态。然而,TFT 23 和 24 都变为导电状态,从而黑信号提供布线 VBK1 的电压被写入液晶电容 Clc 和存储电容 Cst。

[0100] 在图 11 的时段 Tb2 中,栅极线 G4 也变为高电平。因此,TFT 24 变为断开状态,并且液晶电容 Clc 和存储电容 Cst 从黑信号提供布线 VBK1 电气地断开。此时,TFT 22 变为导电状态,而 TFT 21 保持为非导电状态。因此,液晶电容 Clc 和存储电容 Cst 保持为从数据线 D1-D4 电气地断开。由此,在时段 Tb1 中写入的黑信号被保持在像素 30 处。

[0101] 通过为所有的像素行执行此种操作,能够按行单位顺序地将黑信号写入所有的像素 30。图 11 中的电压 Vlc1,4 示出也被布置在栅极线 G4 和栅极线 G5 之间的被连接至数据线 D1 的像素 30 的电压。类似地,图 11 中的电压 Vlc1,3 示出被布置在栅极线 G4 和栅极线 G3 之间的被连接至数据线 D1 的像素 30 的电压。

[0102] 如上所述,根据示例性实施例的液晶显示装置执行下述操作,在一个帧时段中按行单位将视频信号写入所有的像素 30 以显示视频信号时段 Tdat 的长度,并且然后按行单位将黑信号写入所有的像素 30 以显示黑时段 Tb1k 的长度。

[0103] 此外,能够随着其中栅极驱动器电路 16 的开始信号 STD 和 STU 被设置为高电平或者低电平的时间改变用于显示视频信号的时段和用于显示黑信号的时段。此外,还能够通过改变栅极驱动器电路 16 的扫描方向垂直反转显示在液晶显示装置中的图像。

[0104] 此外,黑信号提供布线 VBK1 对所有像素 30 来说都是公共的。因此,能够采用下述方法,其中被写入每个像素 30 的用于构造液晶电容 Clc 的另一个电极的公共电极 COM 的黑信号的极性被设置为对于每个像素行都相同,并且被设置为对于彼此垂直相邻的像素行不同,并且能够采用下述方法,其中被写入所有像素 30 的用于公共电极 COM 的黑信号的极性被设置为在一个帧时段中相同。图 10 和图 11 示出其中黑信号的对于公共电极 COM 的极性被设置为相同的方法的示例。

[0105] 如上所述,根据示例性实施例的液晶显示装置驱动方法的特征是:在用于一个画面的视频信号被提供到示例性实施例的液晶显示装置的帧时段中经由构造第一开关装置

的 TFT 21 和 22 将视频信号从数据线 D1-D4 写入每个像素 30 ;并且然后以与用于写入视频信号的频率相同的频率将黑信号经由构成第二开关装置的 TFT 23 和 24 从黑信号提供布线 VBK1 写入每个像素 30。换言之,示例性实施例的液晶显示装置驱动方法的特征在于:在用于一个画面的视频信号被提供到示例性实施例的液晶显示装置的帧时段中经由第一开关装置将视频信号从数据线 D1-D4 写入每个像素 30 ;经由第二开关装置将黑信号从黑信号提供布线 VBK1 写入每个像素 30 ;用于写入视频信号的频率和用于写入黑信号的频率相同;并且用于写入视频信号的时序和用于写入黑信号的时序不同。

[0106] 在上面,通过参考均被纵横排列的四个像素 30 的情况已经描述了示例性实施例。然而,像素 30 的数目对于本发明的本质没有任何影响。此外,关于 TFT 21-24 的导电类型,能够采用 n 沟道类型 TFT 21、24 以及 p 沟道类型 TFT 22、23。在该情况下,栅极驱动器电路 16 的逻辑会被反转。栅极驱动器电路 16 的结构不限于上述的结构,只要具有通过与时钟信号 CLK 同步顺序地传输开始信号 STD 和 STU 的功能。

[0107] 接下来,将描述根据示例性实施例的液晶显示装置的效果。

[0108] 利用示例性实施例的液晶显示装置,能够通过实现准脉冲驱动而没有劣化辉度来改进动态图画特性。其原因在于黑信号被写入每个像素 30 的液晶电容 Clc 和存储电容 Cst,从而没有必要提供专门用于黑信号的栅极线,与专利文献 1 的情况不同。因此,像素 30 的开口率能够被增加,由此可以防止辉度的劣化。

[0109] 此外,利用示例性实施例的液晶显示装置,与传统的液晶显示装置的情况相比能够实现准脉冲驱动而没有导致成本增加。原因如下所述。首先,能够将黑信号写入每个像素 30 的液晶电容 Clc 和存储电容 Cst 而不要求用于写入黑信号的栅极驱动器。因此,不存在成本增加。即使在以与像素 TFT (TFT 21-24) 相同的工艺将栅极驱动器电路 16 形成在基板 11 上的情况中,也没有必要在基板的布局上为用于写入黑信号的栅极驱动器电路保留空间。因此,液晶显示装置的外部尺寸能够被抑制得较小。结果,没有必要由于本发明的功能减少被放置在单个母基板上的液晶显示装置的数目,从而没有成本增加。其次,由于能够在一个帧时段中显示视频信号和黑信号而没有增加液晶显示装置的操作频率,因此没有必要为数据驱动器电路 15 和栅极驱动器电路 16 使用高速操作电路。此外,也没有必要提供帧存储器用于转换视频图像的频率。因此,不存在成本增加。

[0110] 此外,利用示例性实施例的液晶显示装置,能够根据显示的图像调节辉度。因此,能够减少功率消耗。原因在于,能够通过开始信号 STD 和 STU 中改变时段 Tdat 和时段 Tblk 的长度来调整在一个帧时段中用于显示视频信号的时段和用于显示黑信号的时段的比例。例如,在主要是静止图像要被显示的情况下,能够通过将时段 Tdat 设置为较长来增加辉度,或者减少背光的辉度而没有改变液晶显示装置的辉度来减少功率消耗。

[0111] (第二示例性实施例)

[0112] 图 12 是作为第二示例性实施例的液晶显示装置的框图和电路图。在第二实施例的液晶显示装置中,构造每个像素 40 的第一开关装置 31b 的控制端子 A 被连接至栅极线 G2,并且控制端子 B 被连接至栅极线 G1。假设被夹在栅极线 G1 和 G2 之间的像素行是第一像素行,奇数编号的像素行中的第一开关装置 31b 的控制端子 A 和 B 变为高电平下的导电,并且第二开关装置 32b 的控制端子 C 和 D 变为低电平下的导电。在偶数编号的像素行中,第一开关装置 31c 的控制端子 A 和 B 变为低电平下的导电,并且第二开关装置 32c 的控制端

子 C 和 D 变为高电平下的导电。像素电容 Clc 和存储电容 Cst 经由第一开关装置 31b、32b 被连接至数据线 (D1-D4), 并且经由第二开关装置 32b、32c 被连接至黑信号提供布线 VBK1。黑信号提供布线 VBK1 对所有像素来说是公共的。

[0113] 图 13 是示出第二示例性实施例的液晶显示装置的操作的时序图。图 13 中的时段 Tv 表示其中从外部提供用于一个帧的视频信号的帧时段。在奇数编号的栅极线 (G1、G3、G5) 中, 其中高电平时间是 Tdat 并且低电平时间是 Tblk 的脉冲通过按照时间移位而输出。同时, 在偶数编号的栅极线 (G2、G4) 中, 其中低电平时间是 Tdat 并且高电平时间是 Tblk 的脉冲通过按照时间移位而输出。

[0114] 接下来, 将会描述将视频信号写入液晶显示装置的操作。首先, 将会描述用于被布置在栅极线 G1 和 G2 之间的第一像素行的操作。在时段 Td1 中, 栅极线 G1 和栅极线 G2 都是高电平。因此, 在第一像素行上的每个像素中, 第一开关装置 31b 变为导电, 并且第二开关装置 32b 变为断开状态。在此时段中, 通过将与第一像素行相对应的视频信号提供给数据线 (D1-D4), 视频信号被写入第一像素行的每个像素中的液晶电容 Clc 和存储电容 Cst。在时段 Td2 中, 栅极线 G1 变为高电平并且栅极线 G2 变为低电平。因此, 在第一像素行上的每个像素中第一和第二开关装置 31b 和 32b 都变为断开状态, 并且在时段 Td1 写入的视频信号被保持。同时, 在被布置在栅极线 G2 和 G3 之间的第二像素行上的每个像素中, 第一开关装置 31c 变为导电, 并且由于栅极线 G3 是低电平所以第二开关装置 32c 变为断开状态。因此, 被提供给数据线 (D1-D4) 的视频信号被写入第二像素行上的每个像素中的液晶电容 Clc 和存储电容 Cst。通过为所有的像素行执行此种操作, 能够写入用于一个画面的视频信号。

[0115] 接下来, 将会描述将黑信号写入液晶显示装置的操作。在时段 Tb1 中, 栅极线 G1 和栅极线 G2 都变为低电平。因此, 在第一像素行上的每个像素中, 第二开关装置 32b 变为导电, 并且黑信号提供布线 VBK1 的电压被写入液晶电容 Clc 和存储电容 Cst。在时段 Tb2 中, 数据线变成低电平, 并且栅极线 G2 变成高电平。因此, 在第一像素行上的每个像素中第二开关装置 32b 变为断开状态。因此, 黑信号被保持。同时, 栅极线 G3 是高电平, 从而第二像素上的第二开关装置 32c 变为导电。因此, 黑信号被写入液晶电容 Clc 和存储电容 Cst。通过为所有的像素行执行此种操作, 能够写入用于所有像素的黑信号。在这里注意的是, 时段 Tb1 和时段 Td4 按照时间相互重叠。这意味着同时进行黑信号到第一像素行的写入和视频信号到第四像素行的写入。

[0116] 能够如下地概括液晶显示装置的操作。

[0117] 在液晶显示装置中, 通过两条相邻的栅极线控制到每个像素的视频信号和黑信号的写入操作。在一个帧时段中, 存在两条栅极线的电压电平变为不同的两个时段, 和电压电平变为相同的两个时段。在电压电平不同的时段中的一个中写入视频信号, 并且在电压电平不同的另一个时段中写入黑信号。在执行到任意的像素行的视频信号的写入操作的时段中, 不执行用于其它的像素行的视频信号的写入操作。但是, 在该时段期间能够进行黑信号的写入操作。

[0118] 图 14 是示出作为第二示例性实施例的液晶显示装置的更加具体的结构的视图。图 15 是示出从图 14 取出的两个单个像素的放大电路图。

[0119] 本示例性实施例的液晶显示装置具有其中液晶被夹在第一基板 11 和第二基板 12

之间的结构。在基板 11 上提供有：像素矩阵 14，其中像素 50 被布置成矩阵；数据驱动器电路 15，该数据驱动器电路 15 用于驱动数据线 D1-D4；以及栅极驱动器电路 16，该栅极驱动器电路 16 用于驱动栅极线 G1-G5。在被布置成矩阵的多条数据线 D1-D4 和多条栅极线 G1-G5 之间的交叉点中的每一个处，像素 50 至少具有作为多个像素 TFT 的 TFT 21-24、液晶电容 Clc、以及存储电容 Cst。

[0120] 接下来，为了提供关于每个像素 50 中的连接关系的解释，将会描述奇数编号的像素行和偶数编号的像素行上的每个像素中的连接。在这里注意的是，“奇数编号的像素行”和“偶数编号的像素行”表示平行于栅极线布置的像素行的奇数编号的像素行和偶数编号的像素行，同时假定栅极线 G1 和 G2 之间的像素行被编号为“1”。

[0121] 关于奇数编号的像素行的第一像素行上的每个像素，构造第一开关装置的 TFT 21A 和 22A 属于相同的导电类型，并且各自的栅极电极 21Ag 和 22Ag 被连接至彼此不同的相邻的栅极线 G2 和 G1。TFT 21A 的源极电极或者漏极电极被连接至数据线 D1-D4 中的一条，并且另一个电极被连接至 TFT 22A 的源极电极或者漏极电极。TFT 22A 的另一个电极（源极电极和漏极电极之中）被连接至液晶电容 Clc 和存储电容 Cst。

[0122] 奇数编号的行上的构造第二开关装置的 TFT 23A 和 24A 属于相同的导电类型，并且各自的栅极电极 23Ag 和 24Ag 被连接至彼此不同的相邻的栅极线 G2 和 G1。TFT 23A 的源极电极或者漏极电极被连接至黑信号提供布线 VBK1，并且另一个电极被连接至 TFT 24A 的源极电极或者漏极电极。TFT 24A 的另一个电极（源极电极和漏极电极之中）被连接至液晶电容 Clc 和存储电容 Cst。构造第一开关装置的 TFT 21A、22A 和构造第二开关装置的 TFT 23A、24A 的导电类型彼此不同，并且 TFT 21A、23A 的各自的栅极电极 21Ag、23Ag 被连接至同一栅极线 G2。

[0123] 关于偶数编号的像素行的第二像素行上的每个像素，构造第一开关装置的 TFT 21B 和 22B 属于相同的导电类型，并且各自的栅极电极 21Bg 和 22Bg 被连接至彼此不同的相邻的栅极线 G3 和 G2。TFT 21B 的源极电极或者漏极电极被连接至数据线 D1-D4 中的一条，并且另一个电极被连接至 TFT 22B 的源极电极或者漏极电极。TFT 22B 的另一个电极（源极电极和漏极电极之中）被连接至液晶电容 Clc 和存储电容 Cst。

[0124] 偶数编号的行上的构造第二开关装置的 TFT 23B 和 24B 属于相同的导电类型，并且各自的栅极电极 23Bg 和 24Bg 被连接至彼此不同的相邻的栅极线 G3 和 G2。TFT 23B 的源极电极或者漏极电极被连接至黑信号提供布线 VBK1，并且另一个电极被连接至 TFT 24B 的源极电极或者漏极电极。TFT 24B 的另一个电极（源极电极和漏极电极之中）被连接至液晶电容 Clc 和存储电容 Cst。构造第一开关装置的 TFT 21B、22B 和构造第二开关装置的 TFT 23B、24B 的导电类型彼此不同，并且 TFT 21B、23B 的各自的栅极电极 21Bg、23Bg 被连接至同一栅极线 G2。

[0125] 对于奇数编号的像素行和偶数编号的像素行上的每个像素来说构造第一和第二开关装置的两个 TFT 的导电类型是相同的，并且构造第一开关装置的 TFT 和构造第二开关装置的 TFT 的导电类型不相同。此外，对于奇数编号的像素行上的像素和偶数编号的像素行上的像素来说构造第一开关装置的 TFT 和构造第二开关装置的 TFT 的导电类型不同。

[0126] 其它的像素行上的每个像素 50 的结构与图 15 中所示的像素 50 的结构相同，不同之处在于要连接栅极线 G1-G5 和数据线 D1-D4。注意的是，附图中示出的结构示出了 TN（扭

曲向列)模式、VA(垂直配向)模式等等的情况,从而与第一示例性实施例的情况相同,在第一基板 11 上形成公共电极 COM。

[0127] 至少由开始信号 STD 和时钟信号 CLK 控制栅极驱动器电路 16,并且该栅极驱动器电路 16 具有在通过与时钟信号同步而顺序地移位开始信号 STD 的同时将开始信号 STD 输出至栅极线 G1-G5 中的每一条。也能够使用栅极驱动器电路 46,该栅极驱动器电路 46 具有能够使用两个开始信号 STD、STU、以及移位方向控制信号 DIR 改变扫描方向的功能。图 14 示出使用具有能够更改移位方向的功能的栅极驱动器电路 46 的情况。

[0128] 作为具有此种功能的栅极驱动器电路 46 的结构示例,存在图 16 中所示的电路。该栅极驱动器电路 46 基本上具有与图 8 中所示的栅极驱动器电路相同的结构。但是,存在下述不同,反相器 INV10 被插入在缓冲器电路 33 和用于驱动偶数编号的栅极线的触发器 FF 之间。通过反相器 INV10 反转奇数编号的栅极线和偶数编号的栅极线的逻辑。在图 16 所示的电路中,取决于栅极线 G1、……的负荷,缓冲器电路 33 可以不是必要的。

[0129] 接下来,将会通过主要参考图 17 中所示的时序图描述根据示例性实施例的液晶显示装置的驱动方法,即,根据示例性实施例的液晶显示装置的操作。

[0130] 图 17 中的时段 T_v 表示其中从外部提供用于一个帧的视频信号的帧时段。通过与时段 T_v 同步,栅极驱动器电路 46 的开始信号 STD 被设置为高电平。由此,通过与时钟信号 CLK 同步而传输开始信号 STD,并且从栅极驱动器电路 46 的输出端子(栅极线 G1、……)中的每一个中输出开始信号 STD。注意,然而,偶数编号的栅极线(G2、G4)的电势电平的逻辑被反转。

[0131] 首先,将会描述奇数编号的像素行的操作。在图 17 中的时段 T_{d1} 中,栅极线 G1 变成高电平并且栅极线 G2 保持高电平。因此,在栅极线 G1 和栅极线 G2 之间的像素 50 处,TFT 21A 和 22A 都变为导电,从而被提供给数据线 D1-D4 的视频信号被写入液晶电容 C_{lc} 和存储电容 C_{st} 。这时,TFT 23A 和 24A 都处于断开状态。

[0132] 在图 17 的时段 T_{d2} 中,栅极线 G1 保持高电平,而栅极线 G2 变为低电平。因此,TFT 22A 变为导电状态,而 TFT 21A 变为断开状态。因此,从数据线 D1-D4 电气地断开液晶电容 C_{lc} 和存储电容 C_{st} 。这时,TFT 23A 变为导电状态,而 TFT 24A 变为断开状态。因此,液晶电容 C_{lc} 和存储电容 C_{st} 保持为从黑信号提供布线 VBK1 电气地断开,并且在时段 T_{d1} 中被写入的视频信号被保持在像素 50 处。

[0133] 在时段 T_v 中,开始信号 STD 在时段 T_{dat} 中为高电平。因此,在与时段 T_{dat} 相同长度的时间中栅极驱动器电路 46 的奇数编号的输出中的每一个变为高电平,并且在与时段 T_{dat} 相同长度的时间中栅极驱动器电路 46 的偶数编号的输出中的每一个变为低电平。

[0134] 因此,在图 17 的时段 T_{b1} 中,栅极线 G1 变为低电平。这时,栅极线 G1 和栅极线 G2 之间的像素行上的像素 50 处 TFT 21A 和 22A 都处于断开状态。然而,TFT 23A 和 24A 都变为导电状态,从而黑信号提供布线 VBK1 的电压被写入液晶电容 C_{lc} 和存储电容 C_{st} 。

[0135] 在图 17 的时段 T_{b2} 中,栅极线 G2 也变为高电平。因此,TFT 23A 变为断开状态,并且从黑信号提供布线 VBK1 电气地断开液晶电容 C_{lc} 和存储电容 C_{st} 。这时,TFT 21A 变为导电状态,而 TFT 22A 保持为断开状态。因此,液晶电容 C_{lc} 和存储电容 C_{st} 被保持为从数据线 D1-D4 电气地断开。由此,在时段 T_{b1} 中被写入的黑信号被保持在像素 50 处。

[0136] 接下来,将会描述偶数编号的像素的操作。在时段 T_{d2} 中,栅极线 G2 变为低电平并

且栅极线 G3 保持低电平。因此, TFT 21B 和 22B 都变为导电,从而被提供给数据线 D1-D4 的视频信号被写入液晶电容 C1c 和存储电容 Cst。这时, TFT 23B 和 24B 都保持为断开状态。在下一个时段 Td3 中, 栅极线 G3 变为高电平。因此, TFT 21B 变为断开状态,从而液晶电容 C1c 和存储电容 Cst 保持为从数据线 D1-D4 电气地断开。这时, TFT 24B 处于断开状态,而 TFT 23B 变为导电。因此,液晶电容 C1c 和存储电容 Cst 保持为从黑信号提供布线 VBK1 电气地断开,并且在时段 Td2 中被写入的视频信号被保持在像素 50 处。

[0137] 在时段 Tb2 中, 栅极线 G2 变为高电平, 并且栅极线 G3 是高电平。因此, TFT 23B 和 24B 都变为导电,从而黑信号提供布线 VBK1 的电压被写入液晶电容 C1c 和存储电容 Cst。在下一个时段 Tb3 中, 栅极线 G3 变为低电平。因此, TFT 23B 变为断开状态,从而液晶电容 C1c 和存储电容 Cst 从黑信号提供布线 VBK1 电气地断开。这时, TFT 22B 保持为断开状态中,而 TFT 21B 变为导电。因此,液晶电容 C1c 和存储电容 Cst 也保持为从数据线 D1-D4 电气地断开。由此,在时段 Tb2 中被写入的黑信号被保持在像素 50 处。

[0138] 通过为所有的像素行执行此种操作, 视频信号和黑信号能够被按行单位顺序地写入像素矩阵 14 中写入到所有像素 50。图 17 中的电压 V1c1,1 示出被布置在栅极线 G1 和栅极线 G2 之间的被连接至数据线 D1 的像素 50 的电压。类似地, 图 17 中的电压 V1c1,2 示出被布置在栅极线 G2 和栅极线 G3 之间的被连接至数据线 D1 的像素 50 的电压。

[0139] 图 18 示出当从栅极线 G5 的像素行开始视频信号的写入时的操作。在图 18 中的一个帧的时段 Tv 中, 栅极驱动器电路 46 的开始信号 STU 被设置为低电平。由此, 通过与时钟信号 CLK 同步而传输开始信号 STU, 并且从栅极驱动器电路 46 的输出端子 (栅极线 G1、……) 中的每一个输出开始信号 STU。注意, 然而, 偶数编号的栅极线 (G2、G4) 的电势电平的逻辑被反转。用于对每个像素写入视频信号和黑信号的操作与从栅极线 G1 的像素行开始写入视频信号的情况相同, 从而省略了其详细描述。

[0140] 如上所述, 根据示例性实施例的液晶显示装置执行下述操作, 在一个帧时段中按行单位将视频信号写入所有的像素 50 以在时段 Tdat 的长度中显示视频信号, 并且然后按行单位将黑信号写入所有的像素 50 以在时段 Tblk 的长度中显示黑。

[0141] 此外, 能够随着其中栅极驱动器电路 46 的开始信号 STD 和 STU 被设置为高电平或者低电平的时间改变用于显示视频信号的时段和用于显示黑信号的时段。此外, 还能够通过改变栅极驱动器电路 46 的扫描方向来垂直反转被显示在液晶显示装置中的图像。

[0142] 此外, 黑信号提供布线 VBK1 对所有像素 50 来说都是公共的。因此, 能够采用方法, 其中被写入每个像素 50 的用于构造液晶电容 C1c 的另一个电极的公共电极 COM 的黑信号的极性对于每个像素行被设置为相同, 并且对于彼此垂直相邻的像素行设置为不同, 并且能够采用下述方法, 其中被写入所有像素 50 的用于公共电极 COM 的黑信号的极性在一个帧时段中被设置为相同。图 17 和图 18 示出其中用于公共电极 COM 的黑信号的极性对于每个像素行被设置为相同的方法的示例。

[0143] 在上文中, 已经通过参考被纵横排列的四个像素 50 的情况描述了示例性实施例。然而, 像素 50 的数目对本发明的本质没有影响。此外, 关于 TFT 21A-24A 和 TFT 21B-24B 的导电类型, 能够采用 p 沟道类型 TFT 21A、22A、23B、24B 以及 n 沟道类型 TFT 23A、24A、21B、22B。在那样的情况下, 栅极驱动器电路 46 的逻辑可以被反转。栅极驱动器电路 46 的结构不限于上述的结构, 只要它具有能够通过与时钟信号 CLK 同步而顺序地传输开始信号 STD

和 STU, 和能够使奇数编号的输出和偶数编号的输出的逻辑电平被反转的功能。

[0144] 利用示例性实施例的液晶显示装置, 能够实现准脉冲驱动而没有增加液晶显示装置的成本。其原因与第一示例性实施例中描述的原因相同。

[0145] (第三示例性实施例)

[0146] 图 19 是示出根据本发明的液晶显示装置的第三示例性实施例的框图和电路图。图 20 是示出从图 19 取出的两个像素 60 的放大电路图。在下文中, 将会通过参考图 19 和图 20 提供解释。相同的附图标记被应用于与图 4 中的相同的组件, 并且省略了对其的详细解释。不仅被布置在栅极线 G1、G2 之间并且被连接至数据线 D3、D4 的像素, 而且所有其它的像素都被称为像素 60。

[0147] 本示例性实施例相对于图 4 中所示的示例性实施例的区别在于: 存在被提供在像素矩阵 14 中的两个黑信号提供布线 VBK1 和 VBK2; 并且像素 60 中的每一个能够被分类成被连接至黑信号提供布线 VBK1 的像素和被连接至黑信号提供布线 VBK2 的像素。即, 为沿着数据线 D1-D4 彼此相邻的像素行中的每一个交替地排列黑信号提供布线 VBK1 和 VBK2。

[0148] 图 21 示出第三示例性实施例的更加具体的结构。这是用于构造图 20 中所示的每个像素的第一开关装置 31C、31D 和第二开关装置 32C、32D 被分别由不同导电类型的两个 TFT 形成的情况。

[0149] 在下文中, 将会更加详细地描述根据本示例性实施例的液晶显示装置。根据本示例性实施例的液晶显示装置的结构几乎与图 4 中所示的液晶显示装置的结构相同, 不同之处在于存在两个黑信号提供布线 VBK1 和 VBK2。两个黑信号提供布线 VBK1 和 VBK2 被安排为对于与数据线 D1-D4 平行的列的像素来说是共同的, 并且对于相邻的像素列来说是不同的。

[0150] 图 22 是示出根据示例性实施例的液晶显示装置的操作的时序图。基本的操作与第一示例性实施例的液晶显示装置的操作相同。不同之处在于按每个像素列用于公共电极 COM 的视频信号和黑信号的极性不同。因此, 在一个帧的特定时段中, 用于公共电极 COM 的数据线 D1 和 D3 的视频信号的极性相同, 用于公共电极 COM 的数据线 D2 和 D4 的视频信号的极性相同, 并且用于公共电极 COM 的数据线 D1 和 D2 的视频信号的极性不同。类似地, 用于公共电极 COM 的黑信号提供布线 VBK1 和黑信号提供布线 VBK2 中的黑信号的极性不同。因此, 对于液晶显示装置中上下左右相邻地布置的像素 60 来说用于公共电极 COM 的视频信号和黑信号的极性不同。图 22 中的电压 V1c1,1 示出被布置在栅极线 G1 和栅极线 G2 之间的被连接至数据线 D1 的像素 70 的电压。类似地, 电压 V1c1,2 示出被布置在栅极线 G2 和栅极线 G3 之间的被连接至数据线 D1 的像素 70 的电压。

[0151] 在这里描述的情况示出当从被连接至栅极线 G1 的像素行开始将视频信号和黑信号顺序地写入液晶显示装置时的操作。然而, 像用于描述根据第一示例性实施例的液晶显示装置的操作的图 10 和图 11 的关系一样, 也能够实现用于通过改变开始信号 STD、STU、以及移位方向控制信号 DIR 从被连接至栅极线 G5 的像素行开始写入视频信号和黑信号的操作。

[0152] 此外, 除了在这里提出的情况之外, 还能够通过相同的导电类型 TFT 形成构造第一开关装置和第二开关装置的两个 TFT, 与第二示例性实施例的情况相同。在这样的情况下, 必须如图 16 中所示的电路改变栅极驱动器电路 16。其操作与图 17 和图 18 中所描述的

操作相同。

[0153] 接下来,将会描述根据本示例性实施例的液晶显示装置的效果。

[0154] 利用本示例性实施例的液晶显示装置,能够通过实现准脉冲驱动而没有劣化辉度来改进动态图画特性。其原因与第一示例性实施例中描述的原因相同。

[0155] 此外,利用本示例性实施例的液晶显示装置,与传统的液晶显示装置的情况相比较能够实现准脉冲驱动而没有导致成本增加。其原因与第一示例性实施例中描述的原因相同。

[0156] 此外,使用本示例性实施例的液晶显示装置,根据被显示的图像能够调节亮度。因此,功率消耗能够被减少。理由是与第一示例性实施例中描述的理由相同。

[0157] 此外,使用示例性实施例的液晶显示装置,能够减少闪烁。原因在于在上下左右彼此相邻的像素 70 当中用于公共电极 COM 的视频信号的极性不同。在液晶显示装置中,通常按每帧时段改变用于公共电极 COM 的被写入每个像素 70 的视频信号的极性,从而 DC(直流)电场被持续地写入液晶。然而,存在下述情况,由于用于公共电极 COM 的极性可能由于像素 TFT 的馈通(feed-through)中的差异、像素 TFT 的漏电流中差异等等而导致被改变,从而导致被写入像素 70 的视频信号的电压误差。在这样的情况下,在用于公共电极 COM 的视频信号的极性为正与为负的情况之间产生辉度中的差异,从而产生闪烁。然而,当相邻的像素 70 之间的视频信号的极性不同时,由于电压误差引起的辉度差能够被拉平(level)。因此,能够减少闪烁。在示例性实施例的液晶显示装置中,在上下左右彼此相邻的像素 70 当中用于公共电极 COM 的视频信号的极性不同。因此,闪烁能够被进一步减少。

[0158] (第四示例性实施例)

[0159] 图 23 是示出根据本发明的液晶显示装置的第四示例性实施例的框图和电路图。图 24 是示出从图 23 取出的单个像素的放大电路图。相同的附图标记被应用于与图 4 的相同的部件,并且省略了其详细的解释。不仅被布置在栅极线 G1、G2 之间并且被连接至数据线 D4 的像素,而且所有其它的像素都被称为像素 80。

[0160] 本示例性实施例相对于第一示例性实施例的不同之处在于:在像素矩阵 14 中没有提供黑信号提供布线 VBK1(图 4);并且存储电容布线 VCS 还用作黑信号提供布线 VBK1(图 4)。即,形成存储电容 Cst 的两个电极中的一个被连接至第一开关装置 31 和第二开关装置 32,并且另一个电极被连接至对于所有的像素 80 来说是公共的存储电容布线 VCS。通过在形成像素电容 C1c 的两个电极之间生成的电场控制根据本示例性实施例的液晶的配向状态。当没有被施加于像素电容 C1c 的电压时,显示黑。存储电容布线 VCS 的电势几乎等于公共电极 COM 的电势。

[0161] 图 25 示出第四示例性实施例的更加具体的结构。这是分别用两个不同导电类型的 TFT 形成用于构造图 24 中所示的每个像素的第一开关装置 31C、31D 和第二开关装置 32C、32D 的情况。

[0162] 在下文中,将会更加详细地描述根据本示例性实施例的液晶显示装置。根据本示例性实施例的液晶显示装置的结构几乎与第一示例性实施例的液晶显示装置的结构相同,不同之处在于没有提供黑信号提供布线 VBK1(图 4),并且构造每个像素 90 的第二开关装置的 TFT 被连接至存储电容布线 VCS。此外,本发明的液晶显示装置采用诸如当电压没有被施加于液晶时显示黑的 VA 模式或者 IPS 模式的系统。注意在这里几乎等于公共电极 COM 的

电压的电压被施加于存储电容布线 VCS。

[0163] 图 26 是示出根据本示例性实施例的液晶显示装置的操作的时序图。根据第四示例性实施例的液晶显示装置的基本操作与根据第一示例性实施例的液晶显示装置的操作相同。然而,存在相对于根据第一示例性实施例的液晶显示装置的操作的不同之处,其在于以下方面:对于每个像素列来说用于公共电极 COM 的视频信号的极性不同以及存储电容布线 VCS 的电压而不是黑信号被顺序地写入像素 90。

[0164] 图 26 中的电压 $V_{lc1,1}$ 示出被布置在栅极线 G1 和栅极线 G2 之间的被连接至数据线 D1 的像素 90 的电压。电压 $V_{lc1,2}$ 示出被布置在栅极线 G2 和栅极线 G3 之间的被连接至数据线 D1 的像素 90 的电压。由此可见,关于电压 $V_{lc1,1}$,在时段 T_{d1} 中视频信号被写入。其后,写入的信号被持续地保持。在时段 T_{b1} 中,存储电容布线 VCS 的电压被写入并且被保持。

[0165] 如上所述,本示例性实施例的液晶显示装置驱动方法的特征是:在提供用于一个画面的视频信号的帧时段中,经由构造第一开关装置的两个 TFT 从数据线 D1-D4 将视频信号写入每个像素 90,然后以与用于写入视频信号的频率相同的频率经由构造第二开关装置的两个 TFT 从存储电容布线 VCS 将电压写入每个像素 90。

[0166] 图 26 示出其中相对于公共电极 COM 的被写入上下左右彼此相邻的像素 90 的视频信号的极性不同的驱动方法的情况。然而,本发明能够被应用于任何方法,即,其中垂直地彼此相邻的像素 90 的极性不同并且横向地彼此相邻的像素 90 的极性相同的驱动方法、其中垂直地彼此相邻的像素 90 的极性相同并且横向地彼此相邻的像素 90 的极性不同的驱动方法、以及其中对于所有的像素 90 极性相同的驱动方法。在这样的情况下,可以取决于驱动方法改变被提供给数据线 D1-D4 的视频信号的极性。

[0167] 在这里描述的情况示出当从被连接至栅极线 G1 的像素行开始顺序地将视频信号和黑信号继续地写入液晶显示装置时的操作。然而,像用于描述根据第一示例性实施例的液晶显示装置的操作的图 10 和图 11 的关系一样,也能够通过改变开始信号 STD、STU、以及移位方向控制信号 DIR 实现用于从被连接至栅极线 G5 的像素行写入视频信号和黑信号的操作。

[0168] 此外,除了在这里提出的情况之外,还能够通过相同的导电类型 TFT 形成构造第一开关装置和第二开关装置的两个 TFT,与第二示例性实施例的情况中相同。在这样的情况下,必须用图 16 中所示的电路更改栅极驱动器电路 16。其操作与图 17 和图 18 中所描述的操作相同。

[0169] 接下来,将会描述根据本示例性实施例的液晶显示装置的效果。

[0170] 利用本示例性实施例的液晶显示装置,能够通过实现准脉冲驱动而没有降低亮度而改进动态图画特性。原因在于:与第一和第二示例性实施例的液晶显示装置相比利用本示例性实施例的液晶显示装置能够增加开口率,因为没有必要提供专用于将黑信号提供给每个像素 90 的布线 (VBK1 和 VBK2)。如上所述,与常黑模式(当没有被施加于液晶的电压时显示黑的模式)一起使用 VA 模式和 1PS 模式。利用本示例性实施例的液晶显示装置,通过将存储电容布线 VCS 的电势设置为等于公共电极 COM 的电势,能够当存储电容布线 VCS 的电势被写入像素 90 时能够显示黑。因此,通过将像素 TFT 中的一个连接至存储电容布线 VCS,提供专用的黑信号提供布线变得没有必要。结果,开口率能够被增加。

[0171] 此外,利用本示例性实施例的液晶显示装置,与传统的液晶显示装置相比较能够实现准脉冲而没有导致成本增加。原因与第一示例性实施例中描述的原因相同。

[0172] 此外,利用示例性实施例的液晶显示装置,能够根据被显示的图像调节辉度。因此,功率消耗能够被减少。原因与第一示例性实施例中描述的原因相同。

[0173] 此外,利用本示例性实施例的液晶显示装置,能够减少闪烁。原因与第二示例性实施例中描述的原因相同。

[0174] (其它)

[0175] 虽然已经通过参考每个示例性实施例已经描述了本发明,但是本发明不限于那些示例性实施例。对本领域的技术人员来说出现的各种变化和修改可以被应用于本发明的结构和详细情况。此外,理解的是,本发明包括在每个示例性实施例中描述的结构的一部分或者整个部分的组合。

[0176] 工业实用性

[0177] 如上所述,利用本发明,能够以低成本实现亮的液晶显示装置,即使当显示动态图画时在图像的轮廓中也没有产生模糊。因此,本发明能够被广泛地应用于使用诸如电视机、视频、便携式终端、以及投影仪的液晶显示装置的工业领域中,这意味着本发明展示出高工业实用性。

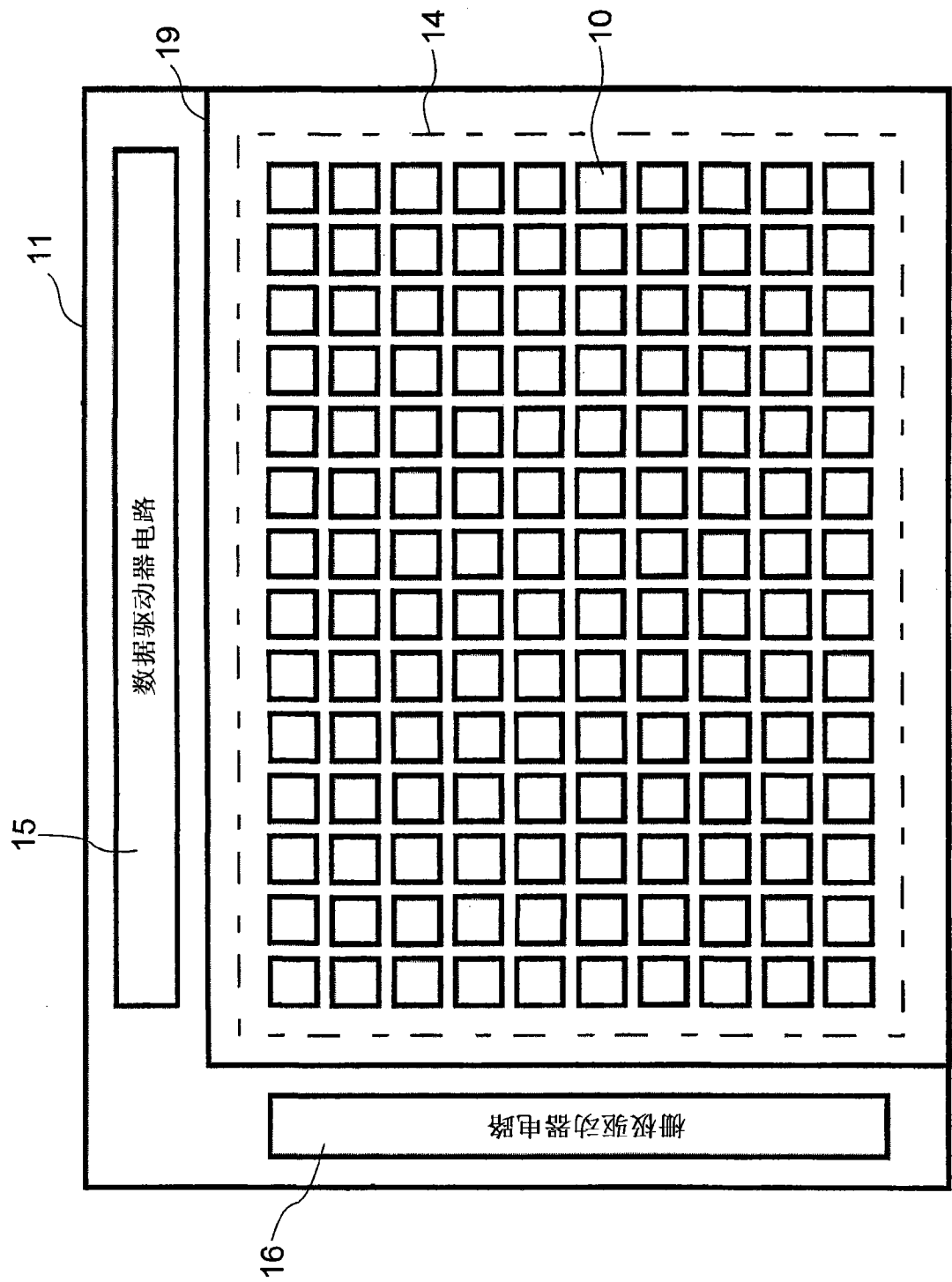


图 1

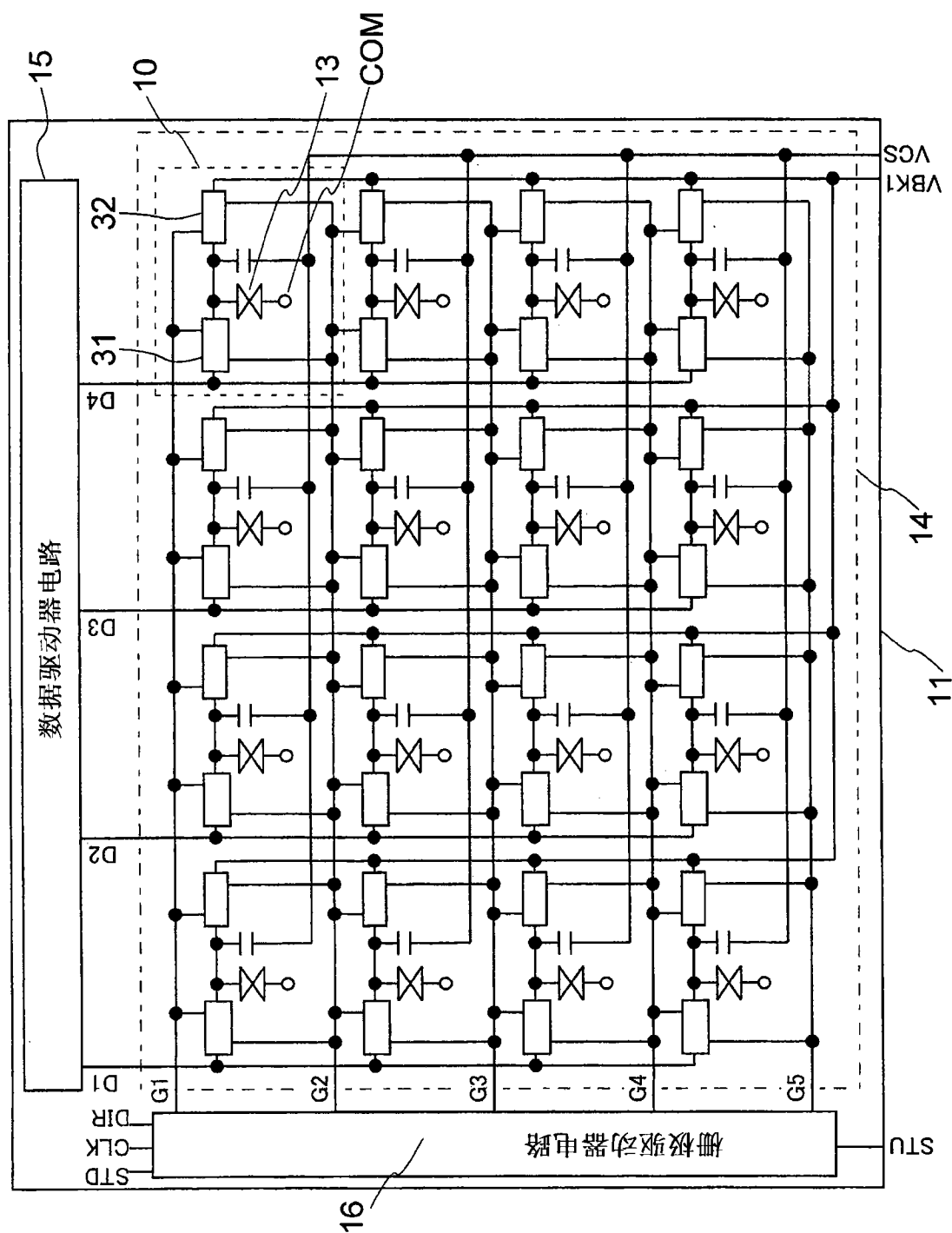


图 2

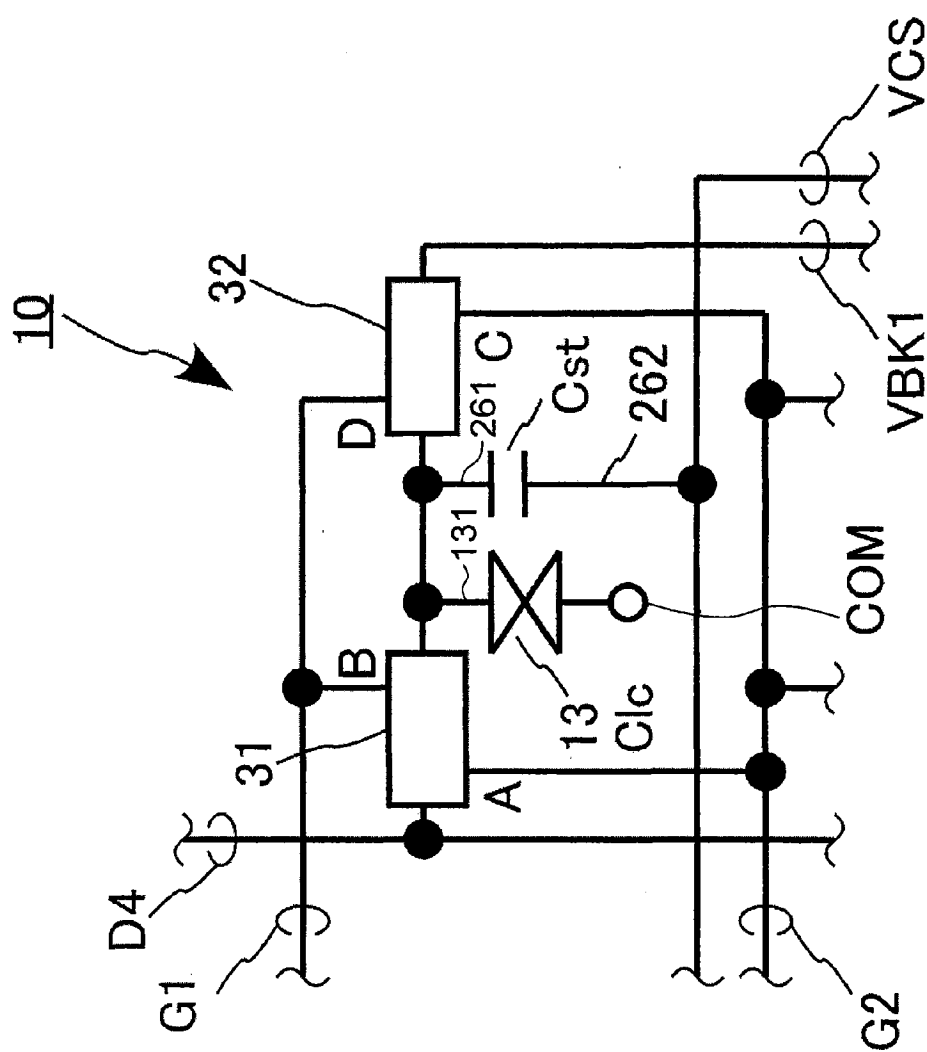


图 3

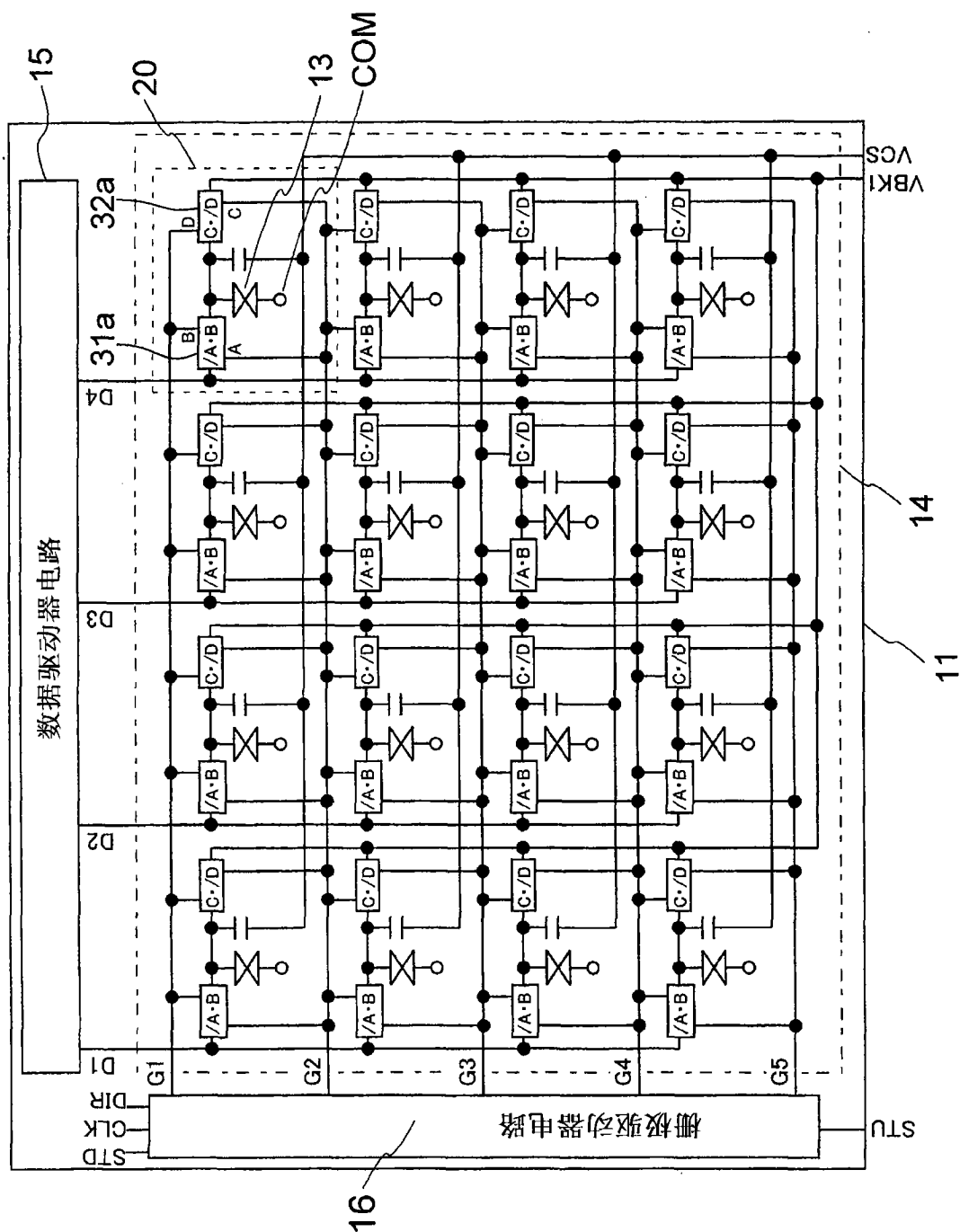


图 4

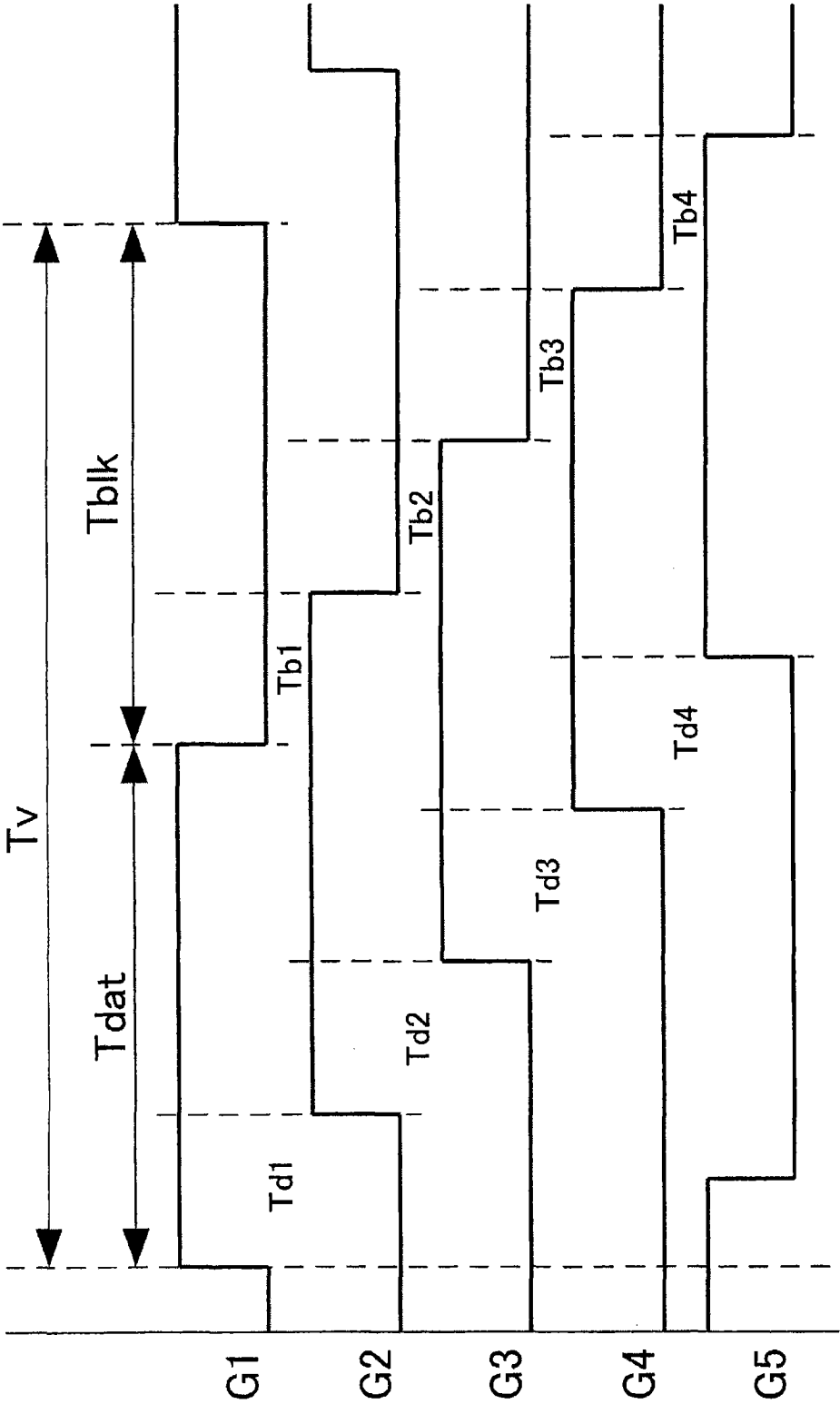


图 5

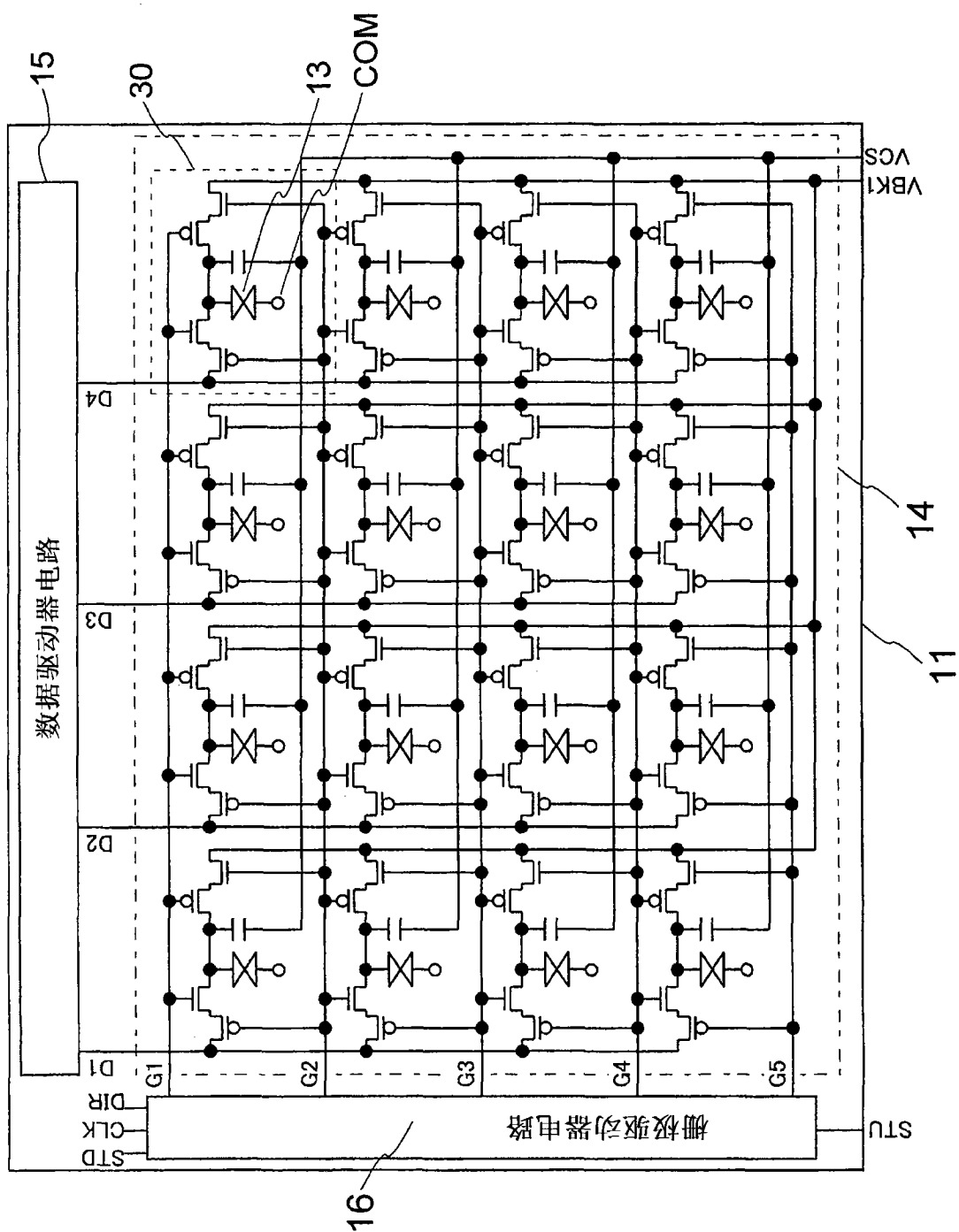


图 6

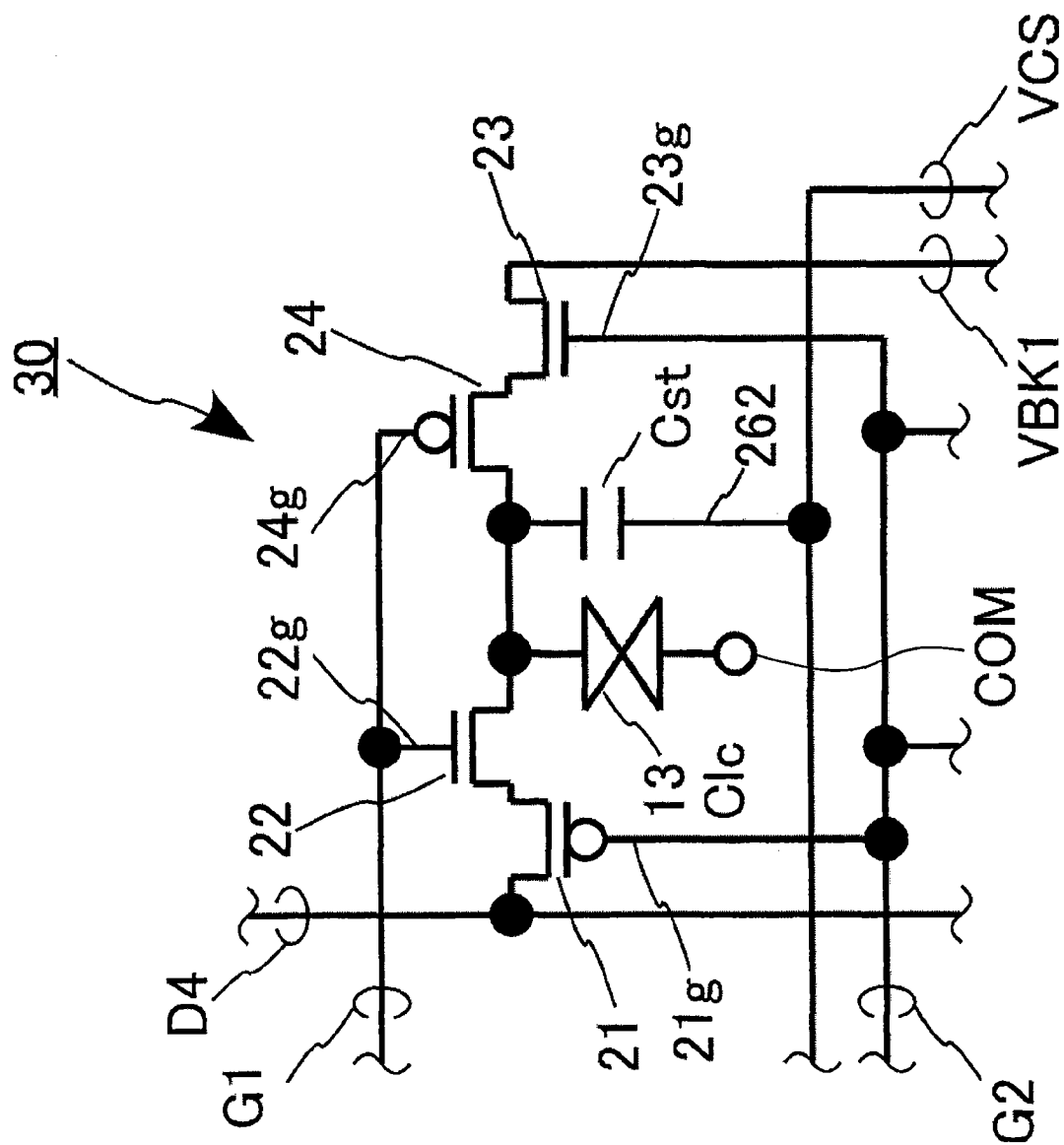


图 7

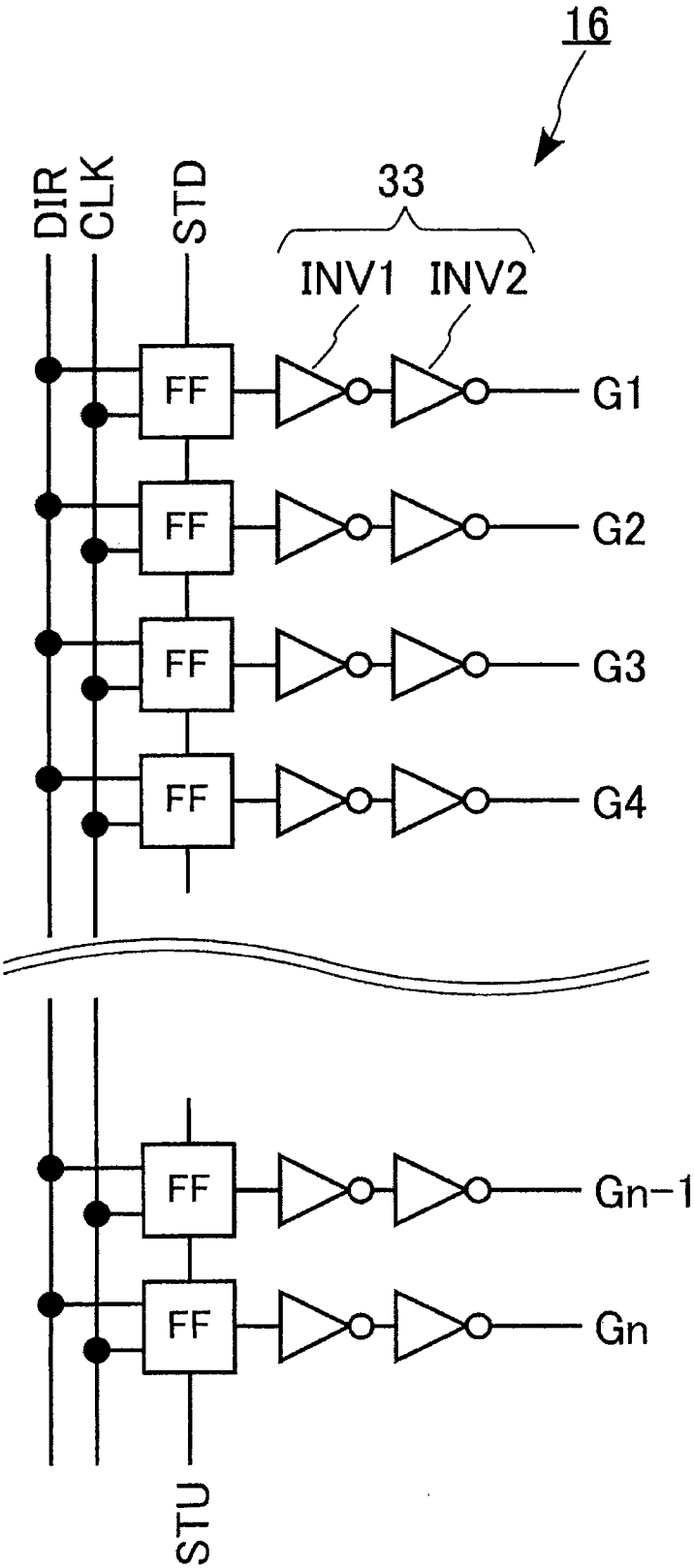


图 8

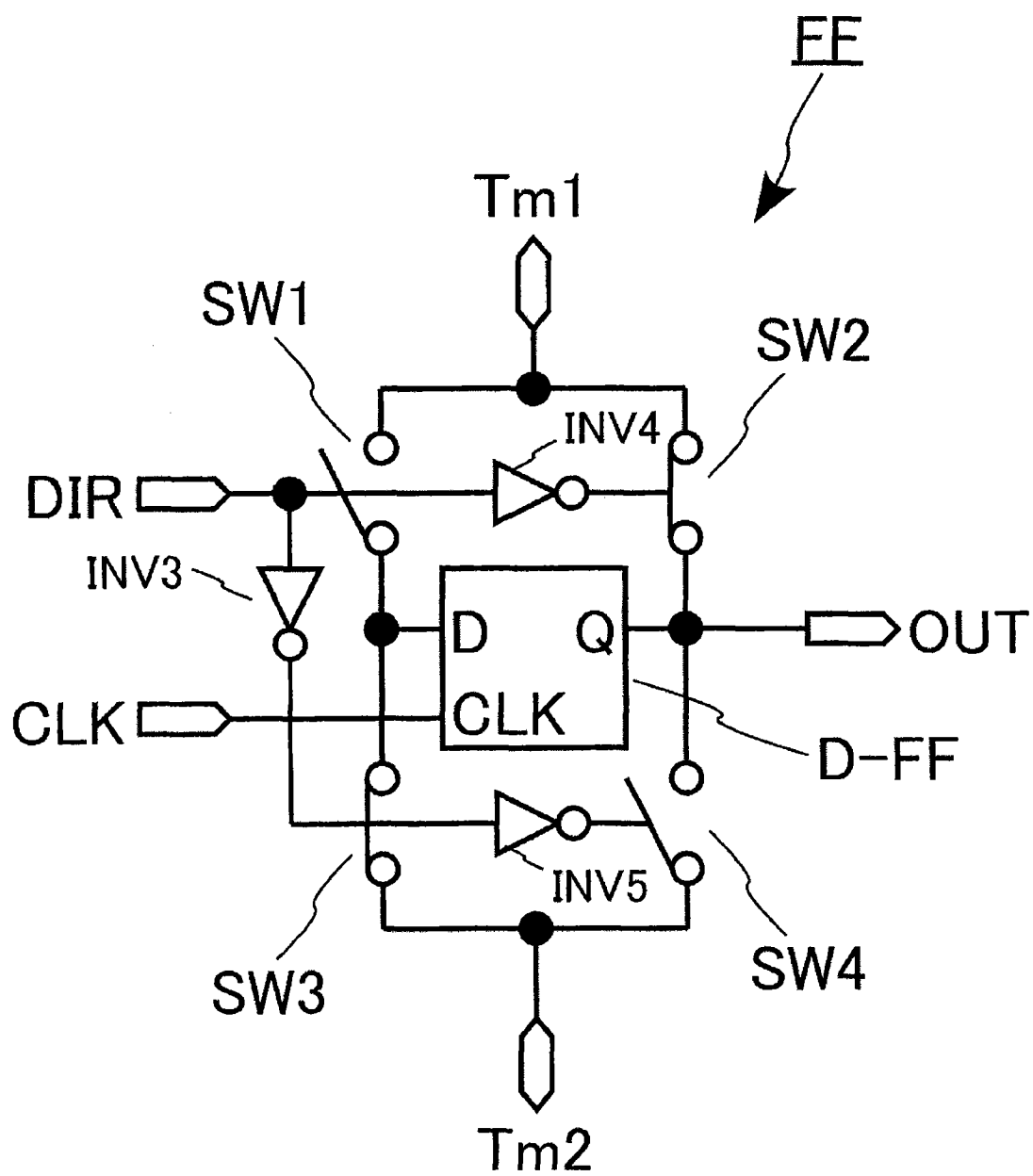


图 9

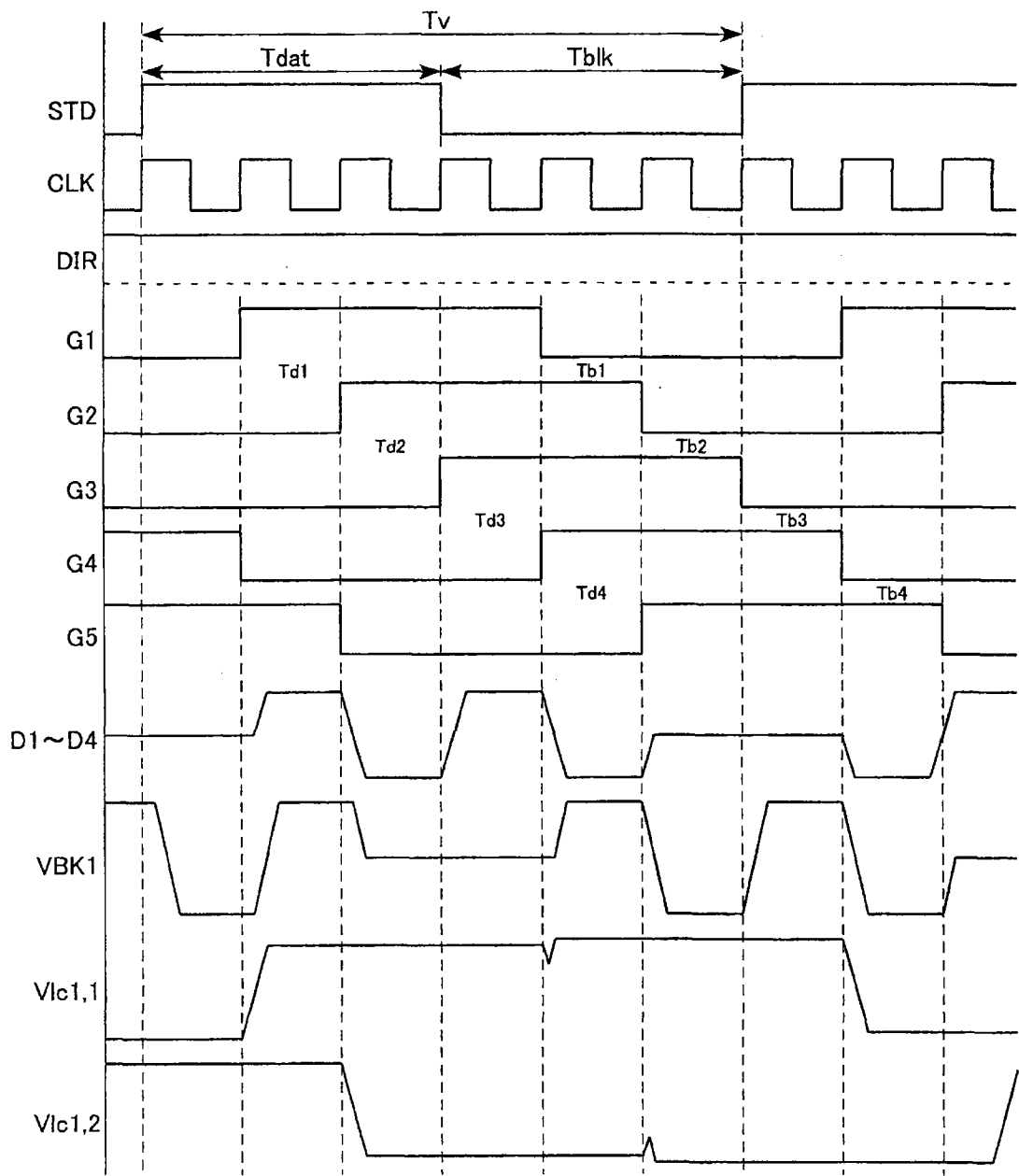


图 10

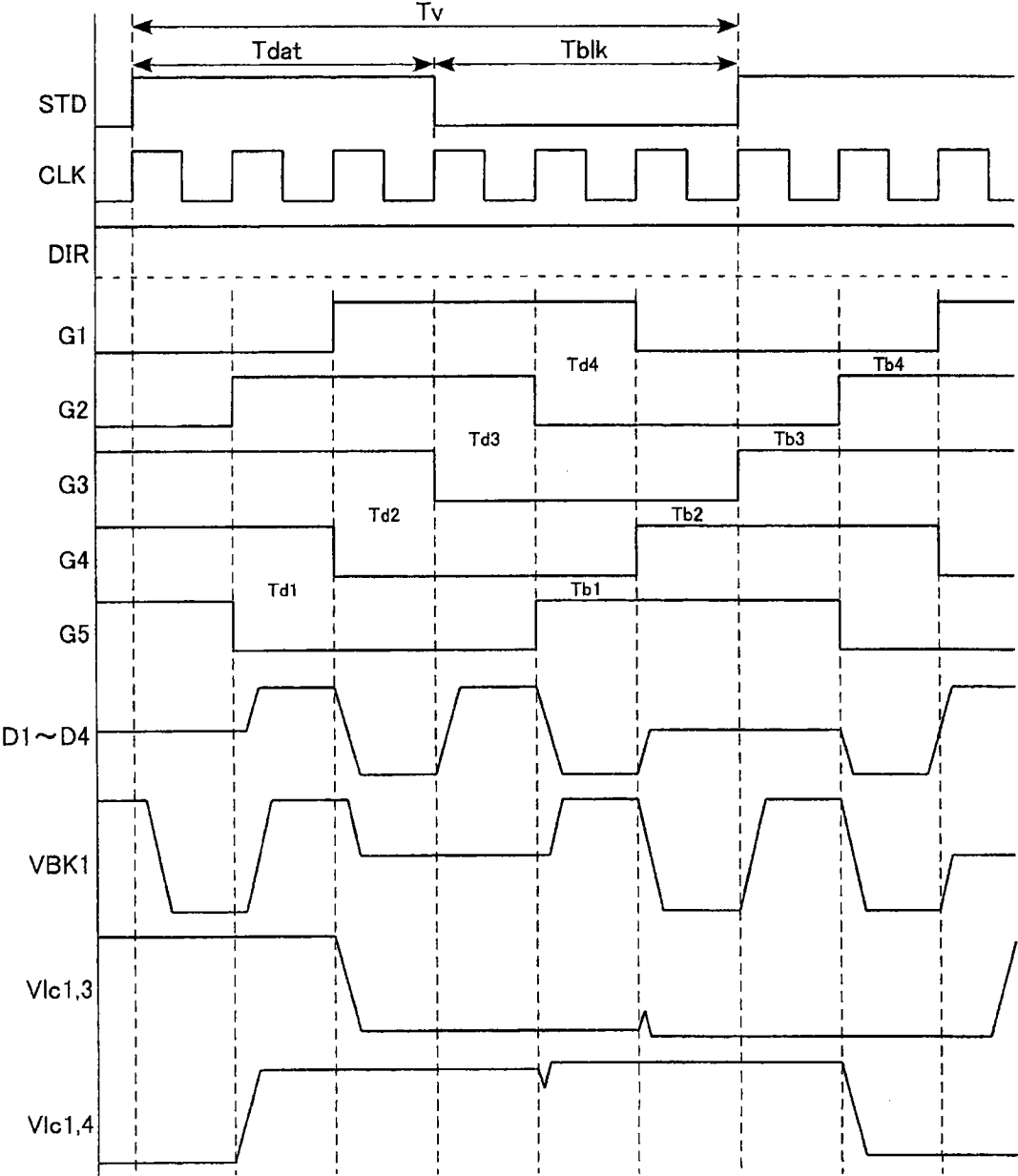


图 11

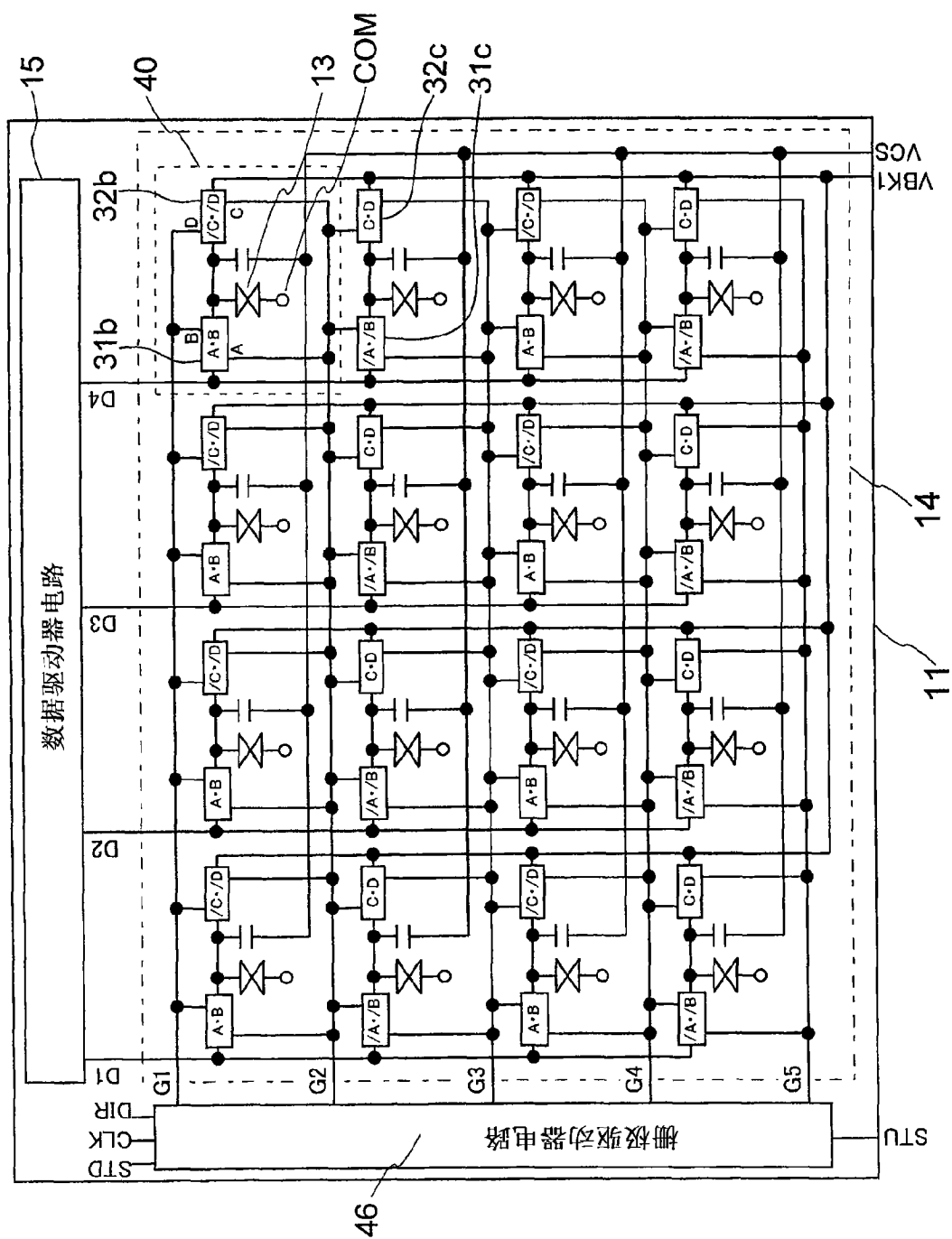


图 12

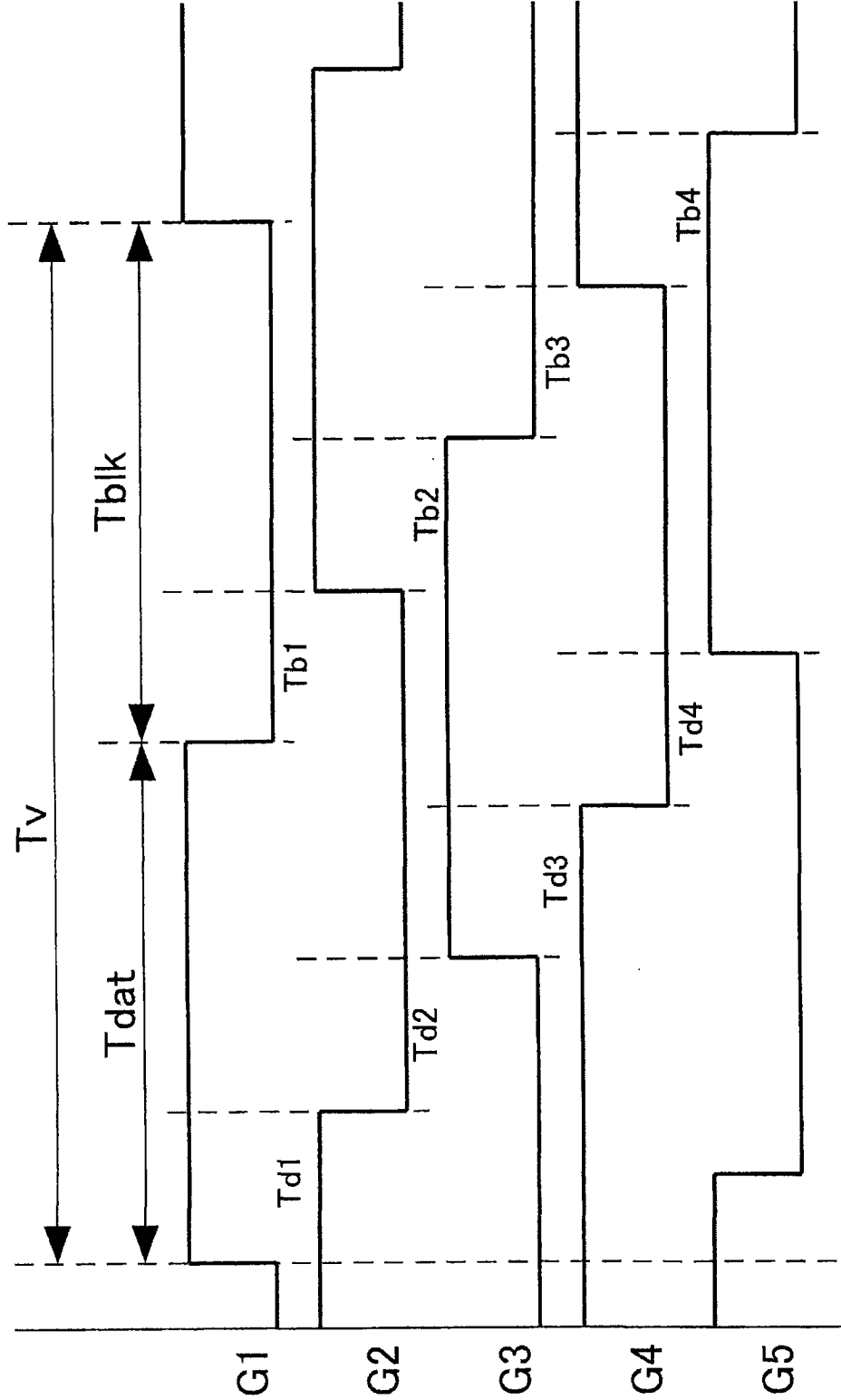


图 13

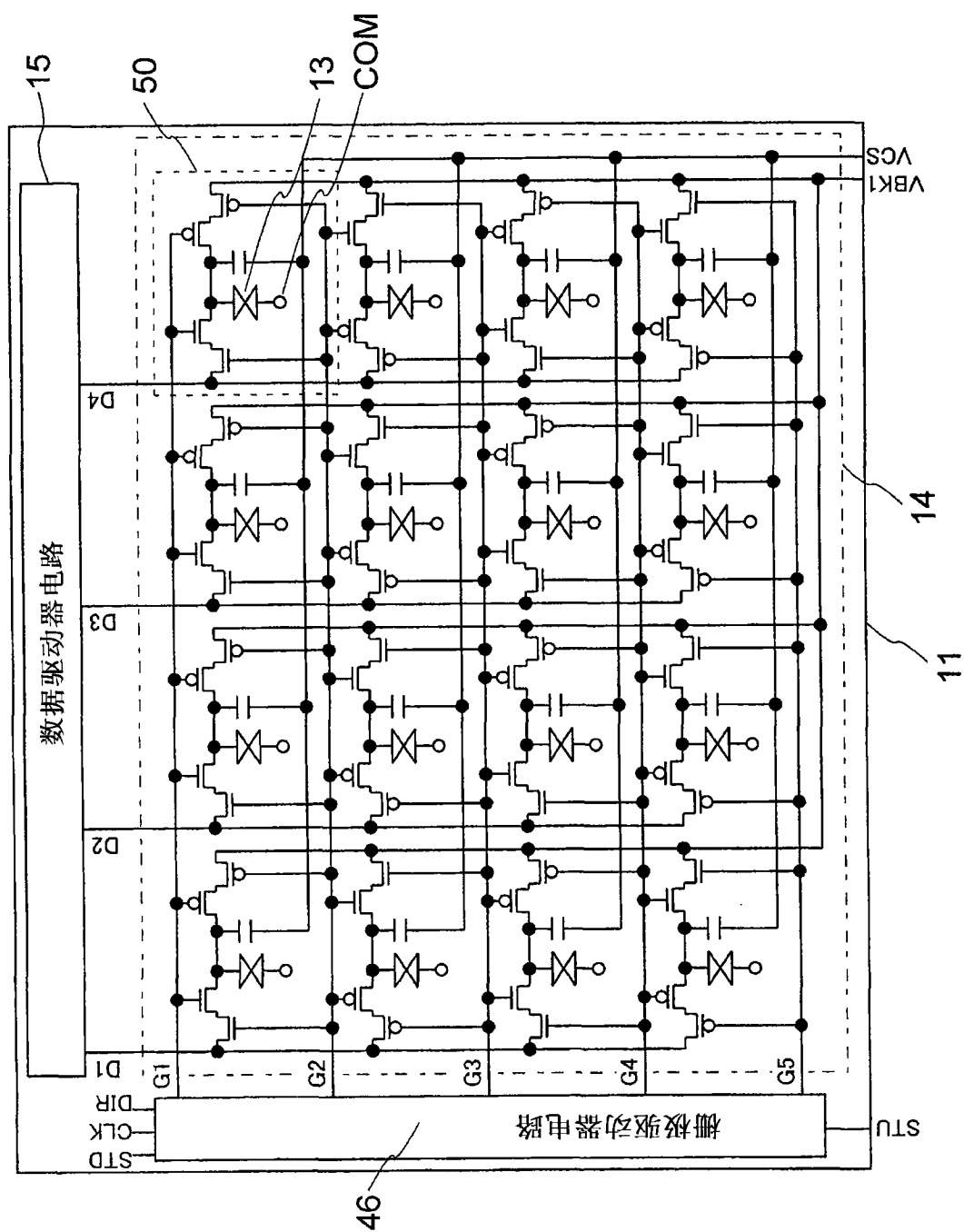


图 14

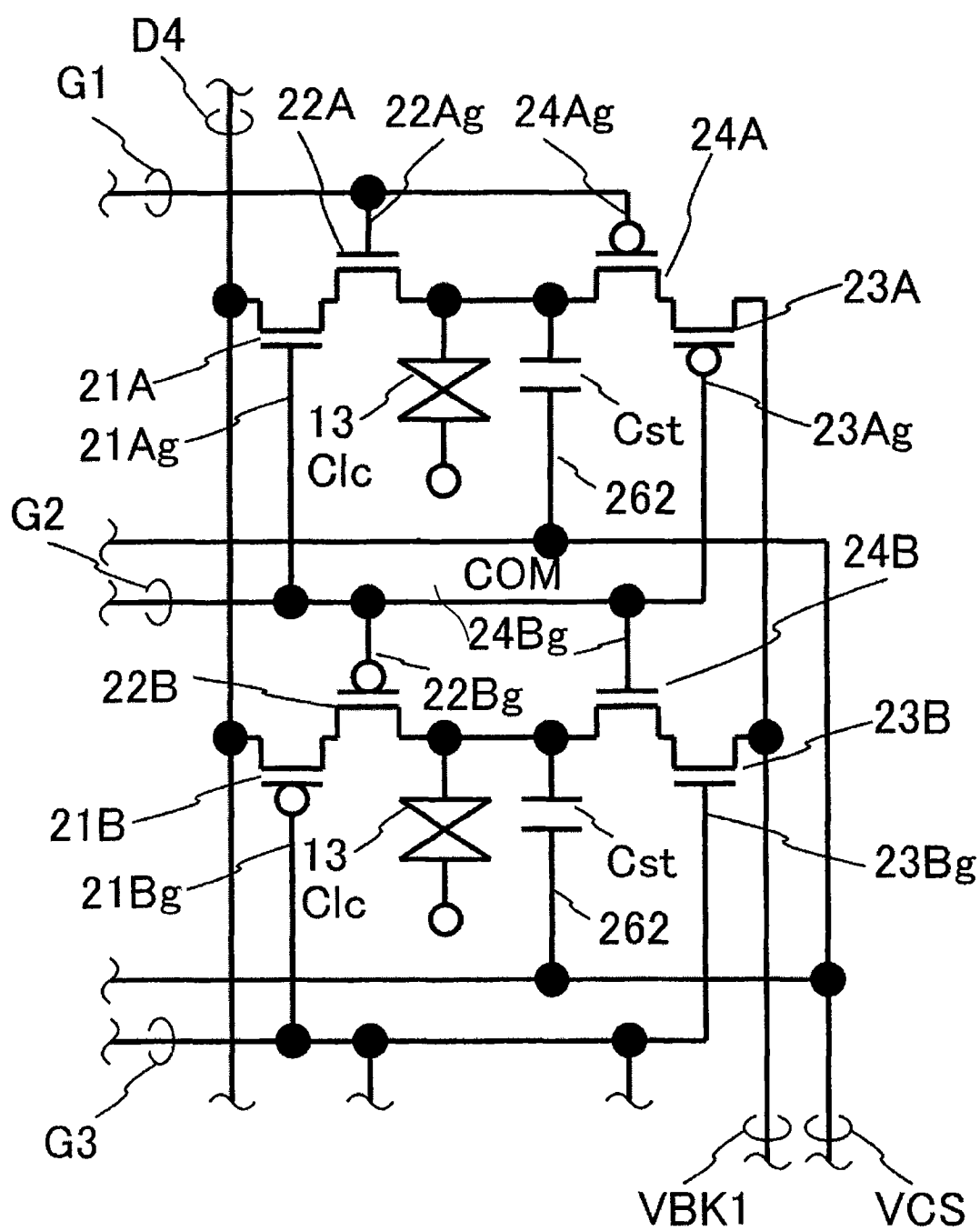


图 15

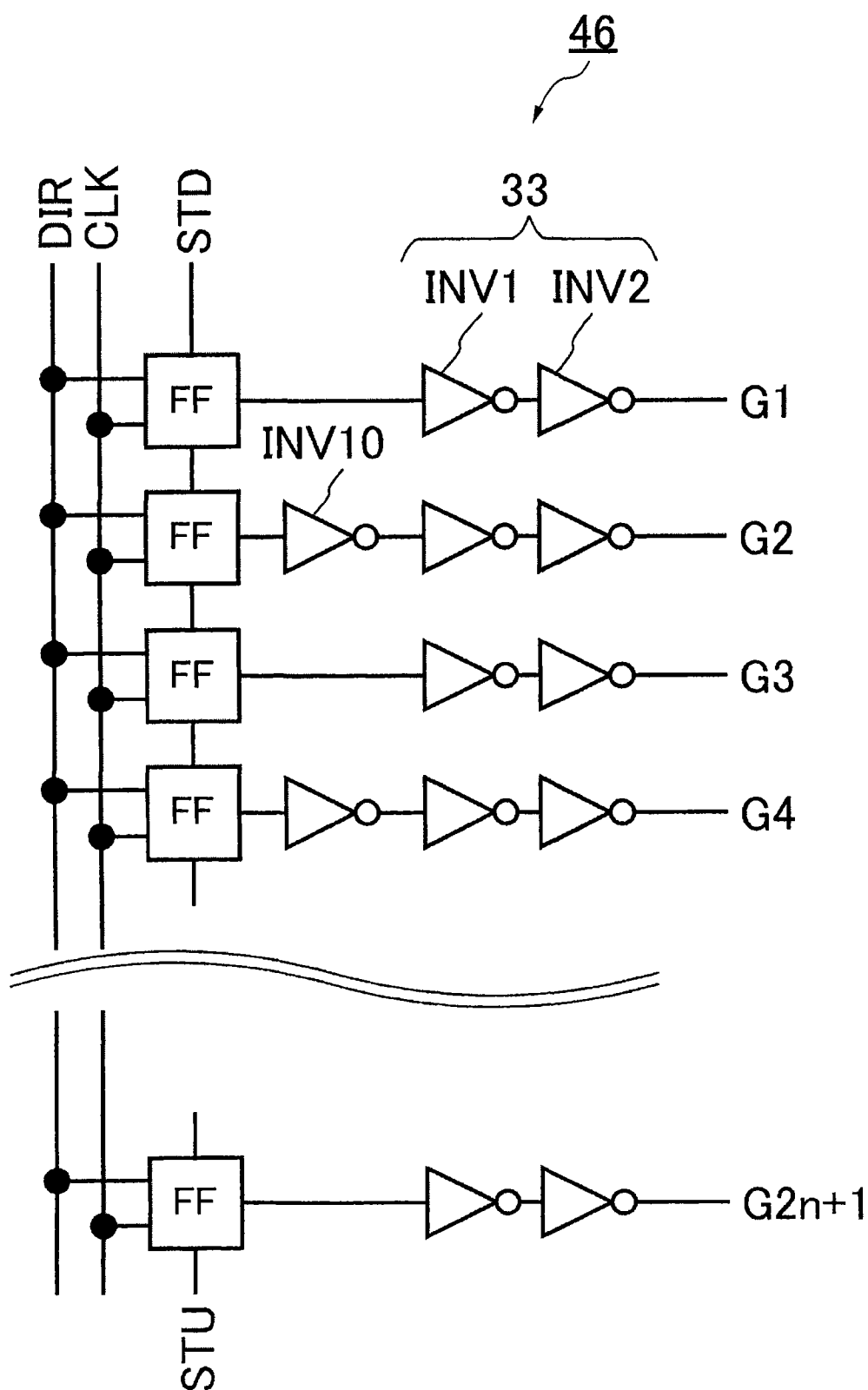


图 16

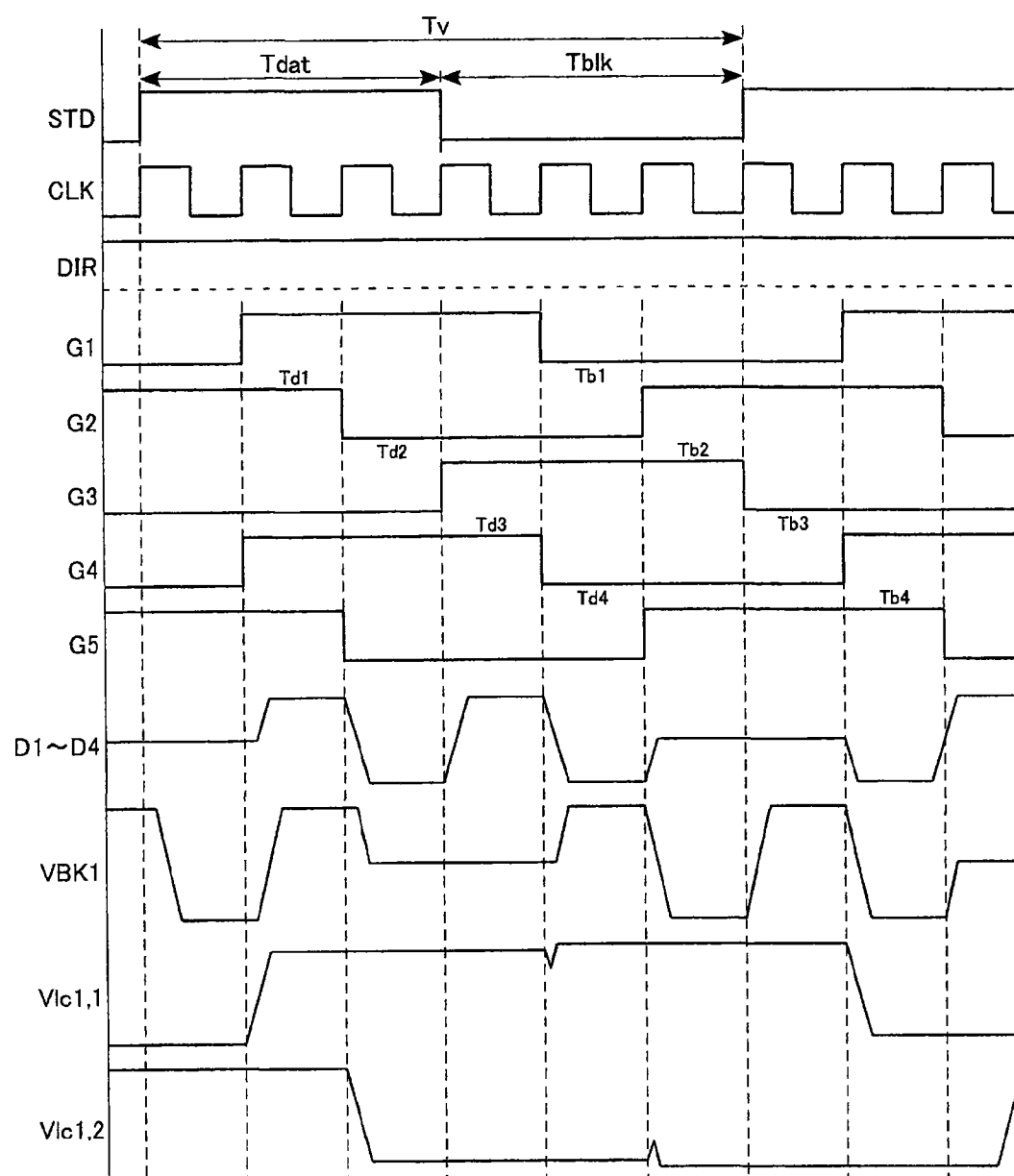


图 17

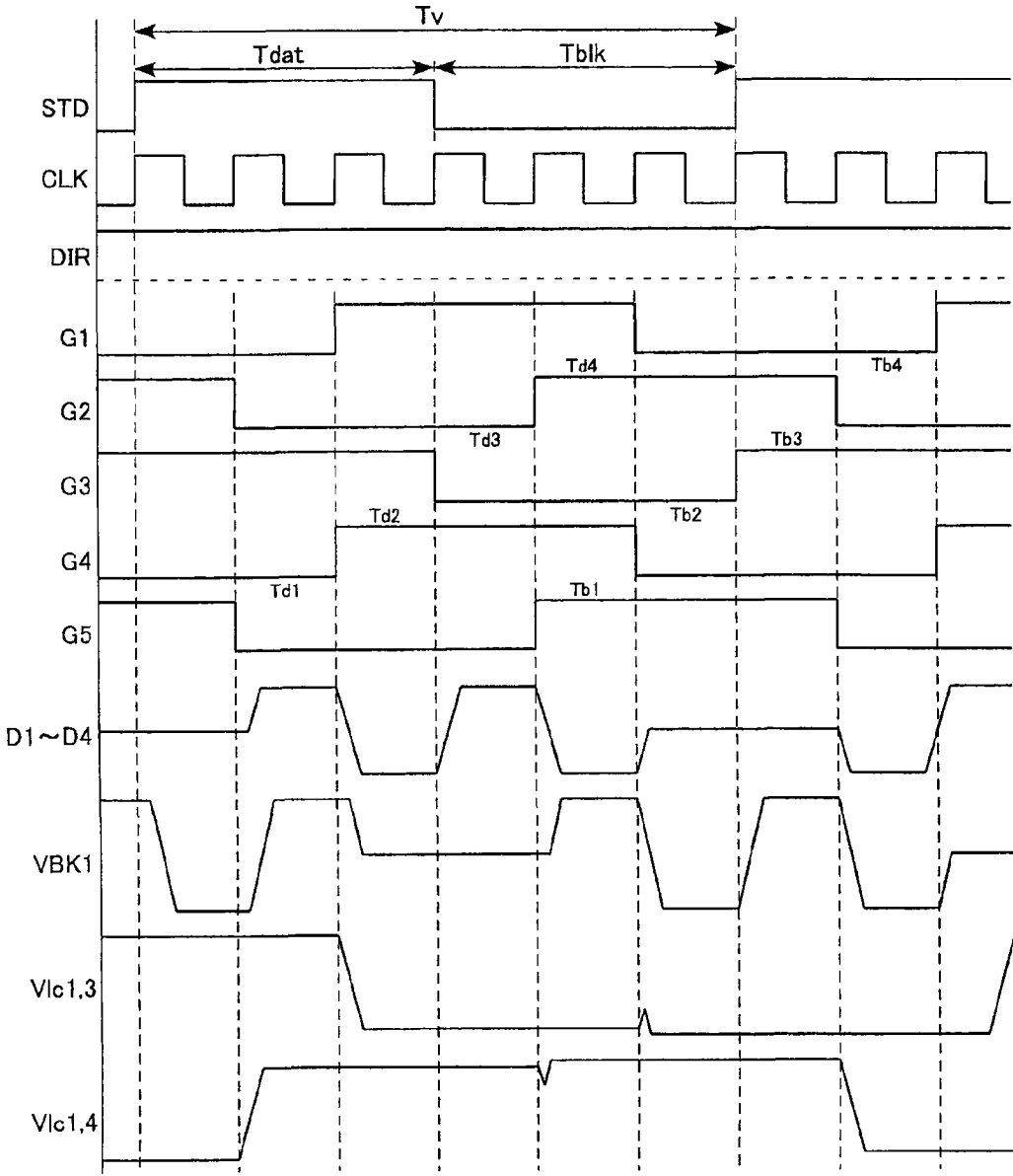


图 18

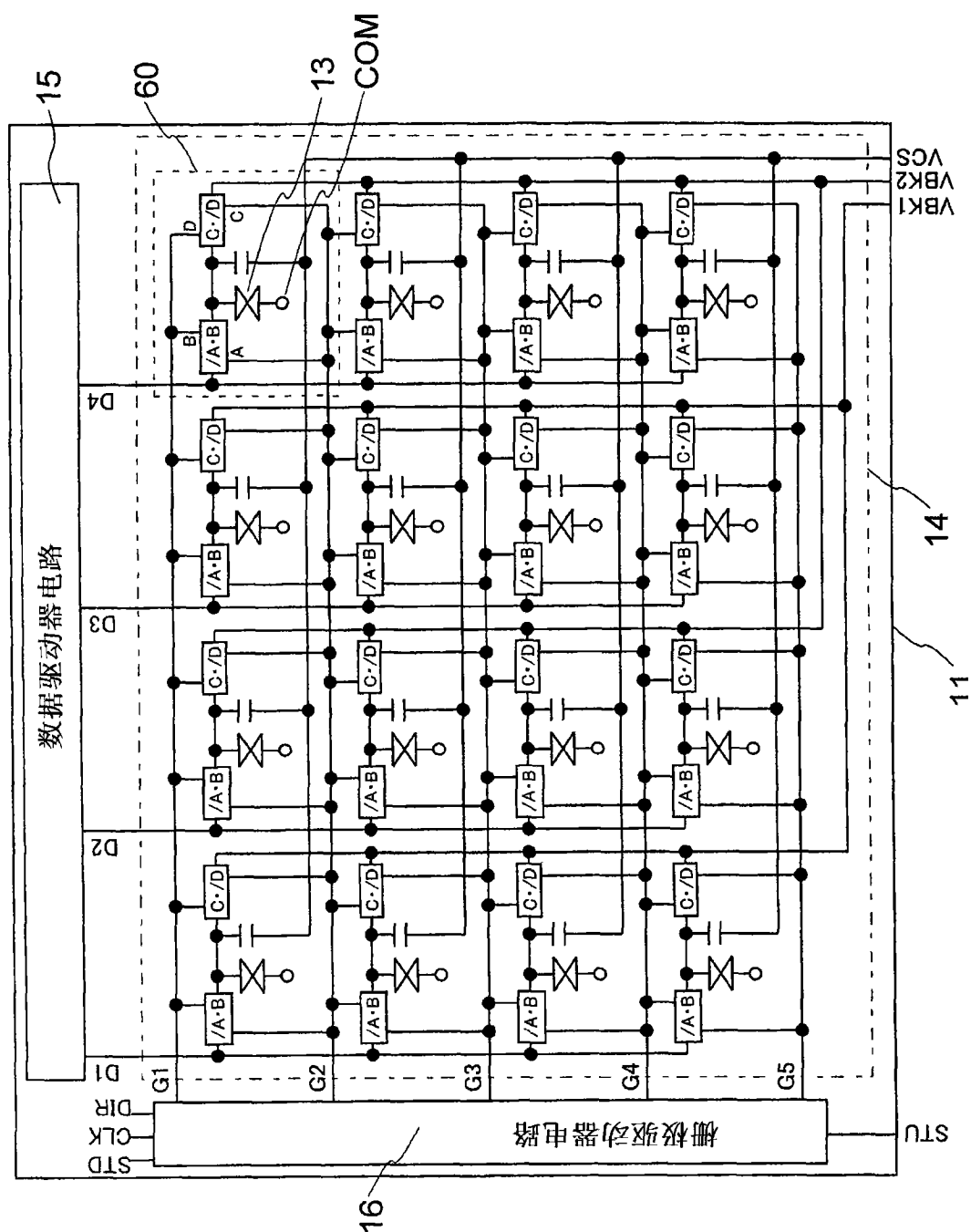


图 19

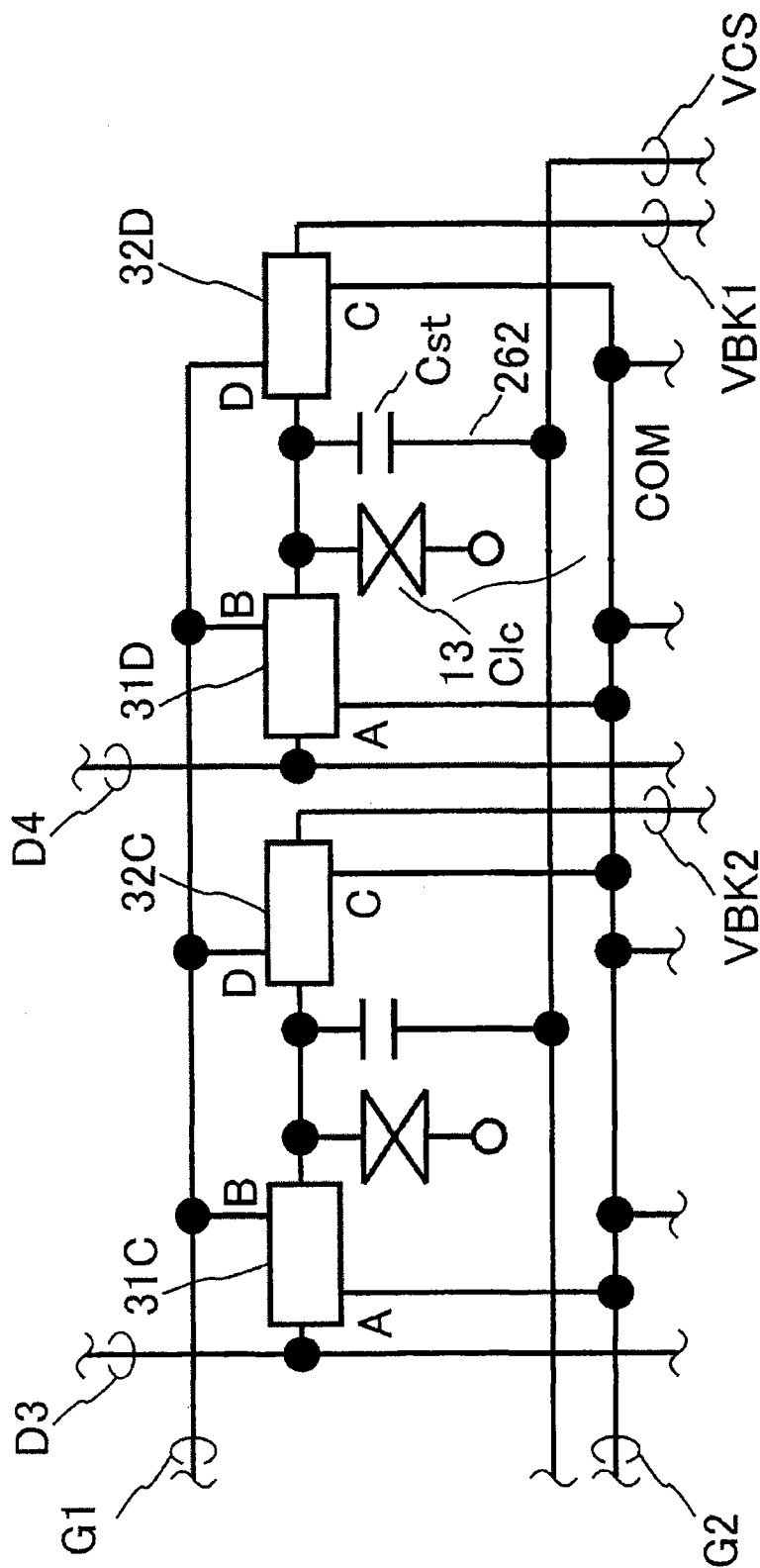


图 20

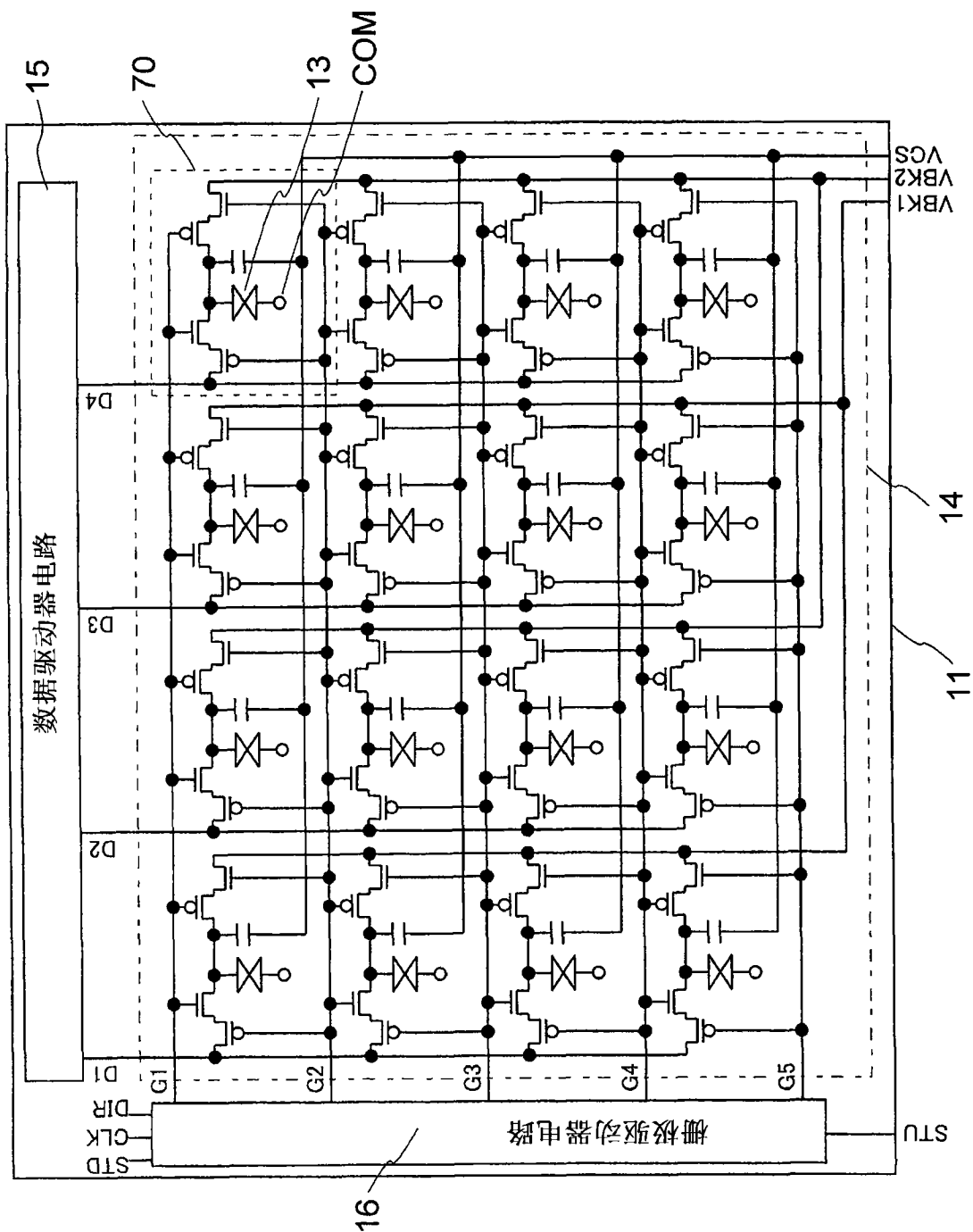


图 21

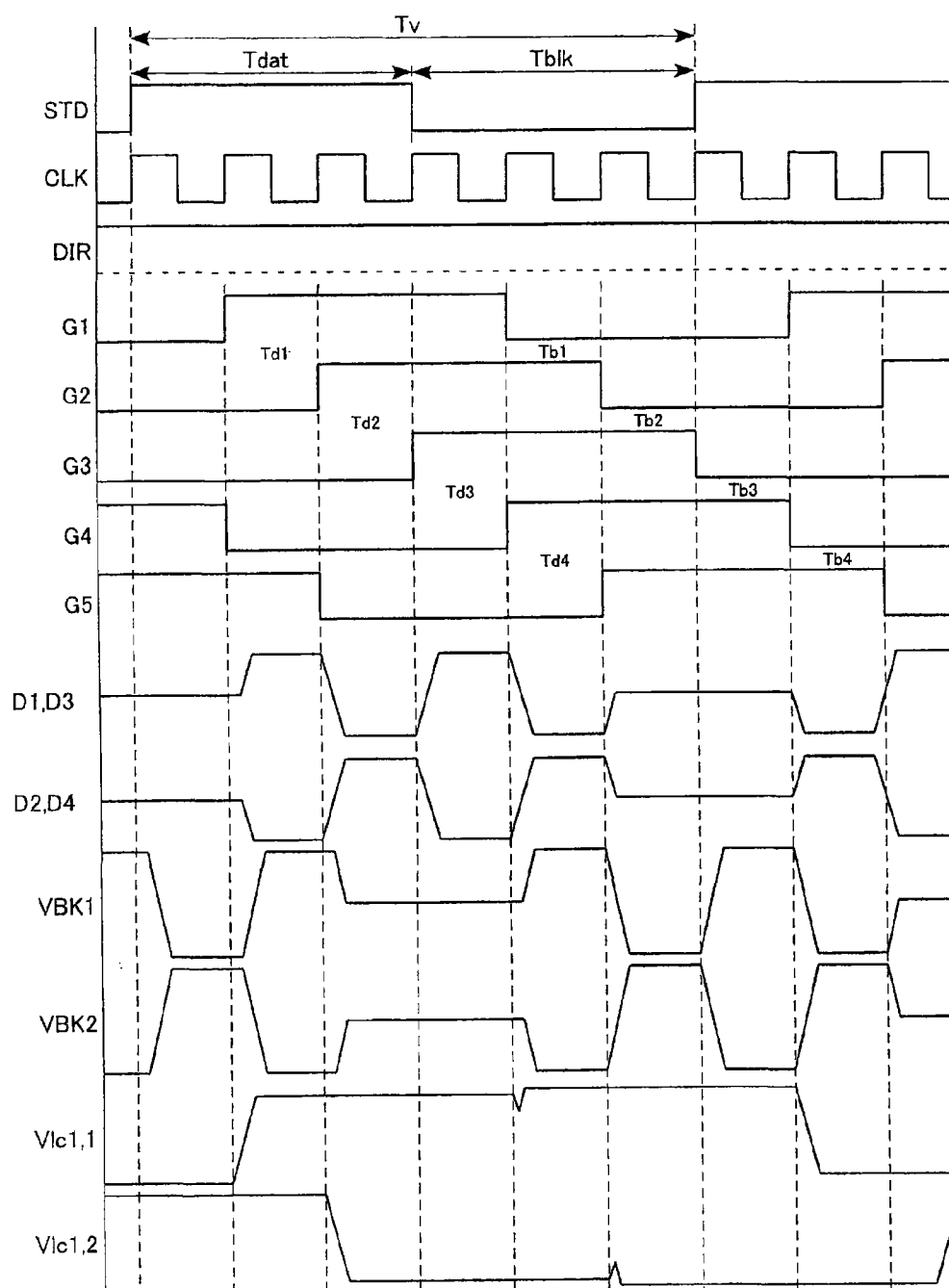


图 22

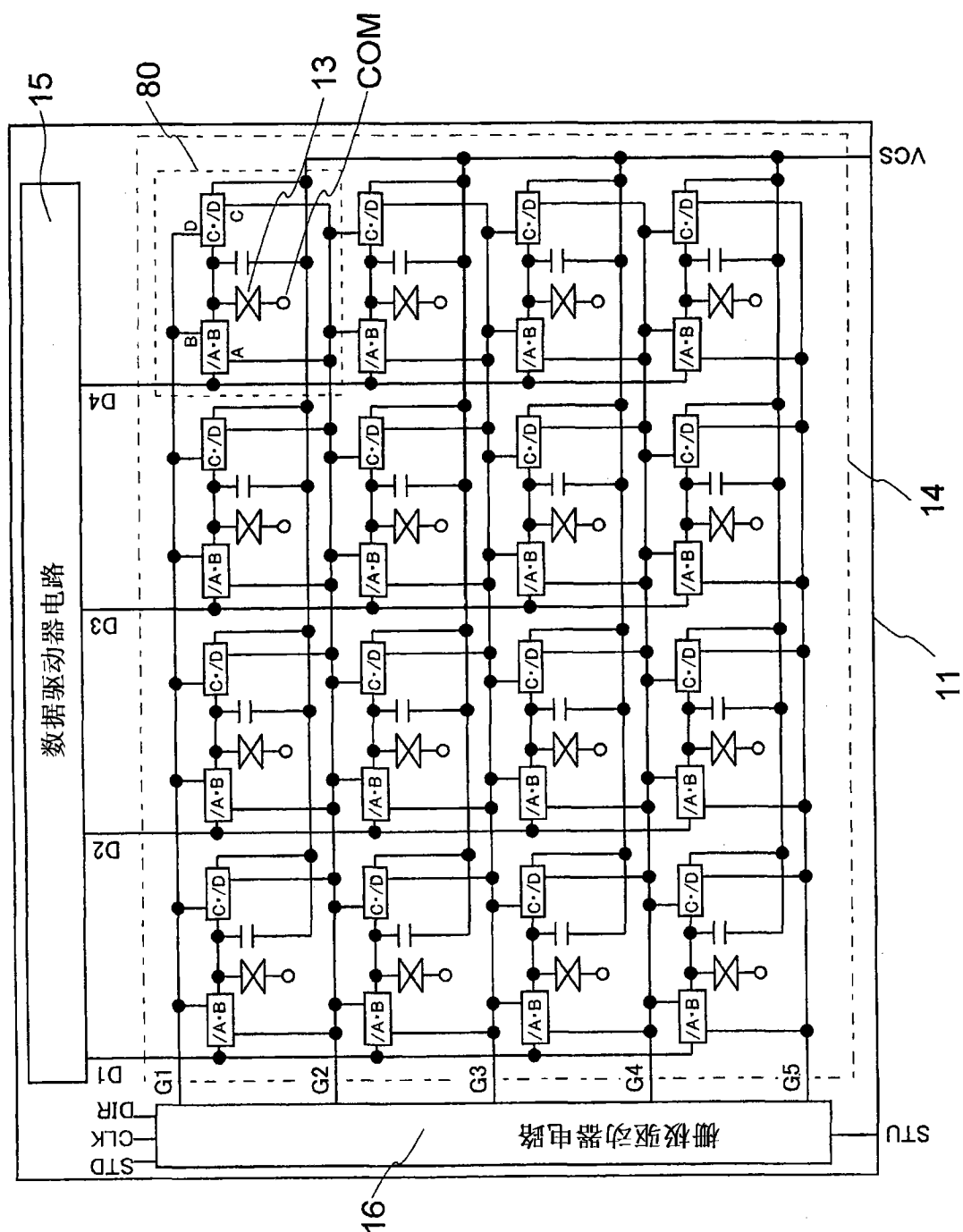


图 23

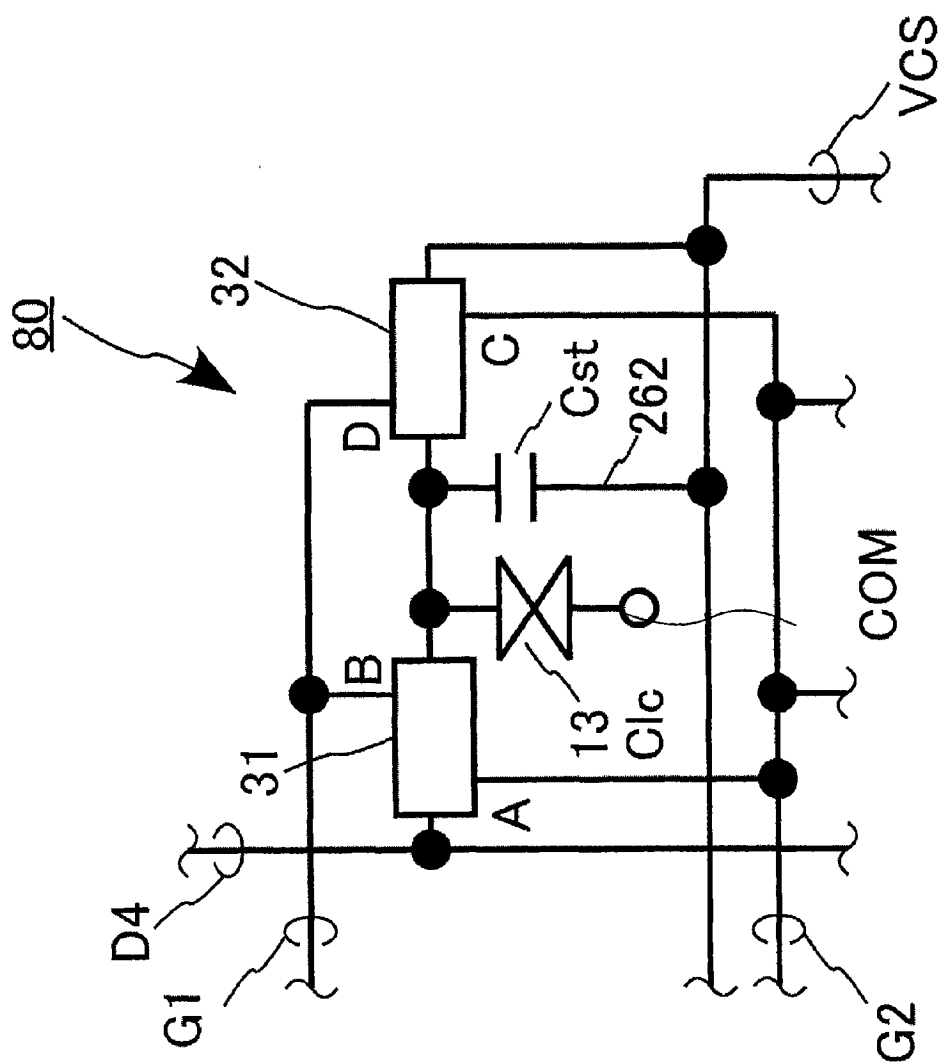


图 24

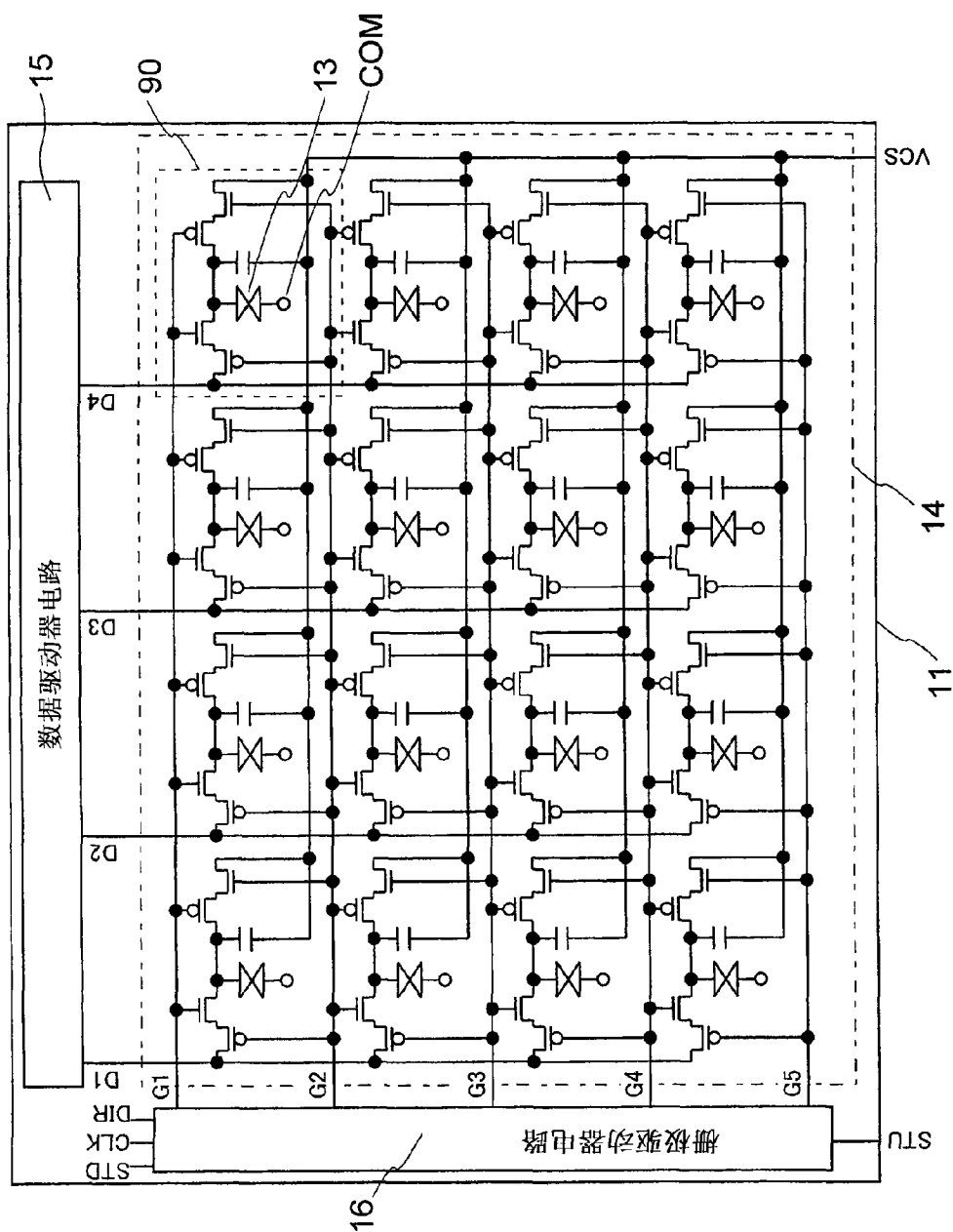


图 25

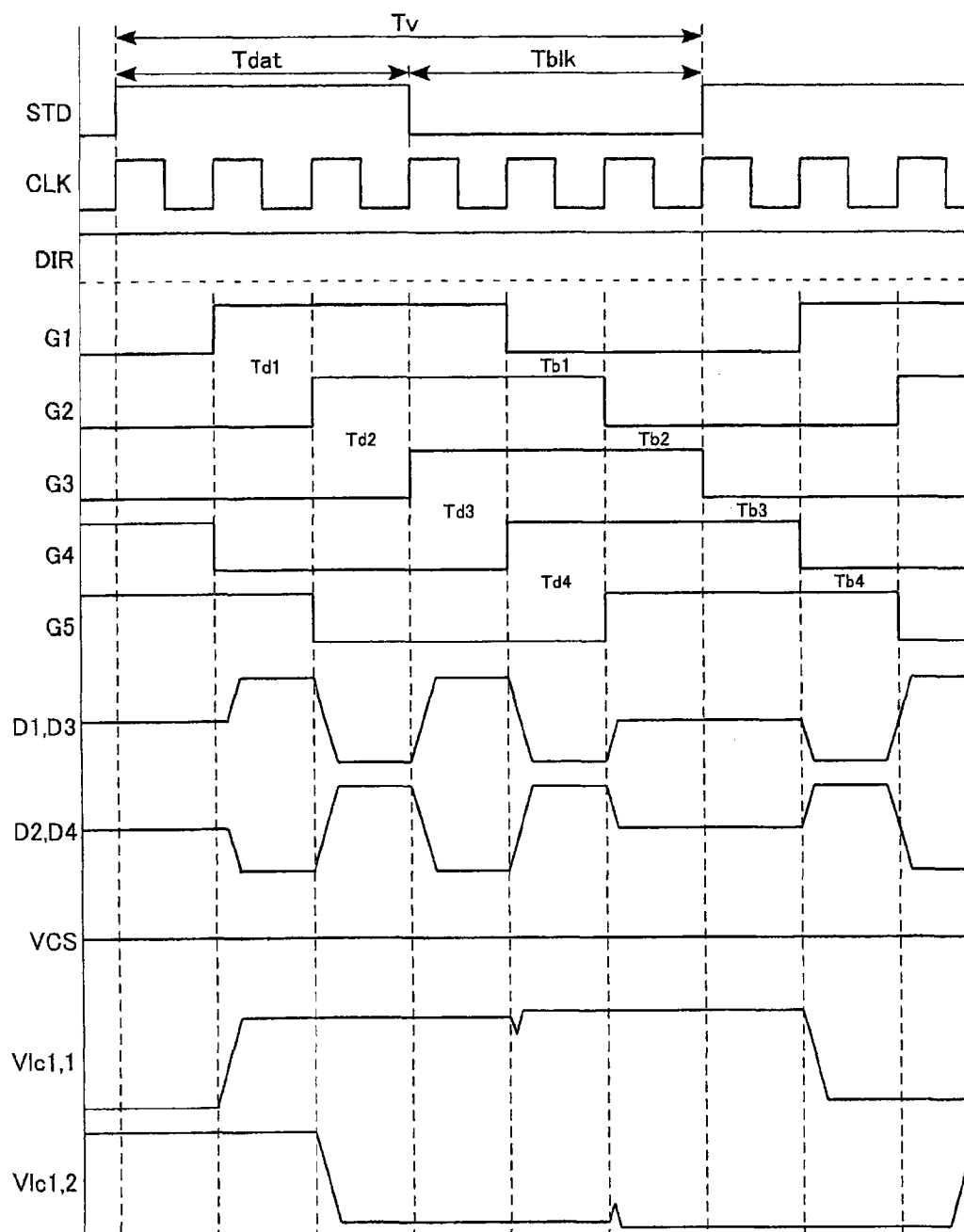


图 26

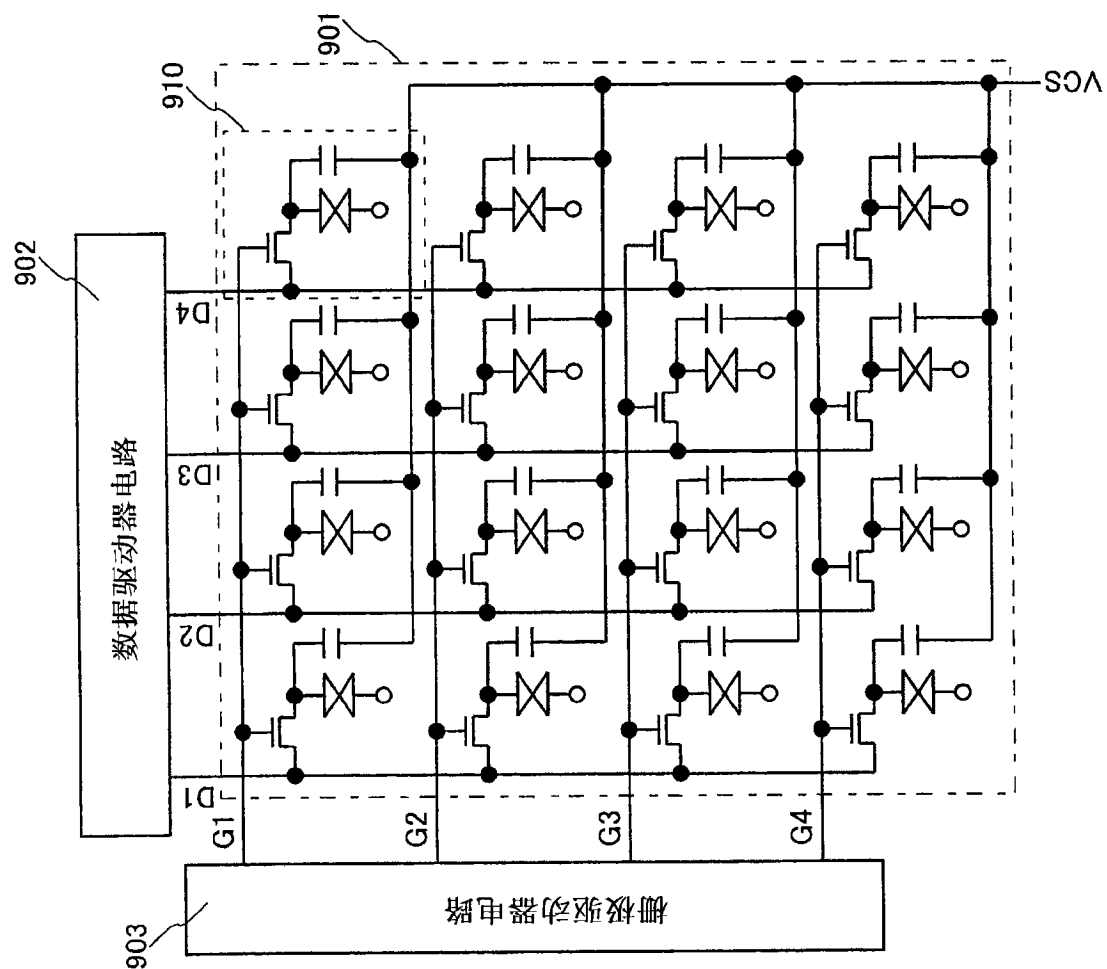


图 27

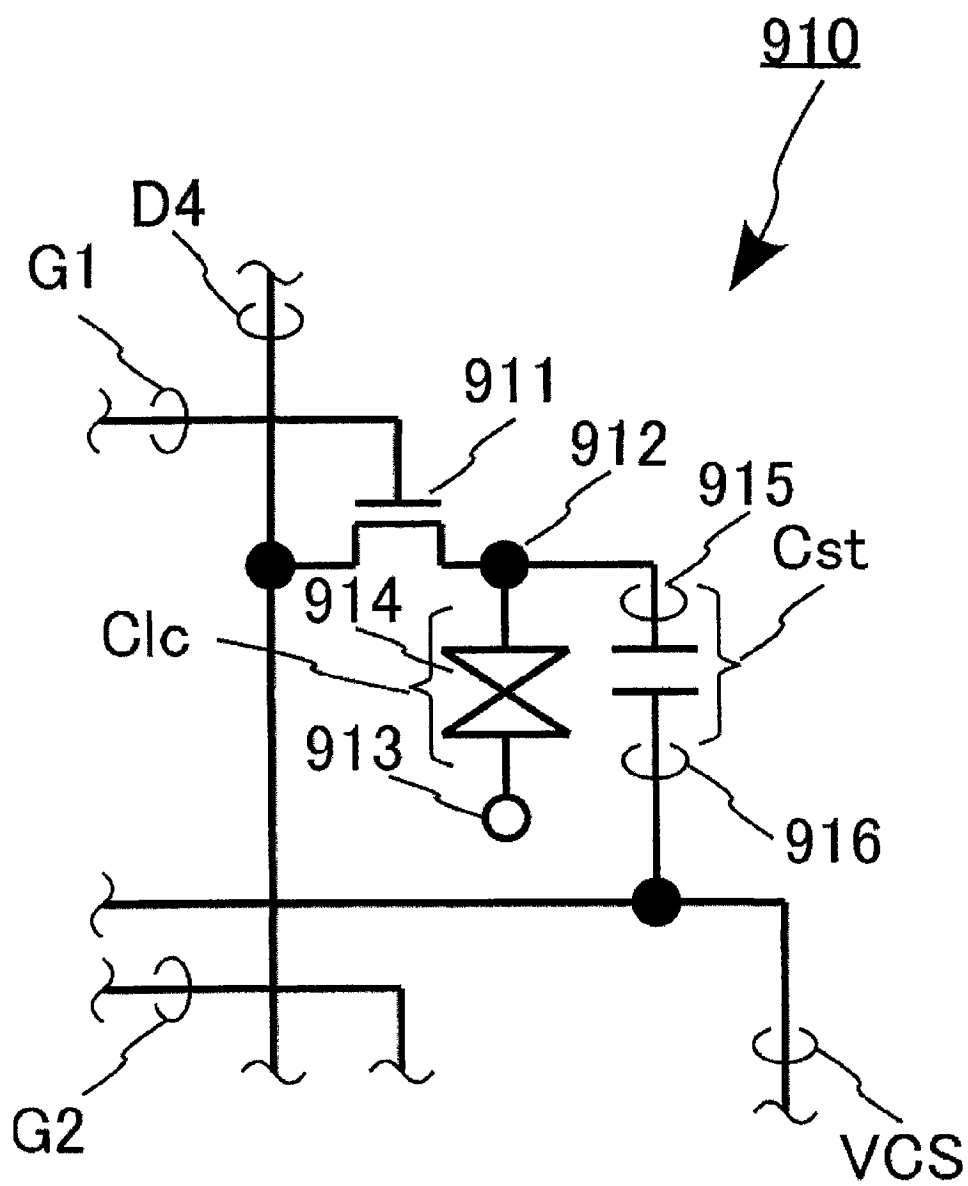


图 28

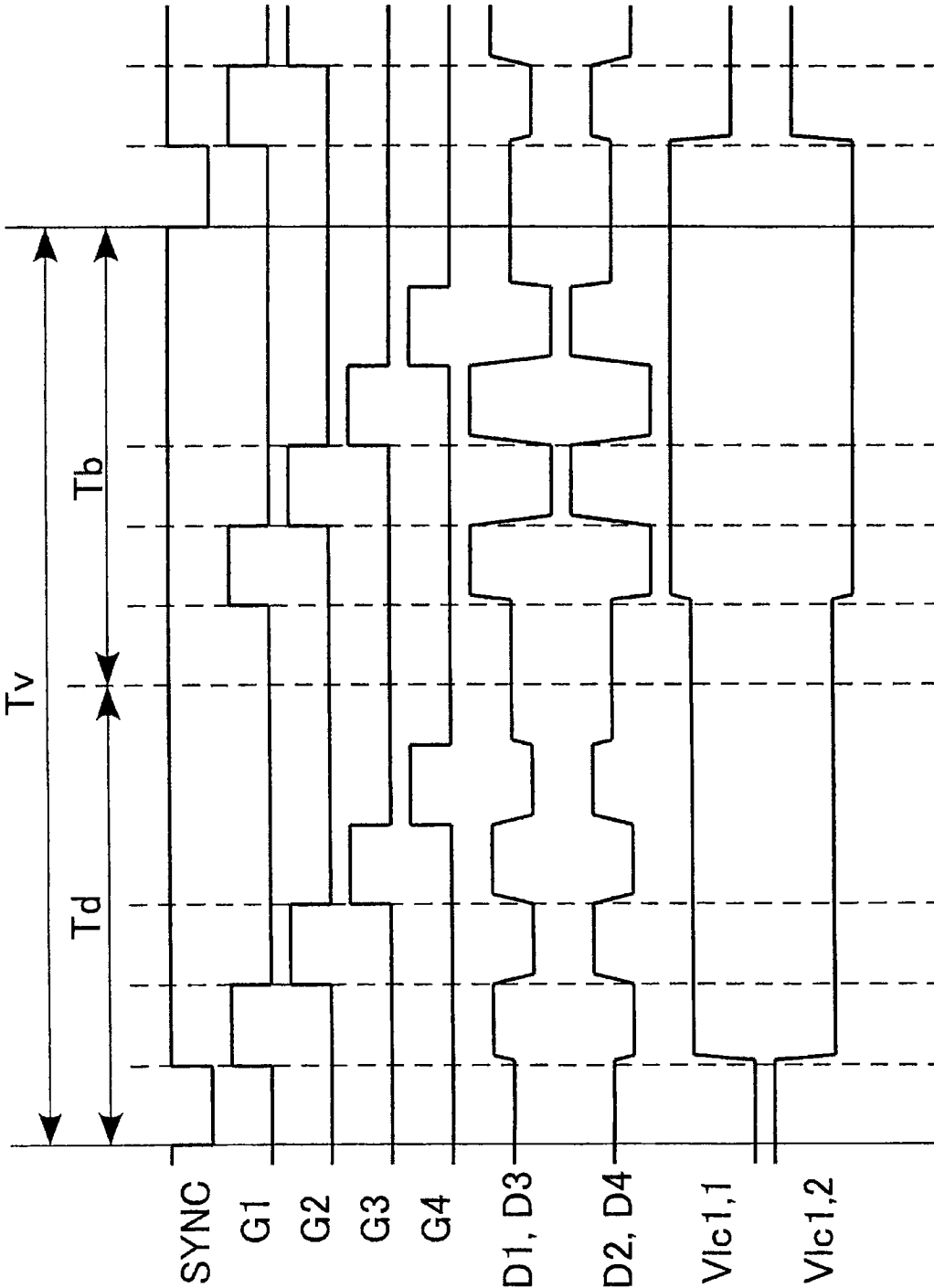


图 29

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	CN101620353B	公开(公告)日	2012-10-24
申请号	CN200910142598.7	申请日	2009-07-03
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC液晶技术株式会社		
当前申请(专利权)人(译)	NLT科技股份有限公司		
[标]发明人	关根裕之		
发明人	关根裕之		
IPC分类号	G02F1/1362 G09G3/36		
CPC分类号	G09G2320/0247 G09G2310/061 G09G2300/0842 G09G2300/0814 G09G2310/0251 G09G3/3659 G09G2330/021 G09G3/3677 G09G2320/0261 G09G2310/0283		
代理人(译)	安翔		
优先权	2009134289 2009-06-03 JP 2009110162 2009-04-28 JP 2008174283 2008-07-03 JP		
其他公开文献	CN101620353A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了液晶显示装置及其驱动方法。为了能够通过实现执行准脉冲驱动的液晶显示装置的高辉度而提供以低成本改进动态图画特性的液晶显示装置。在本发明的液晶显示装置中，构成每个像素的第一开关装置具有被连接至栅极线的控制端子，被连接至另一条栅极线的另一个控制端子，并且当控制端子之一是低电平而另一个是高电平时变为导电。第二开关装置具有被连接至栅极线的控制端子和被连接至另一条栅极线的控制端子。像素电容和存储电容被经由第一开关装置连接至数据线，并且被经由第二开关装置连接至黑信号提供布线。黑信号提供布线对所有的像素来说是公共的。

