



(45) 授权公告日 2012.04.04

G09G 3/36 (2006.01)

权利要求书 3 页 说明书 11 页 附图 9 页

[illegible]

1. 一种液晶显示装置,包括:

LCD 面板;和

LCD 驱动器,

其中所述 LCD 驱动器包括:

第一存储器,其具有比一个帧的图像数据的容量大的容量,且构造成从外部接收图像数据并将所述图像数据存储在其中;

第二存储器;

过驱动处理电路,其构造成压缩从所述第一存储器读出的图像数据以产生压缩图像数据,将产生的压缩图像数据写入到所述第二存储器中,以及基于从所述第一存储器读出的当前帧的图像数据和从所述第二存储器读出的前一帧的压缩图像数据来进行过驱动处理,从而产生处理后图像数据;和

数据线驱动部,其构造成响应于所述处理后图像数据来驱动所述 LCD 面板的数据线。

2. 根据权利要求 1 所述的液晶显示装置,其中对于每两个或更多个像素,所述过驱动处理电路从所述第一存储器读取所述图像数据。

3. 根据权利要求 2 所述的液晶显示装置,其中所述过驱动处理电路包括:

并行/串行转换电路,其构造成对从所述第一存储器读出的所述当前帧图像数据进行并行/串行转换处理,从而为每一像素输出图像数据;和

处理后图像数据产生部,其构造成基于从所述并行/串行转换电路输出的当前帧图像数据和从所述第二存储器读出的所述前一帧压缩图像数据来计算所述处理后图像数据。

4. 根据权利要求 2 所述的液晶显示装置,其中所述过驱动处理电路每两个或更多个像素地来对所述第二存储器进行所述压缩图像数据的写入操作和读取操作。

5. 根据权利要求 4 所述的液晶显示装置,其中所述两个或更多个像素的每个包含用于红色显示的 R 显示点、用于绿色显示的 G 显示点和用于蓝色显示的 B 显示点,

每个图像数据包含表示所述 R 显示点的灰度的 R 数据、表示所述 G 显示点的灰度的 G 数据和表示所述 B 显示点的灰度的 B 数据,以及

每个所述压缩图像数据包含通过从所述两个或更多个像素的 R 数据的平均值提取高位而计算的 R 平均数据、通过从所述两个或更多个像素的 G 数据的平均值提取高位而计算的 G 平均数据和通过从所述两个或更多个像素的 B 数据的平均值提取高位而计算的 B 平均数据。

6. 根据权利要求 1 所述的液晶显示装置,其中所述 LCD 面板具有多个像素,每个像素包含用于红色显示的 R 显示点、用于绿色显示的 G 显示点和用于蓝色显示的 B 显示点,

每个图像数据包含表示 R 显示点的灰度的 R 数据、表示 G 显示点的灰度的 G 数据和表示 B 显示点的灰度的 B 数据,以及

在所述压缩图像数据的产生中,所述 R 数据和所述 B 数据的压缩比高于所述 G 数据的压缩比。

7. 根据权利要求 1 所述的液晶显示装置,其中所述过驱动处理电路包括:

压缩处理电路,其构造成压缩从所述第一存储器读出的所述当前帧图像数据,从而产生所述压缩图像数据;

过驱动图像数据产生电路,其构造成基于从所述第二存储器读出的所述前一帧压缩图

像数据来对从所述第一存储器读出的所述当前帧图像数据进行过驱动处理,从而产生过驱动图像数据;

视频/静止图像确定电路,其构造成将从所述压缩处理电路接收的当前帧压缩图像数据与从所述第二存储器读出的所述前一帧压缩图像数据进行比较;以及

选择器,其构造成响应于从所述视频/静止图像确定电路的输出,选择从所述第一存储器读出的所述当前帧图像数据和所述过驱动图像数据中的一个作为处理后图像数据。

8. 一种 LCD 驱动器,包括:

第一存储器,其构造成从外部接收图像数据并将所述图像数据存储在其中;

第二存储器;

过驱动处理电路,其构造成压缩从所述第一存储器读出的图像数据以产生压缩图像数据,将产生的压缩图像数据写入到所述第二存储器中,以及基于从所述第一存储器读出的当前帧的图像数据和从所述第二存储器读出的前一帧的压缩图像数据来进行过驱动处理,从而产生处理后图像数据;和

数据线驱动部,其构造成响应于所述处理后图像数据来驱动 LCD 面板的数据线。

9. 根据权利要求 8 所述的 LCD 驱动器,其中所述过驱动处理电路每两个或更多个像素地从所述第一存储器读取所述图像数据。

10. 根据权利要求 9 所述的 LCD 驱动器,其中所述过驱动处理电路包括:

并行/串行转换电路,其构造成对从所述第一存储器读出的所述当前帧图像数据进行并行/串行转换处理,从而为每一像素输出图像数据;以及

处理后图像数据产生部,其构造成基于从所述并行/串行转换电路输出的所述当前帧图像数据和从所述第二存储器读出的所述前一帧压缩图像数据来计算所述处理后图像数据。

11. 根据权利要求 9 所述的 LCD 驱动器,其中所述过驱动处理电路每两个或更多个像素地来对所述第二存储器进行所述压缩图像数据的写入操作和读取操作。

12. 根据权利要求 11 所述的 LCD 驱动器,其中所述两个或更多个像素的每个包含用于红色显示的 R 显示点、用于绿色显示的 G 显示点和用于蓝色显示的 B 显示点,

每个图像数据包含表示 R 显示点的灰度的 R 数据、表示 G 显示点的灰度的 G 数据和表示 B 显示点的灰度的 B 数据,以及

每个所述压缩图像数据包含通过从所述两个或更多个像素的 R 数据的平均值提取高位而计算的 R 平均数据、通过从所述两个或更多个像素的 G 数据的平均值提取高位而计算的 G 平均数据和通过从所述两个或更多个像素的 B 数据的平均值提取高位而计算的 B 平均数据。

13. 根据权利要求 8 所述的 LCD 驱动器,其中所述 LCD 面板具有多个像素,每个像素包含用于红色显示的 R 显示点、用于绿色显示的 G 显示点和用于蓝色显示的 B 显示点,

每个图像数据包含表示 R 显示点的灰度的 R 数据、表示 G 显示点的灰度的 G 数据和表示 B 显示点的灰度的 B 数据,以及

在所述压缩图像数据的产生中,所述 R 数据和所述 B 数据的压缩比高于所述 G 数据的压缩比。

14. 根据权利要求 8 所述的 LCD 驱动器,其中所述过驱动处理电路包括:

压缩处理电路,其构造成压缩从所述第一存储器读出的所述当前帧图像数据,从而产生所述压缩图像数据;

过驱动图像数据产生电路,其构造成基于从所述第二存储器读出的所述前一帧压缩图像数据来对从所述第一存储器读出的所述当前帧图像数据进行过驱动处理,从而产生过驱动图像数据;

视频/静止图像确定电路,其构造成将从所述压缩处理电路接收的所述当前帧压缩图像数据与从所述第二存储器读出的所述前一帧压缩图像数据进行比较;以及

选择器,其构造成响应于从所述视频/静止图像确定电路的输出,来选择从所述第一存储器读出的所述当前帧图像数据和所述过驱动图像数据中的一个作为所述处理后图像数据。

15. 一种 LCD 驱动器的操作方法,包括:

从外部接收图像数据,从而将所述图像数据存储在该 LCD 驱动器的第一存储器中;

压缩从所述第一存储器读出的所述图像数据,从而产生压缩图像数据;

将产生的压缩图像数据写入到该 LCD 驱动器的第二存储器中;

基于从所述第一存储器读出的当前帧的图像数据和从所述第二存储器读出的前一帧的压缩图像数据来进行过驱动处理,从而产生处理后图像数据;以及

响应于所述处理后图像数据驱动 LCD 面板的数据线。

液晶显示器, LCD 驱动器和 LCD 驱动器的操作方法

技术领域

[0001] 本发明涉及一种液晶显示器、LCD 驱动器和 LCD 驱动器的操作方法,更具体地讲,涉及一种利用过驱动的液晶显示面板的驱动技术。

背景技术

[0002] 因为近年来在移动终端中提供了视频功能、电视功能等,所以需要移动终端的液晶显示器来显示视频图像。

[0003] 在液晶显示器中,液晶材料较慢的响应速度阻碍了视频图像的显示。目前,一个帧周期大约是 16.7ms(即帧频大约是 60Hz)。在“白色显示”和“黑色显示”的二位显示的情形中,液晶材料的响应速度为 20 到 30ms。在灰度显示的情形中,存在液晶材料的响应速度超过 100ms 的情形。由于该原因,当图像已经变化时,需要若干个帧周期来完成液晶材料的响应,如图 1 中所示。这是图像模糊的原因。

[0004] 为了提高液晶材料的响应速度,提出了过驱动。在过驱动的技术中,如图 2 中所示,当图像变化时,在升高驱动电压时通过供给比与显示点的灰度级对应的常用驱动电压高的电压,在降低驱动电压时通过供给比与显示点的灰度级对应的常用驱动电压低的电压,提高液晶材料的响应速度。

[0005] 在过驱动的一个技术中,根据当前帧中显示点的显示图像数据驱动数据线,所述当前帧中显示点的显示图像数据是通过给当前帧的图像数据加上根据当前帧中的图像数据与前一帧中的图像数据之间的差异确定的过驱动值而获得的。通过将过驱动值和当前帧中的图像数据相加而获得显示图像数据的处理称作过驱动处理。作为一组现有技术的日本公开专利申请(JP-A-Heisei4-365094, JP-P2002-082657A 和 JP-P2006-195231A)公开了其中进行过驱动处理的液晶显示器。

[0006] 其中进行过驱动处理的液晶显示器设置有助于存储前一帧中的图像数据的存储器。因为按照减少硬件资源的观点,优选该存储器的容量较小,所以存在将前一帧中的图像数据压缩并存储在存储器中的情形。在该说明书中应当注意,图像数据的压缩是指进行减小图像数据量的处理,以下述含义使用术语“图像数据的压缩”,即其包括提取图像数据的高位。作为另一组现有技术的日本公开专利申请(JP-A-Heisei9-81083, JP-P2005-316146A 和 JP-P2006-195151A)公开了其中将前一帧中的图像数据压缩并存储在存储器中的液晶显示器。

[0007] 在所述组现有技术中公开的液晶显示器中,通过根据存储器中存储的前一帧中的图像数据对从外部接收的当前帧中的图像数据进行过驱动处理来计算显示图像数据。在由日本公开专利申请(JP-P2006-195151A)公开的液晶显示器中,在对从外部接收的当前帧中的图像数据进行了压缩处理和展开处理之后进行过驱动处理。然而,进行压缩处理和展开处理以在当前帧和前一帧的图像数据之间进行格式匹配等,实质上与其它液晶显示器相同。

[0008] 顺便说一句,在将由上述组的现有技术公开的构造应用到诸如便携式电话这样的

移动终端的液晶显示器时存在问题。这是因为在上述组的现有技术中公开的液晶显示器是基于下述假定而制造的,即假定图像数据到 LCD(液晶显示器)驱动器的传输速率是恒定的,尽管在许多情形中,在移动终端的液晶显示器中,图像数据到 LCD(液晶显示器)驱动器的传输速率不是恒定的。

[0009] 在用于移动终端的液晶显示器中,LCD 驱动器具有用于存储一帧图像数据的显示存储器。在静止图像的情形中,具有显示存储器的 LCD 驱动器停止图像数据从 CPU 到 LCD 驱动器的传输,或者当仅有一部分图像数据变化时,传输所述变化的部分。因而,减小了消耗的电力。对于在具有显示存储器的 LCD 驱动器与 CPU 之间的数据传输,使用一般称作 CPU 接口的接口。

[0010] 在这种类型的 LCD 驱动器中,图像数据从 CPU 的传输速率,即图像数据进入显示存储器的写入速率不是恒定的。存在其中在多个帧的周期上传输一帧图像数据的情形,如图 3A 中所示,还存在其中在比一帧的周期短的周期中传输一帧图像数据,如图 3B 中所示。在具有显示存储器的这种 LCD 驱动器中,与产生用于将图像数据写入到显示存储器中的图 3A 中所示的写入时钟信号的时钟电路相分离地,在 LCD 驱动器中设置产生用于从显示存储器读取图像数据的读取时钟信号的时钟电路。写入时钟信号和读取时钟信号彼此异步,并且显示单元响应于读取时钟信号以 60Hz 的帧频操作。

[0011] 此外,当仅有一部分图像数据变化时,仅传输图像数据的变化的部分。因此,写入时钟信号在不传输图像数据的周期中停止。在该情形中,例如,存在其中在多个帧的周期上传输一帧图像数据的情形,如图 3A 中所示,还存在其中在比一帧的周期短的周期中传输一帧图像数据,如图 3B 中所示。在上述组的现有技术中公开的液晶显示器的构造不能应用于其中图像数据到 LCD 驱动器的传输速率不恒定的情形。

发明内容

[0012] 因此,本发明的一个目的是提供一种具有 LCD 驱动器的液晶显示器,即使在图像数据到 LCD 驱动器的传输速率不恒定的情形中,所述 LCD 驱动器仍可进行过驱动处理,同时可将 LCD 驱动器中的存储器的存储容量抑制到最小。

[0013] 在本发明的一个方面中,液晶显示装置包括:液晶显示(LCD)面板;和 LCD 驱动器。所述 LCD 驱动器包括:第一存储器,其具有比一帧的图像数据的容量大的容量且构造成从外部接收图像数据并将图像数据存储在其中;第二存储器;过驱动处理电路,其构造成压缩从所述第一存储器读出的图像数据以产生压缩的图像数据,将产生的压缩的图像数据写入到所述第二存储器中,并根据从所述第一存储器读出的当前帧的图像数据和从所述第二存储器读出的前一帧的压缩的图像数据进行过驱动处理,从而产生处理后图像数据;和数据线驱动部分,其构造成响应于所述处理后图像数据驱动所述 LCD 面板的数据线。

[0014] 在本发明的另一个方面中,液晶显示(LCD)驱动器包括:第一存储器,其构造成从外部接收图像数据并将图像数据存储在其中;第二存储器;过驱动处理电路,其构造成压缩从所述第一存储器读出的图像数据以产生压缩的图像数据,将产生的压缩的图像数据写入到所述第二存储器中,并根据从所述第一存储器读出的当前帧的图像数据和从所述第二存储器读出的前一帧的压缩的图像数据进行过驱动处理,从而产生处理后图像数据;和数据线驱动部分,其构造成响应于所述处理后图像数据驱动液晶显示面板的数据线。

[0015] 在本发明的另一个方面中，LCD 驱动器的操作方法，包括：从外部接收图像数据，从而将图像数据存储在上述 LCD 驱动器的第一存储器中；压缩从所述第一存储器读出的所述图像数据，从而产生压缩的图像数据；将产生的压缩的图像数据写入到所述 LCD 驱动器的第二存储器中；根据从所述第一存储器读出的当前帧的图像数据和从所述第二存储器读出的前一帧的压缩的图像数据进行过驱动处理，从而产生处理后图像数据；和响应于所述处理后图像数据驱动液晶显示面板的数据线。

[0016] 根据本发明，希望得到下述一种液晶显示器，即，即使在其中图像数据到 LCD 驱动器的传输速率不恒定的情形中其仍可应对过驱动处理，且还可构造成能将嵌入到 LCD 驱动器中的存储器的容量增加控制到最小。

附图说明

[0017] 结合附图，根据下面的特定实施例的描述，本发明的上述和其它目标，优势和特征将会更加明显。

[0018] 图 1 是显示在不进行过驱动的情形中亮度与驱动电压之间的关系的曲线；

[0019] 图 2 是显示在进行过驱动时亮度与驱动电压之间的关系的曲线；

[0020] 图 3A 是显示当一帧图像数据在多个帧周期上传输到 LCD 驱动器时的操作时序的时序图；

[0021] 图 3B 是显示当一帧图像数据在多个帧周期上传输到 LCD 驱动器时的操作时序的时序图；

[0022] 图 4 是显示本发明第一个实施方式的液晶显示器的构造的框图；

[0023] 图 5 是显示在第一个实施方式中的过驱动处理电路的构造的框图；

[0024] 图 6 是显示在过驱动存储器中写入的压缩的图像数据的格式的示意图；

[0025] 图 7A 是显示在用于第一个实施方式的过驱动的 LUT 电路中存储的用于 R 显示点和 B 显示点的查询表的内容的示意图；

[0026] 图 7B 是显示在用于第一个实施方式的过驱动的 LUT 电路中存储的用于 G 显示点的查询表的内容的示意图；

[0027] 图 8 是显示第二个实施方式中的过驱动处理电路的构造的框图；

[0028] 图 9 是显示在用于第二个实施方式的过驱动的 LUT 电路中存储的查询表的内容的示意图。

具体实施方式

[0029] 之后，将参照附图详细描述根据本发明的具有 LCD 驱动器的 LCD（液晶显示器）显示装置。

[0030] [第一个实施方式]

[0031] 图 4 是显示根据本发明第一个实施方式的 LCD 显示装置 1 的构造的框图。LCD 显示装置 1 设置有液晶显示 (LCD) 面板 2 和 LCD 驱动器 3。

[0032] 在 LCD 面板 2 中，其中像素以 H 行 V 列的矩阵进行布置的像素阵列 4 和栅极线驱动电路 5 集成在一起。在下面的描述中，像素阵列 4 的在水平方向上延伸的一行像素称作一个水平线的像素。在本实施方式中，一个像素包括布置在水平方向上的红色 (R)、绿色 (G)

和蓝色(B)的三种显示点,因此在像素阵列4中设置有H行乘3V列的显示点。下面,用于显示红色、绿色和蓝色的显示点分别称作R显示点、G显示点和B显示点。每个显示点都设置有薄膜晶体管(TFT)和像素电极,并且显示点以希望的亮度显示红色、绿色或蓝色中的一种。为了驱动H行乘3V列的显示点,像素阵列4设置有在水平方向上延伸的H条栅极线(扫描线)和在垂直方向上延伸的3V条数据线(信号线)。显示点设置在其中栅极线和数据线交叉的位置处。栅极驱动电路5响应于从LCD驱动器3接收的栅极线驱动控制信号8驱动像素阵列4的栅极线。

[0033] LCD驱动器3从外部,具体地说,从图像绘制单元6接收图像数据 D_{IN} ,并响应于图像数据 D_{IN} 驱动LCD面板2的数据线。图像绘制单元6具体例子为CPU和DSP(数字信号处理电路)。图像数据 D_{IN} 是通过 k (k 是3的倍数)位表现每个像素的灰度的数据。详细地说,用于每个像素的图像数据 D_{IN} 的 $k/3$ 位表示R显示点的灰度,另一 $k/3$ 位表示G显示点的灰度,其余的 $k/3$ 位表示B显示点的灰度。在下面的描述中,用于表现一个像素的图像数据 D_{IN} 的R显示点的灰度的数据位描述为R数据 $D_{IN}R$,用于表现图像数据 D_{IN} 的G显示点的灰度的数据位描述为G数据 $D_{IN}G$,用于表现图像数据 D_{IN} 的B显示点的灰度的数据位描述为B数据 $D_{IN}B$ 。此外,LCD驱动器3还具有给LCD显示面板2的栅极线驱动电路5供给栅极线驱动控制信号8的功能。LCD驱动器3从图像绘制单元6供给有存储器控制信号7和其它控制信号,LCD驱动器3响应于供给的控制信号进行操作。在本实施方式中,通过CPU接口的方式进行LCD驱动器3与图像绘制单元6之间的通信。

[0034] 接下来,将描述LCD驱动器3的构造。LCD驱动器3具有存储器控制器11、显示存储器12、过驱动存储器13、过驱动处理电路14、移位寄存器15、锁存电路16、数据线驱动电路17、灰度电压产生电路18和时序控制电路19。这些电路单块地集成在单个半导体芯片中。

[0035] 存储器控制电路11具有将从图像绘制单元6发送的图像数据 D_{IN} 写入到显示存储器12中的功能。更具体地说,存储器控制单元11根据从图像绘制单元6发送的存储器控制信号7和从时序控制单元19发送的时序控制信号21产生显示存储器控制信号22,以控制显示存储器12。此外,与显示存储器控制信号22同步,存储器控制电路11将从图像绘制单元6发送的图像数据 D_{IN} 传输到显示存储器12,并将图像数据 D_{IN} 写入在显示存储器12中。此外,存储器控制电路11根据存储器控制信号7和时序控制信号21产生过驱动存储器控制信号23,以控制过驱动存储器13。

[0036] 从图像绘制单元6发送的存储器控制信号7包括表示图像数据 D_{IN} 传输时序的写入时钟信号,与写入时钟信号同步,存储器控制电路11控制显示存储器12的写入操作。此外,从时序控制电路19发送的时序控制信号21包括读取时钟信号,并且与读取时钟信号同步,存储器控制电路11控制显示存储器12的读取操作。进入显示存储器12的写入操作与读取操作是异步的。

[0037] 显示存储器12临时保存从图像绘制单元6发送的图像数据 D_{IN} 。显示存储器12具有一帧的容量,即 $H \times V \times k$ 位的容量。如之后描述的,作为当前帧数据(即当前帧的像素数据),当前保存在显示存储器12中的像素数据 D_{IN} 用于LCD面板2的过驱动处理和驱动处理。显示存储器12响应于来自存储器控制电路11的显示存储器控制信号22连续给过驱动处理电路14输出图像数据 D_{IN} 。作为显示存储器12,使用能独立进行写入操作和读取操

作的双端口存储器。LCD 面板 2 的每两个像素（即，利用 $2 \times k$ 位的位宽）进行给过驱动处理电路 14 输入像素数据 D_{IN} 的操作。

[0038] 过驱动 (OD) 存储器 13 用于存储用于过驱动处理的前一帧数据（即，前一帧的图像数据）。然而，在过驱动存储器 13 中存储的像素数据是通过由过驱动处理电路 14 压缩当前保存在显示存储器 12 中的像素数据 D_{IN} 而产生的压缩的图像数据。在本实施方式中，压缩的图像数据是下述一种数据，即其根据在水平方向上布置的两个像素的图像数据 D_{IN} 产生，用于以 $2 \times z$ ($z < k$) 位表现所述两个像素的灰度。之后将详细描述压缩的图像数据的产生。过驱动存储器 13 具有一帧压缩的像素数据的容量，即 $H \times V \times z$ 位的容量。为了减小过驱动处理所需的存储器的尺寸，将压缩的像素数据存储到过驱动存储器 13 中是有效的。

[0039] 过驱动处理电路 14 具有两个功能。第一个功能是通过压缩显示存储器 12 中存储的像素数据 D_{IN} 产生压缩的像素数据并将压缩的像素数据作为前一帧的图像数据存储到过驱动存储器中。另一个功能是使用当前存储在过驱动存储器 13 中的所述压缩的像素数据对当前存储在显示存储器 12 中的像素数据 D_{IN} 进行过驱动处理。其中进行了过驱动处理的像素数据（之后称作“处理后的像素数据”）连续供给到移位寄存器 15。处理后的像素数据是 k 位数据。

[0040] 移位寄存器 15 接收并保存从过驱动处理电路 14 连续发送的处理后的像素数据。移位寄存器 15 具有用于保存 LCD 面板 2 一条水平线的处理后的像素数据的容量，即 $H \times k$ 位的容量，从而其具有将从过驱动处理电路 14 发送的 k 位数据转换为 $H \times k$ 位数据的功能。响应于从时序控制电路 19 发送的移位信号 24，控制移位寄存器 15 的操作。

[0041] 锁存电路 16 响应于从时序控制电路 19 发送的锁存信号 25 同时锁存来自移位寄存器 15 的用于一条水平线的处理后的像素数据，并将锁存的处理后的像素数据传输到数据线驱动电路 17。

[0042] 数据线驱动电路 17 响应于从锁存电路 16 发送的用于一条水平线的处理后的像素数据驱动 LCD 面板 2 的相应数据线。更具体地说，数据线驱动电路 17 响应于处理后的像素数据在从灰度电压产生电路 18 供给的多个灰度电压中选择相应的一个，并驱动与所选择的灰度电压对应的 LCD 面板 2 的信号线。在本实施方式中，从灰度电压产生电路 18 供给的灰度电压的数量为 $2k/3$ 。

[0043] 时序控制电路 19 具有控制 LCD 驱动器 3 的整体操作的功能。更具体地说，时序控制电路 19 产生栅极线驱动控制信号 8、时序控制信号 21、移位信号 24 和锁存信号 25，并将它们分别供给到栅极线驱动电路 5、存储器控制电路 11 和锁存电路 16。通过栅极线驱动控制信号 8、时序控制信号 21、移位信号 24 和锁存信号 25 进行 LCD 驱动器 3 的时序控制。如上所述，读取时钟信号包含在供给存储器控制电路 11 的时序控制信号 21 中。

[0044] 本实施方式的 LCD 显示装置的一个最重要的特征在于下述一点，即显示存储器 12、过驱动存储器 13 和过驱动处理电路 14 单块地集成在 LCD 驱动器 3 中。这种构造可将嵌在 LCD 驱动器 3 中的存储器体积增加抑制到最小，同时可允许图像数据的传输速率变化。

[0045] 通过详细描述，因为在本实施方式中的 LCD 显示装置中，显示存储器 12 嵌在 LCD 驱动器 3 中，所以，可通过 LCD 驱动器 3 独立地控制像素数据 D_{IN} 从图像绘制单元 6 到 LCD 驱动器 3 的传输和与像素数据 D_{IN} 对应的数据线的驱动。由于该原因，像素数据 D_{IN} 从图像绘制单元 6 到 LCD 驱动器 3 的传输速率（即，在显示存储器 12 中像素数据 D_{IN} 的写入速率）

是可变的。例如,可在多个帧的周期上传输一帧图像数据 D_{IN} 的情形,如图 3A 中所示,还可在比一帧的周期短的周期中传输一帧图像数据 D_{IN} ,如图 3B 中所示。此外,也可给 LCD 驱动器 3 选择性地仅传输在像素阵列 4 的像素中接收变化的像素的像素数据 D_{IN} 。

[0046] 除此之外,通过过驱动处理电路 14 压缩像素数据 D_{IN} ,从而产生写入到过驱动存储器 13 中的压缩的图像数据。因此,可将嵌入到 LCD 驱动器 3 中的存储器的容量的增加控制到最小。LCD 驱动器 3 总共存储两帧的像素数据。然而,显示存储器 12 和过驱动存储器 13 的容量之和小于保存两帧的图像数据(没有压缩的) D_{IN} 所需的容量。

[0047] 为了独立地控制像素数据 D_{IN} 从图像绘制单元 6 到 LCD 驱动器 3 的传输和通过 LCD 驱动器 3 执行的与像素数据 D_{IN} 对应的数据线的驱动,在产生压缩的图像数据时,对于过驱动处理电路 14 来说,对从显示存储器 12 读出的像素数据 D_{IN} (不是从图像绘制单元 6 发送的像素数据 D_{IN}) 进行压缩处理是很重要的。如上所述,在其中像素数据 D_{IN} 从图像绘制单元 6 到 LCD 驱动器 3 的传输和与像素数据 D_{IN} 对应的数据线的驱动是异步的情形中,从图像绘制单元 6 传输到 LCD 驱动器 3 的像素数据 D_{IN} 不必与用于在当前帧周期中驱动数据线的像素数据 D_{IN} 一致。因此,如果通过对从图像绘制单元 6 发送的像素数据 D_{IN} 进行压缩处理而获得的压缩的图像数据存储到过驱动存储器 13 中,则存储在过驱动存储器 13 中的压缩的图像数据不必与实际上用于在前一帧周期中驱动数据线的像素数据 D_{IN} 一致。这可能是进行不适当的过驱动处理的原因。如本实施方式中,通过对从显示存储器 12 读取的像素数据 D_{IN} 进行压缩处理,可将与实际上用于前一帧中的数据线的驱动的像素数据 D_{IN} 对应的压缩的图像数据存储到过驱动存储器 13 中。

[0048] 接下来,将详细描述用于产生压缩的图像数据的过驱动处理电路 14 的构造和操作。图 5 是显示过驱动处理电路 14 的构造的框图。过驱动处理电路 14 包括 RB 平均电路 31、G 并行-串行 (P/S) 转换电路 32 和 33、并行-串行 (P/S) 转换电路 34、过驱动 LUT 电路 35、加法电路 36、视频/静止图像确定电路 37、和选择器 38。应当注意,在下面过驱动处理电路 14 的描述中,假定像素阵列 4 的像素数为 240×320 (即, $H = 240, V = 320$), 显示存储器 12 中存储的像素数据 D_{IN} 为 24 位数据 (即 $k = 24$), 且过驱动存储器 13 中存储的压缩的图像数据是以 12 位表现两个像素的灰度的数据 (即, $z = 6$), 将描述每个电路的操作。

[0049] RB 平均电路 31 压缩当前存储在显示存储器 12 中的像素数据 D_{IN} , 从而产生压缩的像素数据, 并将其存储在过驱动存储器 13 中。如上所述, 在本实施方式中, 每个压缩的像素数据都是 $2 \times z$ 位数据, 并根据水平布置的两个像素的像素数据 D_{IN} 产生。平均电路 31 并行接收两个像素的像素数据 D_{IN} , 并并行输出与两个像素对应的压缩的像素数据。压缩的像素数据的产生过程在 R 显示点的数据和 B 显示点的数据 (R 数据和 B 数据) 与 G 显示点的数据 (G 数据) 之间不同。将详细描述压缩的像素数据的格式及其产生过程。

[0050] 图 6 是显示由平均电路 31 产生的压缩的像素数据的格式的示图。每个压缩的像素数据都包括四个数据: R 平均数据 51、第一 G 压缩数据 52、B 平均数据 53 和第二 G 压缩数据 54。R 平均数据 51 是与两个像素的 R 显示点对应的数据, 并计算为所述两个像素的 R 数据的平均值的高位。第一 G 压缩数据 52 是与所述两个像素中一个像素的 G 显示点对应的数据。在本实施方式中, 为所述一个像素的 G 显示点的 G 数据的高位用作第一 G 压缩数据 52。B 平均数据 53 是与所述两个像素的 B 显示点对应的数据, 并计算为所述两个像素的 B 数据的平均值的高位。第二 G 压缩数据 54 是与所述两个像素中另一个像素的 G 显示点对

应的数据。在本实施方式中,为所述另一个像素的 G 显示点的 G 数据的高位用作第二 G 压缩数据 54。在图 6 的例子中,R 平均数据 51 和 B 平均数据 53 每个都是两位,第一 G 压缩数据 52 和第二 G 压缩数据 54 每个都是四位。因此,每个压缩像素数据是 12 位数据(即, $z = 6$)。

[0051] 通过将这样产生的压缩的像素数据写入到过驱动存储器 13 中,可控制过驱动存储器 13 的容量。在其中显示存储器 12 中存储的像素数据 D_{IN} 是 24 位数据(即,在 $k = 24$ 的情形中)且压缩的像素数据是 12 位数据(每两个像素)(即,在 $z = 6$ 的情形中)的情形中,过驱动存储器 13 的容量为显示存储器 12 的容量的四分之一。就是说,尽管本实施方式中的 LCD 驱动器 13 存储两帧的像素的灰度的数据,但其仅需要具有用于存储 1.25 帧的像素数据 D_{IN} 的容量的存储器。

[0052] G 并行-串行转换电路 32 对从 RB 平均电路 31 输出的压缩的像素数据的第一 G 压缩数据 52 和第二 G 压缩数据 54 进行并行-串行转换。具体地说,当接收到包括 R 平均数据 51、第一 G 压缩数据 52、B 平均数据 53 和第二 G 压缩数据 54 的压缩的像素数据时,并行-串行转换电路 32 在第一时钟周期中输出 R 平均数据 51、第一 G 压缩数据 52 和 B 平均数据 53,并且在第二时钟周期中输出 R 平均数据 51、第二 G 压缩数据 54 和 B 平均数据 53。应当注意,在图 5 中,R 平均数据 51 表示为标记“Rave”,第一 G 压缩数据 52 和第二 G 压缩数据 54 表示为标记“G”,并且 B 平均数据 53 表示为标记“Bave”。此外,应当注意,对于每个压缩的像素数据,R 平均数据 51 和 B 平均数据 53 输出两次。从并行-串行转换电路 32 输出的数据是与当前帧的每个像素的灰度对应的压缩数据,并且之后称作当前帧压缩数据 C。

[0053] G 并行-串行转换电路 33 从过驱动存储器 13 接收压缩的像素数据,并对来自过驱动存储器 13 的压缩的像素数据的第一 G 压缩数据 52 和第二 G 压缩数据 54 进行并行-串行转换。更具体地说,当接收到包括 R 平均数据 51、第一 G 压缩数据 52、B 平均数据 53 和第二 G 压缩数据 54 的压缩的像素数据时,并行-串行转换电路 33 在第一时钟周期中输出 R 平均数据 51、第一 G 压缩数据 52 和 B 平均数据 53,并且在第二时钟周期中输出 R 平均数据 51、第二 G 压缩数据 54 和 B 平均数据 53。之后,重复相同的操作。从并行-串行转换电路 33 输出的数据是与前一帧的每个像素的灰度对应的压缩数据,并且之后称作前一帧压缩数据 P。

[0054] 并行-串行转换电路 34 接收在水平方向上并行布置的两个像素的图像数据 D_{IN} ,并一个像素一个像素地输出图像数据 D_{IN} 。当图像数据 D_{IN} 是 k 位数据时,并行-串行转换电路 34 的输入的数据宽度是 $2 \times k$ 位,输出的数据宽度是 k 位。从并行-串行转换电路 34 输出的数据是与当前帧的每个像素的灰度对应的像素数据,之后称作当前帧数据。

[0055] 过驱动(OD) LUT 电路 35 使用从并行-串行转换电路 34 接收的当前帧数据和从并行-串行转换电路 33 接收的前一帧压缩数据 P,通过表查询处理来确定过驱动值。这里,过驱动值是为了提高液晶的响应特性而加到原始显示点的灰度上的值,其是为 R 显示点、G 显示点和 B 显示点的每个而计算的。在本实施方式中,过驱动值是 6 位数据。

[0056] 详细地说,LUT 电路 35 存储用于 R 和 B 的查询表 35a 和用于 G 的查询表 35b。如图 7A 中所示,用于 R 和 B 的查询表 35a 是用于确定 R 显示点和 B 显示点的过驱动值的查询表,其确定在当前帧数据的 R 数据或 B 数据的高位(在本实施方式中,最高四位)、前一帧压

缩数据的 R 平均数据 51 或 B 平均数据 53 和过驱动值之间的对应性。在图 7A 中, 每条斜线都表示过驱动值为零。使用当前帧数据的 R 数据或 B 数据的最高四位确定过驱动值。在过驱动值是 6 位数据, 且 R 平均数据 51 和 B 平均数据 53 每个都是二位的情形中, 用于 R 和 B 的查询表 35a 的尺寸为 $16 \times 4 \times 6$ 位。通过利用查询表 35a, LUT 电路 35 根据当前帧数据的 R 数据的高位和前一帧压缩数据的 R 平均数据 51 来确定 R 显示点的过驱动值, 并且通过利用查询表 35a, 根据当前帧数据的 B 数据的高位和前一帧压缩数据的 B 平均数据 53 来确定 B 显示点的过驱动值。

[0057] 另一方面, 如图 7B 中所示, 用于 G 的查询表 35b 是用于确定 G 显示点的过驱动值的查询表, 其确定在当前帧数据的 G 数据的高位 (在本实施方式中, 最高四位)、前一帧压缩数据的 G 数据 (即, 第一 G 压缩数据 52 或第二 G 压缩数据 54) 和过驱动值之间的对应性。在图 7B 中, 每条斜线都表示过驱动值为零。在使用当前帧数据的 G 数据的最高四位确定过驱动值、过驱动值是 6 位数据、以及第一 G 压缩数据 52 或第二 G 压缩数据每个都是四位的情形中, 用于 G 的查询表 35b 的尺寸为 $16 \times 16 \times 6$ 位。使用查询表 35b, LUT 电路 35 根据当前帧数据的 G 数据的高位和前一帧压缩数据的 G 数据 (即, 第一 G 压缩数据 52 或第二 G 压缩数据 54) 来确定 G 显示点的过驱动值。

[0058] 加法电路 36 将由 LUT 电路 35 计算的 R 显示点、G 显示点和 B 显示点的过驱动值分别加到从并行 - 串行转换电路 34 接收的当前帧数据的 R 数据、G 数据和 B 数据, 并且由此产生过驱动图像数据。

[0059] 视频 / 静止图像确定电路 37 确定目标像素的灰度在前一帧与当前帧之间是否相同, 并输出表示确定结果的一致信号。当从并行 - 串行转换电路 32 接收的当前帧压缩数据 C 和前一帧压缩数据 P 彼此一致时, 视频 / 静止图像确定电路 37 将一致信号设为“1”, 当不是这样时, 将一致信号设为“0”。

[0060] 这里, 重要的是, 当前帧压缩数据 C 和前一帧压缩数据 P 在目标像素上均经过相同的处理。当前帧压缩数据 C 是通过平均电路 31 和并行 - 串行转换电路 32 对从显示存储器读出的当前帧图像数据进行处理而获得的图像数据。与此相对地, 前一帧压缩数据 P 是如下获得的图像数据。就是说, 已经通过平均电路 31 处理了从显示存储器读出的图像数据并已经将其存储在过驱动存储器 13 中。随后, 该数据已经从过驱动存储器 13 读取作为前一帧图像数据, 并已经经过并行 - 串行转换电路 33 处理。就是说, 当前帧压缩数据 C 是其目标像素经过平均电路 31 和并行 - 串行转换电路处理的当前帧的图像数据, 而前一帧压缩数据 P 是经过类似处理的前一帧的图像数据。因此, 当其是静止图像时, 当前帧压缩数据 C 和前一帧压缩数据 P 将彼此一致。

[0061] 选择器 38 响应于来自视频 / 静止图像确定电路 37 的一致信号输出当前帧数据或过驱动图像数据。具体地说, 当一致信号为数据“1”时, 选择器 38 输出当前帧数据, 当一致信号为数据“0”时, 选择器 38 输出当过驱动图像数据。选择器 38 的输出作为处理后图像数据被供给到移位寄存器 15。当前帧压缩数据 C 和前一帧压缩数据 P 彼此一致时, 如此产生的处理后图像数据与当前帧数据一致, 当前帧压缩数据 C 和前一帧压缩数据 P 彼此不同时, 如此产生的处理后图像数据与过驱动图像数据一致。

[0062] 本实施方式中的过驱动处理电路 14 的一个优点在于, 对于多个像素的每个数据, 都进行过驱动处理电路 14 和显示存储器 12 之间的存取和过驱动处理电路 14 与过驱动存

存储器 13 之间的存取。具体地说,本实施方式中的过驱动处理电路 14 构造成从显示存储器 12 并行接收两个像素的图像数据 D_{IN} 。此外,本实施方式中的过驱动处理电路 14 构造成在过驱动处理电路 14 中写入与两个像素对应的压缩的图像数据并从中将其读出。根据这种构造,可减小过驱动处理电路 14 与显示存储器 12 之间的存取次数以及过驱动处理电路 14 与过驱动存储器 13 之间的存取次数,并可减小显示存储器 12 和过驱动存储器 13 消耗的电力。

[0063] 本实施方式中的过驱动处理电路 14 的另一个优点在于,在产生压缩的像素数据时 R 数据和 B 数据的压缩比 C_R 和 C_B 比 G 数据的压缩比 C_G 高。具体地说,在本实施方式中, R 数据, G 数据和 B 数据的压缩比 C_R , C_G 和 C_B 满足下面的关系式:

$$[0064] \quad C_R < C_G \dots (1a)$$

$$[0065] \quad C_B < C_G \dots (1b),$$

[0066] 其中压缩比 C_R , C_G 和 C_B 是

$$[0067] \quad C_R = n_R / \{2 \times (k/3)\} \quad (2a)$$

$$[0068] \quad C_G = (2 \times n_G) / \{2 \times (k/3)\} \quad (2b)$$

$$[0069] \quad C_B = n_B / \{2 \times (k/3)\} \quad (2c)$$

[0070] 在方程 (2a) 到 (2c) 中, n_R 是压缩的像素数据的 R 平均数据 51 的位数, n_G 是第一 G 压缩数据 52 和第二 G 压缩数据 54 每个的位数, n_B 是 B 平均数据 53 的位数。如在图 5 的例子中,在其中 k 为 24 位, n_R 和 n_B 为二位,且 n_G 为四位的情形中,满足下面的关系:

$$[0071] \quad C_R = C_B = 12.5\%$$

$$[0072] \quad C_G = 50\%。$$

[0073] 应当注意,“压缩比高”是指由方程 (2a) 到 (2c) 确定的 C_R , C_G 和 C_B 具有小的值。

[0074] 通过利用人对红色和蓝色的可视性低于人对绿色的可视性的事实,这种处理可减小过驱动处理所需的硬件资源的量,同时控制在像素阵列 4 上显示的图像的图像质量的降低。在过驱动处理中,当 R 显示点、G 显示点和 B 显示点的灰度的数据量增加时(即当 R 数据、G 数据和 B 数据的位数变多时),可更精确地确定过驱动值并可提高显示图像的图像质量。然而,即使因为人对红色和蓝色的可视性相对较低而减少压缩的像素数据中包含的 R 显示点和 B 显示点的灰度的数据,显示图像的图像质量的降低仍较小。减少 R 显示点和 B 显示点的灰度的数据相当减小了过驱动存储器 13 的容量,可有效减少硬件资源。另一方面,如果因为人对绿色的可视性相对较高而减少 G 显示点的灰度的数据,则显示图像的图像质量的降低将变大。在本实施方式中,根据这种结论产生压缩的像素数据,从而 R 数据和 B 数据的压缩比比 G 数据的高。根据压缩的像素数据的这种产生技术,可减小过驱动处理所需的硬件资源的量,同时控制在像素阵列 4 上显示的图像的图像质量的降低。

[0075] 如上所述,本实施方式的液晶显示器 1 可将嵌在 LCD 驱动器 3 中的存储器的容量增加控制到最小,同时像素数据 D_{IN} 从图像绘制单元 6 到 LCD 驱动器 3 的传输速率(即,像素数据 D_{IN} 到显示存储器 12 的写入速率)是可变的。

[0076] 此外,本实施方式中的液晶显示器 1 可减小过驱动处理电路 14 与显示存储器 12 之间的存取次数以及过驱动处理电路 14 与过驱动存储器 13 之间的存取次数。为了减小显示存储器 12 和过驱动存储器 13 消耗的电力,优选的是减小存取的次数。

[0077] 此外,本实施方式中的液晶显示器 1 通过将压缩的像素数据中的 R 数据和 B 数据

的压缩比设定为比 G 数据的压缩比高,可减小过驱动处理所需的硬件资源的量,同时保持在像素阵列 4 上显示的图像的图像质量。

[0078] 应当注意,在本实施方式中,尽管 R 平均数据 51 计算为两个像素的 R 数据的平均值的高位,但为了产生 R 平均数据 51,可使用三个或更多个像素的 R 数据。类似地,为了产生 B 平均数据 53,可使用三个或更多个像素的 B 数据。一般地,如果使用 n 个像素的 R 数据和 B 数据来计算 R 平均数据和 B 平均数据,则压缩的像素数据包括 R 平均数据、B 平均数据、和通过从 n 个像素的每个 G 数据提取出高位而获得的第一到第 n 个 G 压缩数据。

[0079] [第二个实施方式]

[0080] 在根据本发明第二个实施方式的具有 LCD 驱动器的 LCD 显示装置中,使用具有与第一个实施方式不同的构造的过驱动处理电路。图 8 是显示本发明第二个实施方式中的过驱动处理电路 14A 的构造的框图。过驱动处理电路 14A 包括压缩电路 41、并行 - 串行 (P/S) 转换电路 42、展开电路 43、并行 - 串行转换电路 44、压缩电路 45、展开电路 46、OD LUT 电路 47、加法电路 48、视频 / 静止图像确定电路 49、和选择器 50。

[0081] 对于每两个像素,图像数据 D_{IN} 从显示存储器 12 供给到过驱动处理电路 14A。压缩电路 41 接收每个像素的图像数据 D_{IN} 的 R 数据、G 数据和 B 数据的高位 (在本实施方式中为四个高位),并分别对 R 数据、G 数据和 B 数据的高位进行压缩处理,从而产生压缩的图像数据。在本实施方式中,压缩的图像数据是以总共 z 位表现一个像素的 R 显示点、G 显示点和 B 显示点的灰度的数据,在图 8 的例子中 z 等于六。对于每两个像素,压缩电路 41 将产生的压缩的图像数据并行写入过驱动存储器 13。在图 8 的例子中,将两个像素的压缩的图像数据的 12 位并行写入过驱动存储器 13 中。

[0082] 并行 - 串行转换电路 42 从过驱动存储器 13 并行读出两个像素的所述压缩的图像数据,进行并行 - 串行转换,并为每一个像素输出所述压缩的图像数据。

[0083] 展开电路 43 将从并行 - 串行转换电路 42 输出的压缩的图像数据展开。从展开电路 43 输出的数据是表现前一帧的每个像素的每个显示点的灰度的数据,之后称作前一帧展开数据 P。在本实施方式中,前一帧展开数据 P 是以四位表现 R 显示点、G 显示点和 B 显示点的灰度的数据 (总共 12 位)。

[0084] 另一方面,并行 - 串行转换电路 44 并行接收在水平方向上排列的两个像素的图像数据 D_{IN} ,并一个像素一个像素地输出接收的图像数据 D_{IN} 。当图像数据 D_{IN} 为 k 位数据时,并行 - 串行转换电路 44 的输入的数据宽度为 $2 \times k$ 位,输出的数据宽度为 k 位。从并行 - 串行转换电路 44 输出的数据是当前帧数据,即与当前帧的每个像素的灰度对应的像素数据。

[0085] 压缩电路 45 和展开电路 46 是下面这样的电路,用于以与从展开电路 43 输出的前一帧展开数据 P 相同的格式产生当前帧展开数据 C。压缩电路 45 接收从并行 - 串行转换电路 44 输出的当前帧数据的 R 数据、G 数据和 B 数据的高位 (在本实施方式中为最高四位),并对 R 数据、G 数据和 B 数据的高位进行压缩处理,从而产生压缩的图像数据。压缩电路 45 和压缩电路 41 以相同的法则进行压缩处理。不同点在于,压缩电路 45 并行处理两个像素的图像数据 D_{IN} 的高位,而压缩电路 41 处理一个像素的当前帧数据的高位。在本实施方式中,由压缩电路 45 产生的压缩的图像数据是以总共 z 位表现一个像素的 R 显示点、G 显示点和 B 显示点的灰度的数据。

[0086] 展开电路 46 展开从压缩电路 45 输出的压缩的图像数据,从而产生当前帧展开数

据 C。从展开电路 46 输出的当前帧展开数据 C 是表现当前帧的每个像素的显示点的灰度的数据。在本实施方式中,当前帧展开数据 C 是以四位表现一个像素的 R 显示点、G 显示点和 B 显示点的灰度的每个的数据(总共 12 位)。

[0087] 根据从展开电路 43 接收的前一帧展开数据 P 和从展开电路 46 接收的当前帧展开数据 C, LUT 电路 47 通过表查询确定过驱动值。为 R 显示点、G 显示点和 B 显示点的每个计算过驱动值,并且在本实施方式中过驱动值为 6 位数据。图 9 显示了在 LUT 电路 47 中设置的查询表的内容。在图 9 中,每条斜线都表示过驱动值为零。在本实施方式中,查询表通常用于确定 R 显示点、G 显示点和 B 显示点的过驱动值。在 LUT 电路 47 中设置的查询表描述了当前帧展开数据 C、前一帧展开数据 P 和过驱动值之间的对应性。利用查询表, LUT 电路 47 根据当前帧展开数据 C 和前一帧展开数据 P 确定 R 显示点、G 显示点和 B 显示点的过驱动值。

[0088] 加法电路 48 将由 LUT 电路 35 计算的 R 显示点、G 显示点和 B 显示点的过驱动值分别加到从并行-串行转换电路 44 接收的当前帧数据的 R 数据、G 数据和 B 数据,并且由此产生过驱动图像数据。

[0089] 视频/静止图像确定电路 49 确定目标像素的灰度在前一帧与当前帧之间是否彼此一致(大致地),并输出表示确定结果的一致信号。更具体地说,当从展开电路 43 接收的前一帧展开数据 P 与从展开电路 46 接收的当前帧展开数据 C 彼此一致时,视频/静止图像确定电路 49 将一致信号设为“1”,当不是这样时,将一致信号设为“0”。

[0090] 选择器 50 响应于来自视频/静止图像确定电路 49 的一致信号输出当前帧数据或过驱动图像数据。具体地说,当一致信号为数据“1”时,选择器 50 输出当前帧数据,当一致信号为数据“0”时,选择器 50 输出过驱动图像数据。选择器 50 的输出作为处理后图像数据被供给到移位寄存器 15。当当前帧展开数据 C 和前一帧展开数据彼此一致时,由此产生的处理后图像数据与当前帧数据一致,当当前帧展开数据 C 和前一帧展开数据彼此不同时,由此产生的处理后图像数据与过驱动图像数据一致。

[0091] 此外,在第二个实施方式的过驱动处理电路 14A 的构造中,像素数据 D_{IN} 从图像绘制单元 6 到 LCD 驱动器 3 的传输速率(即,像素数据 D_{IN} 到显示存储器 12 的写入速率)是可变的,同时可将嵌在 LCD 驱动器 3 中的存储器的容量增加抑制到最小。

[0092] 此外,对于第二个实施方式的过驱动处理电路 14A 的构造,与第一个实施方式一样,可减小过驱动处理电路 14A 与显示存储器 12 之间的存取次数以及过驱动处理电路 14A 与过驱动存储器 13 之间的存取次数,并可减小显示存储器 12 和过驱动存储器 13 消耗的电力。

[0093] 应当注意,与第一个实施方式类似,在第二个实施方式的过驱动处理电路 14A 中,如此产生压缩的像素数据,即 R 数据和 B 数据的压缩比 C_R 和 C_B 可以变得比 G 数据的压缩比 C_G 高。如上所述,可减小过驱动处理所需的硬件资源的量,同时保持在像素阵列 4 上显示的图像的图像质量。

[0094] 尽管在上面结合几个实施方式描述了本发明,但本领域技术人员应当清楚,提供这些实施方式仅仅是为了解释本发明,不应依靠它们以限制的含义解释所附的权利要求。

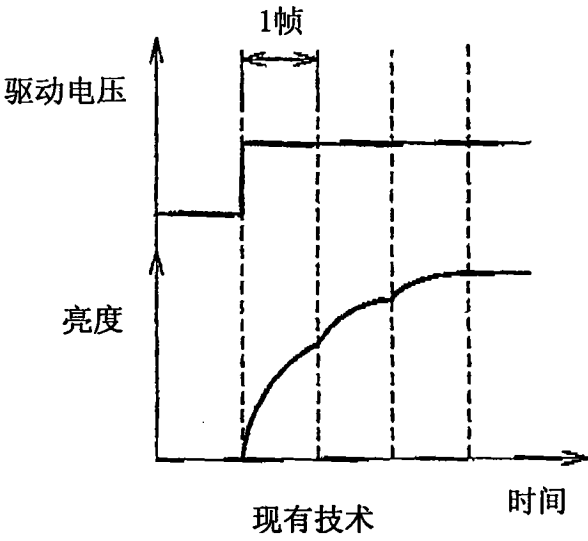


图 1

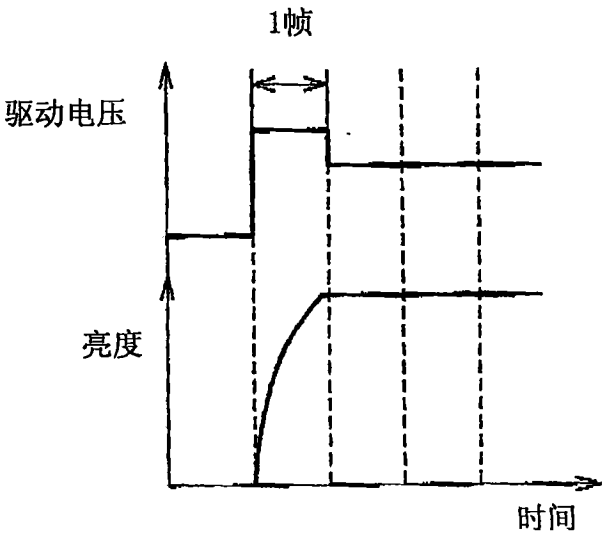
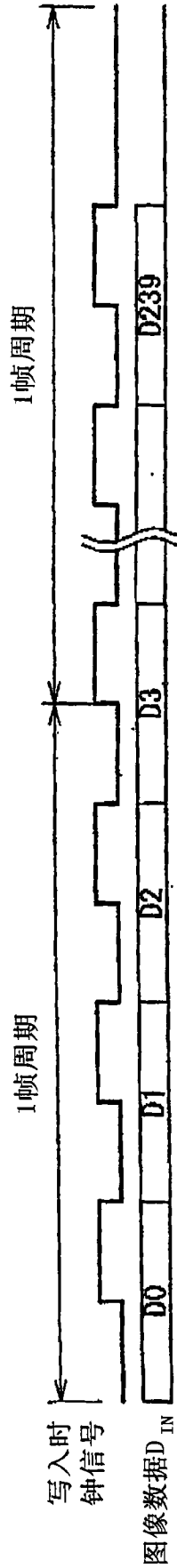


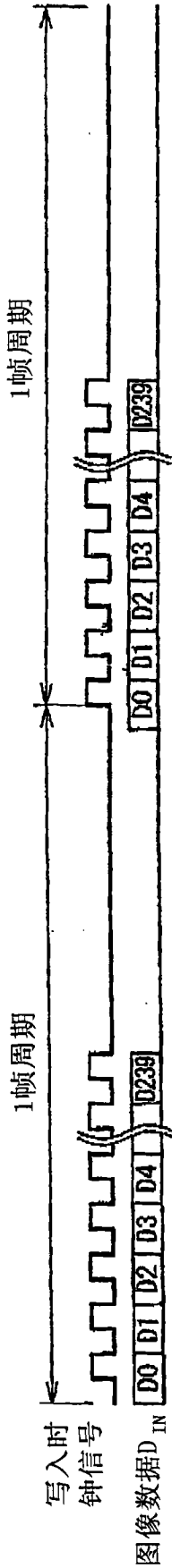
图 2

现有技术



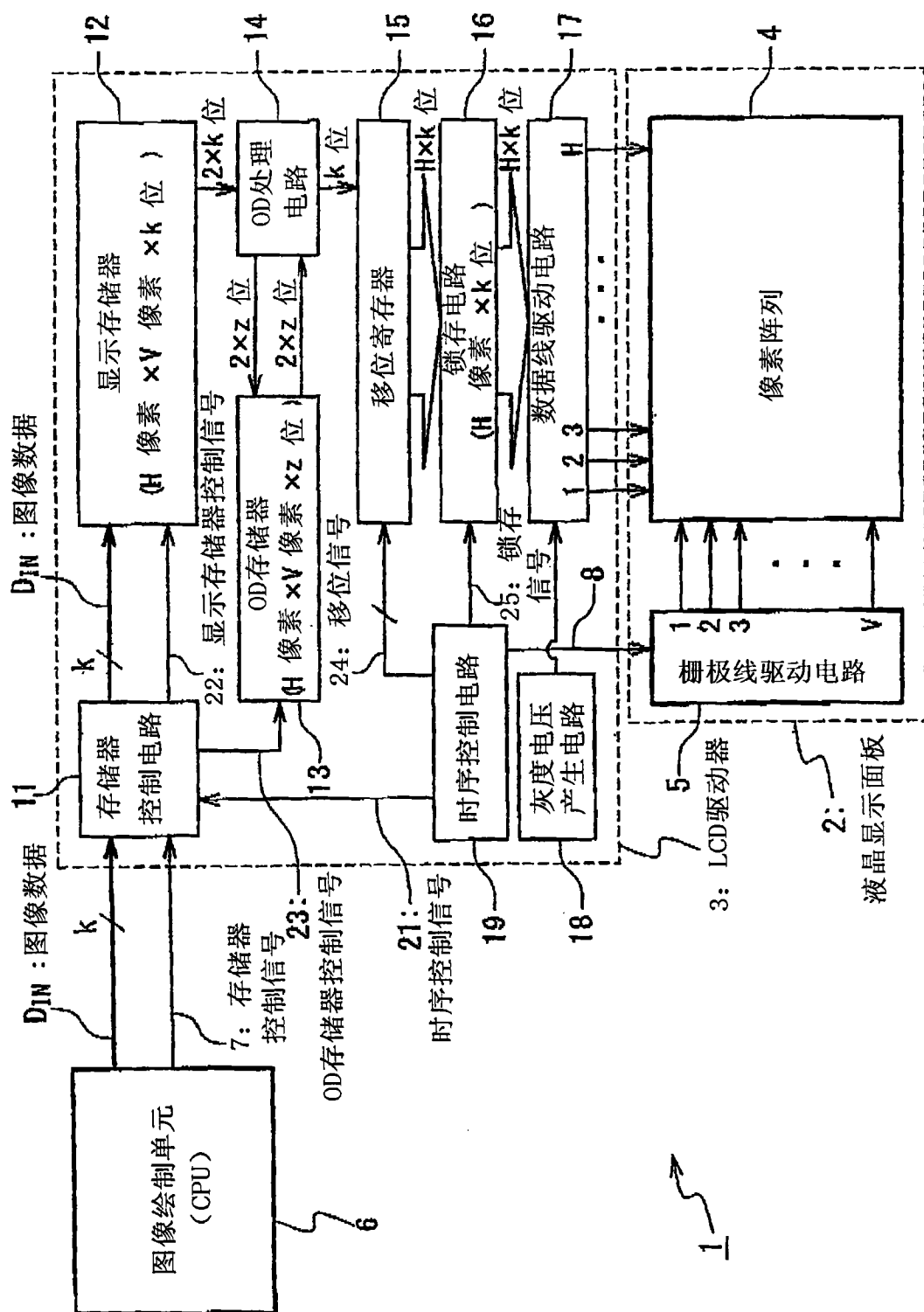
现有技术

图3A



现有技术

图3B

4
圖

14: 过驱动 (OD) 处理电路

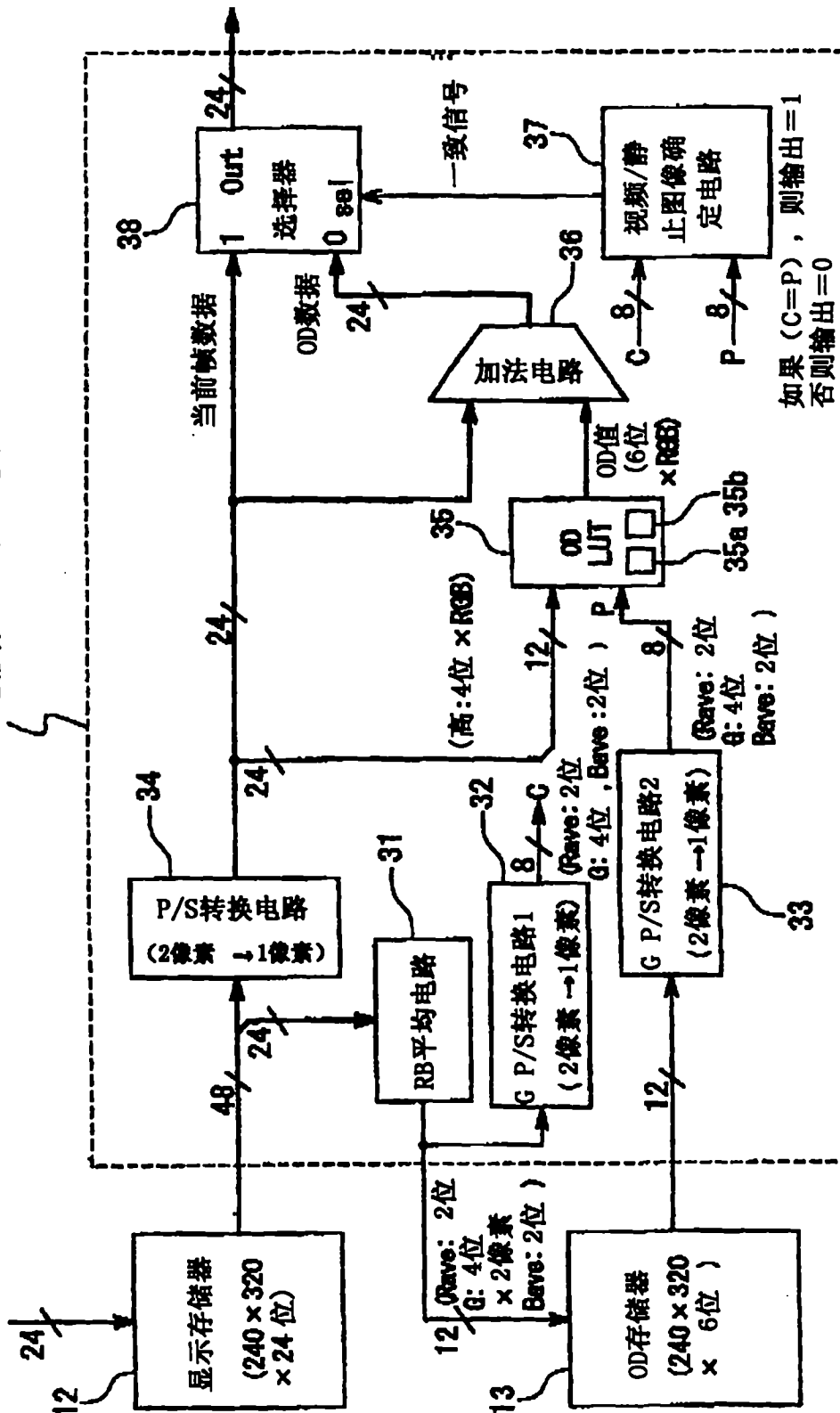


图5

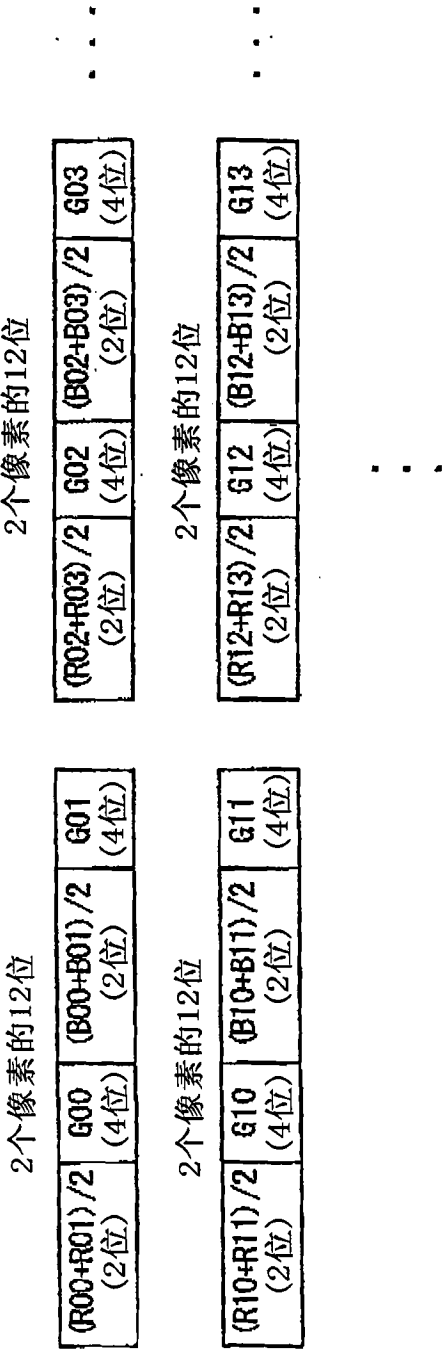


图6

前一帧数据				
RB显示点ODLUT	0 (0~63)	1 (64~127)	2 (128~191)	3 (192~255)
0 (0~15)		0D01	0D02	0D03
1 (16~31)		0D11	0D12	0D13
2 (32~47)		0D21	0D22	0D23
3 (48~63)		0D31	0D32	0D33
4 (64~79)	0D40		0D42	0D43
5 (80~95)	0D50		0D52	0D53
6 (96~111)	0D60		0D62	0D63
7 (112~)	0D70		0D72	0D73
8 (128~)	0D80	0D81		0D83
9 (144~)	0D90	0D91		0D93
10 (160~)	0DA0	0DA1		0DA3
11 (176~)	0DB0	0DB1		0DB3
12 (192~)	0DC0	0DC1	0DC2	
13 (208~)	0DD0	0DD1	0DD2	
14 (224~)	0DE0	0DE1	0DE2	
15 (240~255)	0DF0	0DF1	0DF2	
当前帧数据				

图 7A

前一帧数据														
0(0~15)	0D01	0D02	0D03	0D04	0D05	0D06	0D07	0D08	0D09	0D0A	0D0B	0D0C	0D0D	0D0E
1(16~31)	0D10	0D12	0D13	0D14	0D15	0D16	0D17	0D18	0D19	0D1A	0D1B	0D1C	0D1D	0D1E
2(32~47)	0D20	0D21	0D23	0D24	0D25	0D26	0D27	0D28	0D29	0D2A	0D2B	0D2C	0D2D	0D2E
3(48~63)	0D30	0D31	0D32	0D34	0D35	0D36	0D37	0D38	0D39	0D3A	0D3B	0D3C	0D3D	0D3E
4(64~79)	0D40	0D41	0D42	0D43	0D45	0D46	0D47	0D48	0D49	0D4A	0D4B	0D4C	0D4D	0D4E
5(80~95)	0D50	0D51	0D52	0D53	0D54	0D56	0D57	0D58	0D59	0D5A	0D5B	0D5C	0D5D	0D5E
6(96~111)	0D60	0D61	0D62	0D63	0D64	0D65	0D67	0D68	0D69	0D6A	0D6B	0D6C	0D6D	0D6E
7(112~127)	0D70	0D71	0D72	0D73	0D74	0D75	0D76	0D78	0D79	0D7A	0D7B	0D7C	0D7D	0D7E
8(128~143)	0D80	0D81	0D82	0D83	0D84	0D85	0D86	0D87	0D89	0D8A	0D8B	0D8C	0D8D	0D8E
9(144~159)	0D90	0D91	0D92	0D93	0D94	0D95	0D96	0D97	0D98	0D9A	0D9B	0D9C	0D9D	0D9E
10(160~175)	0DA0	0DA1	0DA2	0DA3	0DA4	0DA5	0DA6	0DA7	0DA8	0DA9	0DAB	0DAC	0DAD	0DAE
11(176~191)	0DB0	0DB1	0DB2	0DB3	0DB4	0DB5	0DB6	0DB7	0DB8	0DB9	0DBA	0DBC	0DBD	0DBE
12(192~207)	0DC0	0DC1	0DC2	0DC3	0DC4	0DC5	0DC6	0DC7	0DC8	0DC9	0DCA	0DCB	0DCD	0DCE
13(208~223)	0DD0	0DD1	0DD2	0DD3	0DD4	0DD5	0DD6	0DD7	0DD8	0DD9	0DDA	0DDB	0DDC	0DDE
14(224~239)	0DE0	0DE1	0DE2	0DE3	0DE4	0DE5	0DE6	0DE7	0DE8	0DE9	0DEA	0DEB	0DEC	0DEF
15(240~255)	0DF0	0DF1	0DF2	0DF3	0DF4	0DF5	0DF6	0DF7	0DF8	0DF9	0DFA	0DFB	0DFC	0DFE
当前帧数据														

图7B

14A: 过驱动 (OD) 处理电路

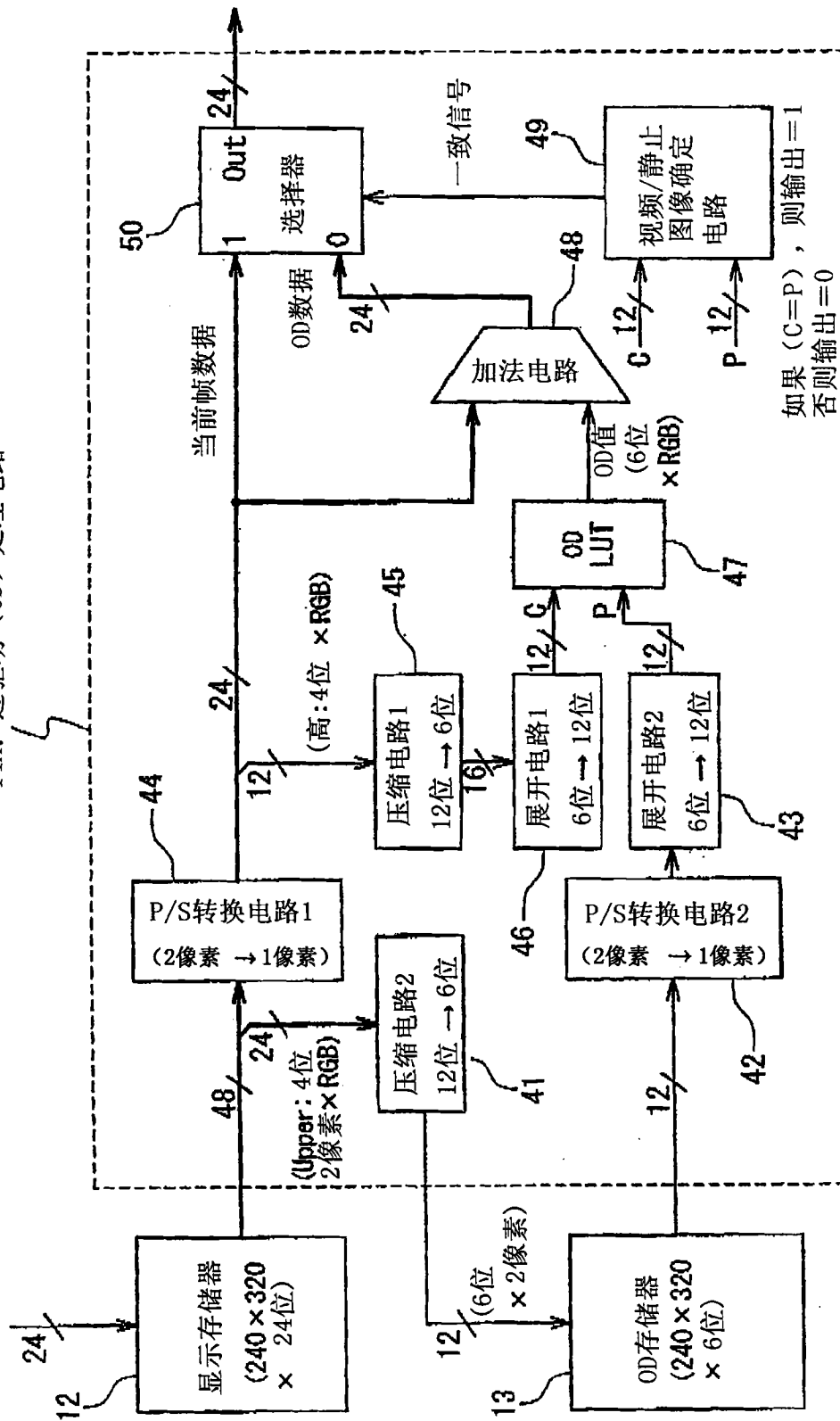


图8

前一帧数据																
0(0 ~15)	1(16 ~31)	2(32 ~47)	3(48 ~63)	4(64 ~79)	5(80 ~95)	6(96 ~111)	7(112 ~127)	8(128 ~143)	9(144 ~159)	10(160 ~175)	11(176 ~191)	12(192 ~207)	13(208 ~223)	14(224 ~239)	15(240 ~255)	
0(0~15)	0D01	0D02	0D03	0D04	0D05	0D06	0D07	0D08	0D09	0D0A	0D0B	0D0C	0D0D	0D0E	0D0F	
1(16~31)	0D10	0D12	0D13	0D14	0D15	0D16	0D17	0D18	0D19	0D1A	0D1B	0D1C	0D1D	0D1E	0D1F	
2(32~47)	0D20	0D21	0D23	0D24	0D25	0D26	0D27	0D28	0D29	0D2A	0D2B	0D2C	0D2D	0D2E	0D2F	
3(48~63)	0D30	0D31	0D32	0D34	0D35	0D36	0D37	0D38	0D39	0D3A	0D3B	0D3C	0D3D	0D3E	0D3F	
4(64~79)	0D40	0D41	0D42	0D43	0D45	0D46	0D47	0D48	0D49	0D4A	0D4B	0D4C	0D4D	0D4E	0D4F	
5(80~95)	0D50	0D51	0D52	0D53	0D54	0D56	0D57	0D58	0D59	0D5A	0D5B	0D5C	0D5D	0D5E	0D5F	
6(96~111)	0D60	0D61	0D62	0D63	0D64	0D65	0D67	0D68	0D69	0D6A	0D6B	0D6C	0D6D	0D6E	0D6F	
7(112~)	0D70	0D71	0D72	0D73	0D74	0D75	0D76	0D78	0D79	0D7A	0D7B	0D7C	0D7D	0D7E	0D7F	
8(128~)	0D80	0D81	0D82	0D83	0D84	0D85	0D86	0D87	0D89	0D8A	0D8B	0D8C	0D8D	0D8E	0D8F	
9(144~)	0D90	0D91	0D92	0D93	0D94	0D95	0D96	0D97	0D98	0D9A	0D9B	0D9C	0D9D	0D9E	0D9F	
10(160~)	0DA0	0DA1	0DA2	0DA3	0DA4	0DA5	0DA6	0DA7	0DA9	0DAB	0DAC	0DAD	0DAE	0DAF	0DAF	
11(176~)	0DB0	0DB1	0DB2	0DB3	0DB4	0DB5	0DB6	0DB7	0DB9	0DBA	0DBC	0DBD	0DBE	0DBF	0DBF	
12(192~)	0DC0	0DC1	0DC2	0DC3	0DC4	0DC5	0DC6	0DC7	0DC9	0DCA	0DCB	0DCD	0DCE	0DCF	0DCF	
13(208~)	0DD0	0DD1	0DD2	0DD3	0DD4	0DD5	0DD6	0DD7	0DD9	0DDA	0ddb	0DDC	0DDE	0DDF	0DDF	
14(224~)	0DE0	0DE1	0DE2	0DE3	0DE4	0DE5	0DE7	0DE8	0DE9	0DEA	0DEB	0DEC	0DED	0DEF	0DEF	
15(240~255)	0DF0	0DF1	0DF2	0DF3	0DF4	0DF5	0DF6	0DF7	0DF9	0DFA	0DFB	0DFC	0DFD	0DFE	0DFE	

当前帧数据

9

专利名称(译)	液晶显示器,LCD驱动器和LCD驱动器的操作方法		
公开(公告)号	CN101425277B	公开(公告)日	2012-04-04
申请号	CN200810171039.4	申请日	2008-10-31
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	恩益禧电子股份有限公司		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	能势崇 降旗弘史		
发明人	能势崇 降旗弘史		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G2340/02 G09G2340/16 G09G2360/18 G09G2320/0252 G09G3/3688		
审查员(译)	李军		
优先权	2007283270 2007-10-31 JP		
其他公开文献	CN101425277A		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及一种液晶显示器、LCD驱动器和LCD驱动器的操作方法。在本发明的一个方面中，液晶显示装置包括：液晶显示(LCD)面板；和LCD驱动器。所述LCD驱动器包括：第一存储器，其具有比一帧的图像数据的容量大的容量且构造成从外部接收图像数据并将图像数据存储在其中；第二存储器；过驱动处理电路，其构造成压缩从所述第一存储器读出的图像数据以产生压缩的图像数据，将产生的压缩的图像数据写入到所述第二存储器中，并根据从所述第一存储器读出的当前帧的图像数据和从所述第二存储器读出的前一帧的压缩的图像数据进行过驱动处理，从而产生处理后图像数据；和数据线驱动部分，其构造成响应于所述处理后图像数据驱动所述LCD面板的数据线。

