



(12) 发明专利

(10) 授权公告号 CN 101271210 B

(45) 授权公告日 2011.06.29

(21) 申请号 200710194885.3

(22) 申请日 2007.12.27

(30) 优先权数据

10-2007-0027127 2007.03.20 KR

(73) 专利权人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 赵奕力 尹洙荣 全敏斗

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 梁挥

(51) Int. Cl.

G02F 1/133(2006.01)

G02F 1/1362(2006.01)

G09G 3/36(2006.01)

审查员 吴日雯

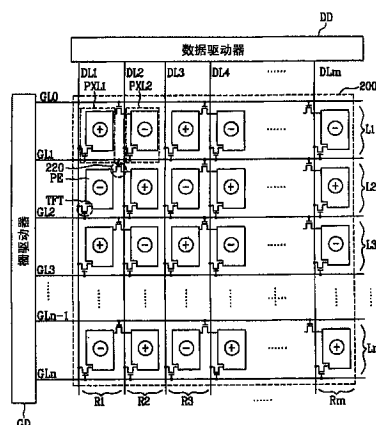
权利要求书 2 页 说明书 8 页 附图 5 页

(54) 发明名称

液晶显示器件及其驱动方法

(57) 摘要

本发明公开了一种液晶显示器件及其驱动方法,其可改善像素单元的充电性能,该液晶显示器件包括液晶面板,该液晶面板包括提供有相反极性的数据以显示图像的多个第一和第二像素单元;以及预充电单元,其就在将数据提供给第一和第二像素单元的周期之前将第一和第二像素单元彼此电连接,而在将数据提供给所述第一和第二像素单元的周期将第一像素单元和第二像素单元彼此电断开。



1. 一种液晶显示器件,包括:

包括多个第一和第二像素单元的液晶面板,具有相反极性的数据被提供给所述第一和第二像素单元以显示图像,其中具有相反极性的数据被分别提供给所述第一和第二像素单元;以及

预充电单元,其就在将数据提供给所述第一和第二像素单元的周期之前将所述第一像素单元与所述第二像素单元电连接,并且在将数据提供给所述第一和第二像素单元的周期期间将所述第一像素单元与所述第二像素单元电断开;

数据驱动器,用于每两个周期向数据线交替提供正极性数据和负极性数据;

虚拟栅线,其在每个帧周期被首先驱动;

其中所述预充电单元之中的第一预充电单元被设置在第一像素行中;

其中所述被设置在所述第一像素行中的第一预充电单元是由所述虚拟栅线控制的;

其中所述预充电单元连接到位于相同的像素行中、连接至不同的栅线并相邻设置的第一和第二像素单元,或者连接到位于相同的像素行中并连接至不同数据线的所述第一和第二像素单元。

2. 根据权利要求1所述的液晶显示器件,其特征在于,所述预充电单元将所述第一像素单元的像素电极与所述第二像素单元的像素电极电连接,或将所述第一像素单元的像素电极与所述第二像素单元的像素电极电断开。

3. 根据权利要求2所述的液晶显示器件,其特征在于,所述预充电单元包括开关器件,该开关器件通过在一个预定周期保持为激活态的扫描脉冲进行控制,并连接在所述第一像素单元的像素电极和所述第二像素单元的像素电极之间。

4. 根据权利要求1所述的液晶显示器件,其特征在于,所述液晶面板包括多条栅线和多条数据线,

其中所述栅线和所述数据线交叉;

其中所述第一像素单元位于奇数数据线的两侧,并且位于所述奇数数据线两侧的相同像素列的所述第一像素单元共同连接至所述奇数数据线;

所述第二像素单元位于偶数数据线的两侧,并且位于所述偶数数据线两侧的相同像素列的所述第二像素单元共同连接至所述偶数数据线;

在所述奇数数据线一侧设置的同一像素行的所述第一像素单元和在所述偶数数据线一侧设置的同一像素行的所述第二像素单元共同连接至对应于所述像素行的第一当前栅线;以及

在所述奇数数据线的另一侧设置的同一像素行的所述第一像素单元和在所述偶数数据线的另一侧设置的同一像素行的所述第二像素单元共同连接至对应于所述像素行的第二当前栅线。

5. 根据权利要求4所述的液晶显示器件,其特征在于,所述预充电单元响应于来自在所述第一当前栅线和第二当前栅线之前先驱动的对应该像素行的先前栅线的扫描脉冲,在所述扫描脉冲的激活态将所述第一像素单元的像素电极电连接至所述第二像素单元的像素电极。

6. 根据权利要求5所述的液晶显示器件,其特征在于,所述预充电单元包括开关器件,其通过来自所述先前栅线的扫描脉冲进行控制,并连接在所述第一像素单元的像素电极和

所述第二像素单元的像素电极之间。

液晶显示器件及其驱动方法

[0001] 本申请要求享有 2007 年 3 月 20 日递交的 No. P2007-27127 的韩国专利申请的权益,在此引入其全部内容作为参考。

技术领域

[0002] 本发明涉及一种液晶显示器件,更具体地,涉及一种可改善像素单元的充电性能的液晶显示器件及驱动该液晶显示器件的方法。

背景技术

[0003] 通常,液晶显示器件通过响应视频信号控制液晶单元的透光率来显示预期的图像。特别地,由于开关元件设置在有源矩阵型液晶显示器件的每个像素单元中,因此该有源矩阵型液晶显示器件适合于显示运动图像。在该情形下,该开关元件由薄膜晶体管(在下文中,将其称为“TFT”)形成。

[0004] 液晶显示器件包括多条彼此交叉的栅线和数据线,由此限定多个像素单元。为了防止液晶的劣化,将不同极性的数据提供给相邻的像素单元。

[0005] 图 1 是说明点反转驱动方法中的数据波形图。如图 1 所示,每个周期数据的极性反转,并且将每个周期极性反转的数据提供到每条数据线。像素单元将在一帧周期期间提供的数据保持到下一帧,从而在一帧周期内显示图像。

[0006] 如图 1 所示,当每帧周期地将数据提供给像素单元时,数据的极性将反转。即,像素单元提供有每帧周期从正极性反转到负极性的数据或者从负极性反转到正极性的数据。

[0007] 然而,如果每帧周期数据的极性反转,则像素单元的充电性能劣化,从而降低图像质量。例如,假设在上一周期中像素单元提供有正极性的数据,并且在当前周期中提供有负极性的数据,则由于在上一周期中提供给像素单元的负极性的数据,致使在当前周期中提供有负极性数据的像素单元快速充电到预期值是困难的。

发明内容

[0008] 因此,本发明涉及一种液晶显示器件及其驱动方法,其充分消除了由于现有技术的局限和缺点而导致的一个或多个问题。

[0009] 本发明的目的是提供一种液晶显示器件及其驱动方法,其中提供有相反极性数据的像素单元利用显示周期之前的电连接预充电,从而改善像素单元的充电性能。

[0010] 本发明另外的优点、目的和特征将在以下描述中加以阐述,其中部分特征和优点对于熟悉本领域的普通技术人员来说可以从以下描述中显而易见地看到,或者从本发明的实践中得知。通过在本发明的说明书、权利要求书以及附图中具体指明的结构,本发明的目的和其它优点会得到了解和实现。

[0011] 为实现这些目的和其他优点并根据本发明的目的,如在此具体地和广义地描述,一种液晶显示器件,包括:包括多个第一和第二像素单元的液晶面板,具有相反极性的数据被提供给所述第一和第二像素单元以显示图像,其中具有相反极性的数据被分别提供给所

述第一和第二像素单元；以及预充电单元，其就在将数据提供给所述第一和第二像素单元的周期之前将所述第一像素单元与所述第二像素单元电连接，并且在将数据提供给所述第一和第二像素单元的周期期间将所述第一像素单元与所述第二像素单元电断开；数据驱动器，用于每两个周期向数据线交替提供正极性数据和负极性数据；虚拟栅线，其在每个帧周期被首先驱动；其中所述预充电单元之中的第一预充电单元被设置在第一像素行中；其中所述被设置在第一像素行中的第一预充电单元是由所述虚拟栅线控制的；其中所述预充电单元连接到位于相同的像素行中、连接至不同的栅线并相邻设置的第一和第二像素单元，或者连接到位于相同的像素行中并连接至不同数据线的第二像素单元。

[0012] 应当理解，前述本发明的一般描述和以下详细描述都是示例性和解释性的并意在提供要求保护的本发明的进一步解释。

[0013] 附图说明

[0014] 附图表示的是本发明的实施例，它们与说明书一起用于解释本发明的原理，所述附图有助于进一步理解本发明，而且与说明书相结合并构成说明书一部分。在附图中：

[0015] 图 1 是说明点反转驱动方法的数据的波形图；

[0016] 图 2 是说明根据本发明的第一实施方式的 LCD 器件的示意图；

[0017] 图 3 是说明提供到图 2 的栅线和数据线的不同信号的时序图；

[0018] 图 4 是说明图 2 的第一和第二像素单元的充电量的示意图；

[0019] 图 5 是说明根据本发明的第二实施方式的 LCD 器件的示意图；以及

[0020] 图 6 是说明提供给图 5 的栅线和数据线的不同信号的时序图。

具体实施方式

[0021] 下面将对本发明的优选实施例进行详细说明，所述实施例的实例示于附图中。在所有附图中将尽可能地用相同的附图标记表示相同或类似的部件。

[0022] 在下文中，将参照附图解释根据本发明的优选实施例的液晶显示器件及其驱动方法。

[0023] 第一实施例

[0024] 图 2 是说明根据本发明的第一实施例的 LCD 的示意图，图 2 是提供给图 2 的栅线和数据线的不同信号的时序图。

[0025] 如图 2 所示，根据本发明的第一实施例的 LCD 包括提供有多个第一像素单元和第二像素单元 PXL1 和 PXL2 以显示图像的液晶面板 200；以及驱动液晶面板 200 的栅驱动器 GD 和数据驱动器 DD。

[0026] 第一像素单元 PXL1 提供有相同极性的数据，从而显示图像。此时，提供给第一像素单元 PXL1 的数据的极性与提供给第二像素单元 PXL2 的极性相反。例如，如图 2 所示，提供有正极性数据的像素单元对应于第一像素单元 PXL1，而提供有负极性数据的像素单元对应于第二像素单元 PXL2。液晶面板 200 包括多条栅线 GL1 到 GLn 以及多条数据线 DL1 到 DLm，其中栅线 GL 与数据线 DL 正交。

[0027] 栅驱动器 GD 输出扫描脉冲 Vout0 到 Voutn，用于按序驱动栅线 GL1 到 GLn，并且数据驱动器 DD 向数据线 DL1 到 DLm 提供数据。实际上，在来自时序控制器的各水平周期，数据驱动器 DD 提供有一行的数据（提供给沿一像素行排列的像素单元的数据），并选择先前

设定给对于相应的行的数据的灰度级电压。然后,将所选择的一行的灰度级电压分别提供给数据线 DL1 到 DLm。

[0028] 为方便解释,将提供给各条数据线 DL1 到 DLm 的灰度级电压称为数据。

[0029] 在每个像素列 R1 到 Rm 中,其中每个像素设置在数据线 DL1 到 DLm 的右侧,沿数据线方向存在多个像素单元 PXL1 和 PXL2。包含在每个像素列 R1 到 Rm 中的像素单元 PXL1 和 PXL2 共同连接至位于其左侧的数据线,其中包含在每个像素列 R1 到 Rm 中的像素单元分别连接至第一到第‘n’条栅线 GL1 到 GLn。例如,包含在第一像素列 R1 中的第一像素单元和第二像素单元 PXL1 和 PXL2 共同连接至第一数据线 DL1,并分别连接至第一到第‘n’条栅线 GL1 到 GLn。

[0030] 连接至第‘3k+1’条数据线的像素单元对应于用于显示红色图像的像素单元;连接至第‘3k+2’条数据线的像素单元对应于用于显示绿色图像的像素单元;以及连接至第‘3k+3’条数据线的像素单元对应于用于显示蓝色图像的像素单元。

[0031] 一个像素单元包括薄膜晶体管 TFT,其响应于来自栅线 GL 的扫描脉冲而转换来自数据线 DL 的数据;像素电极 PE,其提供有来自薄膜晶体管 TFT 的数据;公共电极(未示出),其与像素电极 PE 相对设置;以及液晶层,其设置在像素电极 PE 和公共电极之间,并基于像素电极 PE 和公共电极(未示出)之间产生的电场来控制透光率。

[0032] 水平或垂直方向相邻的两个像素单元提供有以一个像素单元为单位的不同极性的数据,从而显示图像。为此,数据驱动器 DD 在每一周期向数据线 DL1 到 DLm 交替提供正极性数据和负极性数据。另外,数据驱动器 DD 向相邻数据线提供相反极性的数据。即,数据驱动器 DD 以一点反转(one-dot inversion)方法输出数据。

[0033] 这时,第一像素单元 PXL1 和第二像素单元 PXL2 在相同帧周期提供有不同的极性。例如,第一像素单元 PXL1 在奇数帧周期提供有正极性数据,且在偶数帧周期提供有负极性数据。同时,第二像素单元 PXL2 在奇数帧周期提供有负极性数据,并在偶数帧周期提供有正极性数据。

[0034] 正极性数据对应于具有比公共电压 Vcom 高的电压电平的数据,而负极性数据对应于具有比公共电压 Vcom 低的电压电平的数据。

[0035] 在每个像素行 L1 到 Ln 中,第一和第二像素单元 PXL1 和 PXL2 交替排列。此时,第一像素单元 PXL1 设置在奇数的像素行 L1、L3...、Ln-1 的最左侧;而第二像素单元 PXL2 设置在偶数的像素行 L2、L4、...、Ln 的最左侧。换句话说,奇数的像素行 L1、L3、...、Ln-1 提供有以第一像素单元 PXL1 和第二像素单元 PXL2 的顺序排列的像素单元;而偶数的像素行 L2、L4、...、Ln 提供有以第二像素单元 PXL2 和第一像素单元 PXL1 的顺序排列的像素单元。

[0036] 此时,彼此相邻设置并连接至相同栅线的第一和第二像素单元 PXL1 和 PXL2 通过预充电单元 220 彼此连接或断开。例如,连接至第一栅线 GL1 和第一数据线 DL1 的第一像素单元 PXL1 通过预充电单元 220 与连接至第一栅线 GL1 和第二数据线 DL2 的第二像素单元 PXL2 连接或断开。即,预充电单元 220 对应于开关器件以响应于来自栅线的扫描脉冲而电连接第一像素单元 PXL1 的像素电极 PE 和第二像素单元 PXL2 的像素电极 PE。为此,预充电单元 220 包括连接至栅线的栅端;连接至第一像素单元 PXL1 的像素单元 PE 的源端;以及连接至第二像素单元 PXL2 的像素电极 PE 的漏端。

[0037] 在用于向第一和第二像素单元 PXL1 和 PXL2 提供数据的显示周期,将预充电单元 220 截止,从而第一像素单元 PXL 与第二像素单元 PXL2 断开。即,在第一像素单元 PXL1 和第二像素单元 PXL2 的显示周期,使预充电单元 220 截止,使得第一像素单元 PXL1 的像素电极 PE 与第二像素单元 PXL2 的像素电极 PE 断开。对于该显示周期,第一像素单元 PXL1 的数据不与第二像素单元 PXL2 的数据相互干扰。

[0038] 然而,预充电单元 220 在第一和第二像素单元 PXL1 和 PXL2 的显示周期之前的前一周期电连接第一像素单元 PXL1 和第二像素单元 PXL2。因此,第一像素单元 PXL1 的数据和第二像素单元 PXL2 的数据已经相互影响。在显示周期之前的前一周期对应于在第一和第二像素单元 PXL1 和 PXL2 之前先前驱动的像素单元的显示周期。

[0039] 更详细地,位于第‘k’个像素行的任意一个预充电单元 220 响应于来自第‘k-1’条栅线的第‘k-1’个扫描脉冲而将连接至第‘k’条栅线的第一像素单元 PXL1 的像素电极 PE 与第二像素电极 PXL2 的像素电极 PE 电连接。即,在连接至第‘k-1’条栅线的像素单元的显示周期期间,第‘k’个像素行的预充电单元 220 将连接至第‘k’条栅线的第一像素单元 PXL1 的像素电极 PE 与连接至第‘k’条栅线的第二像素单元 PXL2 的像素电极 PE 电连接。

[0040] 例如,在任意一个预充电单元 220 位于第二像素行 L2 的情形下,预充电单元 220 被连接在连接至第二栅线 GL2 和第一数据线 DL1 的第二像素单元 PXL2 以及连接至第二栅线 GL2 和第二数据线 DL2 的第一像素单元 PXL1 之间。预充电单元 220 通过来自第一栅线 GL1 的第一扫描脉冲 Vout1 控制,该第一栅线 GL1 就位于第二栅线 GL2 之前。在将第一扫描脉冲 Vout1 保持为激活态(高态)的周期,预充电单元 220 将第一像素单元 PXL1 的像素电极 PE 与第二像素单元 PXL2 的像素电极 PE 电连接。然后,在除了将第一扫描脉冲 Vout1 保持为激活态的周期外,位于第二像素行的预充电单元 220 保持在截止状态。

[0041] 同时,虚拟栅线 GL0 位于第一栅线 GL1 的上侧。虚拟栅线 GL0 连接至预充电单元 220 的栅端以控制连接至第一栅线 GL1 的第一和第二像素单元 PXL1 和 PXL2 之间的连接关系。即,提供虚拟栅线 GL0 以提供信号来控制位于第一像素行 L1 的预充电单元 200。虚拟栅线 GL0 提供有虚拟扫描脉冲 Vout0,其中在每个帧周期首先输出该虚拟扫描脉冲 Vout0。因此,在每个帧周期首先驱动虚拟栅线 GL0。

[0042] 包含在每个像素单元 PXL1 和 PXL2 中的薄膜晶体管 TFT 在约一帧周期的 10% 的 1H 周期(显示周期)导通,并在约一帧周期的 90% 的其它周期(保持周期)截止。在显示周期期间将相应的数据提供给预充电单元 220 之后,预充电单元 220 更新前一数据并在保持周期保持所提供的的数据。

[0043] 就在向第一和第二像素单元 PXL1 和 PXL2 提供数据的显示周期之前的前一周期,预充电单元 220 先将第一和第二像素单元 PXL1 和 PXL2 中充入的数据的极性转换为将在显示周期提供的数据的极性方向。因此,有可能使得在第一和第二像素单元 PXL1 和 PXL2 中充入的数据的极性转换为提供给显示周期的数据的极性方向。以下将详细解释预充电单元 220 控制第三像素行 L3 的第一和第二像素单元 PXL1 和 PXL2 的操作以及第一像素单元 PXL1 和第二像素单元 PXL2 之间的连接关系。

[0044] 位于第三像素行 L3 最左侧的预充电单元 220 连接在与第三栅线 GL3 和第一数据线 DL1 连接的第一像素单元 PXL1 和与第三栅线 GL3 和第二数据线 DL2 连接的第二像素单元 PXL2 之间。

[0045] 如图 2 和图 3 所示,第一像素单元 PXL1 在第三周期 T3 提供有正极性数据,而第二像素单元 PXL2 在第三周期 T3 提供有负极性数据,从而显示图像。即,第三周期 T3 对应于第一和第二像素单元 PXL1 和 PXL2 的显示周期。在显示周期之前的前一周期,第一像素单元 PXL1 保持有由前一帧周期提供的负极性数据,而第二像素单元 PXL2 保持有由前一帧周期提供的正极性数据。即,在第三周期 T3 第一像素单元 PXL1 的数据从负极性改变为正极性,而第二像素单元 PXL2 的数据从正极性改变为负极性。

[0046] 就在第三周期之前的第二周期 T2,将第二扫描脉冲提供给第二栅线 GL2。响应于第二扫描脉冲,预充电单元 220 导通。通过导通的预充电单元 220,第一像素单元 PXL1 的像素电极 PE 电连接至第二像素单元 PXL2 的像素电极 PE。

[0047] 在第二周期 T2,第一像素单元 PXL1 的负极性数据与第二像素单元 PXL2 的正极性数据混合。在第二周期 T2,第一像素单元 PXL1 保持有负极性数据,而第二像素单元 PXL2 保持有正极性数据。因此,第二像素单元 PXL2 的正极性数据受第一像素单元 PXL1 的负极性数据影响,并且第一像素单元 PXL1 的负极性数据受第二像素单元 PXL2 的正极性数据影响。

[0048] 当第一和第二像素单元 PXL1 和 PXL2 充电为相反的极性并彼此电连接时,像素单元的数据上升或下降到对应于公共电压 V_{com} 的中间电压。更具体地,第一像素单元 PXL1 中充入的负极性数据受来自第二像素单元 PXL2 的正极性数据影响,从而电压朝向公共电压上升。同时,第二像素单元 PXL2 中充入的正极性数据受来自第一像素单元 PXL1 的负极性数据影响,从而电压朝向公共电压 V_{com} 下降。

[0049] 在第三周期 T3,第三栅线 GL3 提供有扫描脉冲,并且第二栅线 GL2 没有提供扫描脉冲。因此,在第三周期 T3 预充电单元 220 截止,从而第一像素单元 PXL1 与第二像素单元 PXL2 断开。

[0050] 第三周期 T3 对应于连接至第三栅线 GL3 的第一和第二像素单元 PXL1 和 PXL2 的显示周期。在第三周期 T3,正极性数据被提供给第一数据线 DL1,而负极性数据被提供给第二数据线 DL2。因此,第一像素单元 PXL1 提供有正极性数据,而第二像素单元 PXL2 提供有负极性数据。

[0051] 此时,由于在第一像素单元 PXL1 中充入的负极性数据在第二周期 T2 先朝向公共电压 V_{com} 上升,在第一像素单元中充入的负极性数据快速地改变至在第三周期 T3 提供的正极性数据的目标值。同时,由于第二像素单元 PXL2 中充入的正极性数据在第二周期 T2 先朝向公共电压 V_{com} 下降,第二像素单元 PXL2 中充入的正极性数据快速地改变至在第三周期 T3 提供的负极性数据的目标值。

[0052] 图 4 是说明图 2 的第一和第二像素单元的带电量的示意图。如图 4 所示,在第二周期 T2 之前保持在第一像素单元中的负极性数据在第二周期 T2 朝向公共电压 V_{com} 上升,并在对应于显示周期的第三周期改变为正极性数据。同时,在第二周期 T2 之前保持在第二像素单元 PXL2 中的正极性数据在第二周期 T2 朝向公共电压 V_{com} 下降,并在对应于第三周期 T3 的显示周期变为负极性数据。

[0053] 第二实施例

[0054] 图 5 是说明根据本发明的第二实施例的 LCD 器件的示意图。图 6 是说明提供给图 5 的栅线和数据线的不同信号的时序图。

[0055] 如图 5 所示,每一个像素单元中沿垂直方向相邻排列的像素提供有不同极性的数

据,并且每两个像素单元中沿水平方向相邻排列的像素单元提供有不同极性的数据,从而显示图像。为此,如图 5 和图 6 所示,数据驱动器 DD 每两个周期向数据线 DL1 到 DL_m 交替提供正极性数据和负极性数据。另外,相邻的数据线提供有相反极性的数据。即,数据驱动器 DD 用两点反转 (2-dot inversion) 方法输出数据。

[0056] 此时,像素单元包括第一像素单元 PXL1 和第二像素单元 PXL2。在相同帧周期中,第一像素单元 PXL1 的极性不同于第二像素单元 PXL2 的极性。例如,第一像素单元 PXL1 在奇数的帧周期提供有正极性数据,并在偶数的帧周期提供有负极性数据。同时,第二像素单元 PXL2 在奇数的帧周期提供有负极性数据,并在偶数的帧周期提供有正极性数据。

[0057] 如图 5 所示,参照每条数据线 DL1 到 DL_m,相同极性的像素单元彼此相对地设置,其中提供有相同极性的相对像素单元共同连接至位于二者之间的数据线。

[0058] 在每个像素行 L1 到 L_p 中,第一像素单元 PXL1 和第二像素单元 PXL2 交替排列。此时,第一像素单元 PXL1 位于奇数像素行 L1、L3、...、L_{p-1} 的最左侧;而第二像素单元 PXL2 位于偶数像素行 L2、L4、...、L_p 的最左侧。换句话说,奇数像素行 L1、L3、...、L_{p-1} 提供有以第一像素单元 PXL1、第一像素单元 PXL1、第二像素单元 PXL2、第二像素单元 PXL2 的顺序排列的像素单元;而偶数像素行 L2、L4、...、L_p 提供有以第二像素单元 PXL2、第二像素单元 PXL2、第一像素单元 PXL1、第一像素单元 PXL1 的顺序排列的像素单元。

[0059] 栅线位于每个像素行 L1 到 L_n 的下侧和上侧。包含在每个像素行 L1 到 L_p 中的奇数像素单元 PXL1 和 PXL2 共同连接至位于每个像素行 L1 到 L_n 的上侧的栅线;而包含在每个像素行 L1 到 L_p 中的偶数像素单元 PXL1 和 PXL2 共同连接至位于每个像素行 L1 到 L_n 的下侧的栅线。例如,包含在第一像素行 L1 中的像素单元 PXL1 和 PXL2 中的奇数像素单元共同连接至第一栅线 GL1,而其中的偶数像素单元共同连接至第二栅线 GL2。另外,位于每个像素行 L1 到 L_p 下侧的栅线连接至下一像素行的预充电单元 200。

[0060] 此时,设置在相同的像素行中、连接至不同的栅线并相邻设置的第一和第二像素单元 PXL1 和 PXL2 通过预充电单元 220 彼此电连接或断开。例如,第一栅线 GL1 设置在第一像素行 L1 的上侧,而第二栅线 GL2 设置在第一像素行 L1 的下侧。包含在第一像素行 L1 中的一个预充电单元 550 将连接至第二栅线 GL2 和第一数据线 DL1 的第一像素单元 PXL1 与连接至第一栅线 GL1 和第二数据线 DL2 的第二像素单元 PXL2 电连接;并将连接至第二栅线 GL2 和第一数据线 DL1 的第一像素单元 PXL1 与连接至第一栅线 GL1 和第二数据线 DL2 的第二像素单元 PXL2 断开。

[0061] 在另一方法中,预充电单元 550 可连接到第一和第二像素单元 PXL1 和 PXL2,该第一和第二像素单元位于相同的像素行中并连接至不同的数据线。例如,位于第一像素行 L1 中的预充电单元 550 可连接在第一像素单元 PXL1 (位于第一像素行 L1 中并连接至第一数据线 DL1 和第二栅线 GL2) 和第二像素单元 PXL2 (位于第一像素行 L1 中并连接至第二数据线 DL2 和第二栅线 GL2) 之间。

[0062] 包含在一个像素行中的预充电单元 550 在向包含在相应像素行的第一和第二单位像素 PXL1 和 PXL2 提供数据的显示周期中截止,从而第一像素单元 PXL1 与第二像素单元 PXL2 电断开。即,预充电单元 550 在第一和第二像素单元 PXL1 和 PXL2 的显示周期截止,使得第一像素单元 PXL1 的像素电极 PE 与第二像素单元 PXL2 的像素电极 PE 电断开。因此,在该显示周期,第一像素单元 PXL1 的数据不与第二像素单元 PXL2 的数据干扰。

[0063] 然而,就在第一和第二像素单元 PXL1 和 PXL2 的显示周期之前的前一周期,预充电单元 550 将第一和第二像素单元 PXL1 和 PXL2 彼此电连接。因此,第一像素单元 PX1 的数据和第二像素单元 PX2 的数据彼此影响。就在显示周期之前的前一周期对应于在第一和第二像素单元 PXL1 和 PXL2 之前先驱动的像素单元的显示周期。

[0064] 更详细地,位于第‘k’个像素行中的预充电单元 550 响应于来自位于第‘k-1’个像素行的栅线的扫描脉冲而将第一像素单元 PXL1 和第二像素单元 PXL2 彼此电连接。换句话说,在导通包含在第‘k-1’个像素行中的奇数像素单元(或者偶数像素单元)的周期,包含在第‘k’个像素行中的预充电单元 220 将包含在第‘k’个像素行中的第一像素单元的像素电极 PE 电连接至包含在第‘k’个像素行中的第二像素单元 PXL2 的像素电极 PE。

[0065] 例如,在预充电单元 550 包含在第二像素行 L2 中的情形下,预充电单元 550 连接在与第三栅线 GL3 和第二数据线 DL2 连接的第一像素单元 PXL1 和与第四栅线 GL4 和第一数据线 DL1 连接的第二像素单元 PXL2 之间。预充电单元 550 通过来自第二栅线 GL2 的第二扫描脉冲 Vout2 进行控制,该第二栅线 GL2 位于第一像素行 L1 的下侧,即,该像素行就位于第二像素行 L2 之前。在将第二扫描脉冲 Vout2 保持为激活态(高态)的周期,预充电单元 550 将第一像素单元 PXL1 的像素电极 PE 电连接至第二像素单元 PXL2 的像素电极 PE。然后,除将第二扫描脉冲 Vout2 保持为激活态的周期外,位于第二像素行 L2 的预充电单元 550 保持在截止状态。

[0066] 同时,虚拟栅线 GL0 设置在第一栅线 GL1 的上侧。虚拟栅线 GL0 连接至预充电单元 550 的栅端以控制位于第一像素行 L1 中的第一像素单元 PXL1 和第二像素单元 PXL2 之间的连接关系。即,提供虚拟栅线 GL0 以提供信号来控制位于第一像素行 L1 的预充电单元 550。虚拟栅线 GL0 提供有虚拟扫描脉冲 Vou0,其中该虚拟扫描脉冲 Vout0 在每个帧周期首先输出。因此,虚拟栅线 GL0 在每个帧周期首先驱动。

[0067] 就在向第一和第二像素单元 PXL1 和 PXL2 提供数据的显示周期之前的周期,预充电单元 550 先将第一和第二像素单元 PXL1 和 PXL2 中充入的数据的极性转换为提供给显示周期的数据的极性方向。因此,有可能使得在第一和第二像素单元 PXL1 和 PXL2 中充入的数据的极性转换为提供给显示周期的数据的极性方向。以下将详细解释预充电单元 550 控制第三像素行 L3 的第一和第二像素单元 PXL1 和 PXL2 的操作以及第一像素单元 PXL1 和第二像素单元 PXL2 之间的连接关系。

[0068] 位于第三像素行 L3 最左侧的预充电单元 550 连接在与第六栅线 GL6 和第一数据线 DL1 连接的第一像素单元 PXL1 和与第五栅线 GL5 和第二数据线 DL2 连接的第二像素单元 PXL2 之间。

[0069] 如图 5 和图 6 所示,在第五周期 T5 第二像素单元 PXL2 提供有负极性数据,而在第六周期 T6 第一像素单元 PXL1 提供有正极性数据。即,第五周期 T5 对应于第二像素单元 PXL2 的显示周期,而第六周期对应于第一像素单元 PXL1 的显示周期。对于就在该显示周期之前的周期,第二像素单元 PXL2 保持有提供给前一帧周期的正极性数据,而第一像素单元 PXL1 保持有提供给前一帧周期的负极性数据。即,在第五周期 T5 第二像素单元 PXL2 的数据从正极性变为负极性,而在第六周期 T6 第一像素单元 PXL1 的数据从负极性变为正极性。

[0070] 就在第五周期 T5 之前的周期,即,第四周期 T4,将第四扫描脉冲 Vout4 提供给第

四栅线 GL4(位于第二像素行 L2 的下侧)。响应于第四扫描脉冲 V_{out4} , 预充电单元 550 导通。通过导通的预充电单元 550, 第一像素单元 PXL1 的像素电极 PE 电连接至第二像素单元 PXL2 的像素电极 PE。

[0071] 在第四周期 T4, 第一像素单元 PXL1 的负极性数据与第二像素单元 PXL2 的正极性数据混合。在第四周期 T4, 第一像素单元 PXL1 保持有负极性数据而第二像素单元 PXL2 保持有正极性数据。因此, 第二像素单元 PXL2 的正极性数据受第一像素单元 PXL1 的负极性数据影响, 而第一像素单元 PXL1 的负极性数据受第二像素单元 PXL2 的正极性数据影响。

[0072] 当第一和第二像素单元 PXL1 和 PXL2 充入为相反的极性并彼此电连接时, 像素单元的数据朝向对应于公共电压 V_{com} 的中心电压上升或者下降。更具体地, 第一像素单元 PXL1 中充入的负极性数据受来自第二像素单元 PXL2 的正极性数据影响, 从而电压朝向公共电压上升。同时, 在第二像素单元 PXL2 中充入的正极性数据受来自第一像素单元 PXL1 的负极性数据影响, 从而电压朝向公共电压 V_{com} 降低。

[0073] 之后, 在第五周期 T5, 将第五扫描脉冲 V_{out5} 提供给第五栅线 GL5, 并且不将扫描脉冲提供给第四栅线 GL4。因此, 在第五周期 T5, 预充电单元 550 截止, 使得第一像素单元 PXL1 与第二像素单元 PXL2 断开。

[0074] 第五周期 T5 对应于连接至第五栅线 GL5 和第二数据线 DL2 的第二像素单元 PXL2 的显示周期。在第五周期 T5, 第二数据线 DL2 提供有负极性数据。因此, 第二像素单元 PXL2 提供有负极性数据。

[0075] 此时, 由于第二像素单元 PXL2 中充入的正极性数据在第四周期 T4 先朝向公共电压 V_{com} 下降, 因此第二像素单元 PXL2 中充入的负极性数据迅速变为在第五周期 T5 提供的正极性数据。

[0076] 之后, 在第六周期 T6, 将第六扫描脉冲提供给第六栅线 GL6, 并不提供给第四栅线 GL4。因此, 在第六周期 T6, 预充电单元 550 截止, 从而第一像素单元 PXL1 与第二像素单元 PXL2 电断开。

[0077] 第六周期 T6 对应于连接至第六栅线 GL6 和第一数据线 DL1 的第一像素单元 PXL1 的显示周期。在第六周期 T6, 将正极性数据提供给第一数据线 DL1。因此, 第一像素单元 PXL1 提供有正极性数据。

[0078] 此时, 由于在第四周期 T4 第一像素单元 PXL1 中充入的负极性数据先朝向公共电压 V_{com} 上升, 因此第一像素单元 PXL1 中充入的负极性数据迅速变为在第六周期 T6 提供的正极性数据。

[0079] 如上指出, 根据本发明的液晶显示器件及其驱动方法具有以下优点。

[0080] 根据本发明的液晶显示器件包括预充电单元, 其通过先将第一和第二像素单元中充入的数据尺寸朝向就在向第一和第二像素单元提供数据的显示周期之前的周期提供的数据的极性方向改变, 使得第一和第二像素单元中充入的数据的极性迅速变为显示周期提供的数据的极性方向, 从而改善了像素单元的充电性能。

[0081] 显然在不脱离本发明的精神和范围的情况下, 本领域的普通技术人员可以对本发明做出各种改进和变型。因此, 本发明意图覆盖所有落入所附权利要求及其等效物的范围之内的改进和变型。

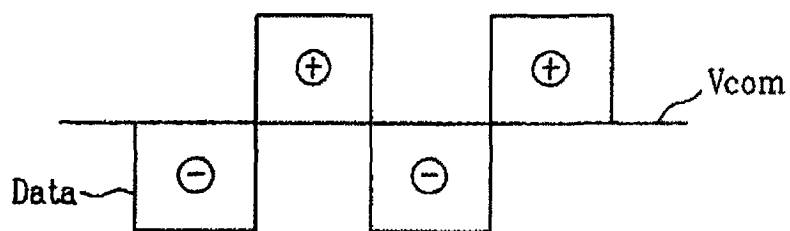


图 1

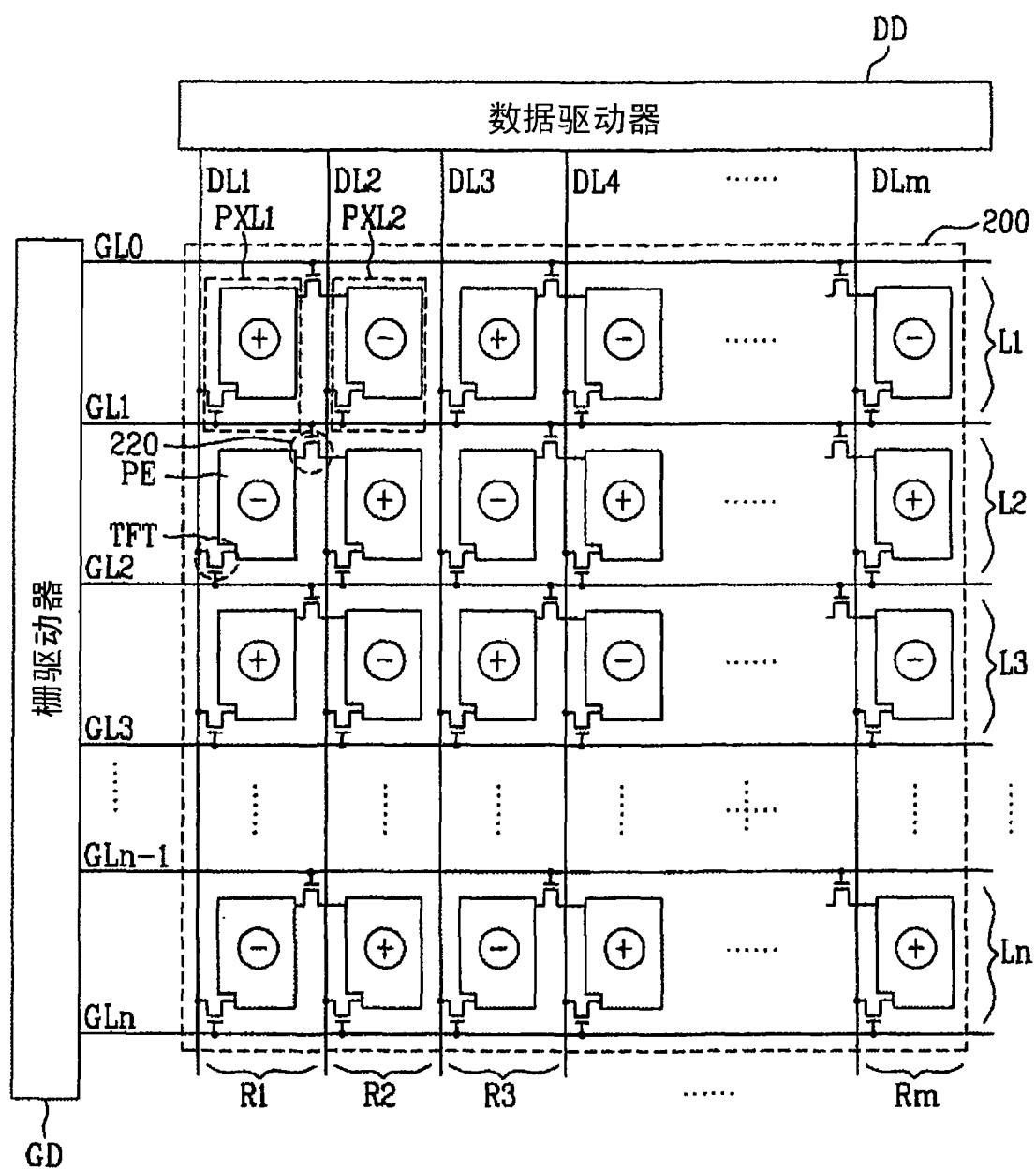


图 2

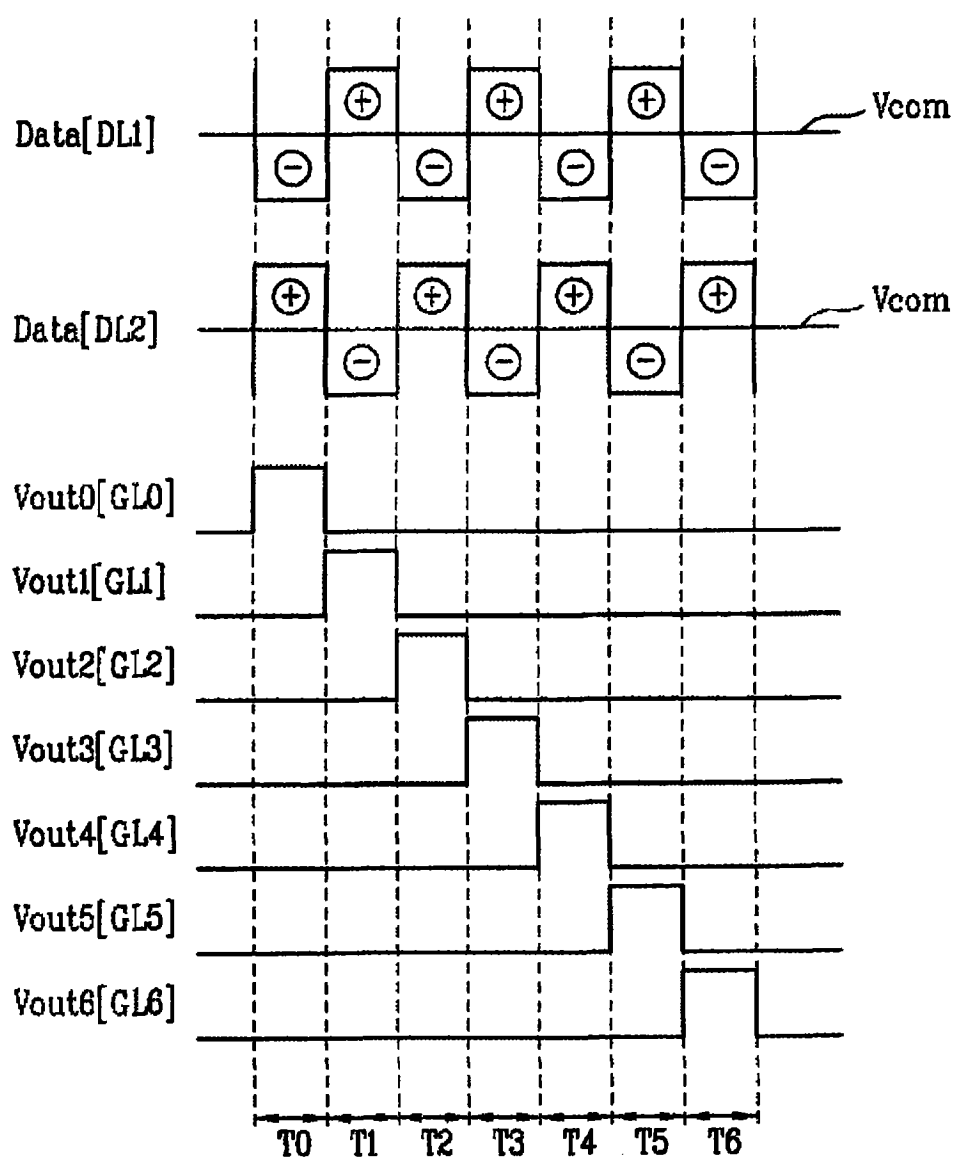


图 3

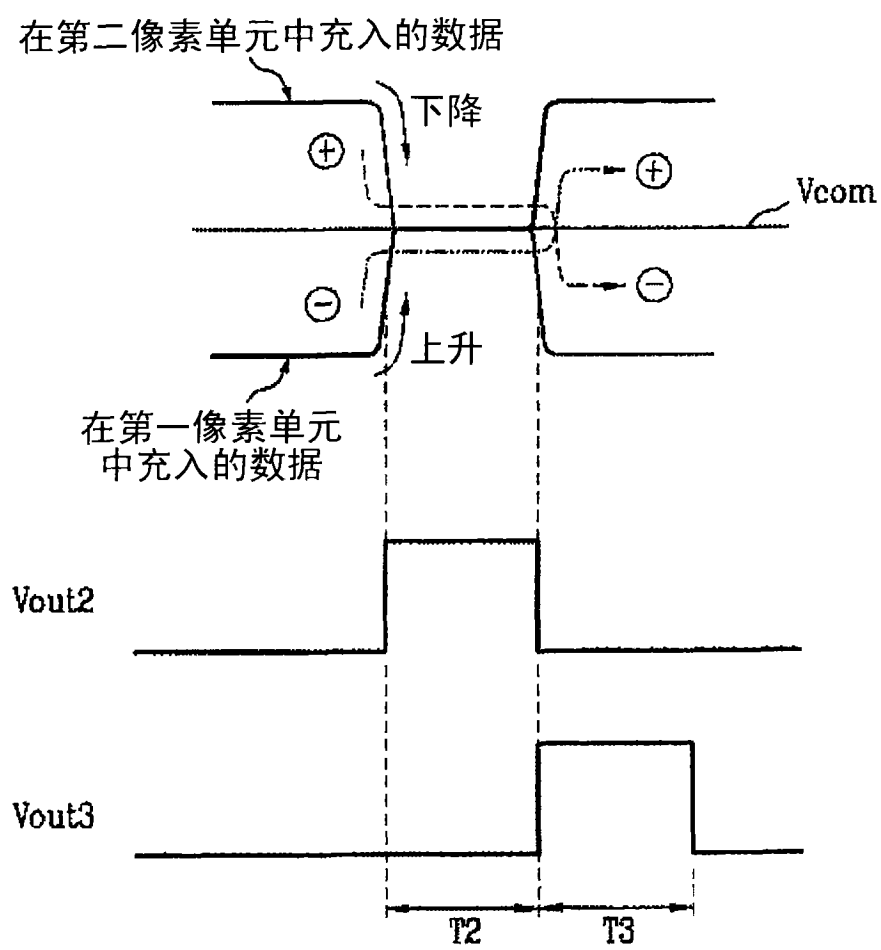


图 4

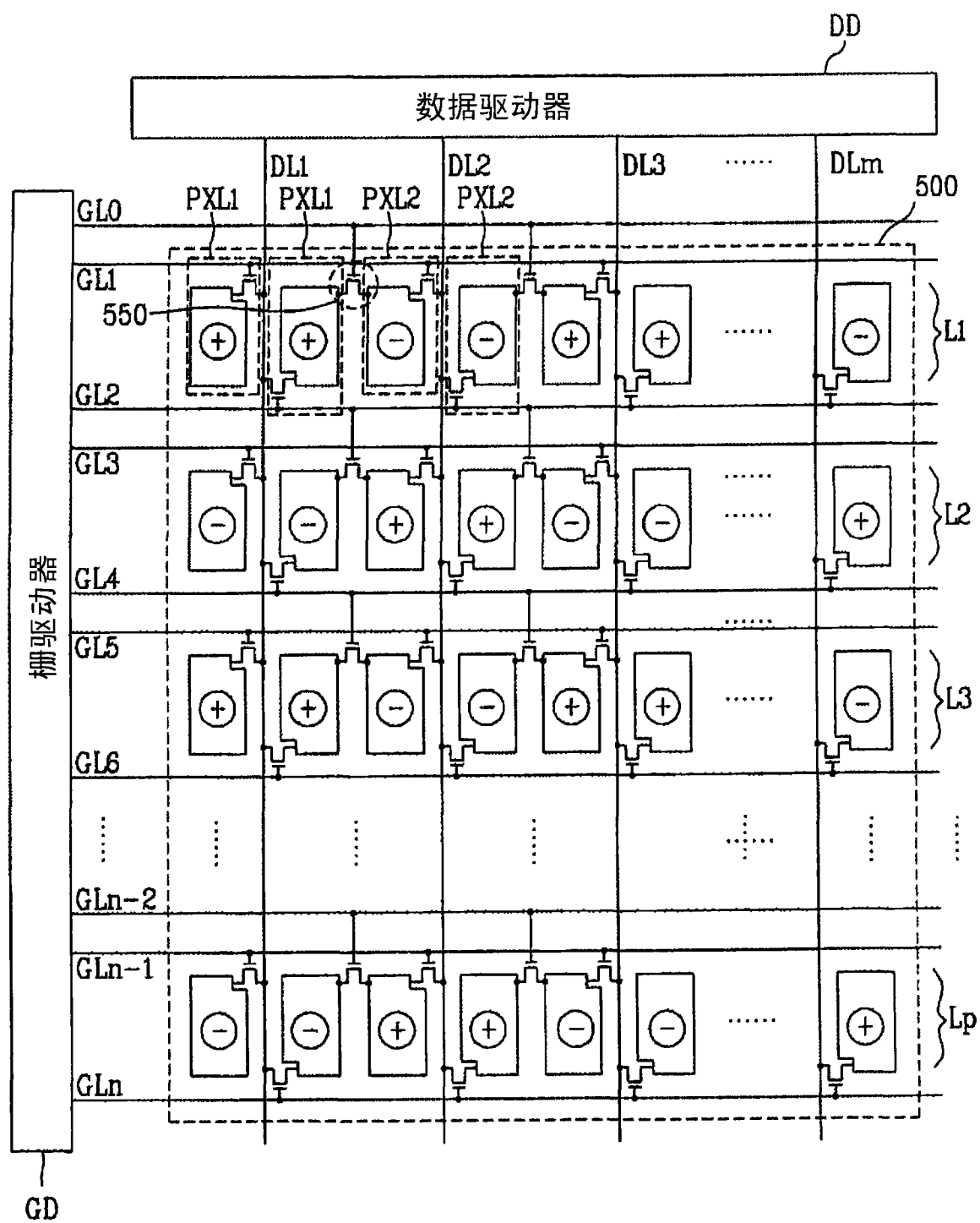


图 5

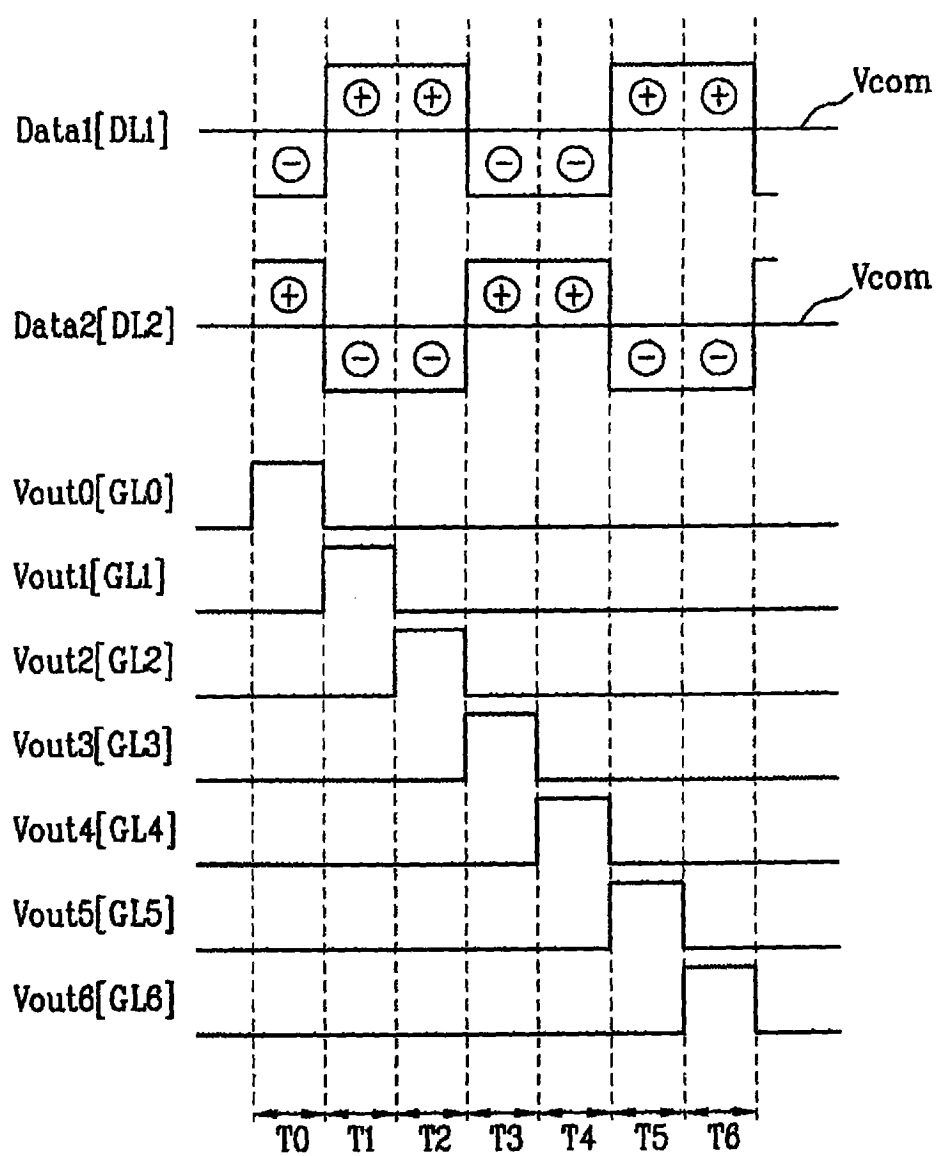


图 6

专利名称(译)	液晶显示器件及其驱动方法		
公开(公告)号	CN101271210B	公开(公告)日	2011-06-29
申请号	CN200710194885.3	申请日	2007-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.菲利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	赵奕力 尹洙荣 全敏斗		
发明人	赵奕力 尹洙荣 全敏斗		
IPC分类号	G02F1/133 G02F1/1362 G09G3/36		
CPC分类号	G09G2310/0251 G09G3/3614 G09G2320/0252 G09G3/3648 G09G2300/0426		
代理人(译)	徐金国		
优先权	1020070027127 2007-03-20 KR		
其他公开文献	CN101271210A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器件及其驱动方法，其可改善像素单元的充电性能，该液晶显示器件包括液晶面板，该液晶面板包括提供有相反极性的数据以显示图像的多个第一和第二像素单元；以及预充电单元，其就在将数据提供给第一和第二像素单元的周期之前将第一和第二像素单元彼此电连接，而在将数据提供给所述第一和第二像素单元的周期将第一像素单元和第二像素单元彼此电断开。

