

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710146603.2

[43] 公开日 2008 年 4 月 30 日

[11] 公开号 CN 101169922A

[22] 申请日 2007.8.22

[21] 申请号 200710146603.2

[30] 优先权

[32] 2006. 10. 24 [33] KR [31] 10-2006-0103624

[71] 申请人 三星电子株式会社

地址 韩国京畿道水原市灵通区梅滩洞 416

[72] 发明人 金宽洙

[74] 专利代理机构 北京铭硕知识产权代理有限公司
代理人 韩明星 李友佳

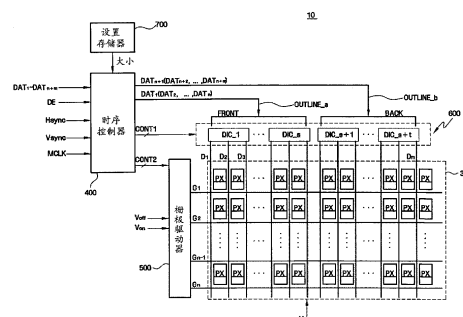
权利要求书 6 页 说明书 12 页 附图 8 页

[54] 发明名称

时序控制器、液晶显示器和显示图像的方法

[57] 摘要

本发明提供了一种时序控制器和包括该时序控制器的液晶显示器，该时序控制器能够减小电磁干扰(EMI)。该时序控制器包括：线缓冲存储器；比较单元，将第一数据信息和第二数据信息进行比较；存储分配单元，根据比较的结果，将线缓冲存储器划分为第一存储单元和第二存储单元，第一存储单元和第二存储单元各具有相同的存储大小。本发明还提供了一种在包括该时序控制器的液晶显示器上显示图像的方法。



1、一种液晶显示器，包括：

电路板；

时序控制器，安装在电路板上，存储顺序输入的第1至第 $n+m$ 像素数据，使得像素数据被划分为包括第1至第 n 像素数据的第一图像数据组和包括第 $n+1$ 至第 $n+m$ 像素数据的第二图像数据组，并从所存储的第一图像数据组和第二图像数据组的每个同时输出像素数据，其中，第一图像数据组的数据大小小于第二图像数据组的数据大小，即 $m>n$ ；

数据驱动器，电连接到电路板，将与像素数据对应的数据电压提供到多条数据线，并包括第一数据驱动集成电路组和第二数据驱动集成电路组，其中，第一数据驱动集成电路组具有用于施加与第1至第 n 像素数据对应的数据电压的第1至第 s 数据驱动集成电路，第二数据驱动集成电路组具有用于施加与第 $n+1$ 至第 $n+m$ 像素数据对应的数据电压的第 $s+1$ 至第 $s+t$ 数据驱动集成电路，第一数据驱动集成电路组的数据驱动集成电路的数目小于第二数据驱动集成电路组的数据驱动集成电路的数目，即 $t>s$ ；

液晶显示面板，根据通过多条数据线施加的数据电压来显示图像。

2、如权利要求1所述的液晶显示器，其中，时序控制器包括：

第一存储单元，存储第一图像数据组；

第二存储单元，存储第二图像数据组。

3、如权利要求2所述的液晶显示器，其中，第一存储单元和第二存储单元具有相同的存储大小。

4、如权利要求1所述的液晶显示器，其中，时序控制器包括第一存储单元和第二存储单元，并给第一存储单元和第二存储单元分配足以存储第二图像数据组的存储大小，并分别将第一图像数据组和第二图像数据组存储在第一存储单元和第二存储单元中。

5、如权利要求1所述的液晶显示器，其中，时序控制器包括：

线缓冲存储器；

比较单元，接收表示第一图像数据组的数据大小的第一数据信息和表示第二图像数据组的数据大小的第二数据信息，并将第一图像数据组的数据大小与第二图像数据组的数据大小进行比较；

存储分配单元, 根据比较的结果, 将线缓冲存储器划分为第一存储单元和第二存储单元, 第一存储单元和第二存储单元各具有足以存储第二图像数据组的存储大小。

6、如权利要求 5 所述的液晶显示器, 其中, 时序控制器还包括设置存储器, 设置存储器向比较单元提供第一数据信息和第二数据信息。

7、如权利要求 6 所述的液晶显示器, 其中:

第一数据信息是多条数据线中电连接到第一数据驱动集成电路组的数据线的数目;

第二数据信息是多条数据线中电连接到第二数据驱动集成电路组的数据线的数目。

8、如权利要求 1 所述的液晶显示器, 其中, 时序控制器安装在电路板中连接到第 s 数据驱动集成电路的部分和连接到第 $s+1$ 数据驱动集成电路的部分之间。

9、如权利要求 1 所述的液晶显示器, 其中, 电路板包括:

第一信号传输线, 连接在时序控制器和第一数据驱动集成电路组之间并传输第 1 至第 n 像素数据;

第二信号传输线, 连接在时序控制器和第二数据驱动集成电路组之间并传输第 $n+1$ 至第 $n+m$ 像素数据,

其中, 第一信号传输线包括:

第一输出线, 设置在电路板的第一层上, 并顺序地传输从时序控制器输出的第 1 至第 n 像素数据;

第二输出线, 设置在电路板的第二层上, 并通过通路将通过第一输出线传输的第 1 至第 n 像素数据传输到第 1 至第 s 数据驱动集成电路;

其中, 第二信号传输线包括:

第一输出线, 设置在电路板的第一层上, 并顺序地传输从时序控制器输出的第 $n+1$ 至第 $n+m$ 像素数据;

第二输出线, 设置在电路板的第二层上, 并通过通路将通过第一输出线传输的第 $n+1$ 至第 $n+m$ 像素数据传输到第 $s+1$ 至第 $s+t$ 数据驱动集成电路,

其中, 所述第 1 至第 n 像素数据和所述第 $n+1$ 至第 $n+m$ 像素数据从时序控制器同时输出。

10、如权利要求 9 所述的液晶显示器，其中：

第一输出线，具有多个弯曲部分，每个弯曲部分的内角等于或大于 90 度。

11、如权利要求 1 所述的液晶显示器，其中，电路板包括：

第一信号传输线，连接在时序控制器和第一数据驱动集成电路组之间，并传输第 1 至第 n 像素数据；

第二信号传输线，连接在时序控制器和第二数据驱动集成电路组之间，并传输第 $n+1$ 至第 $n+m$ 像素数据，

其中，第一信号传输线包括：

第一输出线，连接在时序控制器和第 s 数据驱动集成电路之间；

第二输出线，连接在第一输出线和第 1 至第 $s-1$ 数据驱动集成电路之间；

其中，第二信号传输线包括：

第一输出线，连接在时序控制器和第 $s+1$ 数据驱动集成电路之间；

第二输出线，连接在第一输出线和第 $s+2$ 至第 $s+t$ 数据驱动集成电路之间。

12、一种液晶显示器，包括：

时序控制器，存储顺序输入的第 1 至第 $n+m$ 像素数据，使得像素数据被划分为包括第 1 至第 n 像素数据的第一图像数据组和包括第 $n+1$ 至第 $n+m$ 像素数据的第二图像数据组，并从所存储的第一图像数据组和第二图像数据组的每个同时输出像素数据；

数据驱动器，包括第一数据驱动集成电路组和第二数据驱动集成电路组，其中，第一数据驱动集成电路组被提供有第 1 至第 n 像素数据，并将与第 1 至第 n 像素数据对应的数据电压施加到多条数据线中的部分，其中，第二数据驱动集成电路组被提供有第 $n+1$ 至第 $n+m$ 像素数据，并将与第 $n+1$ 至第 $n+m$ 像素数据对应的数据电压施加到多条数据线中的其它部分，第一数据驱动集成电路组包括第 1 至第 s 数据驱动集成电路，第二数据驱动集成电路组包括第 $s+1$ 至第 $s+t$ 数据驱动集成电路；

电路板，具有安装在其上的时序控制器，并包括第一信号传输线和第二信号传输线，其中，第一信号传输线连接在时序控制器和第一数据驱动集成电路组之间，并传输第 1 至第 n 像素数据，第二信号传输线连接在时序控制器和第二数据驱动集成电路组之间并传输第 $n+1$ 至第 $n+m$ 像素数据，

其中，第一信号传输线包括：

第一输出线，设置在电路板的第一层上，并顺序地传输从时序控制器输出的第 1 至第 n 像素数据；

第二输出线，设置在电路板的第二层上，并通过通路将通过第一输出线传输的第 1 至第 n 像素数据传输到第 1 至第 s 数据驱动集成电路；

其中，第二信号传输线包括：

第一输出线，设置在电路板的第一层上，并顺序地传输从时序控制器输出的第 $n+1$ 至第 $n+m$ 像素数据；

第二输出线，设置在电路板的第二层上，并通过通路将通过第一输出线传输的第 $n+1$ 至第 $n+m$ 像素数据传输到第 $s+1$ 至第 $s+t$ 数据驱动集成电路，

其中，所述第 1 至第 n 像素数据和所述第 $n+1$ 至第 $n+m$ 像素数据从时序控制器同时输出，

其中，第一输出线具有多个弯曲部分，每个弯曲部分的内角等于或大于 90 度。

13、如权利要求 12 所述的液晶显示器，其中：

第一图像数据组的数据大小小于第二图像数据组的数据大小，即 $m > n$ ；

第一数据驱动集成电路组的数据驱动集成电路的数目小于第二数据驱动集成电路组的数据驱动集成电路的数目，即 $t > s$ 。

14、如权利要求 13 所述的液晶显示器，其中，时序控制器安装在电路板中连接到第 s 数据驱动集成电路的部分和连接到第 $s+1$ 数据驱动集成电路的部分之间。

15、如权利要求 12 所述的液晶显示器，其中，时序控制器包括：

线缓冲存储器；

比较单元，将第一图像数据组的数据大小与第二图像数据组的数据大小进行比较；

存储分配单元，根据比较的结果，将线缓冲存储器划分为第一存储单元和第二存储单元，第一存储单元和第二存储单元各具有足以存储第二图像数据组的存储大小。

16、如权利要求 15 所述的液晶显示器，其中，时序控制器还包括设置存储器，设置存储器向比较单元提供表示第一图像数据组的数据大小的第一数

据信息和表示第二图像数据组的数据大小的第二数据信息。

17、一种时序控制器，包括：

线缓冲存储器；

比较单元，将第一数据信息和第二数据信息进行比较；

存储器分配单元，根据比较的结果，将线缓冲存储器划分为第一存储单元和第二存储单元，第一存储单元和第二存储单元各具有相同的存储大小。

18、如权利要求 17 所述的时序控制器，其中：

第 1 至第 $n+m$ 像素数据被顺序地输入并被划分为包括第 1 至第 n 像素数据的第一图像数据组和包括第 $n+1$ 至第 $n+m$ 像素数据的第二图像数据组；

第一数据信息表示第一图像数据组的数据大小，第二数据信息表示第二图像数据组的数据大小；

存储分配单元将线缓冲存储器划分为第一存储单元和第二存储单元，第一存储单元和第二存储单元各具有与第一数据信息和第二数据信息中具有较大的数据大小的那个数据信息对应的存储大小。

19、如权利要求 18 所述的时序控制器，其中：

线缓冲存储器将第一图像数据组和第二图像数据组分别存储在第一存储单元和第二存储单元中；

线缓冲存储器同时输出来自第一图像数据组和第二图像数据组的每个的像素数据。

20、一种根据通过多条数据线施加的数据电压来在液晶显示器上显示图像的方法，所述方法包括的步骤有：

将时序控制器安装在电路板上；

存储顺序输入的第 1 至第 $n+m$ 像素数据，使得像素数据被划分为包括第 1 至第 n 像素数据的第一图像数据组和包括第 $n+1$ 至第 $n+m$ 像素数据的第二图像数据组；

同时从所存储的第一图像数据组和第二图像数据组中的每个输出像素数据，其中，第一图像数据组的数据大小小于第二图像数据组的数据大小，即 $m > n$ ；

将数据驱动器电连接到电路板；

将与像素数据对应的数据电压提供到多条数据线；

通过具有第 1 至第 s 数据驱动集成电路的第一数据驱动集成电路组来施

加与第 1 至第 n 像素数据对应的数据电压;

通过具有第 s+1 至第 s+t 数据驱动集成电路的第二数据驱动集成电路组来施加与第 n+1 至第 n+m 像素数据对应的数据电压, 其中, 第一数据驱动集成电路组的数据驱动集成电路的数目小于第二数据驱动集成电路组的数据驱动集成电路的数目, 即 $t > s$ 。

21、如权利要求 20 所述的方法, 还包括的步骤有:

将第一图像数据组存储到时序控制器内的第一存储单元;

将第二图像数据组存储到时序控制器内的第二存储单元。

22、如权利要求 20 所述的方法, 还包括的步骤有:

给第一存储单元和第二存储单元分配足以存储第二图像数据组的存储大小, 其中, 第一存储单元和第二存储单元存在于时序控制器内;

将第一图像数据组存储在第一存储单元中;

将第二图像数据组存储在第二存储单元中。

23、如权利要求 20 所述的方法, 还包括的步骤有:

接收表示第一图像数据组的数据大小的第一数据信息;

接收表示第二图像数据组的数据大小的第二数据信息;

将第一图像数据组的数据大小与第二图像数据组的数据大小进行比较;

根据比较的结果, 将线缓冲存储器划分为第一存储单元和第二存储单元, 第一存储单元和第二存储单元各具有足以存储第二图像数据组的存储大小。

24、如权利要求 20 所述的方法, 还包括的步骤有:

将时序控制器安装在电路板中连接到第 s 数据驱动集成电路的部分和连接到第 s+1 数据驱动集成电路的部分之间。

25、如权利要求 20 所述的方法, 还包括的步骤有:

将第一信号传输线连接在时序控制器和第一数据驱动集成电路组之间;

通过第一信号传输线来传输第 1 至第 n 像素数据;

将第二信号传输线连接在时序控制器和第二数据驱动集成电路组之间;

通过第二信号传输线传输第 n+1 至第 n+m 像素数据。

时序控制器、液晶显示器和显示图像的方法

技术领域

本发明涉及一种时序控制器、包括该时序控制器的液晶显示器和在液晶显示器上显示图像的方法。更具体地讲，本发明涉及一种能够减小电磁干扰（EMI）的时序控制器和包括该时序控制器的液晶显示器。

背景技术

液晶显示器包括：时序控制器，用于提供多个像素数据；数据驱动器，用于向多条数据线提供与时序控制器提供的像素数据对应的电压，以显示图像。

在单通道（single-channel）驱动模式中，时序控制器顺序地向数据驱动器提供多个输入像素数据。通常，高分辨率的液晶显示器需要许多数据线，结果，这种液晶显示器以2-通道驱动模式来驱动。时序控制器将包括多个数据驱动集成电路（IC）的数据驱动器分为第一数据驱动IC组和第二数据驱动IC组，并存储被顺序输入的多个像素数据。然后，时序控制器同时向第一数据驱动IC组和第二数据驱动IC组输出像素数据。为了执行这个操作，时序控制器在第一存储单元和第二存储单元中分别存储将被提供到第一数据驱动IC组的第一图像数据组和将被提供到第二数据驱动IC组的第二图像数据组。

时序控制器在接收多个像素数据之前对第一存储单元和第二存储单元分配充足的用于存储第一图像数据组的存储大小。因此，多个数据驱动IC应该被分为第一数据驱动IC组和第二数据驱动IC组，使得第一图像数据组的数据大小大于第二图像数据组的数据大小。即，包括在第一数据驱动IC组中的数据驱动IC的数目大于包括在第二数据驱动IC组中的数据驱动IC的数目。

当时序控制器被安装在具有固定形状的电路板上时，时序控制器并不安装在电路板上的第一数据驱动IC组和第二数据驱动IC组之间，而是安装在电路板上更靠近第一数据驱动IC组的位置。因此，用于向第一数据驱动IC组传输像素数据的信号传输线包括弯曲部分，其中，弯曲部分具有等于或小

于 90 度的内角。此外，时序控制器的安装位置受到限制。结果，发生电磁干扰（下文中，称作“EMI”）。

发明内容

本发明的一方面提供了一种能够减小 EMI 的时序控制器。

本发明的另一方面提供了一种能够减小 EMI 的液晶显示器。

本发明的又一方面提供了一种在液晶显示器上显示图像的方法。

然而，本发明不限于上述示例性实施例，通过下面的描述，本领域的技术人员将清楚地理解本发明的其它实施例。

根据本发明的示例性实施例，时序控制器包括：线缓冲存储器；比较单元，将第一数据信息和第二数据信息进行比较；存储分配单元，根据比较的结果，将线缓冲存储器划分为第一存储单元和第二存储单元，第一存储单元和第二存储单元各具有相同的用于存储第二数据信息的存储大小。

根据本发明的另一示例性实施例，液晶显示器包括：电路板；时序控制器，安装在电路板上，存储顺序输入的第 1 至第 $n+m$ 像素数据，使得像素数据被划分为包括第 1 至第 n 像素数据的第一图像数据组和包括第 $n+1$ 至第 $n+m$ 像素数据的第二图像数据组，并从所存储的第一图像数据组和第二图像数据组的每个同时输出像素数据，其中，第一图像数据组的数据大小小于第二图像数据组的数据大小（ $m>n$ ）；数据驱动器，电连接到电路板，将与像素数据对应的数据电压提供到多条数据线，并包括第一数据驱动 IC 组和第二数据驱动 IC 组，其中，第一数据驱动 IC 组包括用于施加与第 1 至第 n 像素数据对应的数据电压的第 1 至第 s 数据驱动 IC，第二数据驱动 IC 组具有用于施加与第 $n+1$ 至第 $n+m$ 像素数据对应的数据电压的第 $s+1$ 至第 $s+t$ 数据驱动 IC，第一数据驱动 IC 组的数据驱动 IC 的数目小于第二数据驱动 IC 组的数据驱动 IC 的数目（ $t>s$ ）；液晶显示面板，根据通过多条数据线施加的数据电压来显示图像。

根据本发明又一示例性实施例，一种液晶显示器包括：时序控制器，存储顺序输入的第 1 至第 $n+m$ 像素数据，使得像素数据被划分为包括第 1 至第 n 像素数据的第一图像数据组和包括第 $n+1$ 至第 $n+m$ 像素数据的第二图像数据组，并从所存储的第一图像数据组和第二图像数据组的每个同时输出像素数据；数据驱动器，包括第一数据驱动 IC 组和第二数据驱动 IC 组，其中，

第一数据驱动 IC 组被提供有第 1 至第 n 像素数据, 并将与第 1 至第 n 像素数据对应的数据电压施加到多条数据线中的部分, 第二数据驱动 IC 组被提供有第 $n+1$ 至第 $n+m$ 像素数据, 并将与第 $n+1$ 至第 $n+m$ 像素数据对应的数据电压施加到其它数据线, 第一数据驱动 IC 组包括第 1 至第 s 数据驱动 IC, 第二数据驱动 IC 组包括第 $s+1$ 至第 $s+t$ 数据驱动 IC; 电路板, 包括安装在其上的时序控制器, 并包括第一信号传输线和第二信号传输线, 其中, 第一信号传输线连接在时序控制器和第一数据驱动 IC 组之间, 并传输第 1 至第 n 像素数据, 第二信号传输线连接在时序控制器和第二数据驱动 IC 组之间并传输第 $n+1$ 至第 $n+m$ 像素数据。在液晶显示器中, 第一信号传输线和第二信号传输线中的每条包括: 第一输出线, 设置在电路板的第一层上, 并顺序地传输从时序控制器同时输出的第 1 至第 n 像素数据和第 $n+1$ 至第 $n+m$ 像素数据; 第二输出线, 设置在电路板的第二层上, 并通过通路将通过第一输出线传输的第 1 至第 n 像素数据和第 $n+1$ 至第 $n+m$ 像素数据分别传输到第 1 至第 s 数据驱动 IC 和第 $s+1$ 至第 $s+t$ 数据驱动 IC。此外, 第一输出线可包括多个弯曲部分, 每个弯曲部分的内角等于或大于 90° 。

根据本发明又一示例性实施例, 提供了一种根据通过多条数据线施加的数据电压来在液晶显示器上显示图像的方法。该方法包括的步骤有: 将时序控制器安装在电路板上; 存储顺序输入的第 1 至第 $n+m$ 像素数据, 使得像素数据被划分为包括第 1 至第 n 像素数据的第一图像数据组和包括第 $n+1$ 至第 $n+m$ 像素数据的第二图像数据组。该方法还包括从所存储的第一图像数据组和第二图像数据组中的每个同时输出像素数据, 其中, 第一图像数据组的数据大小小于第二图像数据组的数据大小 ($m > n$); 将数据驱动器电连接到电路板; 将与像素数据对应的数据电压提供到多条数据线。该方法还包括通过具有第 1 至第 s 数据驱动 IC 的第一数据驱动 IC 组来施加与第 1 至第 n 像素数据对应的数据电压; 通过具有第 $s+1$ 至第 $s+t$ 数据驱动 IC 的第二数据驱动 IC 组来施加与第 $n+1$ 至第 $n+m$ 像素数据对应的数据电压。第一数据驱动 IC 组的数据驱动 IC 的数目小于第二数据驱动 IC 组的数据驱动 IC 的数目 ($t > s$)。

该方法还可包括: 将第一图像数据组存储到时序控制器内的第一存储单元; 将第二图像数据组存储到时序控制器内的第二存储单元。

该方法还可包括: 给第一存储单元和第二存储单元分配足以存储第二图像数据组的存储大小, 其中, 第一存储单元和第二存储单元存在于时序控制

器内；将第一图像数据组存储在第一存储单元中；将第二图像数据组存储在第二存储单元中。

该方法还可包括：接收表示第一图像数据组的数据大小的第一数据信息；接收表示第二图像数据组的数据大小的第二数据信息；将第一图像数据组的数据大小与第二图像数据组的数据大小进行比较；根据比较的结果，将线缓冲存储器划分为第一存储单元和第二存储单元，第一存储单元和第二存储单元各具有足以存储第二图像数据组的存储大小。

该方法还可包括：将时序控制器安装在电路板中连接到第 s 数据驱动 IC 的部分和连接到第 $s+1$ 数据驱动 IC 的部分之间。

该方法还可包括：将第一信号传输线连接在时序控制器和第一数据驱动 IC 组之间；通过第一信号传输线来传输第 1 至第 n 像素数据；将第二信号传输线连接在时序控制器和第二数据驱动 IC 组之间；通过第二信号传输线传输第 $n+1$ 至第 $n+m$ 像素数据。

附图说明

通过参照附图对本发明示例性实施例的详细描述，本发明的以上和其它方面、特征和优点将变得更清楚，在附图中：

图 1 是示出了根据本发明示例性实施例的示例性液晶显示器的框图；

图 2 是在示例性实施例中图 1 中示出的一个像素的等效电路图；

图 3 是示出了在示例性实施例中图 1 中示出的时序控制器的框图；

图 4 是示出了在示例性实施例中在电路板上的图 1 中示出的数据驱动器和时序控制器的布置结构的透视图；

图 5 是示出了根据本发明的示例性实施例的示例性时序控制器和包括该时序控制器的液晶显示器的透视图；

图 6 是图 5 中的部分“L”的放大图；

图 7 是示出了根据本发明另一示例性实施例的示例性时序控制器和包括该时序控制器的液晶显示器的透视图；

图 8 是示出了根据本发明又一示例性实施例的示例性时序控制器和包括该时序控制器的液晶显示器的透视图。

具体实施方式

现在在下文中将参照附图来更充分地描述本发明，在附图中示出了本发明的实施例。然而，本发明可以以许多不同的形式来实施，并不应该被理解为限于这里阐述的实施例。相反，提供这些实施例，使得本公开将是彻底和完全的，并将本发明的范围充分传达给本领域的技术人员。相同的标号始终表示相同的元件。

应该理解的是，当元件被称作在另一元件上时，它可以直接在另一元件上或者可在其间存在中间元件。相反，当元件被称作直接在另一元件上时，不存在中间元件。如这里所使用的，术语“和/或”包括一个或多个相关所列项的任意和全部组合。

应该理解的是，虽然术语“第一”、“第二”、“第三”等可在这里用来描述不同的元件、组件、区域、层和/或部分，但是这些元件、组件、区域、层和/或部分不应该受这些术语限制。这些术语只是用来将一个元件、组件、区域、层或部分与另一元件、组件、区域、层或部分区分开。因此，在不脱离本发明的教导的情况下，下面讨论的第一元件、组件、区域、层或部分可以被称作第二元件、组件、区域、层或部分。

这里使用的术语只是出于描述特定实施例的目的，而不意在成为本发明的限制。如这里所使用的，除非上下文清楚地指出，否则单数形式也意在包括复数形式。还应该理解的是，术语“包括”和/或“包含”当在说明书中使用，其表明所述的特征、区域、整体、步骤、操作、元件和/或组件的存在，但不排除一个或多个其它特征、区域、整体、步骤、操作、元件、组件和/或它们的组的存在或添加。

此外，在此使用相对术语比如“在...下面”、“底部的”、“在...上面”或“顶部的”来描述在如附图中示出的一个元件与其它元件的关系。应该理解的是，相对术语意在包括除了附图中描述的方位之外的装置的不同方位。例如，如果将一幅附图中的装置翻转，则被描述为在其它元件“下面”的元件将随后被定位为在其它元件“上面”。因此，根据附图的特定方位，术语“在...下面”可以包括“在...下面”和“在...上面”两个方位。类似地，如果将一幅附图中的装置翻转，则被描述为在其它元件“在...以下”或“在...下方”的元件将随后被定位为在其它元件“以上”。因此，示例性术语“在...以下”或“在...下方”可以包括“在...以上”和“在...以下”两个方位。

除非另外限定，否则这里使用的所有术语（包括技术术语和科学术语）

的含义与本发明所属领域的普通技术人员通常理解的含义相同。还应该理解的是，例如在通用字典里限定的术语应该被理解为其含义与相关领域和本公开的内容中它们的含义一致，并且除非在这里被特定地限定，否则不应该被理想化的或过度正式地理解。

这里参照作为本发明理想实施例的示意性图示的剖视图来描述本发明的示例性实施例。由此，将预料的是由例如制造技术和/或容差造成的图示的形状的变化。

在下文中，将参照图 1 至图 4 来描述根据本发明示例性实施例的示例性时序控制器和液晶显示器。图 1 是示出了根据本发明示例性实施例的示例性液晶显示器的框图。图 2 是图 1 中示出的一个像素的等效电路图。图 3 是示出了图 1 中示出的时序控制器的框图。图 4 是示出了图 1 中示出的数据驱动器和时序控制器的布置结构的电路板的透视图。

参照图 1，根据本发明示例性实施例的示例性液晶显示器 10 包括液晶面板 300、时序控制器 400、栅极驱动器 500、数据驱动器 600 和设置存储器(setup memory) 700。

在等效电路图中，液晶显示器 300 包括多条显示信号线 $G_1 - G_n$ 和 $D_1 - D_m$ 以及连接到显示信号线并布置成矩阵的多个像素 PX。显示信号线 $G_1 - G_n$ 和 $D_1 - D_m$ 包括用于传输栅极信号的多条栅极线 $G_1 - G_n$ 和用于传输数据信号的多条数据线 $D_1 - D_m$ 。

图 2 是根据本发明一个示例性实施例的图 1 中示出的一个像素 PX 的等效电路图。滤色器 CF 可以形成在第二显示面板 200 上形成的共电极 CE 的一些部分中，以面对形成在第一显示面板 100 上的像素电极 PE。每个像素，例如连接到第 $i(i=1, 2, \dots, p)$ 条栅极线 G_i 和第 $j(j=1, 2, \dots, q)$ 条数据线 D_j 的一个像素，包括：开关元件 Q，连接到信号线 G_i 和 D_j ；液晶电容器 C_{lc} 和存储电容器 C_{st} ，连接到开关元件 Q。如果有必要的话，可以省略存储电容器 C_{st} 。

设置在时序控制器 400 外部的图形控制器(未示出)顺序地接收第 1 至第 $n+m$ 像素数据 $DAT_1 - DAT_{n+m}$ ，并顺序地输出成对的像素数据。图形控制器同时输出第一像素数据 DAT_1 和第 $n+1$ 像素数据 DAT_{n+1} ，然后同时输出第 2 像素数据 DAT_2 和第 $n+2$ 像素数据 DAT_{n+2} 。以这种方式，图形控制器从第 1 像素数据 DAT_1 和第 $n+1$ 像素数据 DAT_{n+1} 开始顺序地输出成对的像素数据。

第 1 至第 $n+m$ 像素数据 DAT_1-DAT_{n+m} 是施加到与栅极线 G_1-G_n 中的一条电连接的像素 PX 的像素数据。

更具体地讲, 时序控制器 400 存储被顺序输入的第 1 至第 $n+m$ 像素数据 DAT_1-DAT_{n+m} , 使得像素数据被划分为第一图像数据组和第二图像数据组, 其中, 第一图像数据组包括第 1 至第 n 像素数据 DAT_1-DAT_n , 第二图像数据组包括第 $n+1$ 至第 $n+m$ 像素数据 $DAT_{n+1}-DAT_{n+m}$ 。第一图像数据组的数据大小可小于第二图像数据组的数据大小 ($m > n$)。

接着, 时序控制器 400 同时从第一图像数据组和第二图像数据组中的每个中输出一个像素数据。为了执行这个操作, 时序控制器 400 将第 1 至第 $n+m$ 像素数据 DAT_1-DAT_{n+m} 存储在时序控制器 400 中设置的线缓冲存储器 (line buffer memory) (未示出) 中。

时序控制器 400 将包括第 1 至第 n 像素数据 DAT_1-DAT_n 的第一图像数据组存储在线缓冲存储器 (未示出) 的第一存储单元 (未示出) 中, 并将包括第 $n+1$ 至第 $n+m$ 像素数据 $DAT_{n+1}-DAT_{n+m}$ 的第二图像数据组存储在线缓冲存储器 (未示出) 的第二存储单元 (未示出) 中。时序控制器 400 从设置存储器 700 接收第一数据信息 SIZE1 和第二数据信息 SIZE2, 并分配第一存储单元 (未示出) 和第二存储单元 (未示出) 的存储大小。第一数据信息 SIZE1 和第二数据信息 SIZE2 分别表示第一图像数据组的数据大小和第二图像数据组的数据大小。下面将参照图 3 来描述时序控制器 400 的详细操作。

时序控制器 400 接收输入控制信号, 以产生栅极控制信号 CONT2 和数据控制信号 CONT1, 并将栅极控制信号 CONT2 和数据控制信号 CONT1 分别传输到栅极驱动器 500 和数据驱动器 600。

输入控制信号的示例包括垂直同步信号 Vsync、水平同步信号 Hsync、主时钟信号 MCLK 和数据使能信号 DE。栅极控制信号 CONT2 是用于控制栅极驱动器 500 的操作的信号, 并包括: 垂直起始信号, 用于开始栅极驱动器 500 的操作; 栅极时钟信号, 用于确定栅极导通电压的输出时序; 输出使能信号, 用于确定栅极导通电压的脉宽。数据控制信号 CONT1 是用于控制数据驱动器的操作的信号, 并包括: 水平起始信号, 用于开始数据驱动器的操作; 加载信号, 用于指示两个数据电压的输出。

数据驱动器 600 从时序控制器 400 接收像素数据 DAT_1-DAT_{n+m} , 并将与接收的像素数据对应的数据电压提供到多条数据线 D_1-D_m 。数据驱动器 600

被划分为：第一数据驱动 IC 组 FRONT，包括第 1 至第 s 数据驱动 IC DIC₁-DIC_s；第二数据驱动 IC 组 BACK，包括第 s+1 至第 s+t 数据驱动 IC DIC_{s+1}-DIC_{s+t}。

第一数据驱动 IC 组 FRONT 通过第一信号传输线 OUTLINE_a 从时序控制器 400 接收第一图像数据组的像素数据 DAT₁ - DAT_n。第二数据驱动 IC 组 BACK 通过第二信号传输线 OUTLINE_b 从时序控制器 400 接收第二图像数据组的像素数据 DAT_{n+1} - DAT_{n+m}。

由于存储在时序控制器 400 中的第一图像数据组的数据大小比第二图像数据组的数据大小小，因此，第一数据驱动 IC 组 FRONT 的数据驱动 IC DIC₁-DIC_s 的数目可以小于第二数据驱动 IC 组 BACK 的数据驱动 IC DIC_{s+1}-DIC_{s+t} 的数目 ($t > s$)。

栅极驱动器 500 连接到栅极线 G₁-G_n，并向栅极线 G₁-G_n 提供栅极信号，每个栅极信号由栅极导通/截止电压 (Von 和 Voff) 发生器 (未示出) 产生的栅极导通电压 Von 和栅极截止电压 Voff 的组合组成。栅极驱动器 500 基于来自时序控制器 400 的栅极控制信号 CONT2 向栅极线 G₁-G_n 提供由栅极导通/截止电压发生器 (未示出) 产生的栅极导通电压 Von，以导通连接到栅极线 G₁-G_n 的图 2 中示出的开关元件 Q。然后，施加到数据线 D₁-D_m 的数据电压通过处于导通状态的开关元件 Q 被施加到对应的像素 PX。

将参照图 3 来详细描述时序控制器 400 的下面的操作：存储顺序输入的第 1 至第 n+m 像素数据 DAT₁ - DAT_{n+m}，使得像素数据被划分为包括第 1 至第 n 像素数据 DAT₁-DAT_n 的第一图像数据组和包括第 n+1 至第 n+m 像素数据 DAT_{n+1}-DAT_{n+m} 的第二图像数据组并从第一图像数据组和第二图像数据组中的每个顺序输出像素数据的操作。

如图 3 所示，时序控制器 400 包括比较单元 410、存储分配单元 420 和线缓冲存储器 430。

设置存储器 700 具有存储在其中的表示第一图像数据组的数据大小的第一数据信息 SIZE1 和表示第二图像数据组的数据大小的第二数据信息 SIZE2。可以在设置存储器 700 中存储除了上述之外的用于时序控制器 400 的操作的各种数据。例如，可以在设置存储器 700 中存储用于产生数据控制信号 CONT1 和栅极控制信号 CONT2 的条件。设置存储器 700 可以是 EEPROM (电可擦除可编程只读存储器)。

比较单元 410 接收表示第一图像数据组的数据大小的第一数据信息 SIZE1 和表示第二图像数据组的数据大小的第二数据信息 SIZE2, 以比较数据大小。例如, 第一数据信息 SIZE1 可以是与第一数据驱动 IC 组 FRONT 电连接的数据线的数目, 第二数据信息 SIZE2 可以是与第二数据驱动 IC 组 BACK 电连接的数据线的数目。例如, 比较单元 410 根据比较结果通知存储分配单元 420 第一图像数据组和第二图像数据组中存储大小大的那个数据组。

存储分配单元 420 根据比较结果 CPR 将线缓冲存储器 430 划分为具有相同存储大小的第一存储单元 430_1 和第二存储单元 430_2。例如, 第一存储单元 430_1 和第二存储单元 430_2 可具有能够存储第二图像数据组的存储大小。线缓冲存储器 430 存储提供到与栅极线 G_1 - G_n 中的任一条电连接的像素的第 1 至第 $n+m$ 像素数据 DAT_1 - DAT_{n+m} 。

当分配第一存储单元 430_1 和第二存储单元 430_2 的存储大小时, 存储分配单元 420 从图形控制器(未示出)顺序接收第 1 至第 $n+m$ 像素数据 DAT_1 - DAT_{n+m} 。首先, 存储分配单元 420 将顺序输入的第 1 至第 n 像素数据 DAT_1 - DAT_n 存储在第一存储单元 430_1 中。然后, 存储分配单元 420 将顺序输入的第 $n+1$ 至第 $n+m$ 像素数据 DAT_{n+1} - DAT_{n+m} 存储在第二存储单元 430_2 中。随后, 存储分配单元 420 顺序输出来自分别存储在第一存储单元 430_1 和第二存储单元 430_2 中的第一图像数据组和第二图像数据组的每个的像素数据。从第一存储单元 430_1 输出的像素数据 DAT_1 - DAT_n 被输入到第一数据驱动 IC 组 FRONT, 从第二存储单元 430_2 输出的像素数据 DAT_{n+1} - DAT_{n+m} 被输入到第二数据驱动 IC 组 BACK。

可选择地, 可以将第 1 至第 n 像素数据 DAT_1 - DAT_n 存储在第一存储单元 430_1 中, 可以将第 $n+1$ 至第 $n+m$ 像素数据 DAT_{n+1} - DAT_{n+m} 中的一些像素数据存储在第二存储单元 430_2 中。然后可以将第 $n+1$ 至第 $n+m$ 像素数据 DAT_{n+1} - DAT_{n+m} 中的其它的一些像素数据存储在第二存储单元 430_2 中, 并同时从第一存储单元 430_1 和第二存储单元 430_2 中的每个输出像素数据。

时序控制器 400 将第一图像数据组的数据大小与第二图像数据组的数据大小比较, 并给第一存储单元 430_1 和第二存储单元 430_2 分配相同的存储大小, 以存储具有较大尺寸的第二图像数据组。然后, 时序控制器 400 将第一图像数据组和第二图像数据组分别存储在第一存储单元 430_1 和第二存储

单元 430_2 中, 并将成对的像素数据分别提供到第一数据驱动 IC 组 FRONT 和第二数据驱动 IC 组 BACK。因此, 包括在第一数据驱动 IC 组 FRONT 中的数据驱动 IC 的数目可以小于包括在第二数据驱动 IC 组 BACK 中的数据驱动 IC 的数目。

因此, 时序控制器 400 可以安装在电路板上的第一数据驱动 IC 组 FRONT 和第二数据驱动 IC 组 BACK 之间。

以下将参照图 4 来详细描述电路板上的时序控制器 400 和数据驱动 IC 的布置结构。

参照图 4, 用于输出第 1 至第 $n+m$ 像素数据 $DAT_1 - DAT_{n+m}$ 的时序控制器 400 和多个电路安装在电路板 800 上, 以电连接到多个驱动 IC $DIC_1 - DIC_{s+t}$ 。虽然没有在图 4 中示出, 但是多个驱动 IC $DIC_1 - DIC_{s+t}$ 电连接到液晶面板 300 (见图 1), 并将与像素数据对应的数据电压施加到多条数据线 (见图 1 中的标号 $D_1 - D_m$)。

时序控制器 400 可以布置在第一数据驱动 IC 组 FRONT 和第二数据驱动 IC 组 BACK 之间。更具体地讲, 时序控制器 400 可以设置在电路板 800 中与第 s 数据驱动 IC DIC_s 和第 $s+1$ 数据驱动 IC DIC_{s+1} 连接的部分之间。在这种情况下, 包括在第一数据驱动 IC 组 FRONT 中的数据驱动 IC $DIC_1 - DIC_s$ 的数目可以小于包括在第二数据驱动 IC 组 BACK 中的数据驱动 IC $DIC_{s+1} - DIC_{s+t}$ 的数目 ($t > s$)。

当时序控制器 400 设置在第一数据驱动 IC 组 FRONT 和第二数据驱动 IC 组 BACK 之间时, EMI 减小, 如下面将详细描述的。

图 5 是示出了根据本发明实施例的时序控制器和包括该时序控制器的液晶显示器的透视图。图 6 是图 5 中的部分 L 的放大图。在这个实施例中, 设置七个数据驱动 IC, 电路板 801 包括第一层 820 和第二层 810。

参照图 5 和图 6, 时序控制器 401 布置在第一数据驱动 IC 组 FRONT 和第二数据驱动 IC 组 BACK 之间。

电路板 801 包括: 第一信号传输线 $OUTLINE_a$, 连接在时序控制器 401 和第一数据驱动 IC 组 FRONT 之间并在其间传输第 1 至第 n 像素数据; 第二信号传输线 $OUTLINE_b$, 连接在时序控制器 401 和第二数据驱动 IC 组 BACK 之间并在其间传输第 $n+1$ 至第 $n+m$ 像素数据。

第一信号传输线 $OUTLINE_a$ 包括: 第一输出线 $OUTLINE_{1a}$, 设置在

电路板 801 的第一层 820 上并传输从时序控制器 401 顺序输出的第 1 至第 n 像素数据；第二输出线 OUTLINE_2a，设置在电路板 801 的第二层 810 上，并通过通路（未示出）将来自第一输出线 OUTLINE_1a 的第 1 至第 n 像素数据传输到第一数据驱动 IC 组 FRONT。

第二信号传输线 OUTLINE_b 包括：第一输出线 OUTLINE_1b，设置在电路板 801 的第一层 820 上并传输从时序控制器 401 顺序输出的第 n+1 至第 n+m 像素数据；第二输出线 OUTLINE_2b，设置在电路板 801 的第二层 810 上，并通过通路（未示出）将来自第一输出线 OUTLINE_1b 的第 n+1 至第 n+m 像素数据传输到第二数据驱动 IC 组 BACK。

因此，从时序控制器 401 输出的第一图像数据组的像素数据通过电路板 801 的第一层 820 的第一输出线 OUTLINE_1a 传输，并随后通过通路（未示出）以及电路板 801 的第二层 810 的第二输出线 OUTLINE_2a 被提供到第一数据驱动 IC 组 FRONT 的一个数据驱动 IC。此外，从时序控制器 401 输出的第二图像数据组的像素数据通过电路板 801 的第一层 820 的第一输出线 OUTLINE_1b 传输，并随后通过通路（未示出）以及电路板 801 的第二层 810 的 OUTLINE_2b 被提供到第二数据驱动 IC 组 BACK 的一个数据驱动 IC。

由于时序控制器 401 设置在电路板 801 上的第一数据驱动 IC 组 FRONT 和第二数据驱动 IC 组 BACK 之间，因此可以设计第一输出线 OUTLINE_1a 和 OUTLINE_1b 的布置结构，使得可以将 EMI 减到最小。例如，第一输出线 OUTLINE_1a 和 OUTLINE_1b 的一些部分可以弯曲，使得弯曲部分的内角 IA1、IA2、IA3、IA4 和 IA5 等于或大于 90 度，如图 6 所示。

如果第一数据驱动 IC 组 FRONT 的数据驱动 IC 的数目大于第二数据驱动 IC 组 BACK 的数据驱动 IC 的数目，则时序控制器 401 不能设置在具有固定形状的电路板上的第一数据驱动 IC 组 FRONT 和第二数据驱动 IC 组 BACK 之间。在这种情况下，第一输出线 OUTLINE_1a 和 OUTLINE_1b 具有内角 IA1、IA2、IA3、IA4 和 IA5 等于或小于 90 度的弯曲部分，这使得 EMI 增大。

然而，在本发明的该实施例中，由于包括在第一数据驱动 IC 组 FRONT 中的数据驱动 IC 的数目小于包括在第二数据驱动 IC 组 BACK 中的数据驱动 IC 的数目，因此时序控制器 401 可以设置在电路板 801 上的第一数据驱动 IC 组 FRONT 和第二数据驱动 IC 组 BACK 之间，第一输出线 OUTLINE_1a 和 OUTLINE_1b 延伸而不具有内角 IA1、IA2、IA3、IA4 和 IA5 等于或小于 90

度的弯曲部分，这样使得 EMI 减小。

图 7 是示出了时序控制器和包括该时序控制器的液晶显示器的另一示例性实施例的透视图。

与上述实施例不同，在图 7 中示出的实施例中，第一数据驱动 IC 组 FRONT 包括两个数据驱动 IC，第二数据驱动 IC 组 BACK 包括五个数据驱动 IC。

在这个实施例中，与以上描述的实施例类似地，时序控制器 402 安装在电路板 802 上的第一数据驱动 IC 组 FRONT 和第二数据驱动 IC 组 BACK 之间，从而第一输出线 OUTLINE_1a 和 OUTLINE_1b 延伸但没有内角等于或小于 90 度的弯曲部分。此外，确保时序控制器 402 周围的空间，这使得可以在时序控制器 402 周围形成提供有助于电路板 802 的地电压的接地区域。因此，可以减小由时序控制器 402 和其上安装有时序控制器 402 的电路板 802 产生的 EMI。

图 8 是示出时序控制器和包括该时序控制器的液晶显示器的又一示例性实施例的透视图。

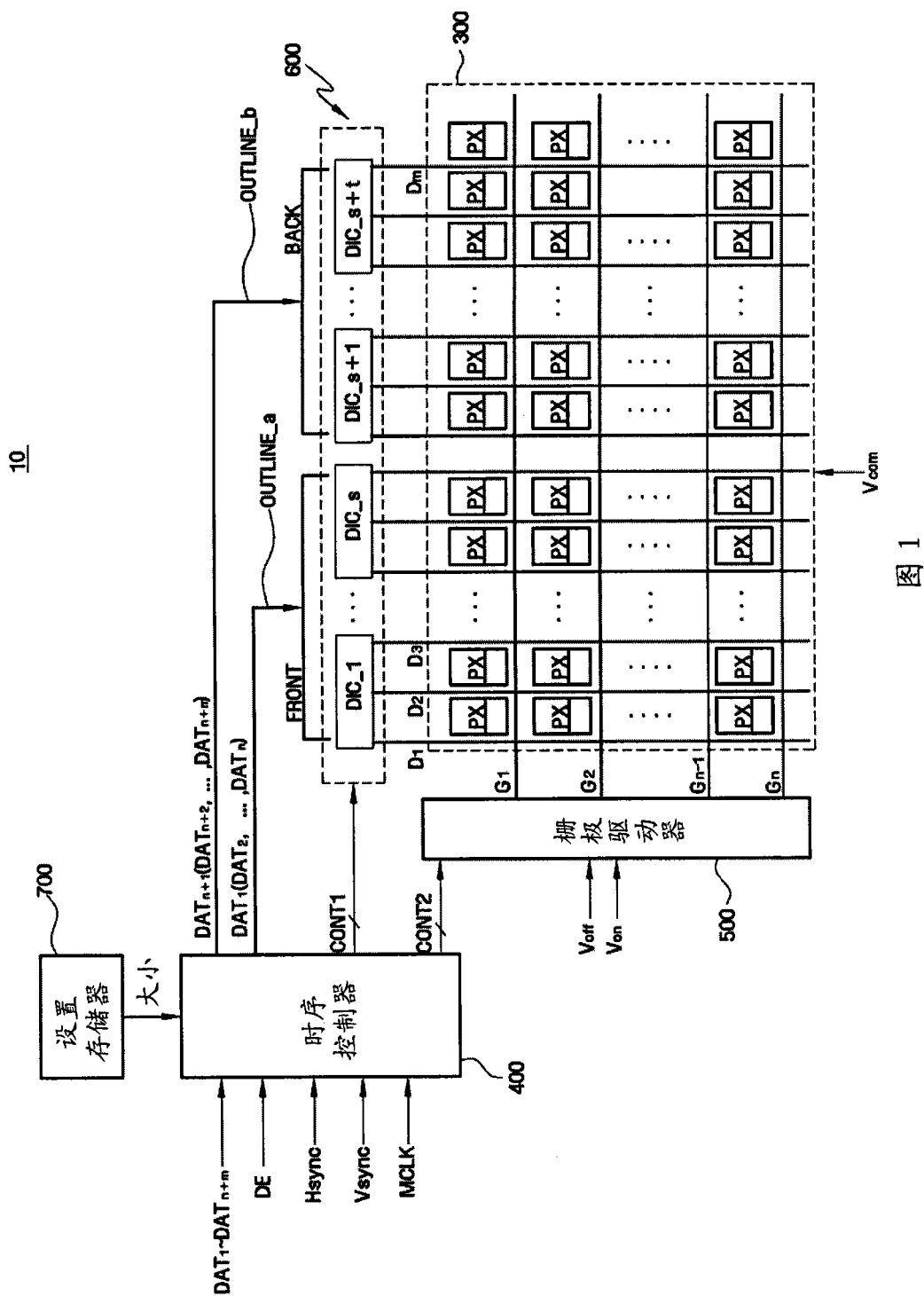
参照图 8，时序控制器 403 布置在第一数据驱动 IC 组 FRONT 和第二数据驱动 IC 组 BACK 之间。

电路板 803 包括：第一信号传输线，连接在时序控制器 403 和第一数据驱动 IC 组 FRONT 之间并传输第 1 至第 n 像素数据；第二信号传输线，连接在时序控制器 403 和第二数据驱动 IC 组 BACK 之间并传输第 n+1 至第 n+m 像素数据。

第一信号传输线包括：第一输出线 OUTLINE_1a，连接在时序控制器 403 和第 s 数据驱动 IC 之间；第二输出线 OUTLINE_2a，连接在第一输出线 OUTLINE_1a 和第 1 至第 s-1 数据驱动 IC 之间。

第二信号输出线包括：第一输出线 OUTLINE_1b，连接在时序控制器 403 和第 s+1 数据驱动 IC 之间；第二输出线 OUTLINE_2b，连接在第一输出线 OUTLINE_1b 和第 s+2 至第 s+t 数据驱动 IC 之间。

虽然已经结合本发明的示例性实施例描述了本发明，但是本领域的技术人员将清楚的是，在不脱离本发明的精神和范围的情况下，可以对实施例进行各种更改和变化。因此，应该理解的是，在所有方面中上述实施例不是限制性的，而是示例性的。



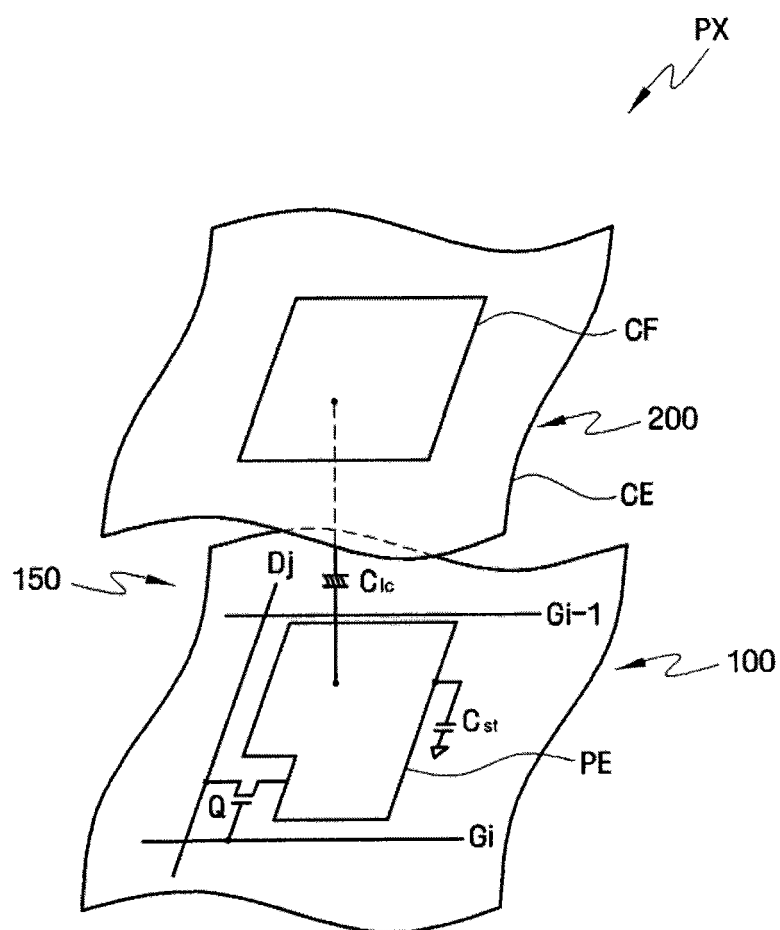


图 2

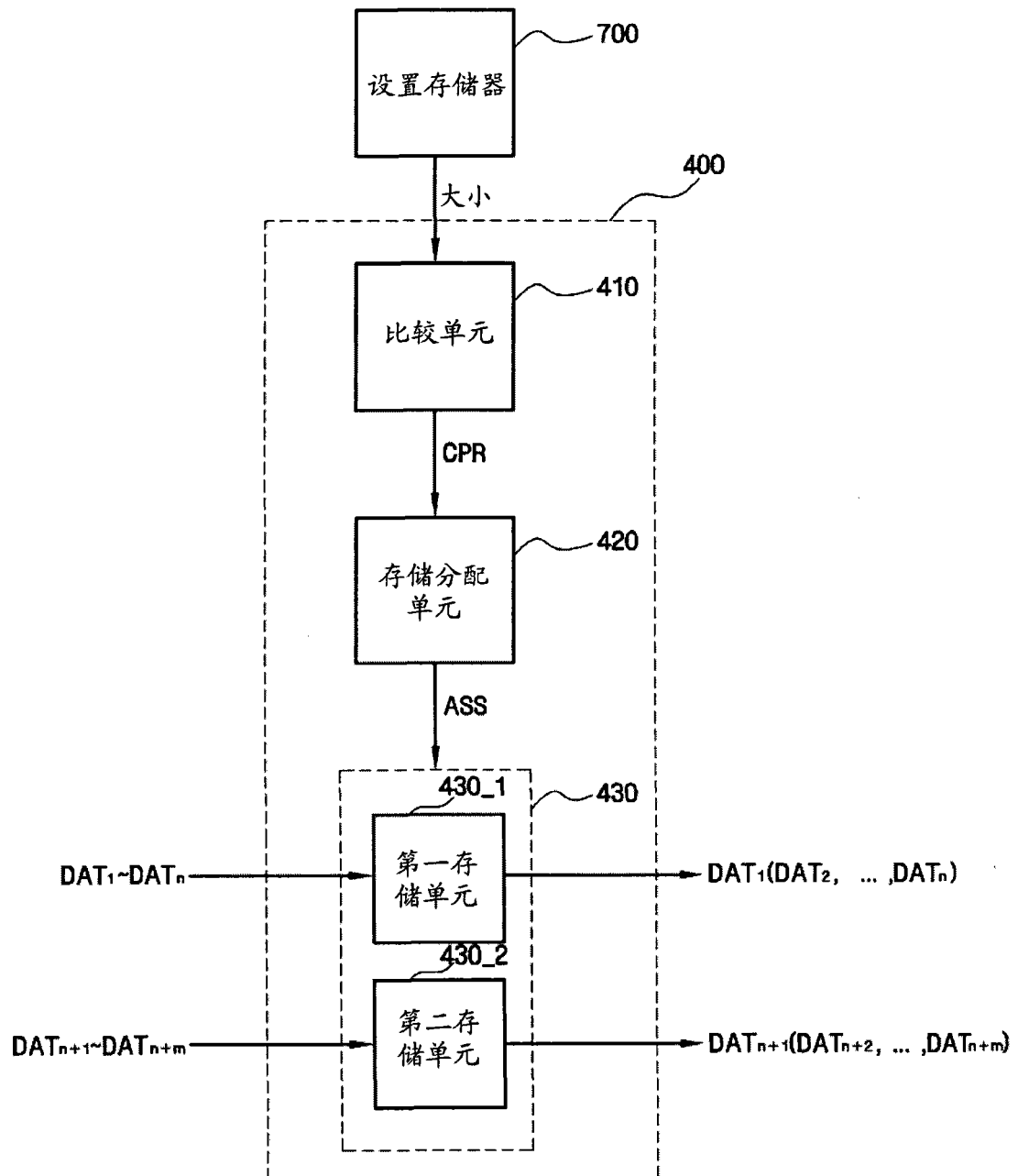


图 3

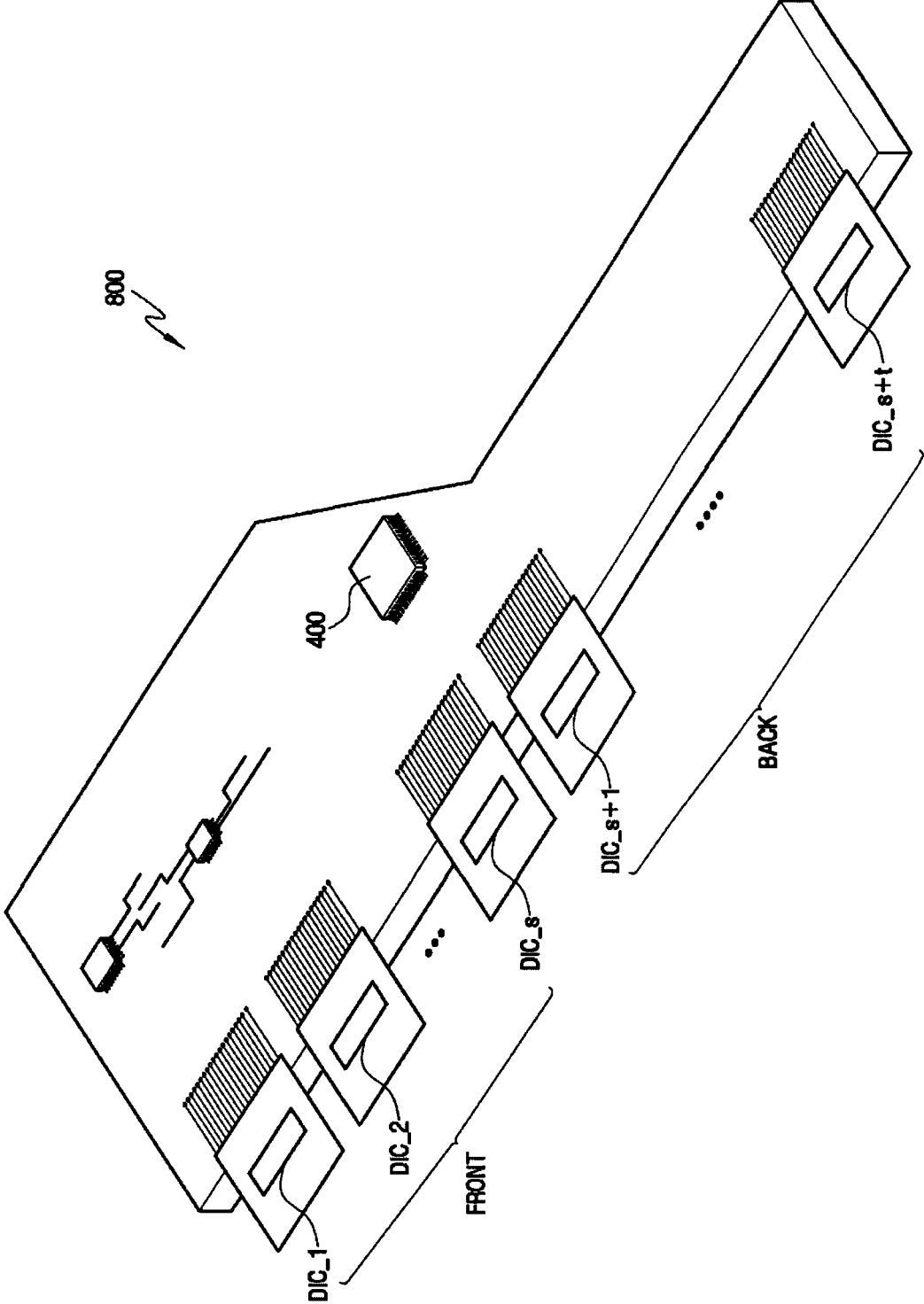


图 4

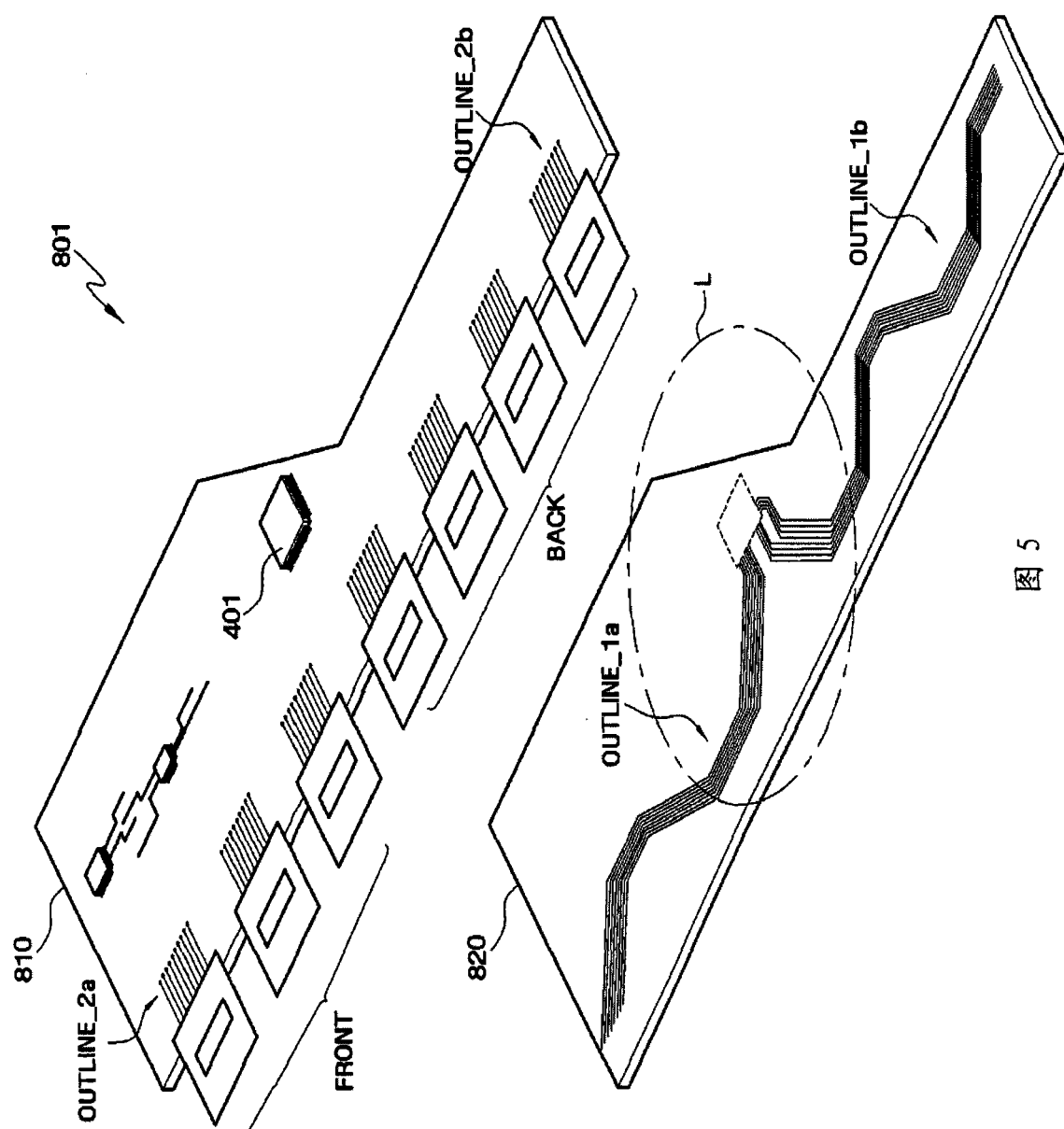


图 5

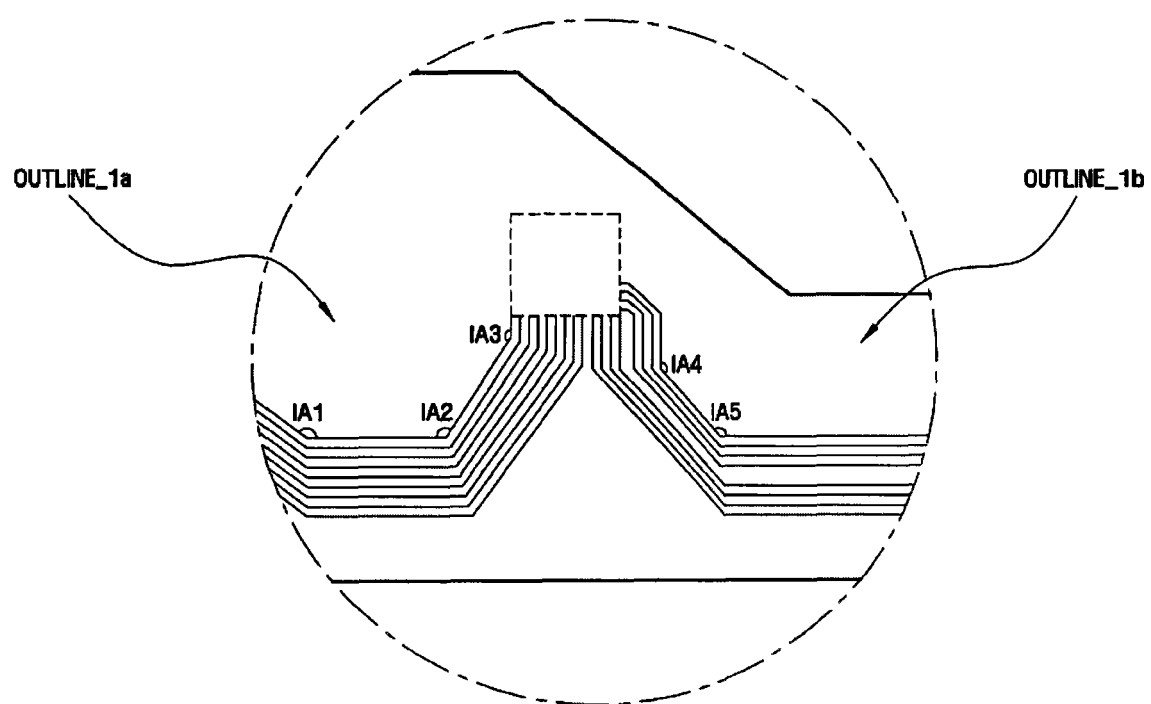
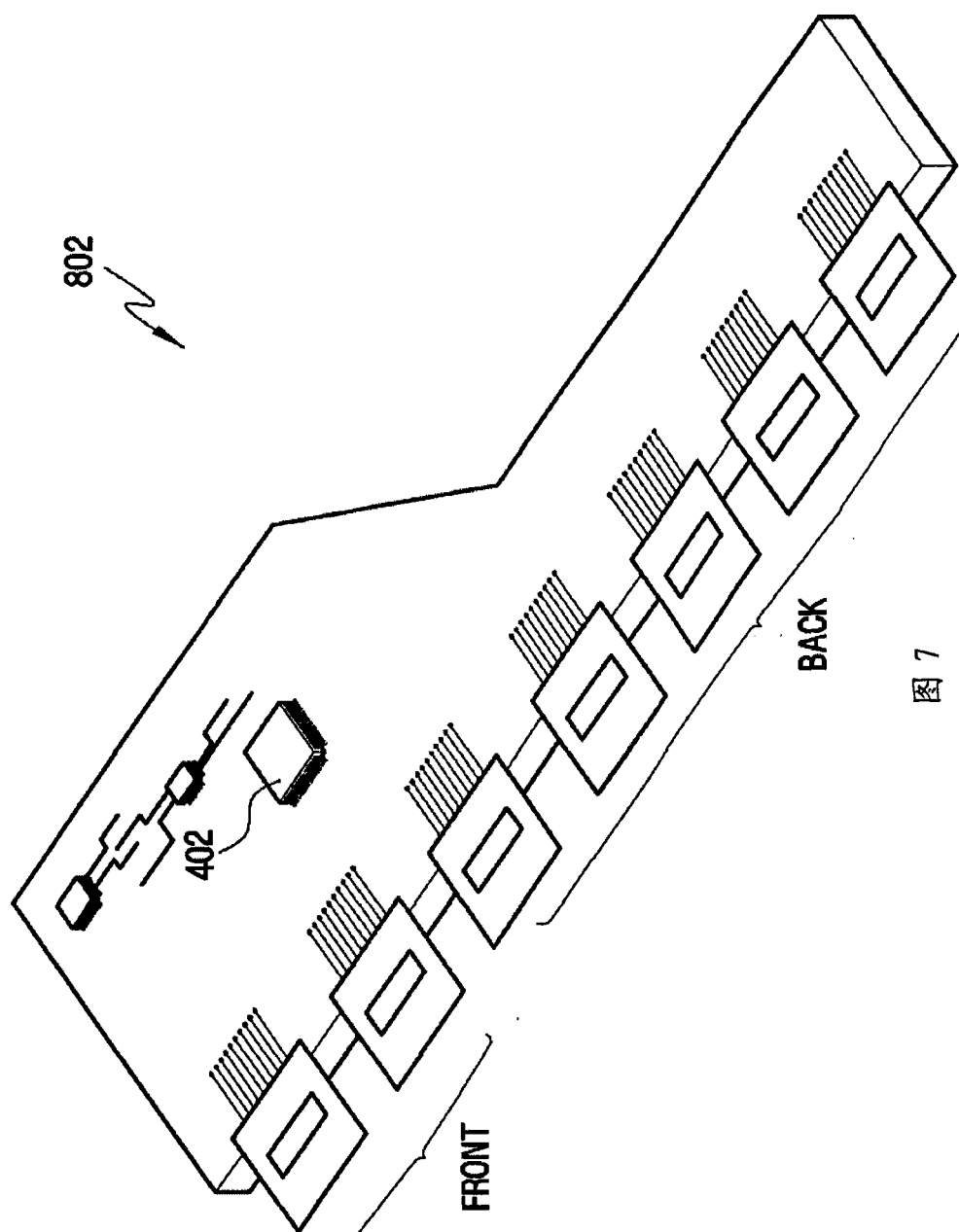


图 6



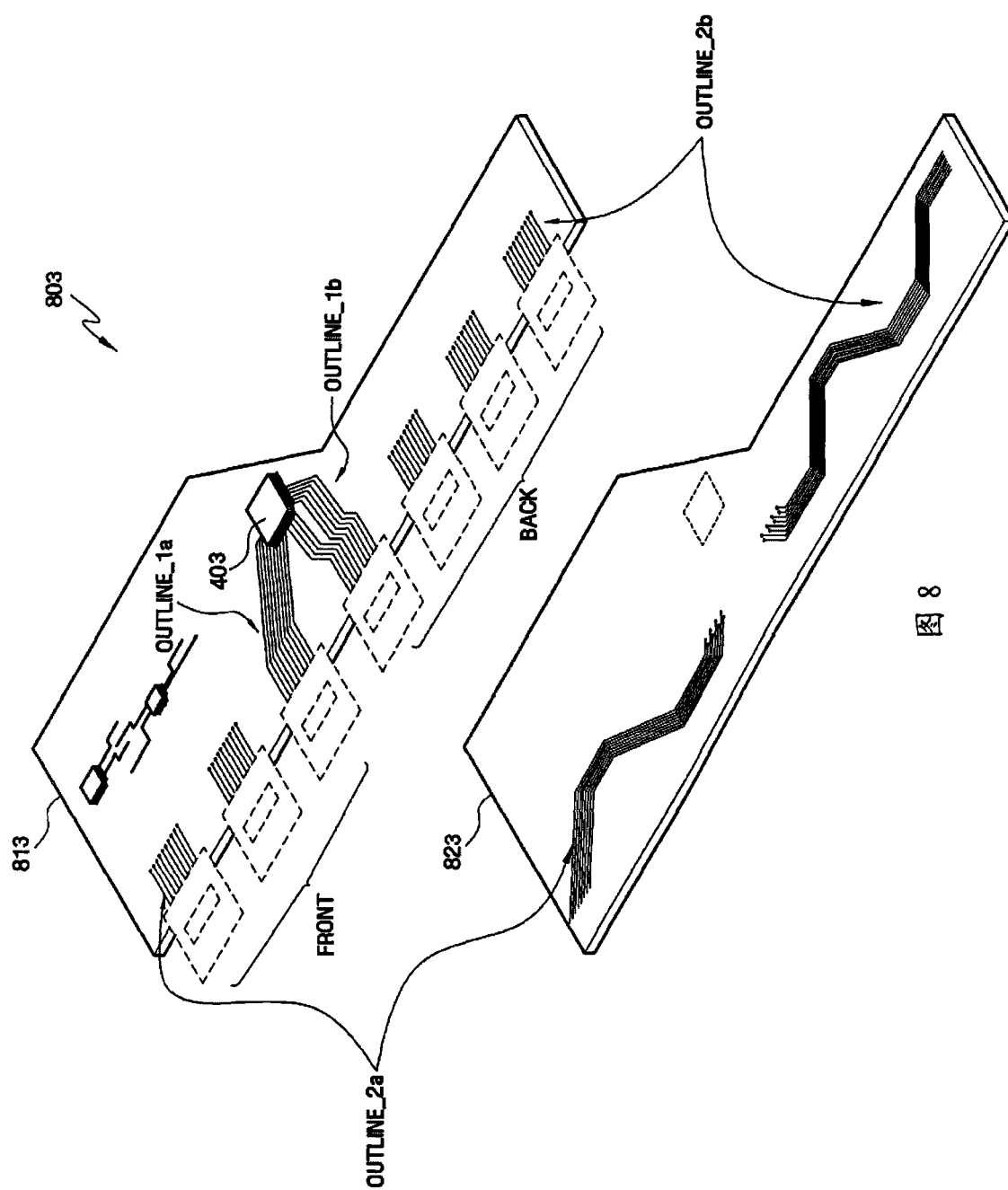


图 8

专利名称(译)	时序控制器、液晶显示器和显示图像的方法		
公开(公告)号	CN101169922A	公开(公告)日	2008-04-30
申请号	CN200710146603.2	申请日	2007-08-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金宽洙		
发明人	金宽洙		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G2330/06 G09G3/3611 G09G2300/0426		
代理人(译)	韩明星 李友佳		
优先权	1020060103624 2006-10-24 KR		
其他公开文献	CN101169922B		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供了一种时序控制器和包括该时序控制器的液晶显示器，该时序控制器能够减小电磁干扰(EMI)。该时序控制器包括：线缓冲存储器；比较单元，将第一数据信息和第二数据信息进行比较；存储分配单元，根据比较的结果，将线缓冲存储器划分为第一存储单元和第二存储单元，第一存储单元和第二存储单元各具有相同的存储大小。本发明还提供了一种在包括该时序控制器的液晶显示器上显示图像的方法。

