

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710148249.7

[51] Int. Cl.

G02F 1/133 (2006.01)

G02F 1/1362 (2006.01)

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

[43] 公开日 2008 年 2 月 13 日

[11] 公开号 CN 101122697A

[22] 申请日 2007.9.4

[21] 申请号 200710148249.7

[71] 申请人 友达光电股份有限公司

地址 中国台湾新竹市

[72] 发明人 廖一遂 罗时勋 魏俊卿

[74] 专利代理机构 隆天国际知识产权代理有限公司

代理人 陈 晨

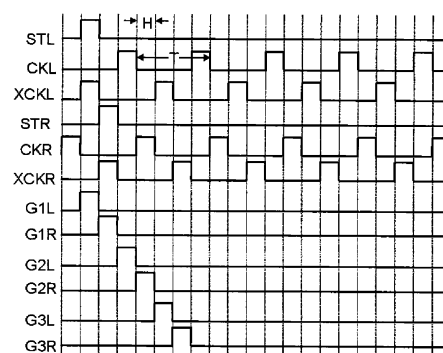
权利要求书 2 页 说明书 8 页 附图 4 页

[54] 发明名称

双边栅极驱动型的液晶显示器及其驱动方法

[57] 摘要

一种双边栅极驱动型的液晶显示器及其驱动方法，将第一移位寄存器与第二移位寄存器接收的驱动信号进行调变，以使第一移位寄存器与第二移位寄存器分别输出具 1/4 周期脉冲宽度的第一栅极驱动信号与第二栅极驱动信号，进而控制多个薄膜晶体管的导通时间，以避免像素同时充电所造成功率率消耗的问题。



1.一种双边栅极驱动型的液晶显示器，包含有：

多个第一移位寄存器，接收一驱动信号，并产生一对应该驱动信号的时序的第一栅极驱动信号；及

多个第二移位寄存器，接收该驱动信号，并产生一对应该驱动信号的时序的第二栅极驱动信号；

其中所述多个第一移位寄存器与所述多个第二移位寄存器所接收的驱动信号小于 $1/2$ 周期脉冲宽度，所述多个第一移位寄存器与所述多个第二移位寄存器根据该驱动信号的时序，产生具有小于 $1/2$ 周期脉冲宽度的第一栅极驱动信号与第二栅极驱动信号，以控制多个薄膜晶体管的导通时间。

2.如权利要求 1 所述的双边栅极驱动型的液晶显示器，其中该驱动信号包含有直流参考电压、起始脉冲信号、时脉信号与反相时脉信号。

3.如权利要求 2 所述的双边栅极驱动型的液晶显示器，其中该驱动信号的占空比为等于 25%。

4.如权利要求 1 所述的双边栅极驱动型的液晶显示器，其中该驱动信号的占空比为大于 25%，以使该第一栅极驱动信号与该第二栅极驱动信号的重叠时间小于 $1/2$ 周期脉冲宽度。

5.一种双边栅极驱动型的液晶显示器的驱动方法，该液晶显示器包括有多个薄膜晶体管、具有多个第一移位寄存器的第一栅极驱动器，以及具有多个第二移位寄存器的第二驱动器，该驱动方法包含有：

调变一驱动信号的占空比为小于 $1/2$ ，并输入调变后的驱动信号至所述多个第一移位寄存器与所述多个第二移位寄存器；

所述多个第一移位寄存器与所述多个第二移位寄存器根据输入的驱动信号的时序产生具有小于 $1/2$ 周期脉冲宽度的第一栅极驱动信号与第二栅极驱动信号；及

所述多个第一移位寄存器与所述多个第二移位寄存器输出该第一栅极驱动信号与该第二栅极驱动信号至所述多个薄膜晶体管，以控制所述多个薄膜晶体管的导通时间。

6.如权利要求 5 所述的双边栅极驱动型的液晶显示器的驱动方法，其中

该驱动信号包含有直流参考电压、起始脉冲信号、时脉信号与反相时脉信号。

7.如权利要求 6 所述的双边栅极驱动型的液晶显示器的驱动方法，其中输入该第二栅极驱动器的起始脉冲信号、时脉信号与反相时脉信号的时序比输入该第一栅极驱动器的起始脉冲信号、时脉信号与反相时脉信号的时序延迟 $1/4$ 周期。

8.如权利要求 5 所述的双边栅极驱动型的液晶显示器的驱动方法，其中该驱动信号的占空比为等于 25%。

9.如权利要求 5 所述的双边栅极驱动型的液晶显示器的驱动方法，其中还包含有调变该驱动信号的占空比为大于 25%，以使该第一栅极驱动信号与该第二栅极驱动信号的重叠时间小于 $1/2$ 但大于 $1/4$ 周期脉冲宽度的步骤。

双边栅极驱动型的液晶显示器及其驱动方法

技术领域

本发明涉及一种液晶显示器及其驱动方法，特别涉及一种双边栅极驱动型的液晶显示器及其驱动方法。

背景技术

图1为使用双边栅极移位寄存器驱动的薄膜晶体管液晶显示器的电路示意图。如图1所示，双边栅极移位寄存器驱动的薄膜晶体管液晶显示器的数据线31(data line)数量为传统单边栅极驱动型薄膜晶体管液晶显示器的一半。

第一栅极线11(odd gate line)由左侧的第一移位寄存器10驱动，第二栅极线21(even gate line)则由右侧的第二移位寄存器20驱动，左右两侧栅极驱动信号呈交错排列。每一级移位寄存器具有四个输入及一个输出，分别定义如下：VSS为直流参考电压，ST为输入起始脉冲信号，CK为输入时脉信号，XCK为输入反相时脉信号，N为输出信号。

图2为双边栅极驱动器的移位寄存器输入信号与输出信号的时序示意图。如图2所示，STL为左侧总线(bus line)的起始脉冲信号，CKL为左侧总线的时脉信号，XCKL为左侧总线的反相时脉信号，STR为右侧总线的起始脉冲信号，CKR为右侧总线的时脉信号，XCKR为右侧总线的反相时脉信号。CKL、XCKL、CKR与XCKR的占空比均为50%，STR、CKR与XCKR较STL、CKL与XCKL延迟1/4时脉周期，所输出的栅极驱动信号依序为第一栅极驱动信号(左)G1L、第二栅极驱动信号(右)G1R、第一栅极驱动信号(左)G2L、第二栅极驱动信号(右)G2R、第一栅极驱动信号(左)G3L、第二栅极驱动信号(右)G3R...等，且各栅极驱动信号分别与前一级移位寄存器的输出信号重叠1/2栅极脉冲信号的时间长度(H)。由于任一时刻都有两个输出脉冲信号，所以任一时刻每一数据线31会同时对相邻两个像素充电，造成原先供给单边像素的充电电流被部份分配到相邻的像素中，使得各像素若要达到高充电率所需要的充电电流较原先的大，所以其耗电量会较高。

因此，如何能提供一种较省电的驱动方式成为研究人员待解决的问题之一。

发明内容

本发明鉴于以上的问题，本发明提供一种双边栅极驱动型的液晶显示器及其驱动方法，通过信号调变技术使移位寄存器输出的栅极驱动信号的时序无重叠，从而避免栅极驱动信号重叠时两像素同时充电而造成功率消耗的问题，进而降低双边栅极驱动型的液晶显示器的耗电量。

本发明所揭示的双边栅极驱动型的液晶显示器包含有多个第一移位寄存器，接收一驱动信号，并产生一对应驱动信号的时序的第一栅极驱动信号；及多个第二移位寄存器，接收驱动信号，并产生一对应驱动信号的时序的第二栅极驱动信号；其中各个第一移位寄存器与各个第二移位寄存器所接收的驱动信号具 $1/4$ 周期脉冲宽度，各个第一移位寄存器与各个第二移位寄存器根据驱动信号的时序，产生具 $1/4$ 周期脉冲宽度的第一栅极驱动信号与第二栅极驱动信号，以控制多个薄膜晶体管的导通时间。

在上述双边栅极驱动型的液晶显示器中，该驱动信号包含有直流参考电压、起始脉冲信号、时脉信号与反相时脉信号。

在上述双边栅极驱动型的液晶显示器中，该驱动信号的占空比为等于 25%。

在上述双边栅极驱动型的液晶显示器中，该驱动信号的占空比为大于 25%，以使该第一栅极驱动信号与该第二栅极驱动信号的重叠时间小于 $1/2$ 周期脉冲宽度。

根据本发明所揭示的双边栅极驱动型的液晶显示器的驱动方法，该液晶显示器包括有多个薄膜晶体管、具有多个第一移位寄存器的第一栅极驱动器，以及具有多个第二移位寄存器的第二栅极驱动器，该驱动方法包含有：调变驱动信号的占空比为 $1/4$ ，并输入调变后的驱动信号至各个第一移位寄存器与各个第二移位寄存器；各个第一移位寄存器与各个第二移位寄存器根据输入的驱动信号的时序产生具 $1/4$ 周期脉冲宽度的第一栅极驱动信号与第二栅极驱动信号；及各个第一移位寄存器与各个第二移位寄存器输出的第一

栅极驱动信号与第二栅极驱动信号至各个薄膜晶体管，以控制各个薄膜晶体管的导通时间。

在上述双边栅极驱动型的液晶显示器的驱动方法中，该驱动信号包含有直流参考电压、起始脉冲信号、时脉信号与反相时脉信号。

在上述双边栅极驱动型的液晶显示器的驱动方法中，输入该第二栅极驱动器的起始脉冲信号、时脉信号与反相时脉信号的时序比输入该第一栅极驱动器的起始脉冲信号、时脉信号与反相时脉信号的时序延迟 $1/4$ 周期。

通过这种双边栅极驱动型的液晶显示器及其驱动方法，将输入至移位寄存器的信号的占空比调变至 25%，以使移位寄存器输出的栅极驱动信号的时序无重叠，从而避免栅极驱动信号重叠时两像素同时充电而造成功率消耗的问题，进而降低双边栅极驱动型的液晶显示器的耗电量，另外，将输入至移位寄存器的信号的占空比调变至大于 25%但小于 50%之间，使移位寄存器输出的栅极驱动信号可提早一段时间开始对像素进行充电，以解决栅极驱动信号在传输过程中产生失真导致充电率不足的问题。

有关本发明的特征与实施例，结合附图详细说明如下。

附图说明

图 1 为公知技术中使用双边栅极移位寄存器驱动的薄膜晶体管液晶显示器的电路示意图；

图 2 为公知技术中双边栅极驱动器的移位寄存器输入信号与输出信号的时序示意图；

图 3 为本发明第一实施例的双边栅极驱动器的移位寄存器输入信号与输出信号的时序示意图；

图 4 为栅极信号与数据信号的充电时间比较示意图；

图 5 为本发明第二实施例的双边栅极驱动器的移位寄存器输入信号与输出信号的时序示意图；

图 6 为本发明第一实施例的驱动方法步骤流程图；

图 7 为本发明第二实施例的驱动方法步骤流程图；及

图 8 为本发明的薄膜晶体管的电路示意图。

并且, 上述附图中的各附图标记说明如下:

- 10 第一移位寄存器
- 11 第一栅极线
- 20 第二移位寄存器
- 21 第二栅极线
- 30 数据驱动器
- 31 数据线
- 32 数据信号
- 40 薄膜晶体管
- 110 理想的栅极驱动信号
- 120 失真的栅极驱动信号
- C_p 液晶电容
- C_s 像素电容
- CKL 左侧总线的时脉信号
- CKR 右侧总线的时脉信号
- G1L 第一栅极驱动信号(左)
- G1R 第二栅极驱动信号(右)
- G2L 第一栅极驱动信号(左)
- G2R 第二栅极驱动信号(右)
- G3L 第一栅极驱动信号(左)
- G3R 第二栅极驱动信号(右)
- H 时间长度
- H1 第一有效充电时间
- H2 第二有效充电时间
- I_{DS} 充电电流
- STL 左侧总线的起始脉冲信号
- STR 右侧总线的起始脉冲信号
- T 周期
- V_D 数据线的电位
- V_G 栅极线的电位

V_p 像素内的电位

XCKL 左侧总线的反相时脉信号

XCKR 右侧总线的反相时脉信号

ΔH 重叠时间

Δt_c 时间长度

具体实施方式

下面图 1 为使用双边栅极移位寄存器驱动的薄膜晶体管液晶显示器的电路示意图。如图 1 所示，液晶显示器包含有多个第一移位寄存器 10、多个第二移位寄存器 20、数据驱动器 30、多条数据线 31、多条第一栅极线 11、多条第二栅极线 21 与多个薄膜晶体管 40。

多个第一移位寄存器 10 接收左侧总线的驱动信号，并产生对应驱动信号的时序的第一栅极驱动信号(例如，G1L、G2L、G3L、G4L、G5L...等)。驱动信号包含有直流参考电压、起始脉冲信号、时脉信号与反相时脉信号。

多个第二移位寄存器 20 接收右侧总线的驱动信号，并产生对应驱动信号的时序的第二栅极驱动信号(例如，G1R、G2R、G3R、G4R、G5R...等)。驱动信号包含有直流参考电压、起始脉冲信号、时脉信号与反相时脉信号。各个第一移位寄存器 10 与各个第二移位寄存器 20 所接收的驱动信号具 1/4 周期的脉冲宽度，而各个第一移位寄存器 10 与各个第二移位寄存器根据接收的驱动信号的时序，产生具 1/4 周期的脉冲宽度的第一栅极驱动信号与第二栅极驱动信号，以控制多个薄膜晶体管 40 的导通时间。

图 3 为本发明第一实施例的双边栅极驱动器的移位寄存器输入信号与输出信号的时序示意图。如图 3 所示，CKL、XCKL、CKR 与 XCKR 的周期为 T，栅极驱动信号的时间长度为 H，CKR、XCKR 分别较 CKL、XCKL 延迟 1/4 时脉周期。STL、STR、CKL、XCKL、CKR 与 XCKR 具有 1/4 周期的脉冲宽度。

通过调变 CKL、XCKL、CKR 与 XCKR 的占空比为 25%，以使任意两个栅极驱动信号(例如，第一栅极驱动信号(左)G1L、第二栅极驱动信号(右)G1R、第一栅极驱动信号(左)G2L、第二栅极驱动信号(右)G2R、第一栅极驱动信号(左)G3L、第二栅极驱动信号(右)G3R)的时序无重叠。此种栅极驱

动信号时序可避免栅极驱动信号重叠时两像素同时充电而造成功率消耗的问题。

图4为栅极信号与数据信号的充电时间比较示意图。如图4所示,理想的栅极驱动信号110与数据信号32构成的第一有效充电时间H1,但实际上栅极驱动信号在传输时会因信号延迟产生失真(distortion),使理想的栅极驱动信号110变为失真的栅极驱动信号120,而失真的栅极驱动信号120与数据信号32构成的第二有效充电时间H2,由于第二有效充电时间H2小于第一有效充电时间H1,致使像素的等效充电时间缩短了一段时间长度 Δt_c ,对于较大像素电容而言,可能会发生充电不足的影响。

因此,通过将栅极驱动信号的开启时间提前一段时间长度 Δt_c ,如此便可达到最大充电时间。因不同栅极信号阻抗会存在不同信号延迟,因此时间长度 Δt_c 为可变,为了使像素有最大充电时间及减轻栅极信号时序重叠造成的功率浪费,栅极驱动信号的开启时间需为可任意调变,以达到最大充电效率。

图5为本发明第二实施例的双边栅极驱动器的移位寄存器输入信号与输出信号的时序示意。如图5所示,CKL、XCKL、CKR与XCKR的周期为T,CKR与XCKR分别较CKL与XCKL延迟1/4的时脉周期。

将CKL、XCKL、CKR、XCKR的占空比调变为大于25%但小于50%之间,且CKL和CKR相差1/4相位,XCKL与XCKR相差1/4相位,相邻的两个栅极驱动信号的重叠时间为 ΔH ,而重叠时间 ΔH 与占空比的关系如下列式子(1):

$$\Delta H = \text{占空比} * T - T/4 \dots \dots \dots (1)$$

其中T为周期,且当重叠时间 ΔH 与时间长度 Δt_c 相等时,具有最大的像素充电效率。如此,通过调整移位寄存器的输出栅极驱动信号的时序重叠时间,可改善因栅极驱动信号的波形失真造成的像素充电时间延迟所导致的充电率不足的问题,且因栅极驱动信号的时序重叠时间较短,仍可避免过多功率消耗。

图6为本发明第一实施例的驱动方法步骤流程图。本发明的双边栅极驱动型的液晶显示器包括有多个薄膜晶体管、具有多个第一移位寄存器的第一栅极驱动器与具有多个第二移位寄存器的第二栅极驱动器,该驱动方法包含

有下列步骤:

首先,调变驱动信号的占空比为 25%,并输入调变后的驱动信号至各个第一移位寄存器与各个第二移位寄存器,如步骤 200,其中驱动信号包含有直流参考电压、起始脉冲信号、时脉信号与反相时脉信号。

接着,各个第一移位寄存器与各个第二移位寄存器根据输入的驱动信号的时序,产生具 1/4 周期脉冲宽度的第一栅极驱动信号与第二栅极驱动信号,如步骤 201。

各个第一移位寄存器与各个第二移位寄存器输出第一栅极驱动信号与第二栅极驱动信号至各个薄膜晶体管,以控制各个薄膜晶体管的导通时间,如步骤 202。

图 7 为本发明第二实施例的驱动方法步骤流程图。如图 7 所示,本发明的双边栅极驱动型的液晶显示器包括有多个薄膜晶体管、具有多个第一移位寄存器的第一栅极驱动器与具有多个第二移位寄存器的第二驱动器,该驱动方法包含有下列步骤:

首先,调变驱动信号的占空比为大于 25%但小于 50%之间,并输入至各级第一移位寄存器与各级第二移位寄存器,如步骤 300。驱动信号包含有直流参考电压、起始脉冲信号、时脉信号与反相时脉信号。

接着,各个第一移位寄存器与各个第二移位寄存器根据驱动信号的时序,产生重叠时间小于 1/2 但大于 1/4 周期脉冲宽度的第一栅极驱动信号与第二栅极驱动信号,如步骤 301。

各个第一移位寄存器与各个第二移位寄存器传输第一栅极信号与第二栅极信号至多个薄膜晶体管,以控制各个薄膜晶体管的导通时间,如步骤 302。

另外,假设理想的栅极驱动信号 110 的电阻-电容延迟时间(RC delay time)为 t_d 。若要达到充电率为 99%,则必须满足下列式子(2):

$$\frac{V_p(t=0) + \int_0^t I_{DS} \cdot dt}{V_D} = 0.99 \dots \dots \dots (2)$$

其中 V_G 为栅极线的电位, V_D 为数据线的电位, V_P 为像素内的电位, I_{DS} 为充电电流, C_P 为液晶电容, C_S 为像素电容(如图 8 所示),因此,若要达到

充电率为 99%，则薄膜晶体管 40 所需的栅极驱动信号的导通时间 t_g 为第一有效充电时间 $H1$ 加上电阻-电容延迟时间 t_d 。

综上所述，本发明的双边栅极驱动型的液晶显示器及其驱动方法，可将输入至移位寄存器的信号的占空比较佳地调变至 25%，以使移位寄存器输出的栅极驱动信号的时序无重叠，藉以避免栅极驱动信号重叠时两像素同时充电而造成功率消耗的问题，进而降低双边栅极驱动型的液晶显示器的耗电量，另外，将输入至移位寄存器的信号的占空比调变至大于 25%但小于 50%之间，使移位寄存器输出的栅极驱动信号可提早一段时间开始对像素进行充电，以解决栅极驱动信号在传输过程中产生失真导致充电率不足的问题。

虽然本发明以前述的较佳实施例揭示如上，然而其并非用以限定本发明，对于所属领域普通技术人员，在不脱离本发明的精神和范围内，当可作些许的更动与润饰，因此本发明的专利保护范围须视本说明书所附的权利要求书所限定的范围为准。

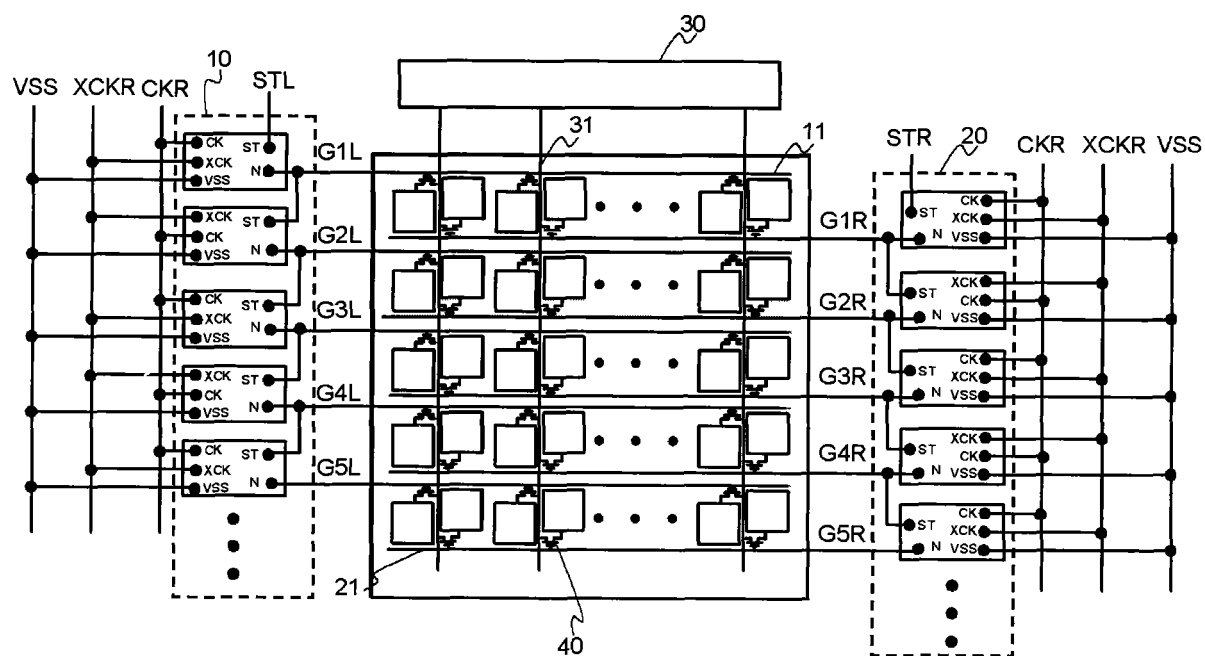


图1

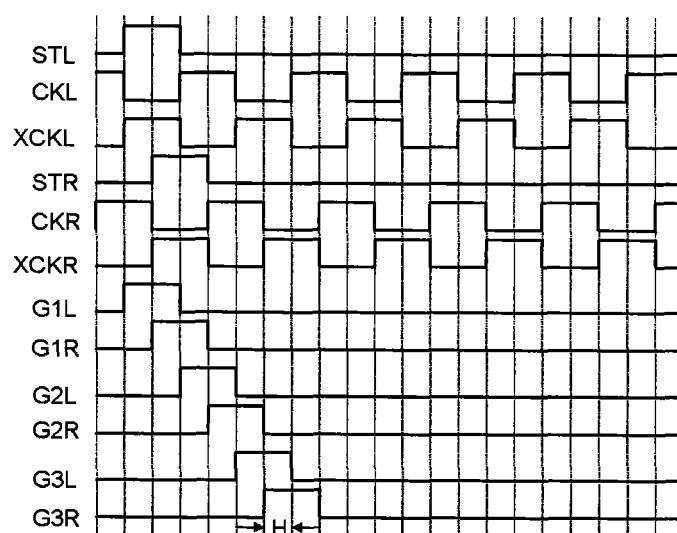


图2

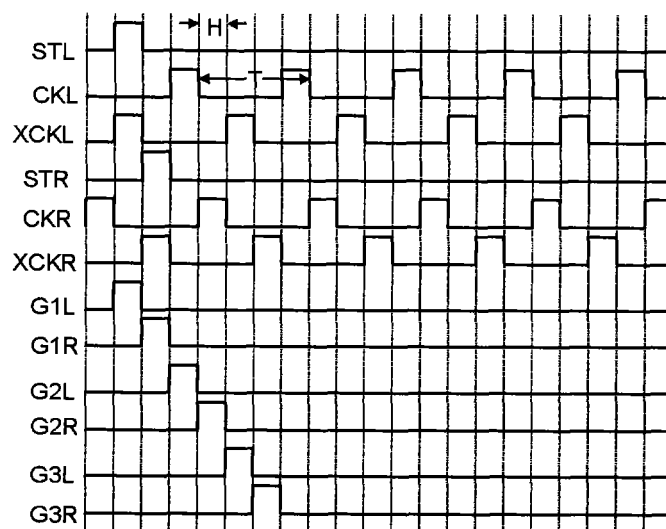


图3

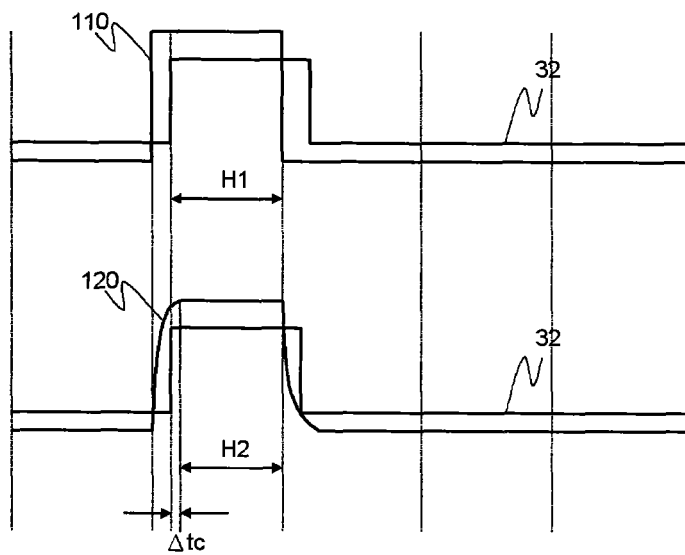


图4

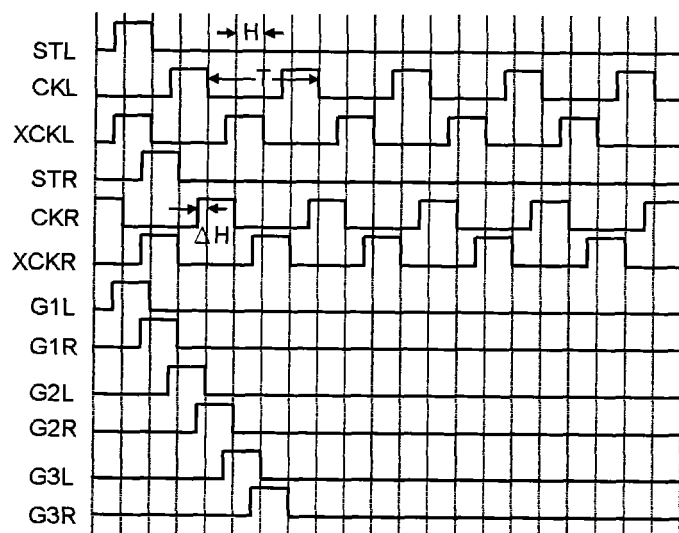


图5

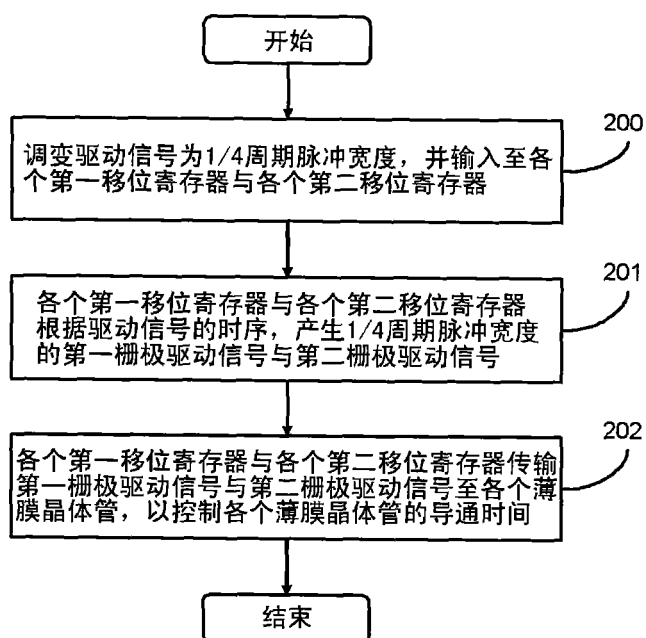


图6

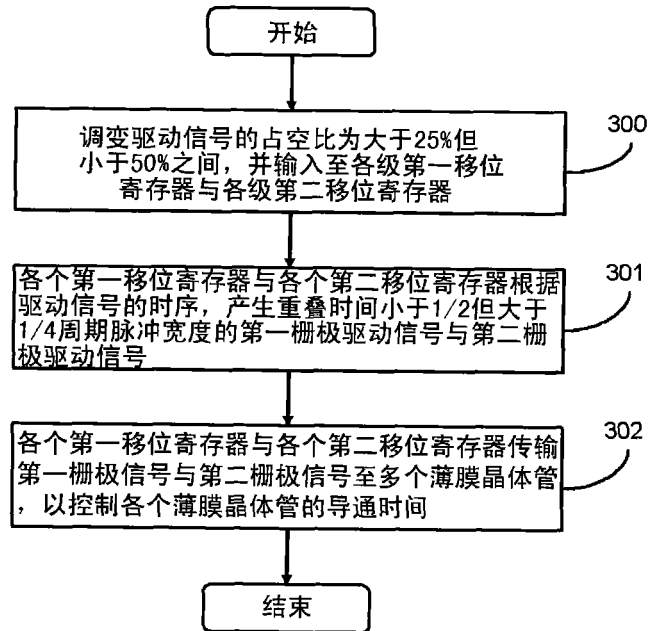


图7

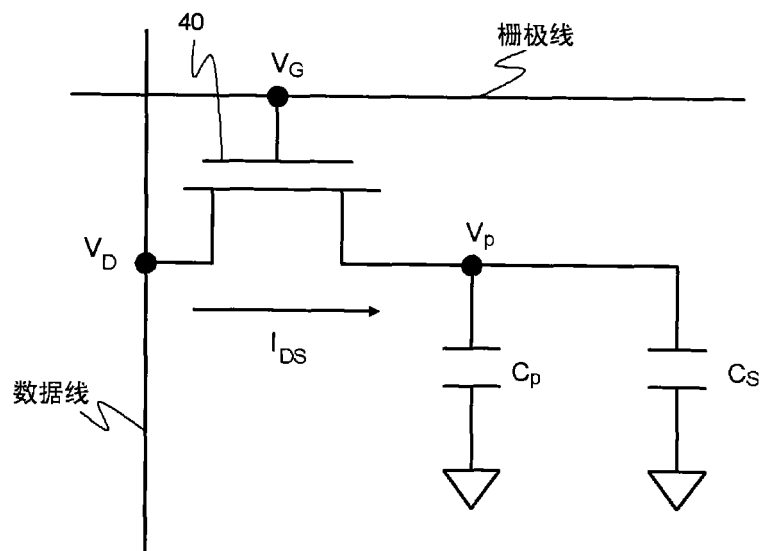


图8

专利名称(译)	双边栅极驱动型的液晶显示器及其驱动方法		
公开(公告)号	CN101122697A	公开(公告)日	2008-02-13
申请号	CN200710148249.7	申请日	2007-09-04
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	廖一遂 罗时勋 魏俊卿		
发明人	廖一遂 罗时勋 魏俊卿		
IPC分类号	G02F1/133 G02F1/1362 G09G3/36 G09G3/20		
代理人(译)	陈晨		
其他公开文献	CN100562780C		
外部链接	Espacenet SIPO		

摘要(译)

一种双边栅极驱动型的液晶显示器及其驱动方法，将第一移位寄存器与第二移位寄存器接收的驱动信号进行调变，以使第一移位寄存器与第二移位寄存器分别输出具1/4周期脉冲宽度的第一栅极驱动信号与第二栅极驱动信号，进而控制多个薄膜晶体管的导通时间，以避免像素同时充电所造成功率消耗的问题。

