

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 02823392.1

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

[45] 授权公告日 2008 年 4 月 30 日

[11] 授权公告号 CN 100385491C

[22] 申请日 2002.11.20 [21] 申请号 02823392.1

[86] 国际申请 PCT/JP2002/012139 2002.11.20

[87] 国际公布 WO2004/047067 日 2004.6.3

[85] 进入国家阶段日期 2004.5.25

[73] 专利权人 三菱电机株式会社

地址 日本东京

[72] 发明人 飞田洋一

[56] 参考文献

JP9-26765A 1997.1.28

CN1365185 2002.8.21

JP5-297830A 1993.11.12

CN1293764 2001.5.2

审查员 赵曦鹏

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 曲 瑞

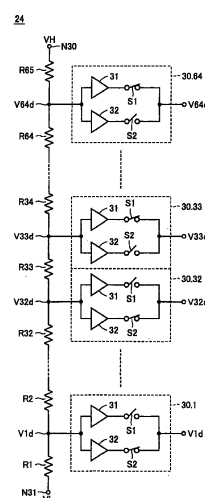
权利要求书 7 页 说明书 28 页 附图 35 页

[54] 发明名称

图象显示装置

[57] 摘要

一种图像显示装置，其中彩色液晶显示装置的灰度等级电位发生电路(24)包含：串联连接的 65 个电阻元件(R1 ~ R65)，分压施加在第一和第二节点(N30、N31)间的电压(VH - VL)并生成 64 个灰度等级电压(V1d ~ V64d)；第一电流放大电路(31)，分别对应于比数据线(6)的预充电电位(VPC)高的灰度等级电位(V33d ~ V64d)设置，充电能力比放电能力高；第二电流放大电路(32)，分别对应于比的预充电电位(VPC)低的灰度等级电位(V1d ~ V32d)设置，放电能力比充电能力高。



1. 一种图像显示装置, 根据图像信号显示图像, 包含:

多个像素显示元件, 以多行多列配置, 分别根据施加的灰度等级电位进行灰度等级显示;

多个扫描线, 与上述多行分别对应地设置;

多个数据线, 与上述多列分别对应地设置;

垂直扫描电路, 每隔规定时间顺次从上述多个扫描线中进行选择, 激活与所选扫描线对应的各像素显示元件; 以及

水平扫描电路, 根据上述图像信号, 向通过上述垂直扫描电路激活的各像素显示元件提供灰度等级电位,

其中上述水平扫描电路包含:

预充电电路, 使各数据线达到预定的预充电电位;

电位发生电路, 产生彼此不同的多个灰度等级电位;

第一电流放大电路, 对应于上述多个灰度等级电位中比上述预充电电位高的各灰度等级电位设置, 输出等于对应灰度等级电位的电位, 充电能力比放电能力高;

第二电流放大电路, 对应于上述多个灰度等级电位中比上述预充电电位低的各灰度等级电位设置, 输出等于对应灰度等级电位的电位, 放电能力比充电能力高; 以及

选择电路, 根据上述图像信号, 按照各数据线逐条地选择上述多个灰度等级电位中的任一个灰度等级电位, 向成为上述预充电电位的各数据线提供与针对该数据线而选定的灰度等级电位相对应的上述第一或第二电流放大电路的输出电位, 并经由该数据线向被激活的像素显示元件提供针对各数据线而选定的灰度等级电位。

2. 根据权利要求1所述图像显示装置, 其中

上述第一电流放大电路包含:

第一晶体管, 连接在第一电源电位线和第一输出节点之间, 使电流流入上述第一输出节点;

第一限流元件，连接在上述第一输出节点和第二电源电位线之间，具有比上述第一晶体管的电流驱动能力小的电流驱动能力，使电流从上述第一输出节点流出；以及

第一控制电路，控制上述第一晶体管的栅极电位，使得上述第一输出节点的电位和对应的灰度等级电位一致；

上述第二电流放大电路包含：

第二限流元件，连接在上述第一电源电位线和第二输出节点之间，使电流流入上述第二输出节点；

第二晶体管，连接在上述第二输出节点和上述第二电源电位线之间，具有比上述第二限流元件的电流驱动能力大的电流驱动能力，使电流从上述第二输出节点流出；以及

第二控制电路，控制上述第二晶体管的栅极电位，使得上述第二输出节点的电位和对应的灰度等级电位一致。

3. 根据权利要求 2 所述的图像显示装置，其中上述第一控制电路包含：

第三晶体管，连接在上述第一电源电位线和上述第一晶体管的栅极电极之间；

第四晶体管，其栅极电极和漏极电极与上述第一晶体管的栅极电极连接，并具有和上述第一晶体管相同的导电类型；

第三限流元件，连接在上述第四晶体管的源极电极和上述第二电源电位线之间；以及

差动放大电路，控制上述第三晶体管的栅极电位，使得上述第四晶体管的源极电极的电位和对应的灰度等级电位一致。

4. 根据权利要求 2 所述的图像显示装置，其中上述第一控制电路包含：

第三限流元件，连接在上述第一电源电位线和上述第一晶体管的栅极电极之间；

第三晶体管，其栅极电极和漏极电极与上述第一晶体管的栅极电极连接，并具有和上述第一晶体管相同的导电类型；

第四晶体管，连接在上述第三晶体管的源极电极和上述第二电源电位线之间；以及

差动放大电路，控制上述第四晶体管的栅极电位，使得上述第三晶体管的源极电极的电位和对应的灰度等级电位一致。

5. 根据权利要求 2 所述的图像显示装置，其中上述第二控制电路包含：

第三晶体管，其源极电极连接上述第一电源电位线；

第四晶体管，其源极电极连接上述第三晶体管的漏极电极，其栅极电极和漏极电极与上述第二晶体管的栅极电极连接，并具有和上述第二晶体管相同的导电类型；

第三限流元件，连接在上述第四晶体管的漏极电极和上述第二电源电位线之间；以及

差动放大电路，控制上述第三晶体管的栅极电位，使得上述第四晶体管的源极电极的电位和对应的灰度等级电位一致。

6. 根据权利要求 2 所述的图像显示装置，其中上述第二控制电路包含：

第三限流元件，其一个电极连接上述第一电源电位线；

第三晶体管，其源极电极连接上述第三晶体管的另一个电极，其漏极电极和栅极电极与上述第二晶体管的栅极电极连接，并具有和上述第二晶体管相同的导电类型；

第四晶体管，连接在上述第三晶体管的漏极电极和上述第二电源电位线之间；以及

差动放大电路，控制上述第四晶体管的栅极电位，使得上述第三晶体管的漏极电极的电位和对应的灰度等级电位一致。

7. 根据权利要求 1 所述的图像显示装置，其中上述第一和第二电流放大电路都包含：

第一晶体管，连接在第一电源电位线和输出节点之间，使电流流入上述输出节点；

第二晶体管，连接在上述输出节点和第二电源电位线之间，使电

流从上述输出节点流出;

控制电路,控制上述第一和第二晶体管各自的栅极电位,使得上述输出节点的电位和对应的灰度等级电位一致;

其中在上述第一电流放大电路中,上述第一晶体管的电流驱动能力比上述第二晶体管的电流驱动能力大,

在上述第二电流放大电路中,上述第二晶体管的电流驱动能力比上述第一晶体管的电流驱动能力大。

8. 根据权利要求 7 所述的图像显示装置,其中上述第一和第二电流放大电路都包含:

限流元件,连接在输出节点和上述第二电源电位线之间;以及第二限流元件,连接在上述第一电源电位线和上述输出节点之间。

9. 根据权利要求 7 所述的图像显示装置,其中上述控制电路包含:

第三晶体管,连接在上述第一电源电位线和上述第一晶体管的栅极电极之间;

第四晶体管,其栅极电极和漏极电极与上述第一晶体管的栅极电极连接,并具有和上述第一晶体管相同的导电类型;

第一限流元件,连接在上述第四晶体管的源极电极和上述第二电源电位线之间;

第一差动放大电路,控制上述第三晶体管的栅极电位,使得上述第四晶体管的源极电极的电位和对应的灰度等级电位一致;

第二限流元件,其一个电极连接上述第一电源电位线;

第五晶体管,其源极电极连接上述第二限流元件的另一个电极,其漏极电极和栅极电极与上述第二晶体管的栅极电极连接,并具有和上述第二晶体管相同的导电类型;

第六晶体管,连接在上述第五晶体管的漏极电极和上述第二电源电位线之间;以及

第二差动放大电路,控制上述第六晶体管的栅极电位,使得上述

第五晶体管的源极电极的电位和对应的灰度等级电位一致。

10. 根据权利要求7所述的图像显示装置，其中上述控制电路包含：

第一限流元件，连接在上述第一电源电位线和上述第一晶体管的栅极电极之间；

第三晶体管，其栅极电极和漏极电极与上述第一晶体管的栅极电极连接，并具有和上述第一晶体管相同的导电类型；

第四晶体管，连接在上述第三晶体管的源极电极和上述第二电源电位线之间；

第一差动放大电路，控制上述第四晶体管的栅极电位，使得上述第三晶体管的源极电极的电位和对应的灰度等级电位一致；

第五晶体管，其源极电极连接上述第一电源电位线；

第六晶体管，其源极电极连接上述第五晶体管的漏极电极，其栅极电极和漏极电极与上述第二晶体管的栅极电极连接，并具有和上述第二晶体管相同的导电类型；

第二限流元件，连接在上述第六晶体管的漏极电极和上述第二电源电位线之间；以及

第二差动放大电路，控制上述第五晶体管的栅极电位，使得上述第六晶体管的源极电极的电位和对应的灰度等级电位一致。

11. 根据权利要求7所述的图像显示装置，其中上述控制电路包含：

第三晶体管，连接在上述第一电源电位线和上述第一晶体管的栅极电极之间；

第四晶体管，其栅极电极和漏极电极与上述第一晶体管的栅极电极连接，并具有和上述第一晶体管相同的导电类型；

第五晶体管，其源极电极连接上述第四晶体管的源极电极，其栅极电极和漏极电极与上述第二晶体管的栅极电极连接，并具有和上述第二晶体管相同的导电类型；

限流元件，连接在上述第五晶体管的漏极电极和上述第二电源电

位线之间；以及

差动放大电路，控制上述第三晶体管的栅极电位，使得上述第四晶体管的源极电极的电位和对应的灰度等级电位一致。

12. 根据权利要求7所述的图像显示装置，其中上述控制电路包含：

限流元件，连接在上述第一电源电位线和上述第一晶体管的栅极电极之间；

第三晶体管，其栅极电极和漏极电极与上述第二晶体管的栅极电极连接，并具有和上述第一晶体管相同的导电类型；

第四晶体管，其源极电极连接上述第三晶体管的源极电极，其栅极电极和漏极电极与上述第二晶体管的栅极电极连接，并具有和上述第二晶体管相同的导电类型；

第五晶体管，连接在上述第四晶体管的漏极电极和上述第二电源电位线之间；以及

差动放大电路，控制上述第五晶体管的栅极电位，使得上述第四晶体管的源极电极的电位和对应的灰度等级电位一致。

13. 根据权利要求1所述的图像显示装置，其中上述第一电流放大电路包含：

第一电平移位电路，输出比对应的灰度等级电位高出规定电压的电位；

上拉电路，将第一输出节点充电到比上述第一电平移位电路的输出电位仅低上述规定电压的电位；以及

第一限流元件，连接在上述第一输出节点和第一电源电位线之间，具有比上述上拉电路的电流驱动能力小的电流驱动能力，使电流从上述第一输出节点流出，

上述第二电流放大电路包含：

第二电平移位电路，输出比对应的灰度等级电位低上述规定电压的电位；

下拉电路，将上述第二输出节点放电到比上述第二电平移位电路

的输出电位仅高上述规定电压的电位；以及

第二限流元件，连接在第二电源电位线和上述第二输出节点之间，具有比上述下拉电路的电流驱动能力小的电流驱动能力，使电流流入上述第二输出节点。

14. 根据权利要求 1 所述的图像显示装置，其中上述第一和第二电流放大电路都包含：

第一电平移位电路，输出比对应的灰度等级电位高出规定电压的电位；

上拉电路，将输出节点充电到比上述第一电平移位电路的输出电位仅低上述规定电压的电位；

第二电平移位电路，输出比对应的灰度等级电位仅低规定电压的电位；

下拉电路，将上述输出节点放电到比上述第二电平移位电路的输出电位仅高上述规定电压的电位；

在上述第一电流放大电路中，上述上拉电路的电流驱动能力比上述下拉电路的电流驱动能力大，

在上述第二电流放大电路中，上述下拉电路的电流驱动能力比上述上拉电路的电流驱动能力大。

15. 根据权利要求 14 所述的图像显示装置，其中上述第一和第二电流放大电路都包含：

限流元件，连接在上述输出节点和电源电位线之间。

图像显示装置

技术领域

本发明涉及图像显示装置，尤其涉及根据图像信号显示图像的图像显示装置。

背景技术

以前，在液晶显示装置中，采用使液晶单元的驱动电压变化而使液晶单元的透光率变化的电压调制法。例如，进行64个灰度等级的显示时，根据视频信号选择64个灰度等级电压中的任何一个电压，将所选电压施加在液晶单元上。

图37是在这种液晶显示装置中生成64个灰度等级电压V1d~V64d的灰度等级电位发生电路200的结构方框图。图37中，该灰度等级电位发生电路200包含电阻元件R1~R65和电流放大电路201.1~201.64。

电阻元件R1~R65串联连接在节点N201和N200之间，在对节点N201和N200之间的电压进行分压后，生成64个灰度等级电压V1d~V64d。为了防止液晶单元劣化，以规定周期交互切换施加在节点N200和N201上的电位。图37中，示出了节点N200和N201上分别施加高电位VH和低电位VL的状态。

电流放大电路201.1~201.64均包含上拉晶体管和下拉晶体管。上拉晶体管和下拉晶体管都具有较大的电流驱动能力。电流放大电路201.1~201.64分别输出和在电阻元件R1~R65中生成的灰度等级电压V1d~V64d相同电平的电位V1d~V64d。

但是，在这种灰度等级电位发生电路200中，电流放大电路201.1~201.64的晶体管阈值电压有偏差的情况下，有这样的問題：上拉晶体管和下拉晶体管根据输入电位而双方同时导通，从而流过大的

直通电流。当这种大的直通电流流过时，液晶显示装置的消耗功率增大。

图 38 是现有电流放大电路 210 的结构电路图。这种电流放大电路 210 例如公开于特开 2002-123326 号公报中。图 38 中，该电流放大电路 210 包含电阻元件 211~213、拉式驱动电路 214 和推式驱动电路 215。电阻元件 211~213 串联连接在节点 N210 和 N213 之间，对节点 N210 和 N213 之间的电压 V_H-V_L 分压后，生成上限电位 V_{211} 和下限电位 V_{212} 。拉式驱动电路 214 包含下拉用 N 型晶体管，在输出节点 N215 的电位 V_O 比上限电位 V_{211} 高时，使电流从输出节点 N215 流出。推式驱动电路 215 包含上拉用 P 型晶体管，在输出节点 N215 的电位 V_O 比下限电位 V_{212} 低时，使电流流入输出节点 N215。因此，输出电位 V_O 维持在上限电位 V_{211} 和下限电位 V_{212} 之间。

但是，在电流放大电路 210 中，当驱动电路 214、215 内的晶体管的阈值电压有偏差时，上拉用 N 型晶体管和下拉用 P 型晶体管有时也会同时导通，这时存在流过大的直通电流的问题。

发明内容

本发明的目的是提供一种低消耗功率的图像显示装置。

本发明的图像显示装置是根据图像信号显示图像的图像显示装置，包含：多个像素显示元件，以多行多列配置，分别根据施加的灰度等级电位进行灰度等级显示；多个扫描线，与多行分别对应地设置；多个数据线，与多列分别对应地设置；垂直扫描电路，每隔规定时间顺次选择多个扫描线，激活与所选扫描线对应的各像素显示元件；水平扫描电路，根据图像信号，为通过垂直扫描电路激活的各像素显示元件提供灰度等级电位。这里，水平扫描电路包含：预充电电路，使各数据线达到预定的预充电电位；电位发生电路，产生彼此不同的多个灰度等级电位；第一电流放大电路，对应于多个灰度等级电位中的比预充电电位高的各灰度等级电位设置，用于输出等于对应灰度等级电位的电位，其充电能力比放电能力高；第二电流放大电路，对应于

多个灰度等级电位中的比预充电电位低的各灰度等级电位设置，用于输出等于对应灰度等级电位的电位，其放电能力比充电能力高；选择电路，按照各数据线逐条地选择上述多个灰度等级电位中的任一个灰度等级电位，向成为上述预充电电位的各数据线提供与针对该数据线而选定的灰度等级电位相对应的上述第一或第二电流放大电路的输出电位，并经由该数据线向被激活的像素显示元件提供针对各数据线而选定的灰度等级电位。因此，由于使用充电能力比放电能力高的第一电流放大电路和放电能力比充电能力高的第二电流放大电路，与使用充电能力和放电能力都高的电流放大电路的现有技术相比，可以减小各电流放大电路中的直通电流，降低消耗功率。

附图说明

图1是根据本发明实施例1的彩色液晶显示装置的整体结构方框图；

图2是与图1所示液晶元件对应设置的液晶驱动电路的结构电路图；

图3是图1所示水平扫描电路的结构方框图；

图4是图3所示灰度等级电位发生电路的结构电路图；

图5是图4所示推式驱动电路的结构电路图；

图6是图4所示拉式驱动电路的结构电路图；

图7是图3所示均衡器+预充电电路的结构电路图；

图8是表示图1~图7所示彩色液晶显示装置操作的电路图；

图9是实施例1的变形例的电路图；

图10是实施例1的另一个变形例的电路图；

图11是根据本发明实施例2的推式驱动电路的结构电路图；

图12A~12C分别是图11所示恒流电路的结构电路图；

图13是实施例2的变形例的电路图；

图14是实施例2的另一个变形例的电路图；

图15是根据本发明实施例3的推式驱动电路的结构电路图；

图16A~16C分别是图15所示恒流电路的结构电路图；

图 17 是实施例 3 的变形例的电路图;

图 18 是实施例 3 的另一个变形例的电路图;

图 19 是根据本发明实施例 4 的拉式驱动电路的结构电路图;

图 20 是实施例 4 的变形例的电路图;

图 21 是实施例 4 的另一个变形例的电路图;

图 22 是根据本发明实施例 5 的推挽型驱动电路的结构电路图;

图 23 是实施例 5 的变形例的电路图;

图 24 是实施例 5 的另一个变形例的电路图;

图 25 是实施例 5 的再一个变形例的电路图;

图 26 是根据本发明实施例 6 的推挽型驱动电路的结构电路图;

图 27 是根据本发明实施例 7 的推挽型驱动电路的结构电路图;

图 28 是根据本发明实施例 8 的推挽型驱动电路的结构电路图;

图 29 是根据本发明实施例 9 的推挽型驱动电路的结构电路图;

图 30 是根据本发明实施例 10 的推挽型驱动电路的结构电路图;

图 31 是实施例 10 的变形例的电路图;

图 32 是根据本发明实施例 11 的带偏移补偿功能的推式驱动电路的结构电路图;

图 33 是图 32 所示带偏移补偿功能的推式驱动电路的操作的时间图;

图 34 是图 32 所示带偏移补偿功能的推式驱动电路的操作的另一个时间图;

图 35 是根据本发明实施例 12 的带偏移补偿功能的推挽型驱动电路的结构电路图;

图 36 是根据本发明实施例 13 的带偏移补偿功能的推挽型驱动电路的结构电路图;

图 37 是现有液晶显示装置的灰度等级电位发生电路的结构电路图;

图 38 是现有电流放大电路的结构电路图。

具体实施方式

实施例 1

图 1 是根据本发明实施例 1 的彩色液晶显示装置的结构方框图。图 1 中, 该彩色液晶显示装置具备液晶面板 1、垂直扫描电路 7 和水平扫描电路 8, 例如被设置在便携电话中。

液晶面板 1 包含以多行多列排列的多个液晶单元 2、与各行对应设置的扫描线 4 和公共电位线 5 以及与各列对应设置的数据线 6。

各行中, 预先对液晶单元 2 按三个一组地进行分组。在各组的三个液晶单元 2 中, 分别设置 R、G、B 滤色器。各组的三个液晶单元 2 构成一个像素 3。

在各液晶单元 2 中, 如图 2 所示, 设置液晶驱动电路 10。液晶驱动电路 10 包含 N 型场效应晶体管 (以下称为 N 型晶体管) 11 和电容器 12。N 型晶体管 11 连接在数据线 6 和液晶单元 2 的一个电极 2a 之间, 其栅极连接扫描线 4。电容器 12 连接在液晶单元 2 的一个电极 2a 和公共电位线 5 之间。向液晶单元 2 的另一个电极提供驱动电位 VDDL, 向公共电位线 5 提供公共电位 VSS。

返回图 1, 垂直扫描电路 7 根据图像信号每隔规定时间顺次选择多个扫描线 4 之一, 使所选扫描线 4 变成选择电平的“H”电平。当扫描线 4 变成选择电平的“H”电平时, 图 2 的 N 型晶体管 11 导通, 与该扫描线 4 对应的各液晶单元 2 的一个电极 2a 和与该液晶单元 2 对应的数据线 6 耦合。

水平扫描电路 8 根据图像信号在通过垂直扫描电路 7 选择 1 个扫描线 4 期间, 顺次选择多个数据线 6, 例如 12 个, 为所选的各数据线 6 提供灰度等级电位。液晶单元 2 的透光率随灰度等级电位的电平变化。

通过垂直扫描电路 7 和水平扫描电路 8 扫描液晶面板 1 的所有液晶单元 2 时, 在液晶面板 1 中显示 1 个图像。

图 3 是图 1 所示水平扫描电路 8 的结构方框图。图 3 中, 水平扫描电路 8 具有移位寄存器 21、数据锁存电路 22、23、灰度等级电位发

生电路 24、多路复用器 25 以及均衡器+预充电电路 26。

移位寄存器 21 与时钟信号 CLK 同步地控制数据锁存电路 22。视频信号包含与时钟信号 CLK 同步地串行输入的 6 位数据信号 D0~D5。从而，在各像素 3 中可显示 26 万色。数据锁存电路 22 顺次取入由移位寄存器 21 控制的、视频信号中包含的 6 位数据信号 D0~D5。数据锁存电路 23 响应锁存信号 ϕ_{LT} ，1 次读入取入到数据锁存电路 22 中的 1 行的视频信号。

灰度等级电位发生电路 24 生成 $64 (=2^6)$ 个灰度等级电压 V1d~V64d。均衡器+预充电电路 26 响应均衡信号 ϕ_{EQ} ，连接在多个数据线 6 间，在均衡多个数据线 6 的电位的同时，响应预充电信号 ϕ_{PC} ，将各数据线 6 预充电到预充电电位 VPC。多路复用器 25 与各数据线 6 对应地根据来自数据锁存电路 23 的 6 位数据信号 D0~D5 从来自灰度等级电位发生电路 24 的 64 个灰度等级电压 V1d~V64d 中选择任一个电位，将所选电位提供给数据线 6。

图 4 是图 3 所示灰度等级电位发生电路 24 的结构电路方框图。图 4 中，灰度等级电位发生电路 24 具备电阻元件 R1~R65 和电流放大电路 30.1~30.64。

电阻元件 R1~R65 串联连接在节点 N31 和 N30 之间，对在节点 N31、N30 间提供的电压分压后，生成 64 个灰度等级电压 V1d~V64d。电阻元件 R1~R65 构成梯形电阻电路。因为液晶驱动电压和液晶单元 2 的透光率通常是非线性关系，所以，电阻元件 R1~R65 的电阻值是彼此不相等的值。

因为需要以规定周期（1 行周期，1 列周期等）交流驱动液晶单元 2，所以以规定周期交互切换节点 N30 的电位和节点 N31 的电位。图 2 的驱动电位 VDDL 被置为和节点 N31 的电位相同的电位。图 4 中，示出了向节点 N30 提供高电位 VH，向节点 N31 提供低电位 VL 的状态。

电流放大电路 30.1~30.64 输出分别和 64 个灰度等级电压 V1d~V64d 相同电平的电位 V1d~V64d。电流放大电路 30.1 包含推式

驱动电路 31、拉式驱动电路 32 和开关 S1、S2。如图 5 所示，推式驱动电路 31 包含差动放大电路 40、开关 S3、P 型场效应晶体管（以下称为 P 型晶体管）46 和恒流电路 47。开关 S3 的一个端子接收电源电位 VDD。与节点 N30、N31 的电位 V_H 、 V_L 同步地对开关 S3 进行开/关控制。

差动放大电路 40 包含 P 型晶体管 41、42、N 型晶体管 43、44 和恒流电路 45。P 型晶体管 41、42 分别连接在开关 S3 的另一个端子和节点 N41、N42 之间，它们的栅极都与节点 N42 连接。P 型晶体管 41、42 构成电流反射镜电路。N 型晶体管 43、44 分别连接在节点 N41、N42 和节点 N43 之间，它们的栅极分别接收输入节点 N45 的电位 V_I （ V_{Id} ）和输出节点 N46 的电位 V_O 。恒流电路 45 使规定值的恒定电流 I_1 从节点 N43 流向接地电位 GND 线。P 型晶体管 46 连接在开关 S3 的另一个端子和输出节点 N46 之间，其栅极接收节点 N41 的电位 V_{41} 。恒流电路 47 使规定值的恒定电流 I_2 从输出节点 N46 流向接地电位 GND 线。恒定电流 I_2 的值被设定得非常小，从而，将驱动电路 31 中的直通电流抑制得非常小。

当开关 S3 为关状态时，不向推式驱动电路 31 提供电源电位 VDD，在推式驱动电路 31 中不消耗功率。开关 S3 为开状态时，向推式驱动电路 31 提供电源电位 VDD，激活推式驱动电路 31。N 型晶体管 43、44 中分别流过其值与输入电位 V_I 和输出电位 V_O 对应的电流。N 型晶体管 44 和 P 型晶体管 42 串联连接，P 型晶体管 41 和 42 构成电流反射镜电路，因此，在 P 型晶体管 41 中流过其值与输出电位 V_O 对应的电流。

输出电位 V_O 比输入电位 V_I 高时，P 型晶体管 41 中流过的电流比 N 型晶体管 43 中流过的电流大，节点 N41 的电位 V_{41} 上升，P 型晶体管 46 中流过的电流减少后，输出电位 V_O 下降。输出电位 V_O 比输入电位 V_I 低时，P 型晶体管 41 中流过的电流比 N 型晶体管 43 中流过的电流小，节点 N41 的电位 V_{41} 下降，P 型晶体管 46 中流过的电流增加后，输出电位 V_O 上升。因此， $V_O = V_I$ 。

如图 6 所示, 拉式驱动电路 32 包含差动放大电路 50、开关 S4、恒流电路 56 和 N 型晶体管 57。开关 S4 的一个端子接收电源电位 VDD。与节点 N30、N31 的电位 VH、VL 同步地对开关 S4 进行开/关控制。

差动放大电路 50 包含恒流电路 51、P 型晶体管 52、53 以及 N 型晶体管 54、55。恒流电路 51 使规定值的恒定电流 I1 从开关 S4 的另一个端子流入节点 N51。P 型晶体管 52、53 分别连接在节点 N51 和节点 N52、N53 之间, 它们的栅极分别接收输入节点 N55 的电位 VI (V1d) 和输出节点 N56 的电位 VO。N 型晶体管 54、55 分别连接在节点 N52、N53 和接地电位 GND 线之间, 它们的栅极都与节点 N53 连接。N 型晶体管 54、55 构成电流反射镜电路。恒流电路 56 使规定值的恒定电流 I2 从开关 S4 的另一个端子流入输出节点 N56。N 型晶体管 57 连接在输出节点 N56 和接地电位 GND 线之间, 其栅极接收节点 N52 的电位 V52。恒定电流 I2 的值被设定得非常小, 从而, 将驱动电路 32 中的直通电流抑制得非常小。

当开关 S4 为关状态时, 不向拉式驱动电路 32 提供电源电位 VDD, 在拉式驱动电路 32 中不消耗功率。开关 S4 为开状态时, 向拉式驱动电路 32 提供电源电位 VDD 后, 激活拉式驱动电路 32。P 型晶体管 52、53 中分别流过值与输入电位 VI 和输出电位 VO 对应的电流。P 型晶体管 53 和 N 型晶体管 55 串联连接, N 型晶体管 54 和 55 构成电流反射镜电路, 因此, 在 N 型晶体管 54 中流过值与输出电位 VO 对应的电流。

输出电位 VO 比输入电位 VI 高时, N 型晶体管 54 中流过的电流比 P 型晶体管 52 中流过的电流小, 从而节点 N52 的电位 V52 上升, 而 N 型晶体管 57 中流过的电流增加, 从而输出电位 VO 下降。输出电位 VO 比输入电位 VI 低时, N 型晶体管 54 中流过的电流比 P 型晶体管 52 中流过的电流大, 从而节点 N52 的电位 V52 下降, 而 N 型晶体管 57 中流过的电流减少, 从而输出电位 VO 上升。因此, $VO=VI$ 。

返回图 4, 驱动电路 31、32 的输入节点 N45、N55 都接收灰度等级电位 V1d, 它们的输出节点 N46、N56 分别连接开关 S1、S2 的一个

端子。开关 S1、S2 的另一个端子都与电流放大电路 30.1 的输出节点连接。开关 S1、S2 分别和开关 S3、S4 同时开/关。其他电流放大电路 30.2~30.64 的结构也和电流放大电路 30.1 相同。

后述的在数据线 6 上施加灰度等级电压 V1d~V64d 中任一个电位之前，数据线 6 被预充电到在高电位 VH 和低电位 VL 中间的电位 $VPC = (VH + VL) / 2$ 。预充电电位 VPC 是 V32d 和 V33d 之间的电位。

在节点 N30、N31 上分别施加高电位 VH 和低电位 VL 的期间，电流放大电路 30.1~30.32 的开关 S2、S4 变成开状态，电流放大电路 30.1~30.32 的输出节点分别被下拉到灰度等级电压 V1d~V32d，同时，电流放大电路 30.33~30.64 的开关 S1、S3 变为开状态，电流放大电路 30.33~30.64 的输出节点分别被上拉到灰度等级电压 V33d~V64d。这时， $V64d > VPC > V1d$ 。

在节点 N30、N31 上分别施加低电位 VL 和高电位 VH 的期间，电流放大电路 30.1~30.32 的开关 S1、S3 变成开状态，电流放大电路 30.1~30.32 的输出节点分别被上拉到灰度等级电压 V1d~V32d，同时，电流放大电路 30.33~30.64 的开关 S2、S4 变为开状态，电流放大电路 30.33~30.64 的输出节点分别被下拉到灰度等级电压 V33d~V64d。这时， $V64d < VPC < V1d$ 。

图 7 是图 3 所示均衡器+预充电电路 26 的结构电路图。图 7 中，均衡器+预充电电路 26 包含为各数据线 6 设置的开关 S5 和与每 2 个邻接的数据线 6 对应地设置的开关 S6。开关 S5 的一个端子接收预充电电位 $VPC = (VH + VL) / 2$ ，另一个端子连接对应的数据线 6。预充电电位 VPC 可以从外部导入，也可以在内部生成。开关 S5 响应预充电信号 ϕPC 变成激活电平的“H”电平而变成接通状态。当开关 S5 变成接通状态时，各数据线 6 变为预充电电位 VPC。开关 S6 连接在 2 个数据线 6 之间，响应均衡信号 ϕEQ 变成激活电平的“H”电平而变成接通状态。当开关 S6 变为接通状态时，n 条（其中，n 是大于或等于 2 的整数）数据线 6 的电位 VG1~VGn 被平均。

图 8 是图 1~图 7 所示彩色液晶显示装置的操作时间图。图 8 中，

在初始状态下, 均衡信号 ϕ_{EQ} 和预充电信号 ϕ_{PC} 为非激活电平的“L”电平, 开关 $S1\sim S6$ 变为断开状态。这时, n 条数据线6的电位 $VG1\sim VGn$ 均变为在前一个周期中写入的电位, 变为 $V1d\sim V64d$ 中的任一个电位。而且, 扫描线4的电位 VS 变为“L”电平, N型晶体管11变为非导通状态。

首先, 在时刻 t_0 , 均衡信号 ϕ_{EQ} 为激活电平的“H”电平时, 各开关 $S6$ 变为接通状态, n 条数据线6彼此短路。从而, n 条数据线6的电位 $VG1\sim VGn$ 被平均。这时的各数据线6的电位由在时刻 t_0 的 n 条数据线6的电位 $VG1\sim VGn$ 决定, 不是恒定值。在时刻 t_1 , 均衡信号 ϕ_{EQ} 为非激活电平的“L”电平时, 各开关 $S6$ 变为断开状态, n 条数据线6彼此电气切断。

接着, 在时刻 t_2 , 预充电信号 ϕ_{PC} 为激活电平的“H”电平时, 各开关 $S5$ 变为接通状态, 各数据线6变为预充电电位 V_{PC} 。在时刻 t_3 , 预充电信号 ϕ_{P1} 为激活电平的“L”电平时, 各开关 $S5$ 变为断开状态, n 条数据线6彼此电气切断。

接着, 在时刻 t_4 , 例如在节点 $N30$ 、 $N31$ 上分别施加高电位 V_H 和低电位 V_L , 电流放大电路30.33~30.64的开关 $S1$ 、 $S3$ 变为接通状态, 同时, 电流放大电路30.1~30.32的开关 $S2$ 、 $S4$ 变为接通状态, n 条数据线6的电位 $VG1\sim VGn$ 均向通过多路复用器25连接的驱动电路31或32的输出电位变化。

这时, 与电流放大电路30.33~30.64中的任一个放大电路连接的数据线6经推式驱动电路31的P型晶体管46而被迅速充电, 与电流放大电路30.1~30.32中的任一个放大电路连接的数据线6经拉式驱动电路32的N型晶体管57而被迅速充电。

接着, 在时刻 t_5 , 1条扫描线4的电位 VS 上升为选择电平的“H”电平。从而, 图7的各N型晶体管11导通, 各数据线6的电位 VG 经N型晶体管11提供给液晶单元2。扫描线4的电位 VG 下降为“L”电平时, N型晶体管11变为不导通, 通过电容器12保持液晶单元2的电极间电压。液晶单元2展示与其电极间电压对应的值的透光率。

在实施例 1 中, 电流放大电路 30.1~30.64 中均设置推式驱动电路 31、拉式驱动电路 32 和开关 S1、S2, 在输出比预充电电位 VPC 高的电位的电流放大电路 (图 4 中 30.33~30.64) 中, 使开关 S1 变为接通状态后仅使用推式驱动电路 31, 在输出比预充电电位 VPC 低的电位的电流放大电路 (图 4 中 30.1~30.32) 中, 使开关 S2 变为接通状态后仅使用拉式驱动电路 32。在不与数据线 6 连接的驱动电路 31、32 中, 开关 S3、S4 变为断开状态后, 停止提供电源电位 VDD。因此, 可以将电流放大电路 30.1~30.64 中的直通电流抑制到最小限度, 可以降低消耗功率。

此外, 场效应晶体管 11.41~44, 46, 52~55, 57 都可以是 MOS 晶体管, 也可以是薄膜晶体管 (TFT)。薄膜晶体管可以用多晶硅薄膜、非晶硅薄膜等半导体薄膜形成, 也可以形成在树脂基板、玻璃基板等绝缘基板上。

图 9 是根据实施例 1 的变形例的彩色液晶显示装置的灰度等级电位发生电路的结构电路图, 是和图 4 相对比的图。图 9 中, 该灰度等级电位发生电路包含两组梯形电阻电路 60、61 和 64 个电流放大电路 63.1~63.64。梯形电阻电路 60 包含串联连接在节点 N61 和 N60 之间的电阻元件 R1~R65。在节点 N60、N61 上分别一直施加高电位 VH 和低电位 VL。通过梯形电阻电路 60 生成 64 个灰度等级电压 V1a~V64a ($V64a > V1a$)。梯形电阻电路 61 包含串联连接在节点 N63 和 N62 之间的电阻元件 R1~R65。在节点 N62、N63 上分别一直施加低电位 VL 和高电位 VH。通过梯形电阻电路 61 生成 64 个灰度等级电压 V1b~V64b ($V64b < V1b$)。

电流放大电路 63.1~63.64 均包含图 4~图 6 所示的推式驱动电路 31、拉式驱动电路 32 和开关 S1、S2。电流放大电路 63.33~63.64 的推式驱动电路 31 的输入节点分别接收梯形电阻电路 60 的输出电位 V33a~V64a, 电流放大电路 63.1~63.32 的拉式驱动电路 32 的输入节点分别接收梯形电阻电路 60 的输出电位 V1a~V32a, 电流放大电路 63.33~63.64 的拉式驱动电路 32 的输入节点接收梯形电阻电路 61 的输

出电位 $V_{33b} \sim V_{64b}$ ，电流放大电路 63.1~63.32 的推式驱动电路 31 的输入节点分别接收梯形电阻电路 61 的输出电位 $V_{1b} \sim V_{32b}$ 。各推式驱动电路 31 的输出节点通过开关 S1 连接到对应的电流放大电路的输出节点上，各拉式驱动电路 32 的输出节点通过开关 S2 连接到对应的电流放大电路的输出节点上。

开关 S1~S4 按在图 4~图 6 中说明的定时进行动作。在某个周期中，如图 9 所示，电流放大电路 63.33~63.64 的开关 S1、S3 变为接通状态，同时，电流放大电路 63.1~63.32 的开关 S2、S4 变为接通状态， $V_{64d} > V_{PC} > V_{1d}$ 。在下一个周期中，电流放大电路 63.33~63.64 的开关 S2、S4 变为接通状态，同时，电流放大电路 63.1~63.32 的开关 S1、S3 变为接通状态， $V_{1d} > V_{PC} > V_{64d}$ 。在其变形例中，也能得到和实施例 1 相同的效果。

图 10 是根据实施例 1 的变形例的图像显示装置的主要部分的电路图，是和图 2 对比的图。图 10 中，该变形例用 P 型晶体管 65 和 EL（电致发光）元件 66 来替换图 2 的液晶单元 2。P 型晶体管 65 和 EL 元件 66 串联连接在电源电位 VDD 线和公共电位线 5 之间，P 型晶体管 65 的栅极连接在 N 型晶体管 11 和电容器 12 间的节点 N11 上。当向节点 N11 提供灰度等级电位时，在 P 型晶体管 65 中流过与其灰度等级电位对应的值的电流，EL 元件 66 以与该电流值对应的光强度发光。在 EL 元件 66 中，不需要象液晶单元 2 那样切换施加电压的极性。因此，在图 4 的灰度等级电位发生电路 24 中，节点 N30、N31 分别被固定在高电位 VH 和低电位 VL，电流放大电路 30.1~30.32 仅包含拉式驱动电路 32，电流放大电路 30.33~30.64 仅包含推式驱动电路 31。在该变形例中，也能得到和实施例 1 相同的效果。

实施例 2

在图 5 的推式驱动电路 31 中，输出电位 VO 被直接反馈给差动放大电路 40，并且因为负载容量大，存在产生谐振现象的问题。在实施例 2 中，解决了这个问题。

图 11 是根据本发明实施例 2 的推式驱动电路 70 的结构电路图。

图 11 中, 该推式驱动电路 70 用 P 型晶体管 71、N 型晶体管 72、73 和恒流电路 74 替换图 5 的推式驱动电路 31 的 P 型晶体管 46。此外, 为了简化图面和说明, 以后, 省略用于向驱动电路提供电源的开关 S3、S4。

P 型晶体管 71、N 型晶体管 72 和恒流电路 74 串联连接在电源电位 VDD 线和接地电位 GND 线之间。P 型晶体管 71 的栅极接收差分放大电路 40 的输出节点 N41 的电位 V41。N 型晶体管 72 的栅极连接其漏极。N 型晶体管 72 构成二极管元件。N 型晶体管 72 的源极 (节点 N72) 的电位 VM 被提供给 N 型晶体管 44 的栅极。恒流电路 74 使规定值的恒定电流 I3 从节点 N72 流入接地电位 GND 线。N 型晶体管 73 连接在电源电位 VDD 线和输出节点 N46 之间, 其栅极接收 P 型晶体管 71 和 72 之间的节点 N71 的电位 VC。

下面, 说明该驱动电路 70 的动作。在该驱动电路 70 中, 由于差分放大电路 40 的操作, 节点 N72 的电位 VM 等于输入节点 N45 的电位 VI。即, N 型晶体管 44 和 P 型晶体管 42 串联连接, P 型晶体管 41 和 42 构成电流反射镜电路, 因此, 在 P 型晶体管 41 中流过与监视电位 VM 对应的值的电流。

监视电位 VM 比输入电位 VI 高时, 在 P 型晶体管 41 中流过的电流比 N 型晶体管 43 中流过的电流大, 节点 N41 的电位 V41 上升。从而, P 型晶体管 71 中流过的电流减小, 监视电位 VM 下降。监视电位 VM 比输入电位 VI 低时, P 型晶体管 41 中流过的电流比 N 型晶体管 43 中流过的电流小, 节点 N41 的电位 V41 下降。从而, P 型晶体管 71 中流过的电流变大, 监视电位 VM 上升。因此, $VM=VI$ 。

因为恒流电路 74 的电流 I3 被设定为小值, 所以节点 N71 的电位 VC 为 $VC=VM+VTN$ 。这里, VTN 是 N 型晶体管的阈值电压。而且, 当 N 型晶体管 73 的电流驱动能力充分大于恒流电路 74 的电流驱动能力时, N 型晶体管 73 进行源极跟随器操作, 输出节点 N46 的输出电位 VO 变为 $VO=VC-VTN=VM=VI$ 。因此, 得到和输入电位 VI 相等的输出电位 VO。

在实施例 2 中，因为通向差动放大电路 40 的反馈回路的电容为 N 型晶体管 44、72、73 的栅极电容，所以和负载电容直接连接到差动放大电路 40 上的图 5 的驱动电路 31 相比，通向差动放大电路 40 的反馈回路的电容非常小。因此，在驱动电路 70 中不会发生谐振现象。

图 12A~12C 都是图 11 所示恒流电路 74 的结构电路图。图 12A 中，恒流电路 74 包含电阻元件 75 和 N 型晶体管 76、77。电阻元件 75 和 N 型晶体管 76 串联连接在电源电位 VDD 线和接地电位 GND 线之间，N 型晶体管 77 连接在节点 N72 和接地电位 GND 线之间。N 型晶体管 76、77 的栅极都与 N 型晶体管 76 的漏极连接。N 型晶体管 76 和 77 构成电流反射镜电路。电阻元件 75 和 N 型晶体管 76 中流过与电阻元件 75 的电阻值对应的值的恒定电流。在 N 型晶体管 77 中流过与 N 型晶体管 76 中流过的电流对应的值的恒定电流 I3。

图 12B 中，恒流电路 74 包含 N 型晶体管 78。N 型晶体管 78 连接在节点 N72 和接地电位 GND 线之间，其栅极接收恒定的偏置电位 VBN。偏置电位 VBN 被设定为 N 型晶体管 78 在饱和区域中动作的规定电平。从而，在 N 型晶体管 78 中流过恒定的电流 I3。

图 12C 中，恒流电路 74 包含抽空型 (depression-type) N 型晶体管 79。N 型晶体管 79 连接在节点 N72 和接地电位 GND 线之间，其栅极连接接地电位 GND 线。N 型晶体管 79 形成为即使栅-源间电压为 0V 时也流过恒定电流 I3。也可以用接在节点 N72 和接地电位 GND 线之间的电阻元件构成恒流电路 74。恒流电路 45、47 的结构也可以和恒流电路 74 相同。

在图 13 的驱动电路 80 中，向 P 型晶体管 41、42 的源极和 P 型晶体管 71 的源极以及晶体管 73 的漏极分别提供互不相同的电源电位 V1、V2、V3。恒流电路 45、74、47 的低电位侧端子分别与互不相同的电源电位 V4、V5、V6 连接。在此变形例中，也能得到和图 11 的驱动电路 70 相同的效果。

图 14 的驱动电路 81 中用差动放大电路 82 替换图 11 的驱动电路 70 的差动放大电路 40。差动放大电路 82 分别用电阻元件 83、84 替换

差动放大电路 40 的 P 型晶体管 41、42。电阻元件 83、84 分别连接在电源电位 VDD 线和节点 N41、N42 之间。

N 型晶体管 43 中流过的电流和 N 型晶体管 44 中流过的电流的和等于恒流电路 45 中流过的电流 I1。监视电位 VM 等于输入电位 VI 时, N 型晶体管 43 中流过的电流和 N 型晶体管 44 中流过的电流相等。监视电位 VM 高于输入电位 VI 时, N 型晶体管 44 的电流增加, 同时 N 型晶体管 43 的电流减少, 节点 N41 的电位 V41 上升后, P 型晶体管 71 的电流减少, 监视电位 VM 下降。监视电位 VM 低于输入电位 VI 时, N 型晶体管 44 的电流减少, 同时 N 型晶体管 43 的电流增加, 节点 N41 的电位 V41 下降后, P 型晶体管 71 的电流增加, 监视电位 VM 上升。因此, 监视电位 VM 保持在和输入电位 VI 相同的电平, 变为 $VI=VO$ 。在此变形例中, 也能得到和图 11 的驱动电路 70 相同的效果。

实施例 3

图 15 是根据发明实施例 3 的推式驱动电路 85 的结构电路图。图 15 中, 该驱动电路 85 用图 6 的差动放大电路 50 替换图 11 的驱动电路 80 的差动放大电路 40, 而且, 分别用恒流电路 86 和 N 型晶体管 87 替换 P 型晶体管 71 和恒流电路 74。恒流电路 86 连接在电源电位 VDD 线和节点 N71 之间, 使规定值的恒定电流 I3 从电源电位 VDD 线流入节点 N71。N 型晶体管 87 连接在节点 N72 和接地电位 GND 线之间, 其栅极接收差动放大电路 50 的输出节点 N52 的电位 V52。

接着, 说明驱动电路 85 的动作。在驱动电路 85 中, 由于差动放大电路 50 的操作, 监视电位 VM 等于输入电位 VI。即, P 型晶体管 53 和 N 型晶体管 55 串联连接, N 型晶体管 54 和 55 构成电流反射镜电路, 因此, N 型晶体管 54 中流过与监视电位 VM 对应的值的电流。

监视电位 VM 比输入电位 VI 高时, N 型晶体管 54 中流过的电流比 P 型晶体管 52 中流过的电流小, 节点 N52 的电位 V52 上升。从而, N 型晶体管 87 中流过的电流变大, 监视电位 VM 下降。监视电位 VM 比输入电位 VI 低时, N 型晶体管 54 中流过的电流比 P 型晶体管 52

中流过的电流大，节点 N52 的电位 V_{52} 下降。从而，N 型晶体管 87 中流过的电流变小，监视电位 V_M 上升。因此， $V_M = V_I$ 。

恒流电路 86 的电流 I_3 被设定为足够小的值，因此，节点 N71 的电位 V_C 变为 $V_C = V_M + V_{TN}$ 。N 型晶体管 73 的电流驱动能力比恒流电路 47 的电流驱动能力充分大时，N 型晶体管 73 进行源极跟随器操作，输出节点 N46 的电位 V_O 变为 $V_O = V_C - V_{TN} = V_M = V_I$ 。因此，得到等于输入电位 V_I 的电平的输出电位 V_O 。

在实施例 3 中，通向差动放大电路 50 的反馈回路的电容作为晶体管 53、72、73 的栅极电容，因此，和负载电容直接连接到差动放大电路 40 的图 5 的驱动电路 31 相比，通向差动放大电路 50 的反馈回路的电容变得非常小。因此，驱动电路 85 中不产生谐振现象。

图 16A~16C 都是图 15 所示的恒流电路 86 的结构电路图。图 16A 中，恒流电路 86 包含 P 型晶体管 88、89 和电阻元件 90。P 型晶体管 88 和电阻元件 90 串联连接在电源电位 V_{DD} 线和接地电位 GND 线之间，P 型晶体管 89 连接在电源电位 V_{DD} 线和节点 N71 之间。P 型晶体管 88、89 的栅极都连接 P 型晶体管 88 的漏极。P 型晶体管 88、89 构成电流反射镜电路。P 型晶体管 88 和电阻元件 89 中流过与电阻元件 90 的电阻值对应的值的恒定电流。在 P 型晶体管 89 中流过和 P 型晶体管 88 中流过的电流对应的值的恒定电流 I_3 。

图 16B 中，恒流电路 86 包含 P 型晶体管 91。P 型晶体管 91 连接在电源电位 V_{DD} 线和节点 N71 之间，其栅极接收恒定的偏置电位 V_{BP} 。偏置电位 V_{BP} 被设定为 P 型晶体管 91 在饱和区域中动作的规定电平。从而，在 P 型晶体管 91 中流过恒定电流 I_3 。

图 16C 中，恒流电路 86 包含抽空型 P 型晶体管 92。P 型晶体管 92 连接在电源电位 V_{DD} 线和节点 N71 之间，其栅极连接电源电位 V_{DD} 线。P 型晶体管 92 被形成即使栅-源间电压为 0V 时也流过恒定电流 I_3 。也可以用连接在电源电位 V_{DD} 线和节点 N71 之间的电阻元件构成恒流电路 86。恒流电路 51 的结构也可以和恒流电路 86 相同。

图 17 的驱动电路 95 用差动放大电路 96 替换图 15 的驱动电路 85

的差动放大电路 50。差动放大电路 96 用电阻元件 97、98 替换差动放大电路 50 的 N 型晶体管 54、55。电阻元件 97、98 分别连接在节点 N52、53 和接地电位 GND 线之间。在 P 型晶体管 52 中流过的电流和 P 型晶体管 53 中流过的电流的总和等于恒流电路 51 中流过的电流 I_1 。监视电位 VM 等于输入电位 VI 时，P 型晶体管 52 的电流和 P 型晶体管 53 的电流相等。监视电位 VM 高于输入电位 VI 时，P 型晶体管 53 的电流减少，同时 P 型晶体管 52 的电流增加，节点 N52 的电位 V52 上升后，N 型晶体管 87 的电流增加，监视电位 VM 下降。监视电位 VM 低于输入电位 VI 时，P 型晶体管 53 的电流增加，同时 P 型晶体管 52 的电流减少，节点 N52 的电位 V52 下降后，N 型晶体管 87 的电流减少，监视电位 VM 上升。因此，监视电位 VM 保持为输入电位 VI，变为 $VO=VI$ 。在此变形例中，也能得到和图 15 的驱动电路 85 相同的效果。

图 18 的驱动电路 100 用图 5 的差动放大电路 40 替换图 15 的驱动电路 85 的差动放大电路 50。N 型晶体管 87 的栅极接收节点 N41 的电位 V41，N 型晶体管 44 的栅极接收监视电位 VM。监视电位 VM 高于输入电位 VI 时，P 型晶体管 41 中流过的电流比 N 型晶体管 43 中流过的电流大，节点 N41 的电位 V41 上升，N 型晶体管 87 的电流增加，监视电位 VM 下降。监视电位 VM 低于输入电位 VI 时，P 型晶体管 41 中流过的电流比 N 型晶体管 43 中流过的电流小，节点 N41 的电位 V41 下降，N 型晶体管 87 的电流减少，监视电位 VM 上升。因此， $VM=VI$ ， $VO=VI$ 。在此变形例中，也能得到和图 15 的驱动电路 85 相同的效果。

实施例 4

图 19 是根据本发明实施例 4 的拉式驱动电路 105 的结构电路图，是和图 6 相对比的图。图 19 中，该驱动电路 105 用 P 型晶体管 106~108 和恒流电路 109 代替图 6 的驱动电路 32 的 N 型晶体管 57。此外，以下，为了简化图面和说明，省略供电用开关 S4。

P 型晶体管 106、107 和恒流电路 109 串联连接在电源电位 VDD

线和接地电位 GND 线之间。P 型晶体管 106 的栅极接收节点 N52 的电位 V52。P 型晶体管 53 的栅极接收 P 型晶体管 106 和 107 之间的节点 N106 的电位 VM。P 型晶体管 107 的栅极连接其漏极(节点 N107)。P 型晶体管 107 构成二极管元件。恒流电路 109 使规定值的恒定电流 I3 从节点 N107 流入接地电位 GND 线。P 型晶体管 108 连接在输出节点 N56 和接地电位 GND 线之间, 其栅极接收节点 N107 的电位 VC。

监视电位 VM 通过差动放大电路 50 的操作保持在输入电位 VI。即, 监视电位 VM 比输入电位 VI 高时, N 型晶体管 54 的电流比 P 型晶体管 52 的电流小, 节点 N52 的电位 V52 上升, 流过 P 型晶体管 106 的电流减少后, 监视电位 VM 下降。监视电位 VM 低于输入电位 VI 时, N 型晶体管 54 的电流比 P 型晶体管 52 的电流大, 节点 N52 的电位 V52 下降, 流过 P 型晶体管 106 的电流增加后, 监视电位 VM 上升。因此, $VM=VI$ 。

P 型晶体管 107 的电流驱动能力充分大于恒流电路 109 的恒定电流 I3 时, 节点 N107 的电位 VC 变为 $VC=VM-|V_{TP}|$ 。这里, V_{TP} 是 P 型晶体管的阈值电压。P 型晶体管 108 的电流驱动能力充分大于恒流电路 56 的恒定电流 I2 时, 输出电位 VO 变为 $VO=VC+|V_{TP}|=VM-|V_{TP}|+|V_{TP}|=VM=VI$ 。

在实施例 4 中, 通向差动放大电路 50 的反馈回路的电容作为晶体管 53、107、108 的栅极电容, 因此, 和负载电容直接连接差动放大电路 50 的图 6 的驱动电路 32 相比, 通向差动放大电路 50 的反馈回路的电容非常小。因此, 在驱动电路 105 中不出现谐振现象。

图 20 的驱动电路 110 用恒流电路 111 和 N 型晶体管 112 分别替换图 19 的驱动电路 105 的 P 型晶体管 106 和恒流电路 109。恒流电路 111 使规定值的恒定电流 I3 从电源电位 VDD 线流入节点 N106。N 型晶体管 112 连接在节点 N107 和接地电位 GND 线之间, 其栅极接收节点 N52 的电位 V52。监视电位 VM 高于输入电位 VI 时, 节点 N52 的电位 V52 上升后, 流入 N 型晶体管 112 的电流增加, 监视电位 VM 下降。监视电位 VM 低于输入电位 VI 时, 节点 N52 的电位 V52 下降后,

流入 N 型晶体管 112 的电流减少, 监视电位 VM 上升。因此, $VM=VI$, $VO=VI$ 。在此变形例中, 也能得到和图 10 的驱动电路 105 相同的效果。

图 21 的驱动电路 115 用图 5 的差动放大电路 40 替换图 19 的驱动电路 105 的差动放大电路 50。监视电位 VM 高于输入电位 VI 时, 节点 N41 的电位 V41 上升, 流入 P 型晶体管 106 的电流减少, 监视电位 VM 下降。监视电位 VM 低于输入电位 VI 时, 节点 N41 的电位 V41 下降, 流入 P 型晶体管 106 的电流增加, 监视电位 VM 上升。因此, $VM=VI$, $VO=VI$ 。在此变形例中, 也能得到和图 19 的驱动电路 105 相同的效果。

实施例 5

图 22 是根据本发明实施例 5 的推挽型驱动电路 120 的结构电路图。图 22 中, 该驱动电路 120 是将图 11 的推式驱动电路 70 和图 20 的拉式驱动电路 110 组合起来。推式驱动电路 70 的输入节点 N45 和拉式驱动电路 110 的输入节点相互连接, 推式驱动电路 70 的输出节点 N46 和拉式驱动电路 110 的输出节点相互连接。

输出电位 VO 高于输入电位 VI 时, N 型晶体管 73 的栅-源间电压小于 N 型晶体管 73 的阈值电压 V_{TN} , N 型晶体管 73 变为非导通, 同时, P 型晶体管 108 的源-栅间电压大于 P 型晶体管 108 的阈值电压 V_{TP} 的绝对值, P 型晶体管 108 导通, 输出电位 VO 下降。

输出电位 VO 低于输入电位 VI 时, P 型晶体管 108 的源-栅间电压小于 P 型晶体管 108 的阈值电压 V_{TP} 的绝对值, P 型晶体管 108 变为非导通, 同时, N 型晶体管 73 的栅-源间电压大于 N 型晶体管 73 的阈值电压 V_{TN} , N 型晶体管 73 导通, 输出电位 VO 上升。因此, $VO=VI$ 。

驱动电路 120 用作图 4 和图 5 的推式驱动电路 31 或拉式驱动电路 32。驱动电路 120 用作推式驱动电路 31 时, 放电用 P 型晶体管 108 的电流驱动能力被设定得比充电用 N 型晶体管 73 的电流驱动能力充分小。驱动电路 120 用作拉式驱动电路 32 时, 充电用 N 型晶体管 73

的电流驱动能力被设定得比放电用 P 型晶体管 108 的电流驱动能力充分小。因此,驱动电路 31、32 中的直通电流可以减小,可以降低消耗功率。

实施例 5 中,除了和实施例 2 相同的效果以外,还可以减小消耗功率。

以下,对各种变形例进行说明。图 23 的推挽型驱动电路 125 将图 15 的推式驱动电路 85 和图 21 的拉式驱动电路 115 组合起来。推式驱动电路 85 的输入节点 N45 和拉式驱动电路 115 的输入节点相互连接,推式驱动电路 85 的输出节点 N46 和拉式驱动电路 115 的输出节点相互连接。在该变形例中,也能得到和图 22 的驱动电路 120 相同的效果。

图 24 的推挽型驱动电路 130 是图 11 的推式驱动电路 70 和图 21 的拉式驱动电路 115 的组合。图 25 的推挽型驱动电路 131 是图 15 的推式驱动电路 85 和图 20 的拉式驱动电路 110 的组合。在这些变形例中,也能得到和图 22 的驱动电路 120 相同的效果。此外,推挽型驱动电路 120、125、130、131 中的任一个都可以省略恒流电路 47、56 之一或两者。

实施例 6

图 26 是根据本发明实施例 6 的推挽型驱动电路 135 的结构电路图。参考图 26,该驱动电路 135 在图 11 的推式驱动电路 70 中追加了 P 型晶体管 136、137。P 型晶体管 136 和恒流电路 74 串联连接在节点 N72 和接地电位 GND 线之间,P 型晶体管 136 的栅极连接其漏极(节点 N136)。P 型晶体管 136 构成二极管元件。P 型晶体管 137 连接在输出节点 N46 和接地电位 GND 线之间,其栅极接收节点 N136 的电位 VC1。

通过差动放大电路 40 的操作,节点 N72 的电位 VM 变为 $VM=VI$ 。因此,节点 N71 的电位 VC 变为 $VC=VI+VTN$,节点 N136 的电位 VC1 变为 $VC1=VI-|VTP|$ 。输出电位 VO 高于输入电位 VI 时,N 型晶体管 73 变为非导通,同时,P 型晶体管 137 导通。输出电位 VO 低于输入

电位 VI 时, P 型晶体管 137 变为非导通, 同时, P 型晶体管 73 导通。因此, $VO=VI$ 。

在实施例 6 中, 除了得到和实施例 5 相同的效果之外, 还因为只用一个差动放大电路, 所以能减小设计面积。

实施例 7

图 27 是根据本发明实施例 7 的推挽型驱动电路 140 的结构电路图。参考图 27, 驱动电路 140 在图 20 的拉式驱动电路 110 中追加了 N 型晶体管 141、142。恒流电路 111 和 N 型晶体管 141 串联连接在电源电位 VDD 线和节点 N106 之间, N 型晶体管 141 的栅极连接其漏极 (节点 N111)。N 型晶体管 141 构成二极管元件。N 型晶体管 142 连接在电源电位 VDD 线和输出节点 N56 之间, 其栅极接收节点 N111 的电位 VC1。

通过差动放大电路 50 的操作, 节点 N106 的电位 VM 变为 $VM=VI$ 。因此, 节点 N111 的电位 VC1 变为 $VC1=VI+VTN$, 节点 N107 的电位 VC 变为 $VC=VI-|VTP|$ 。输出电位 VO 高于输入电位 VI 时, N 型晶体管 142 变为非导通, 同时, P 型晶体管 108 导通。输出电位 VO 低于输入电位 VI 时, P 型晶体管 108 变为非导通, 同时, N 型晶体管 142 导通。因此, $VO=VI$ 。

在实施例 7 中, 也能得到和实施例 6 相同的效果。

此外, 可以省略恒流电路 56。

实施例 8

图 28 是根据本发明实施例 8 的推式驱动电路 150 的结构电路图。图 28 中, 该驱动电路 150 包含电平移位电路 151、上拉电路 155 和恒流电路 158。

电平移位电路 151 包含串联连接在电源电位 V11 (15V) 的节点和接地电位 GND 的节点之间的恒流电路 152、N 型晶体管 153 和 P 型晶体管 154。N 型晶体管 153 的栅极连接其漏极 (节点 N152)。N 型晶体管 153 构成二极管元件。P 型晶体管 154 的栅极接收输入节点 N45 的电位 VI。恒流电路 152 的电流驱动能力被设定为充分小于晶体

管 153、154 的电流驱动能力的水平。

P 型晶体管 154 的源极（节点 N153）的电位 V_{153} 为 $V_{153}=V_I+|V_{TP}|$ ，N 型晶体管 153 的漏极（节点 N152）的电位 V_{152} 为 $V_{152}=V_I+|V_{TP}|+V_{TN}$ 。因此，电平移位电路 151 输出使输入电位 V_I 电平仅移位 $|V_{TP}|+V_{TN}$ 的电位 V_{152} 。

上拉电路 155 包含串联连接在电源电位 V_{12} （15V）的节点和输出节点 N46 之间的 N 型晶体管 156 和 P 型晶体管 157。恒流电路 158 连接在输出节点 N46 和接地电位 GND 线之间。N 型晶体管 156 的栅极接收电平移位电路 151 的输出电位 V_{152} 。P 型晶体管 157 的栅极连接其漏极。P 型晶体管 157 构成二极管元件。因为将电源电位 V_{12} 设定为使得 N 型晶体管 156 在饱和区域内操作，所以 N 型晶体管 156 进行所谓的源极跟随器操作。恒流电路 158 的电流驱动能力被设定为比晶体管 156、157 的电流驱动能力充分小的水平。

N 型晶体管 156 的源极（节点 N156）的电位 V_{156} 变为 $V_{156}=V_{152}-V_{TN}=V_I+|V_{TP}|$ 。输出节点 N46 的电位 V_O 变为 $V_O=V_{156}-|V_{TP}|=V_I$ 。

在实施例 8 中，因为不完全反馈输出电位 V_O ，所以驱动电路 150 中不出现谐振现象。

实施例 9

图 29 是根据本发明实施例 9 的拉式驱动电路 160 的结构电路图。图 29 中，驱动电路 160 包含电平移位电路 161、恒流电路 165 和下拉电路 166。

电平移位电路 161 包含串联连接在电源电位 V_{13} （5V）的节点和电源电位 V_{14} （-10V）的节点之间的 N 型晶体管 162、P 型晶体管 163 和恒流电路 164。N 型晶体管 162 的栅极接收输入节点 N55 的电位。P 型晶体管 163 的栅极连接其漏极（节点 N163）。P 型晶体管 163 构成二极管元件。恒流电路 164 的电流驱动能力被设定为比晶体管 162、163 的电流驱动能力充分小的水平。

N 型晶体管 162 的源极（节点 N162）的电位 V_{162} 变为

$V_{162}=V_I-V_{TN}$ 。P 型晶体管 163 的漏极（节点 N163）的电位 V_{163} 变为 $V_{163}=V_I-V_{TN}-|V_{TP}|$ 。因此，电平移位电路 161 输出使输入电位 V_I 仅电平移位 $-V_{TN}-|V_{TP}|$ 的电位 V_{163} 。

恒流电路 165 连接在电源电位 V_{13} 的节点和输出节点 N56 之间。下拉电路 166 包含串联连接在电源电位 V_{15} （-10V）的节点和输出节点 N166 之间的 P 型晶体管 168 和 N 型晶体管 167。P 型晶体管 168 的栅极接收电平移位电路 161 的输出电位 V_{163} 。N 型晶体管 167 的栅极连接其漏极。N 型晶体管 167 构成二极管元件。因为电源电位 V_{15} 被设定为使得 P 型晶体管 168 在饱和区域中操作，所以 P 型晶体管 168 进行所谓的源极跟随器操作。恒流电路 165 的电流驱动能力被设定为比晶体管 167、168 的电流驱动能力充分小的水平。

P 型晶体管 168 的源极（节点 N167）的电位 V_{167} 变为 $V_{167}=V_{163}+|V_{TP}|=V_I-V_{TN}$ 。输出节点 N56 的电位 V_O 变为 $V_O=V_{167}+V_{TN}=V_I$ 。

在实施例 9 中，得到和实施例 8 相同的效果。

实施例 10

图 30 是根据本发明实施例 10 的推挽型驱动电路 170 的结构电路图。图 30 中，驱动电路 170 是图 28 的推式驱动电路 150 和图 29 的拉式驱动电路 160 的组合。电平移位电路 151 的 P 型晶体管 154 的栅极和电平移位电路 161 的 N 型晶体管 162 的栅极接收输入节点 N171 的电位 V_I 。上拉电路 155 的 P 型晶体管 157 的漏极和下拉电路 166 的 N 型晶体管 167 的漏极连接输出节点 N172。

输出电位 V_O 高于输入电位 V_I 时，上拉电路 155 的晶体管 156、157 变为非导通，同时，下拉电路 166 的晶体管 167、168 导通，输出电位 V_O 下降。输出电位 V_O 低于输入电位 V_I 时，下拉电路 166 的晶体管 167、168 变为非导通，同时，上拉电路 155 的晶体管 156、157 导通，输出电位 V_O 上升。因此， $V_O=V_I$ 。

驱动电路 170 用作图 4 和图 5 的推式驱动电路 31 或拉式驱动电路 32。驱动电路 170 用作推式驱动电路 31 时，下拉电路 166 的晶体

管 167、168 的电流驱动能力被设定为比上拉电路 155 的晶体管 156、157 的电流驱动能力充分小的水平。驱动电路 170 用作拉式驱动电路 32 时，上拉电路 155 的晶体管 156、157 的电流驱动能力被设定为比下拉电路 166 的晶体管 167、168 的电流驱动能力充分小的水平。因此，可以减小驱动电路 31、32 中的直通电流，可以减小消耗功率。

在实施例 10 中，除了得到和实施例 8 相同的效果之外，还能减小消耗功率。

图 31 是根据实施例 10 的变形例的推挽型驱动电路 175 的结构电路图。图 31 中，推挽型驱动电路 175 用电平移位电路 176、178 分别替换图 30 的推挽型驱动电路 170 的电平移位电路 151、152。电平移位电路 176 用电阻元件 177 替换电平移位电路 151 的恒流电路 152。电平移位电路 178 用电阻元件 179 替换电平移位电路 161 的恒流电路 164。电阻元件 177、179 的电阻值被设定为电阻元件 177、179 中流过和恒流电路 152、164 相同程度的电流的值。在此变形例中，也能得到和图 30 的推挽型驱动电路 170 相同的效果。

此外，在推挽型驱动电路 170、175 中，可以省略恒流电路 158、165 之一或两者。

实施例 11

图 32 是根据本发明实施例 11 的带偏移补偿功能的推式驱动电路 180 的结构电路图。图 32 中，带偏移补偿功能的推式驱动电路 180 包含驱动电路 70、电容器 181 和开关 S11~S13。驱动电路 70 和图 11 所示的相同。电容器 181 和开关 S11~S13 由于驱动电路 70 的晶体管阈值电压的偏差等而在驱动电路 70 的输入电位 VI 和输出电位 VO 之间产生电位差即偏移电压 VOF 时，构成用于补偿该偏移电压 VOF 的偏移补偿电路。

即，开关 S11 连接在输入节点 N45 和 N 型晶体管 43 的栅极之间。电容器 181 和开关 S12 串联连接在 N 型晶体管 43 的栅极和输出节点 N45 之间，开关 S13 连接在输入节点 N45 和电容器 181 及开关 S12 间的节点之间。开关 S11~S13 可以都是 P 型晶体管，也可以是 N 型晶体

管,也可以是P型晶体管和N型晶体管并联连接。开关S11~S13都由控制信号(未图示)进行开/关控制。

现在,仅对驱动电路1的输出电位VO比输入电位VI低偏移电压VOF的情况进行说明。参考图33,在初始状态下,所有开关S11~S13都处于断开状态。在某个时刻t1,开关S11、S12变为接通状态时,输出电位VO变为 $VO=VI-VOF$,电容器181被充电到偏移电压VOF。

接着,在时刻t2,当开关S11、S12变为断开状态时,在电容器181中保持偏移电压VOF。接着,在时刻t3,开关S13变为接通状态时,N型晶体管43的栅极电位V43变为 $VI+VOF$ 。结果,驱动电路70的输出电位VO变为 $VO=VI+VOF-VOF=VI$,驱动电路70的偏移电压VOF被抵消。

在实施例11中,能抵消驱动电路70的偏移电压VOF,能使输出电位VO和输入电位VI的更精确地一致。

此外,在实施例11中,对抵消驱动电路70的偏移电压VOF的情况进行了说明,但当然,也能用同样的方法抵消驱动电路31、32、80、81、85、95、100、105、110、115、135、140、150、160的偏移电压VOF。

如图34所示,补偿偏移电压VOF的操作可以在消隐期间进行,所述消隐期间是:从第i(其中,i是大于或等于1的整数)个扫描线4的电位 VS_i 从“H”电平下降为“L”电平开始到第i+1个扫描线4的电位 VS_{i+1} 从“L”电平上升到“H”电平为止。或者,补偿偏移电压VOF的操作可以在两帧间的消隐期间进行。若在消隐期间进行补偿偏移电压VOF的操作,则图像显示频率不由于该操作而下降。

实施例12

图35是根据本发明实施例12的带偏移补偿功能的推挽型驱动电路185的结构电路图。图35中,该驱动电路185具备图22的驱动电路120、电容器186a、186b和开关S11a~S14a、S11b~S14b。

开关S11a、S11b分别连接在输入节点N45和驱动电路70、115的N型晶体管43、52的栅极之间。电容器186a和开关S12a串联连

接在驱动电路 70 的 N 型晶体管 43 的栅极和 N 型晶体管 73 的源极(节点 N73)之间。电容器 186b 和开关 S12b 串联连接在驱动电路 110 的 P 型晶体管 52 的栅极和 P 型晶体管 108 的源极(节点 N56)之间。开关 S13a 连接在输入节点 N45 和电容器 186a 与开关 S12a 间的节点之间。开关 S13b 连接在输入节点 N45 和电容器 186b 与开关 S12b 间的节点之间。开关 S14a、S14b 分别连接在节点 N73、N56 和输出节点 N46 之间。

接着,对驱动电路 185 的操作进行说明。在初始状态下,所有开关 S11a~S14a、S11b~S14b 都处于断开状态。在某个时刻,开关 S11a、S12a、S11b、S12b 变为接通状态时,节点 N73、N56 的电位 V_{73} 、 V_{56} 分别变为 $V_{73}=V_I-V_{OFa}$, $V_{56}=V_I-V_{OFb}$, 电容器 186a、186b 分别被充电到偏移电压 V_{OFa} 、 V_{OFb} 。

接着,当开关 S11a、S12a、S11b、S12b 变为断开状态时,在电容器 186a、186b 中分别保持偏移电压 V_{OFa} 、 V_{OFb} 。接着,当开关 S13a、S13b 变为接通状态时,驱动电路 70、110 的 N 型晶体管 43、52 的栅极电位分别变为 V_I+V_{OFa} 、 V_I+V_{OFb} 。结果,驱动电路 70、110 的输出电位 V_{73} 、 V_{56} 分别变为 $V_{73}=V_I+V_{OFa}-V_{OFa}=V_I$, $V_{56}=V_I+V_{OFb}-V_{OFb}=V_I$, 驱动电路 70、110 的偏移电压 V_{OFa} 、 V_{OFb} 被抵消。最后,开关 S14a、S14b 变为接通状态, $V_O=V_I$ 。

驱动电路 185 用作图 4 和图 5 的推式驱动电路 31 或拉式驱动电路 32。驱动电路 185 用作推式驱动电路 31 时,放电用 P 型晶体管 108 的电流驱动能力被设定为比充电用 N 型晶体管 73 的电流驱动能力充分小的水平。驱动电路 185 用作拉式驱动电路 32 时,充电用 N 型晶体管 73 的电流驱动能力被设定为比放电用 P 型晶体管 108 的电流驱动能力充分小的水平。因此,可以减小驱动电路 31、32 中的直通电流,降低消耗功率。

在实施例 12 中,得到没有偏移电压且消耗功率小的驱动电路 185。

实施例 13

图 36 是根据本发明实施例 13 的带偏移补偿功能的驱动电路 190 的结构电路方框图。图 36 中，带偏移补偿功能的驱动电路 190 在图 30 的驱动电路 170 中追加了电容器 191a、191b 和开关 S11a~S14a、S11b~S14b。

开关 S11a、S11b 分别连接在输入节点 N190 和晶体管 154、162 的栅极（节点 N171a、N171b）之间。开关 S14a、S14b 分别连接在输出节点 N191 和晶体管 157、167 的漏极（节点 N172a、N172b）之间。电容器 191a 和开关 S12a 串联连接在节点 N171a 和 N172a 之间。电容器 191b 和开关 S12b 串联连接在节点 N171b 和 N172b 之间。开关 S13a 连接在输入节点 N190 和电容器 191a 以及开关 S12a 间的节点 N191a 之间。开关 S13b 连接在输入节点 N190 和电容器 191b 以及开关 S12b 间的节点 N191b 之间。

接着，说明驱动电路 190 的操作。在初始状态下，所有开关 S11a~S14a、S11b~S14b 都处于断开状态。在某个时刻，开关 S11a、S12a、S11b、S12b 变为接通状态时，节点 N172a、N172b 的电位 V_{172a} 、 V_{172b} 分别变为 $V_{172a}=V_I-V_{OFa}$ ， $V_{172b}=V_I-V_{OFb}$ ，电容器 191a、191b 分别被充电到偏移电压 V_{OFa} 、 V_{OFb} 。

接着，当开关 S11a、S12a、S11b、S12b 变为断开状态时，在电容器 191a、191b 中分别保持偏移电压 V_{OFa} 、 V_{OFb} 。接着，当开关 S13a、S13b 变为接通状态时，晶体管 154、162 的栅极电位分别变为 V_I+V_{OFa} 、 V_I+V_{OFb} 。结果，节点 N172a、N172b 的电位 V_{172a} 、 V_{172b} 分别变为 $V_{172a}=V_I+V_{OFa}-V_{OFa}=V_I$ ， $V_{172b}=V_I+V_{OFb}-V_{OFb}=V_I$ ，驱动电路 170 的偏移电压 V_{OFa} 、 V_{OFb} 被抵消。最后，开关 S14a、S14b 变为接通状态， $V_O=V_I$ 。

驱动电路 190 用作图 4 和图 5 的推式驱动电路 31 或拉式驱动电路 32。驱动电路 190 用作推式驱动电路 31 时，晶体管 167、168 的电流驱动能力被设定为比晶体管 156、157 的电流驱动能力充分小的水平。驱动电路 190 用作拉式驱动电路 32 时，晶体管 156、157 的电流驱动能力被设定为比晶体管 167、168 的电流驱动能力充分小的水平。

因此，可以减小驱动电路 31、32 中的直通电流，降低消耗功率。

在实施例 13 中，得到没有偏移电压且消耗功率小的驱动电路 190。

本此公开的所有实施例都是说明性而非限制性的。本发明的范围由上述未说明的权利要求的范围表示，包含在权利要求以及和等价于权利要求的范围内的所有变更。

图1

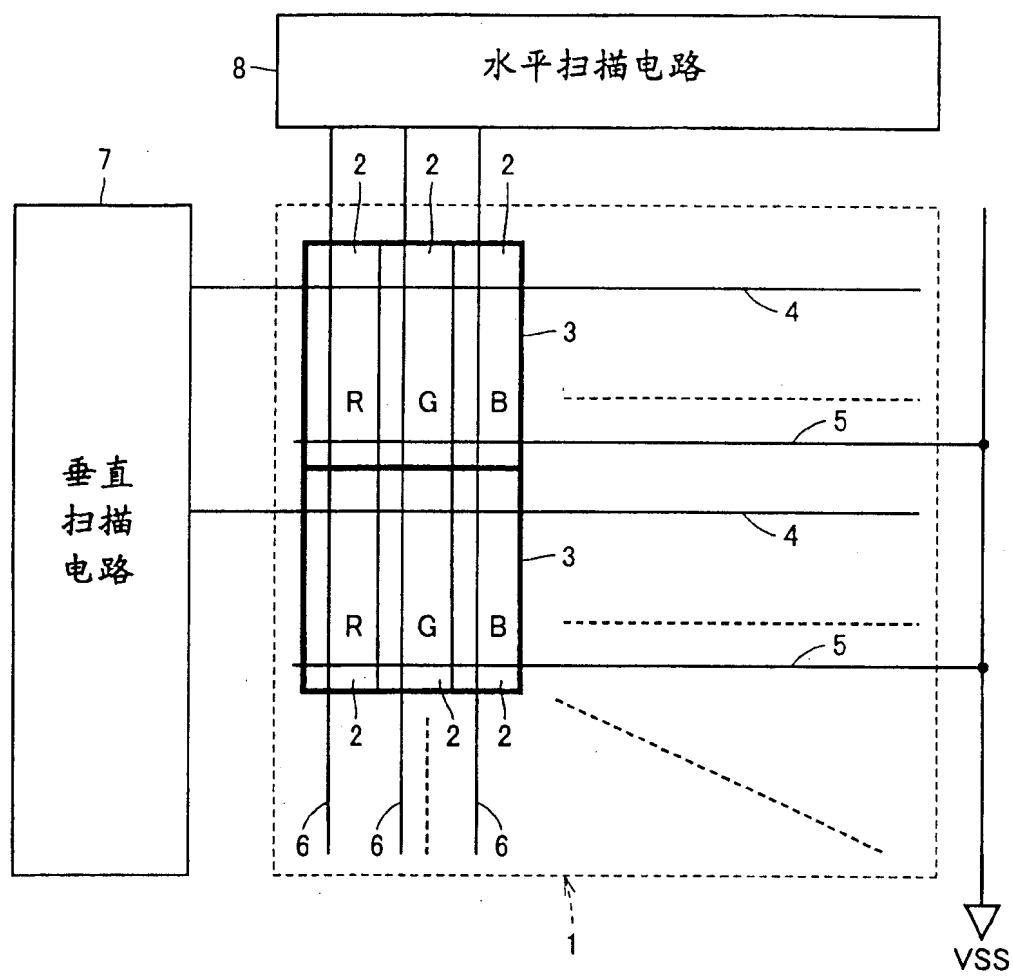


图 2

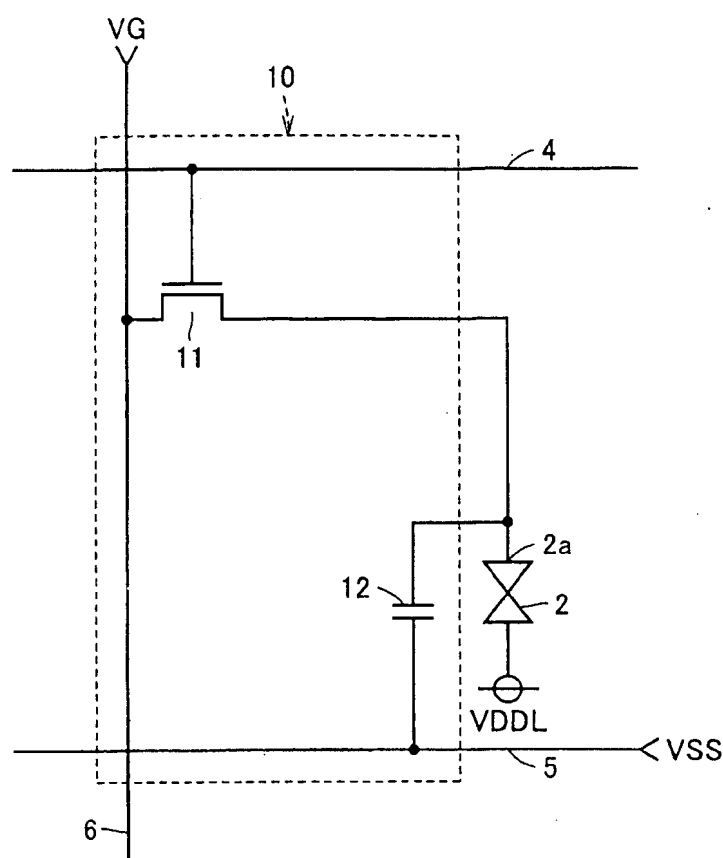


图3

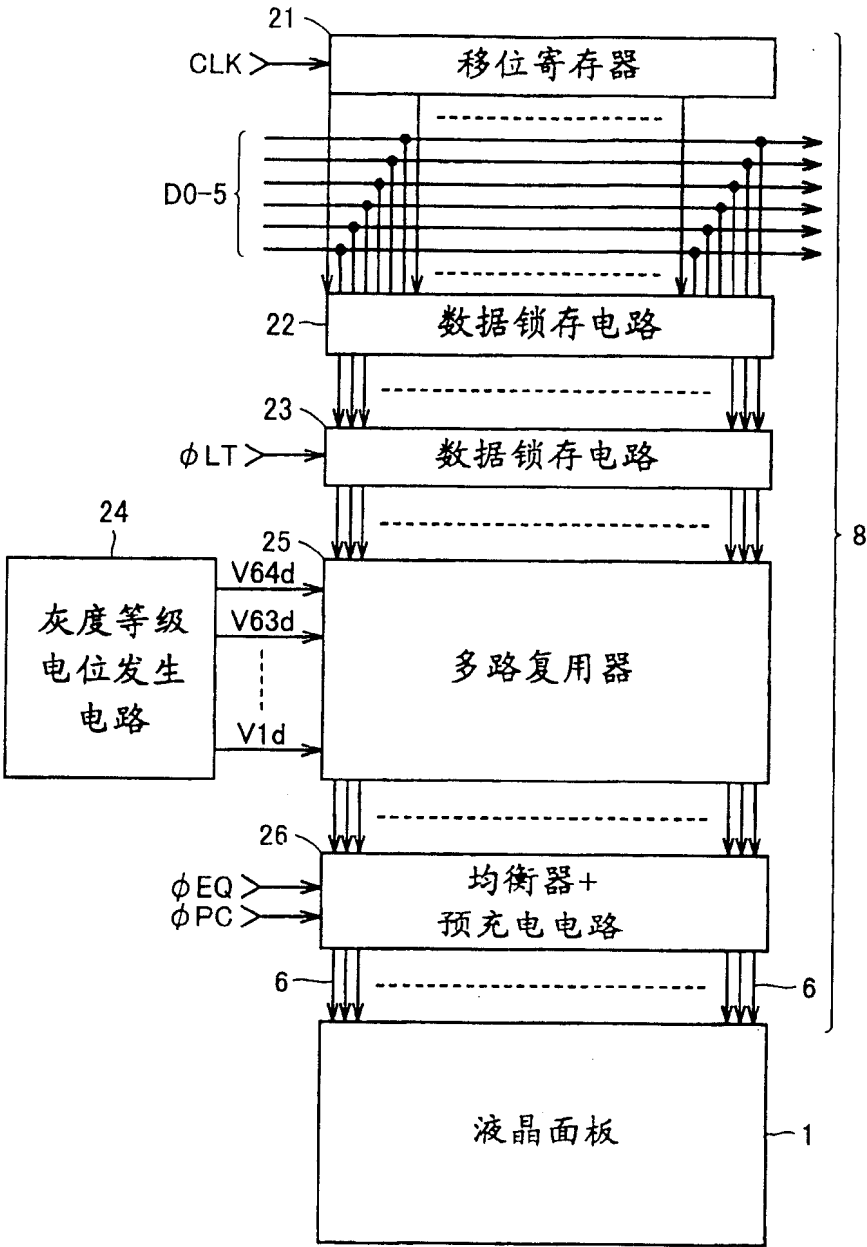


图 4

24

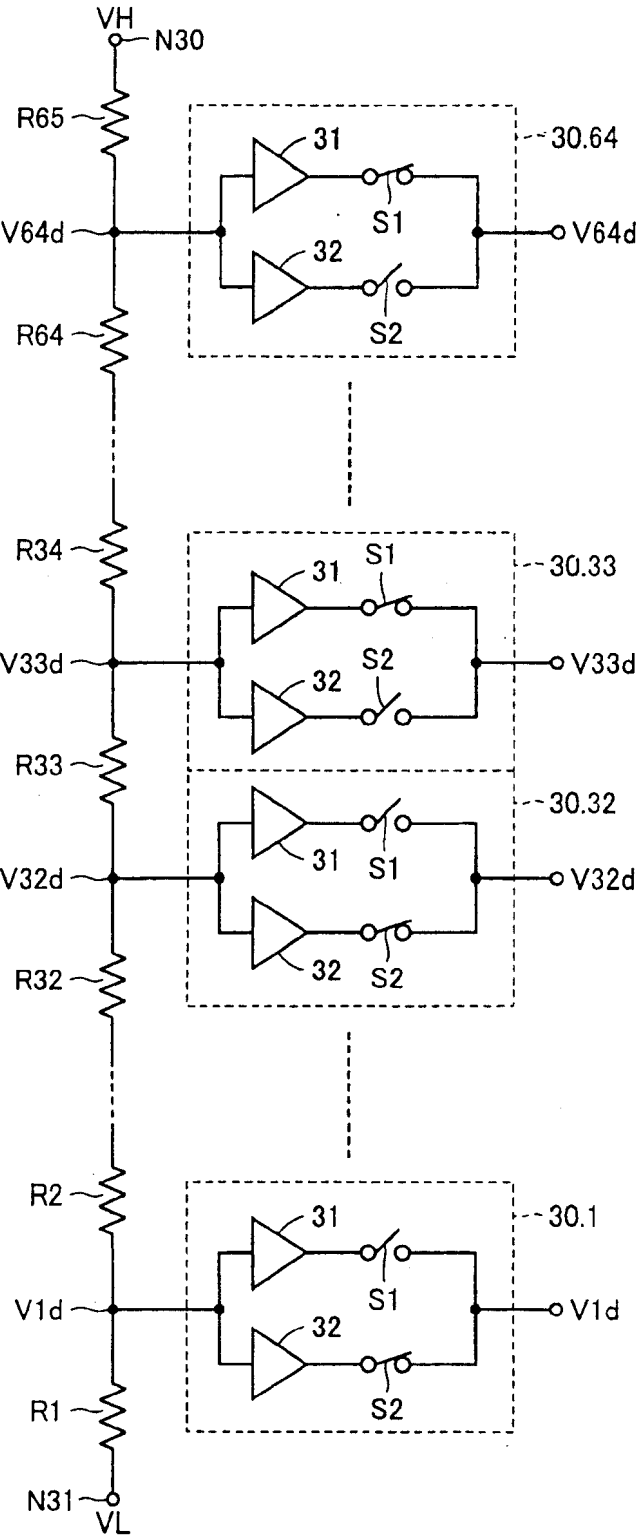


图 5

31

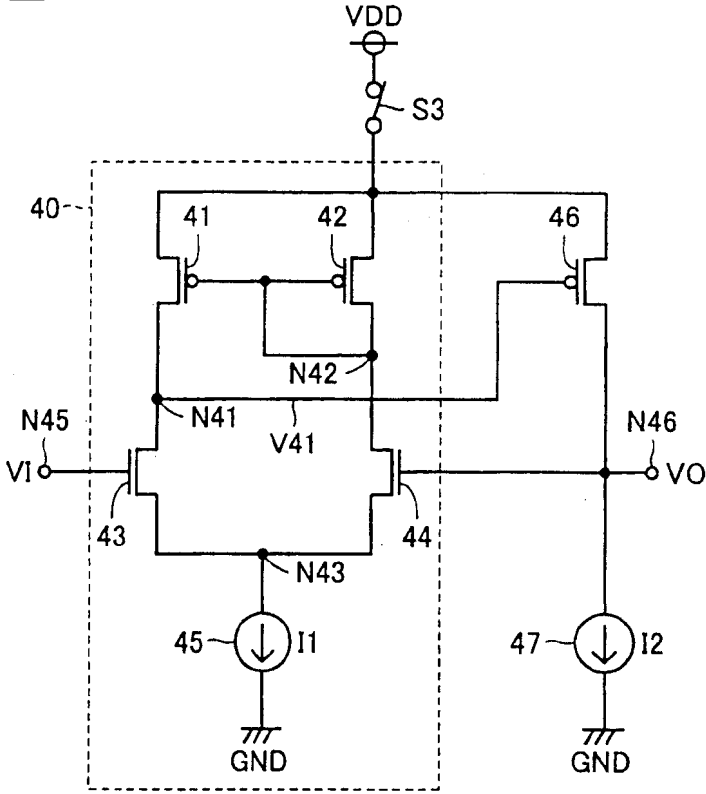


图7

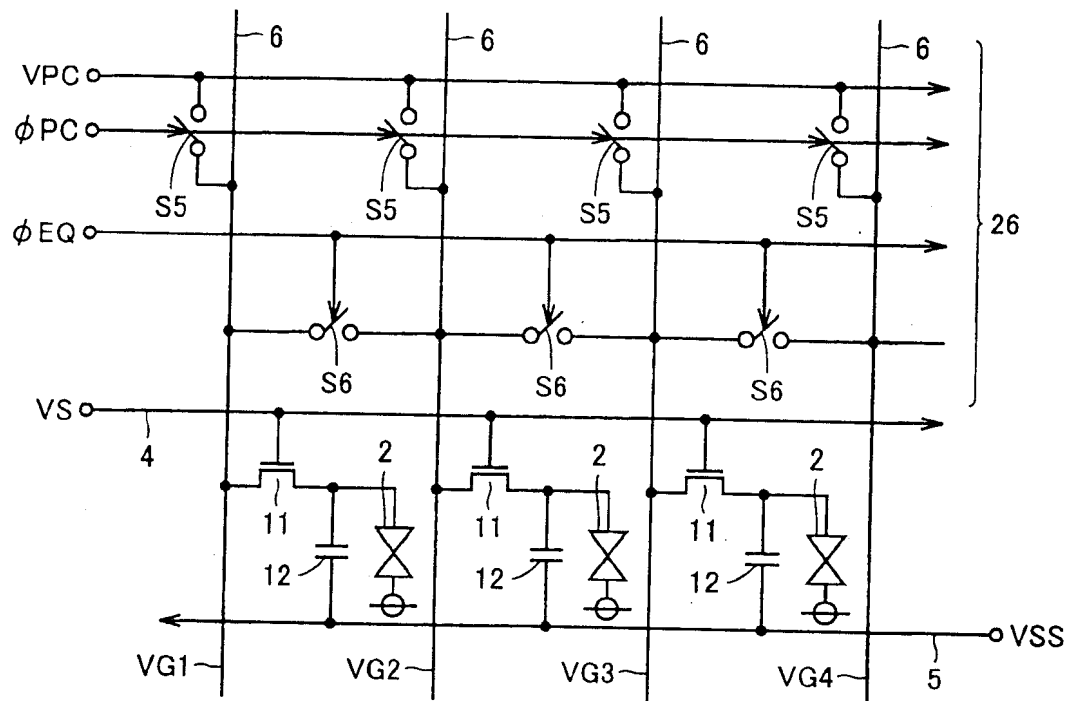


图8

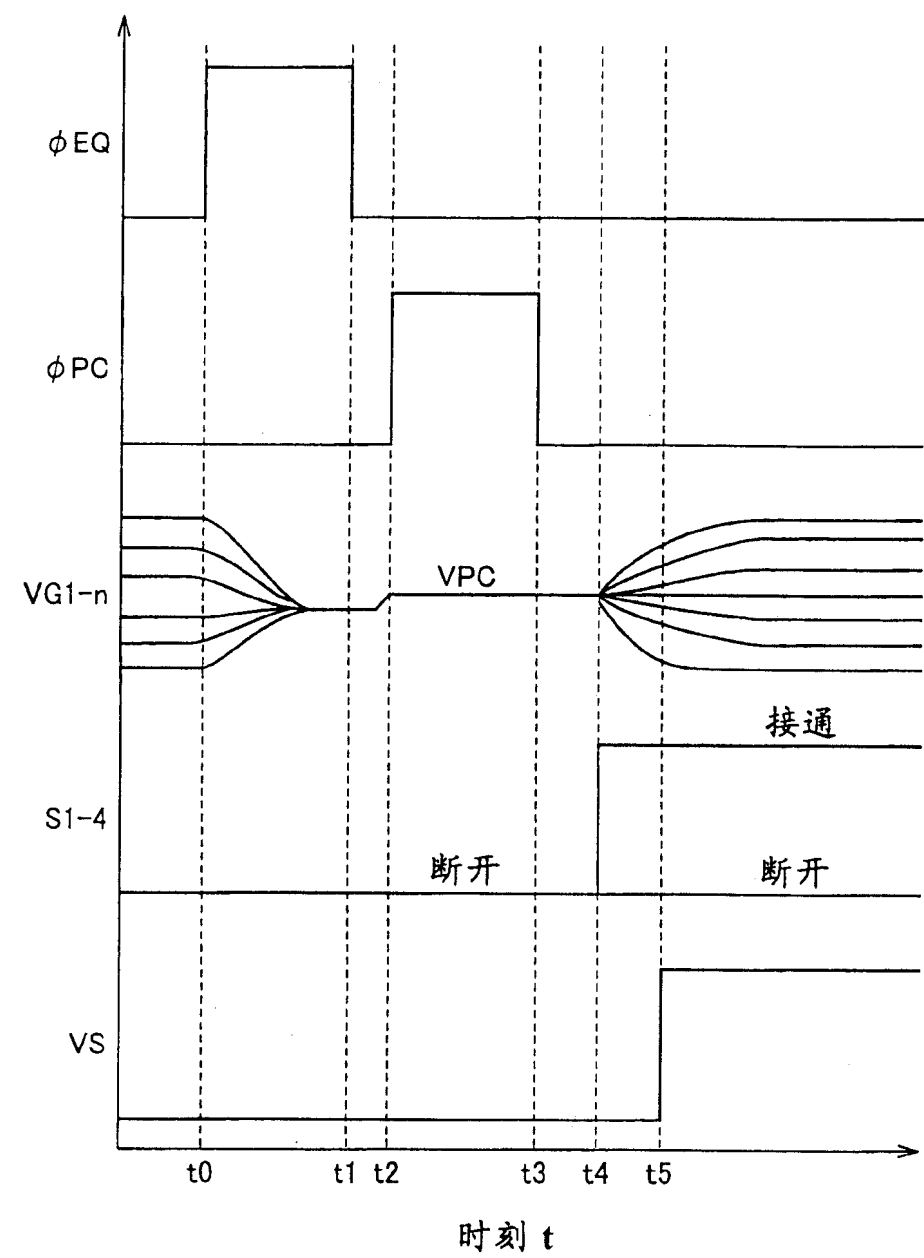


图 9

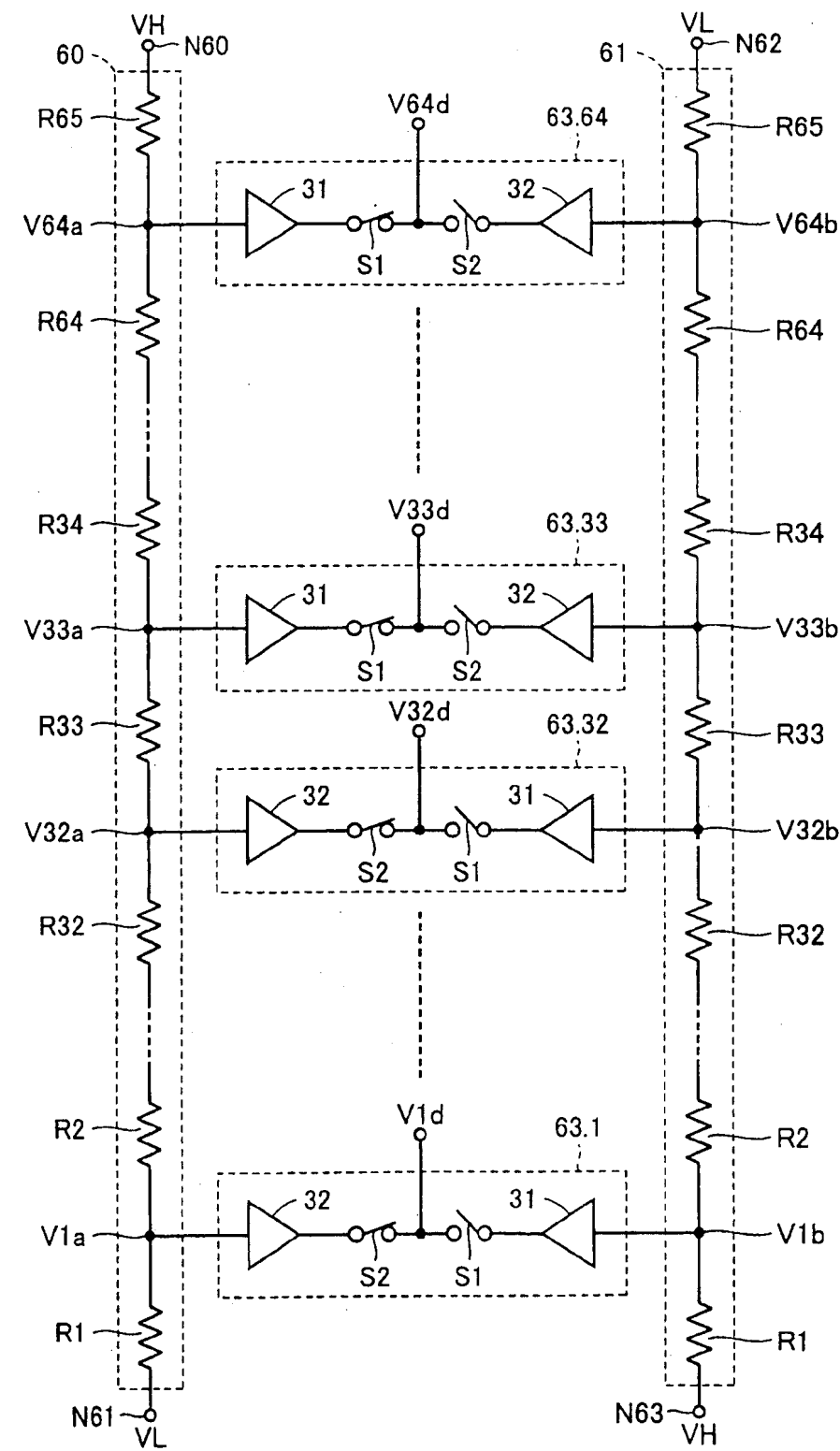


图10

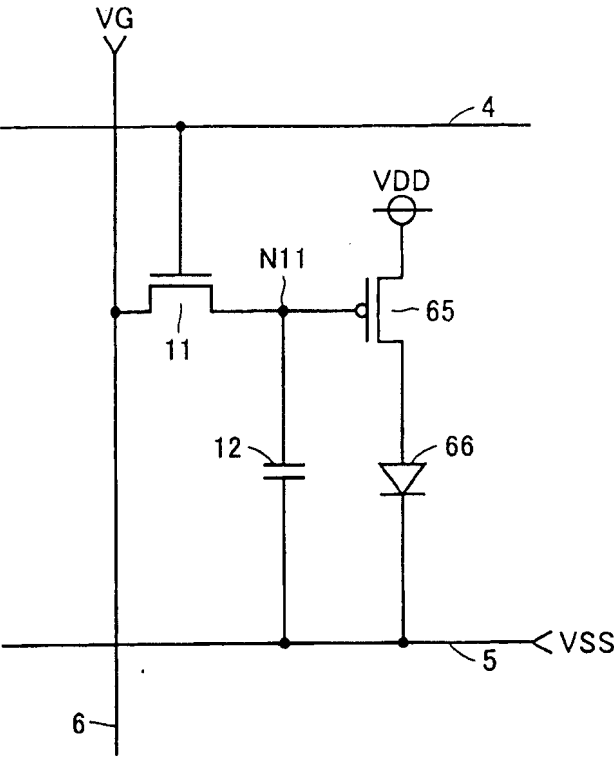


图 11

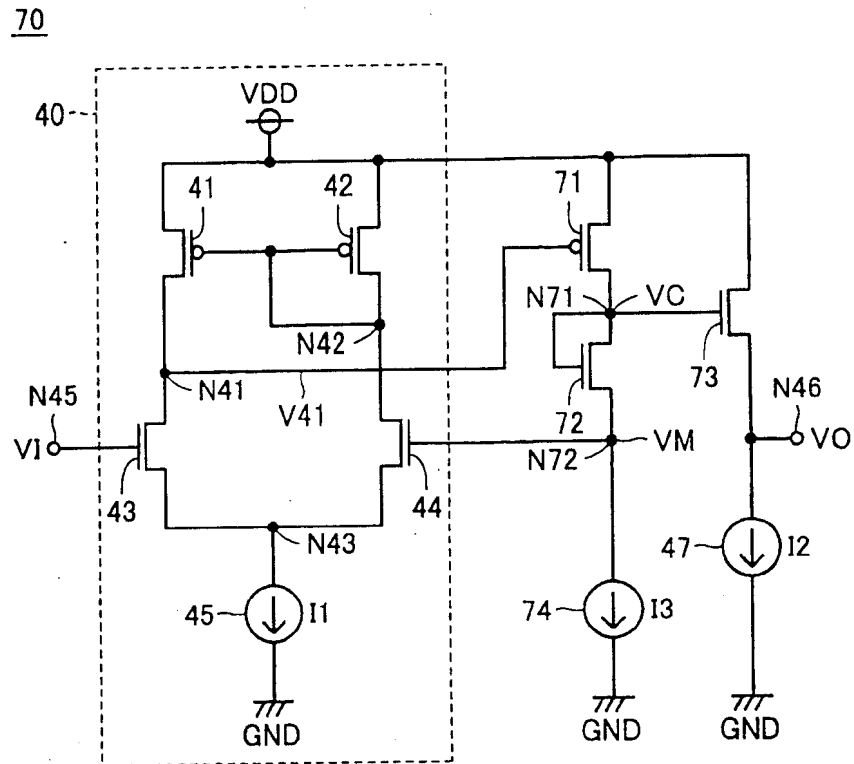


图 12A

图 12B

图 12C

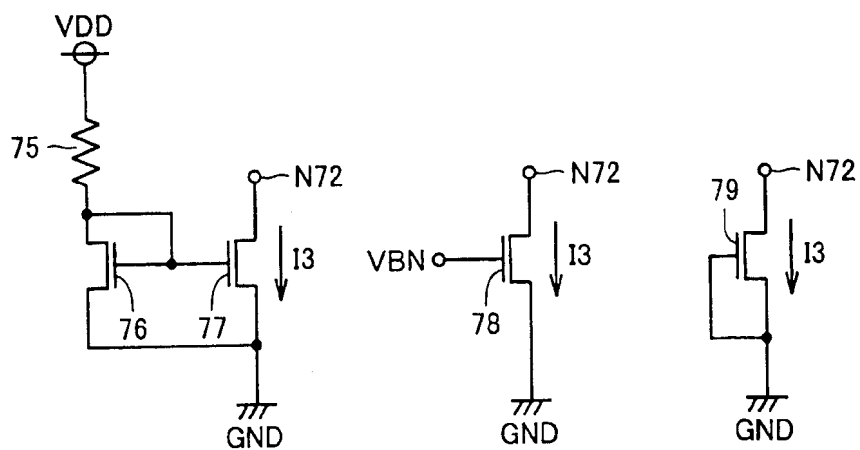


图14

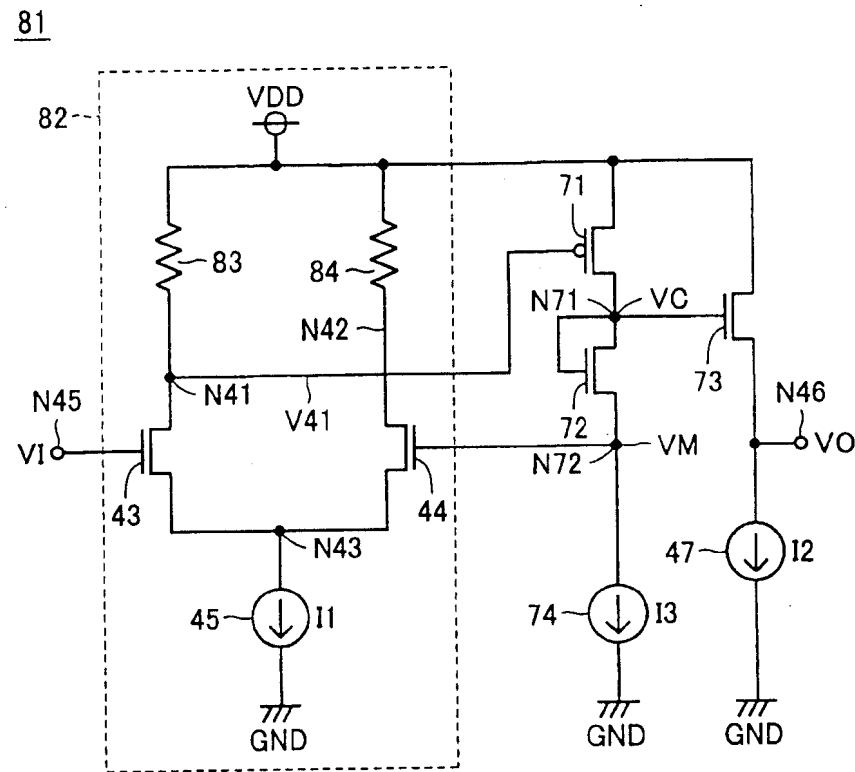


图 15

85

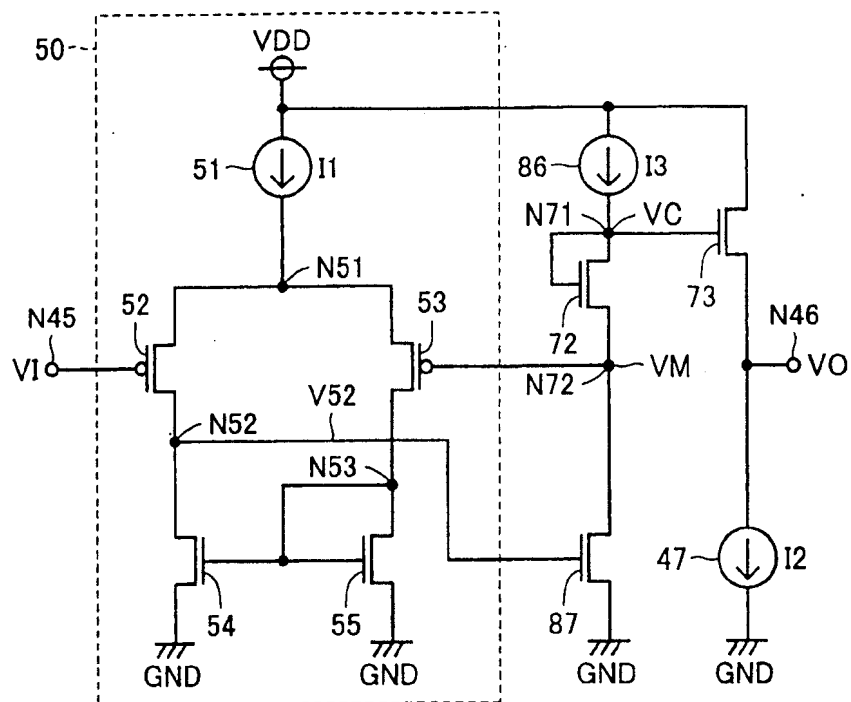


图 16A

图 16B

图 16C

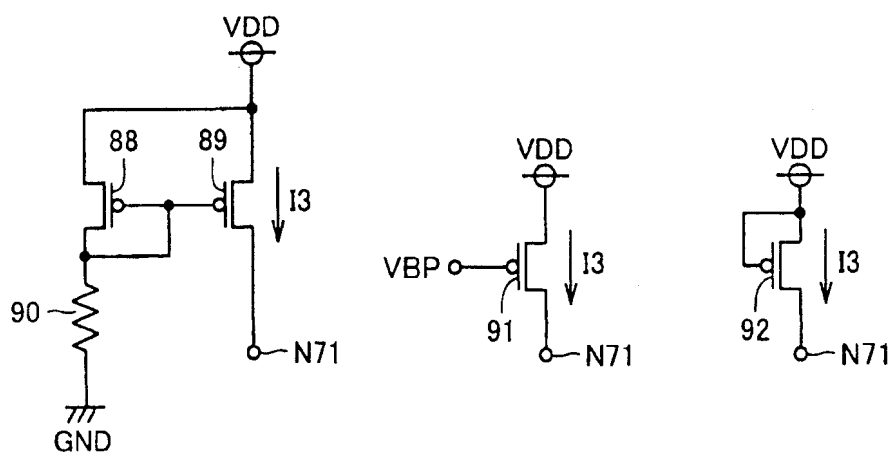


图17

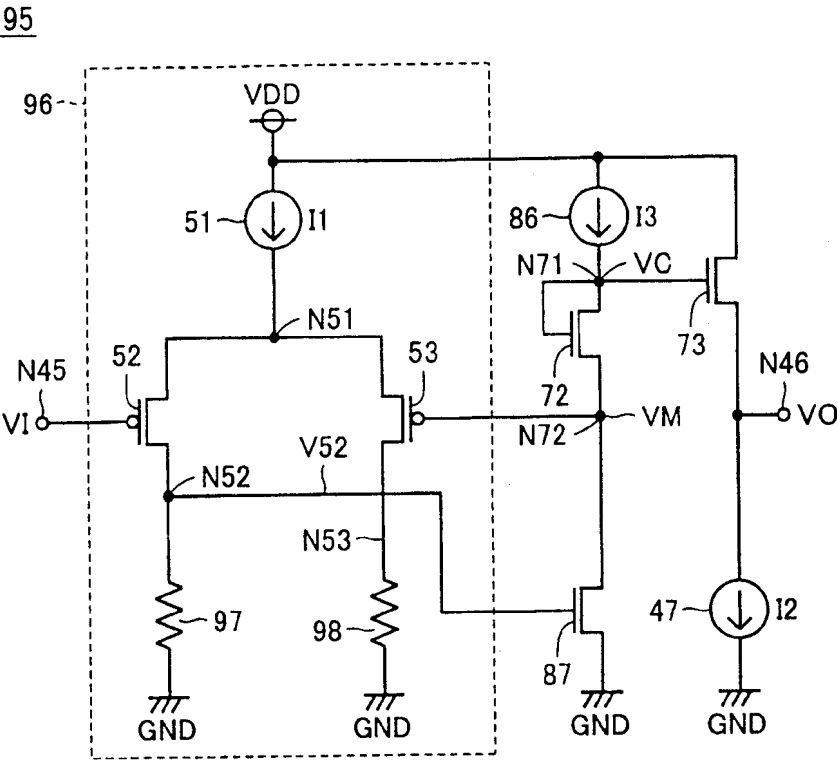


图18

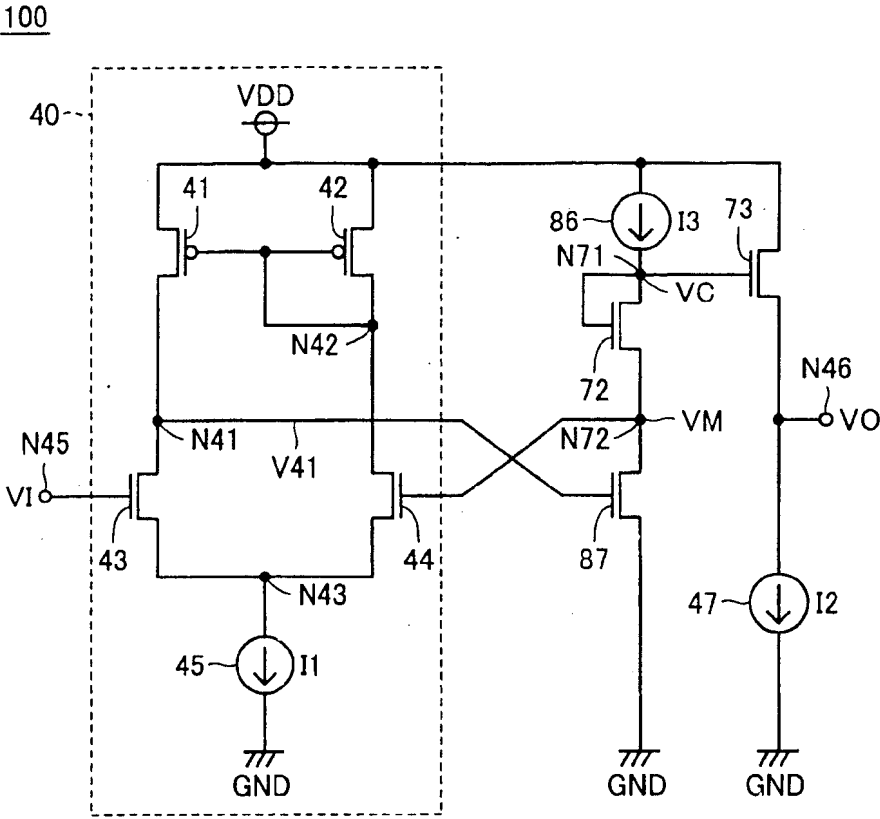


图 19

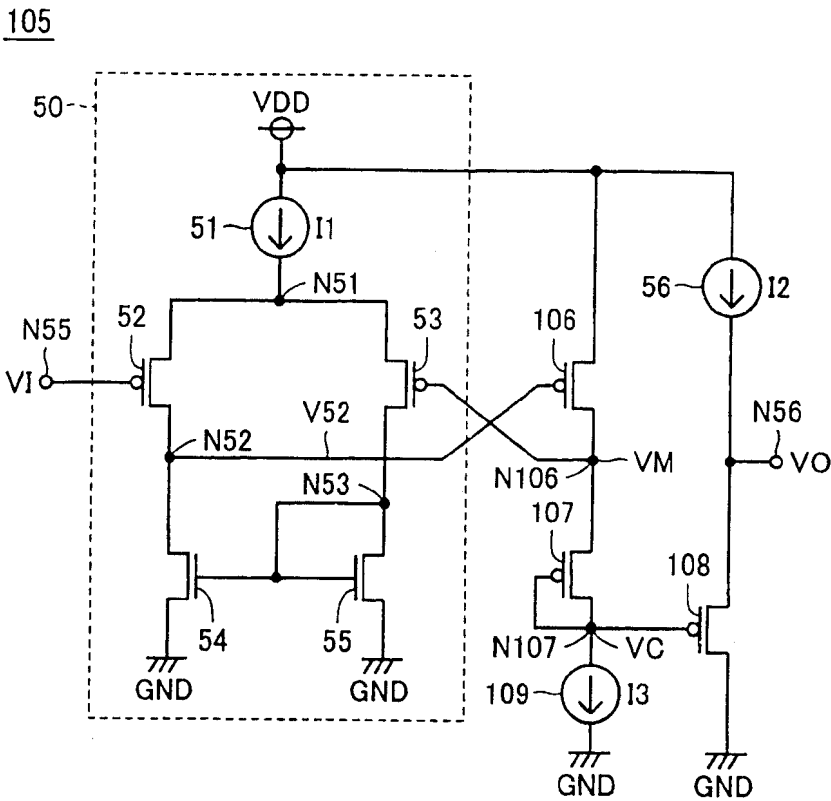


图 20

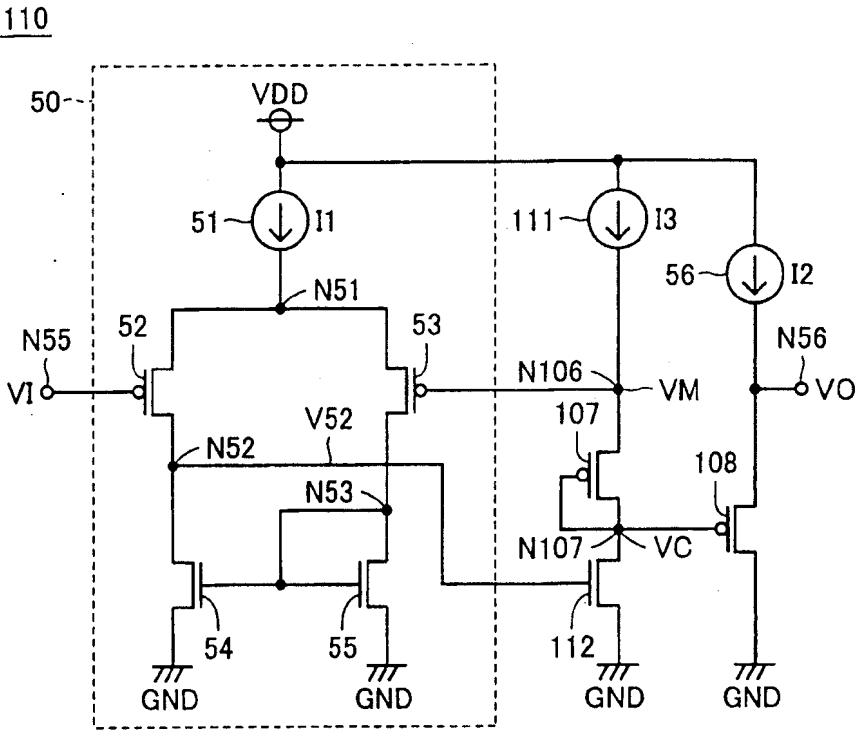


图 21

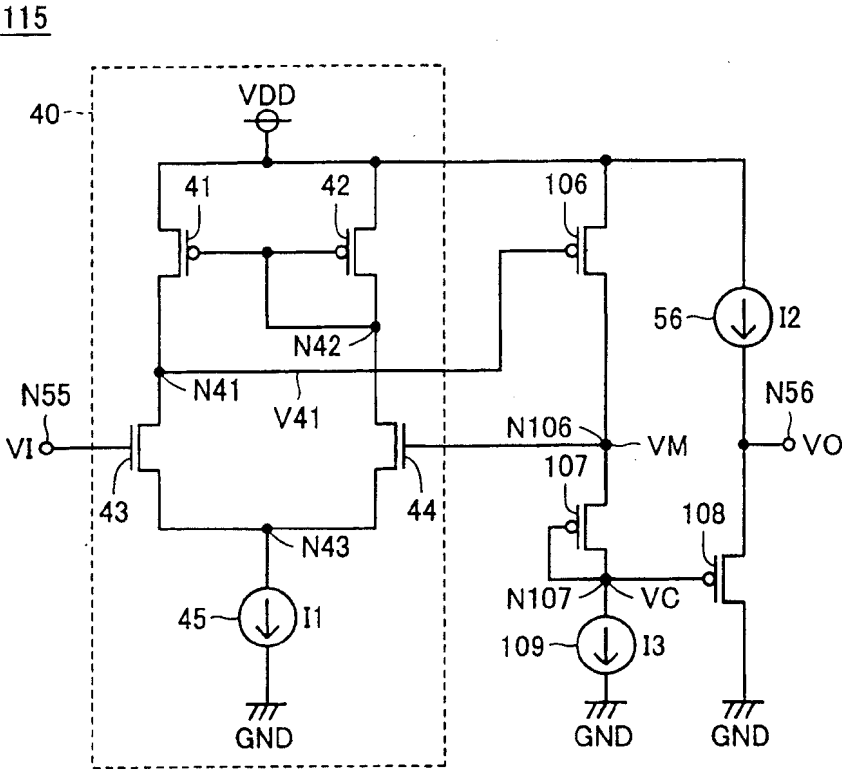


图 22

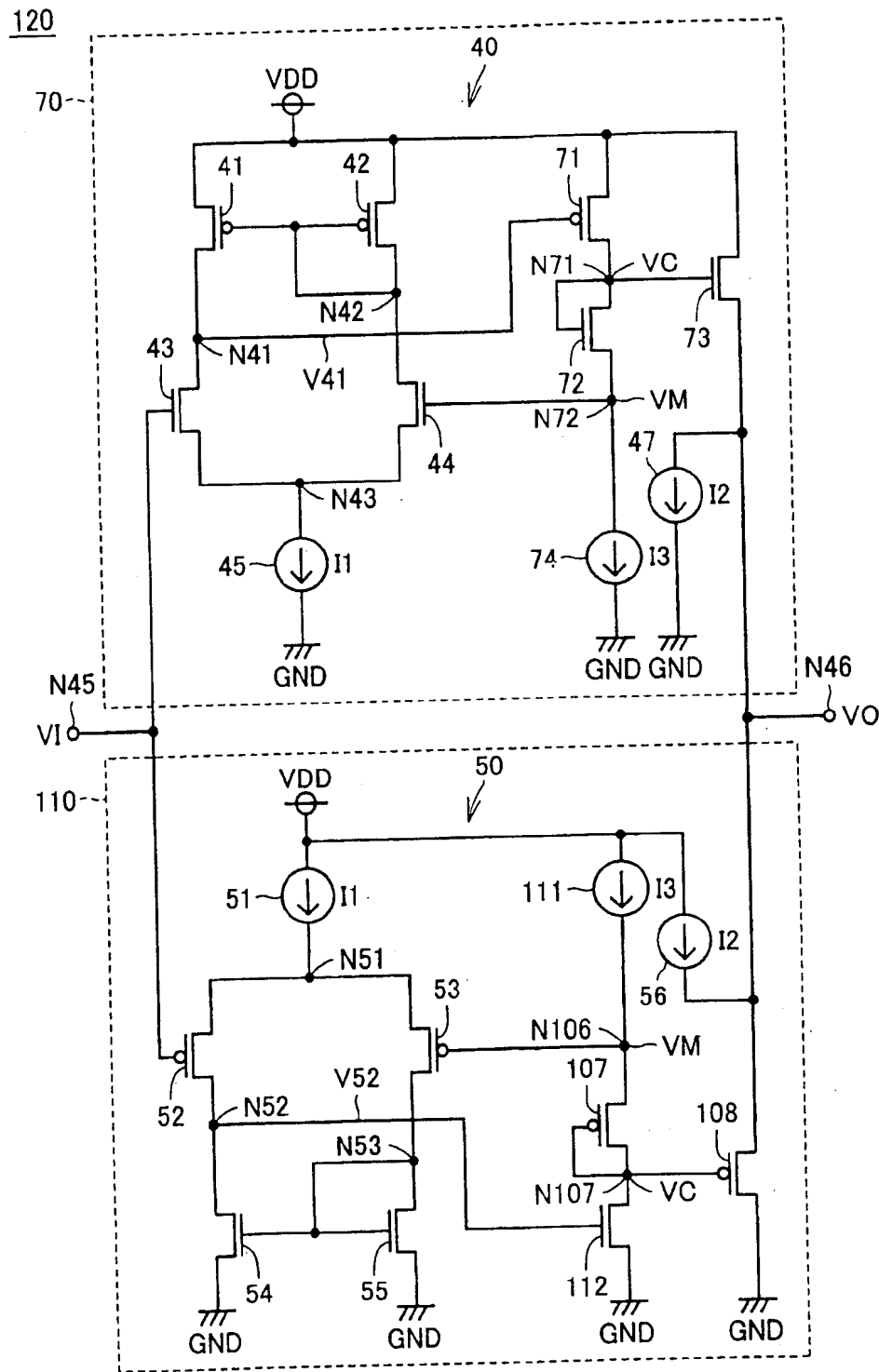


图 23

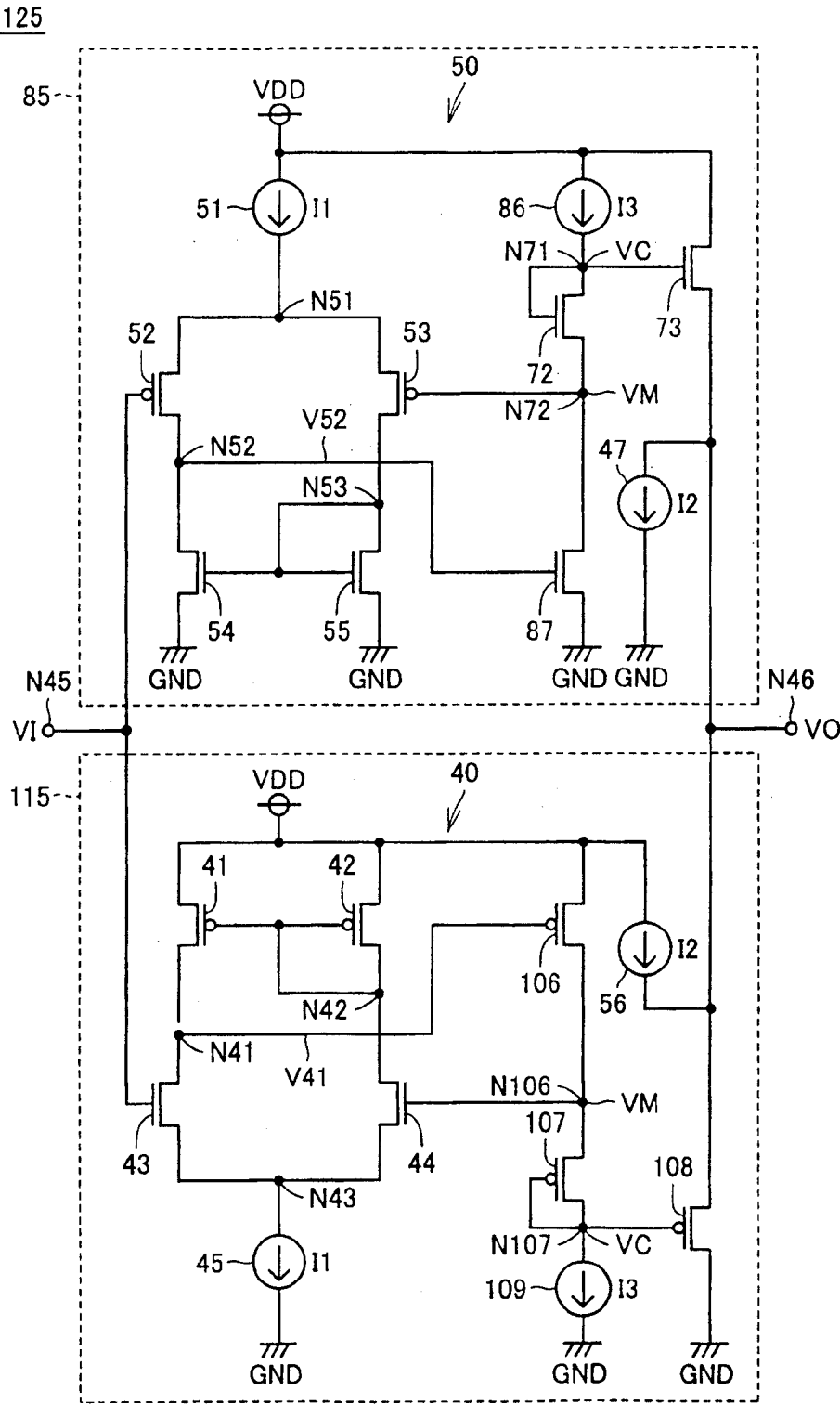


图 24

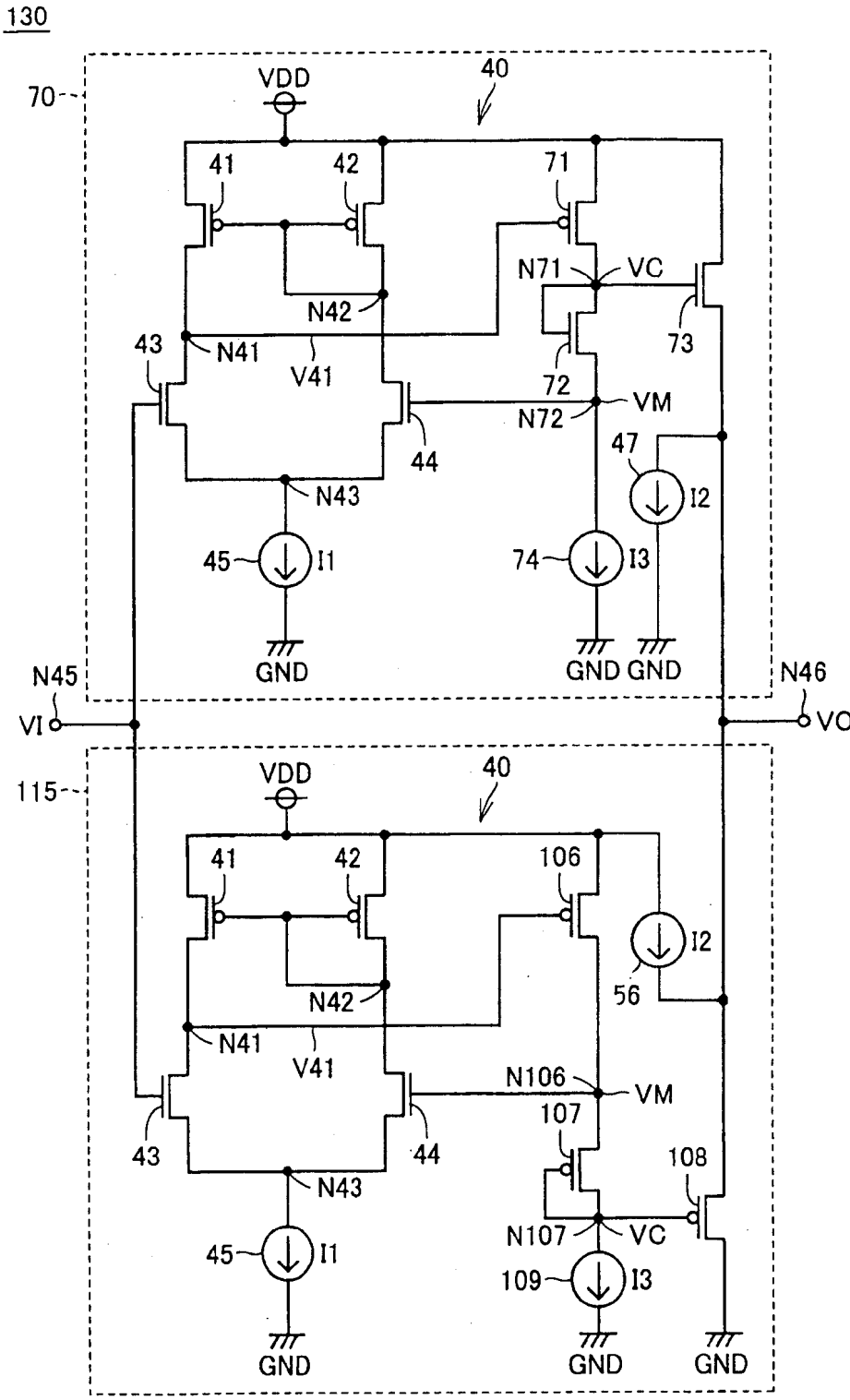


图 27

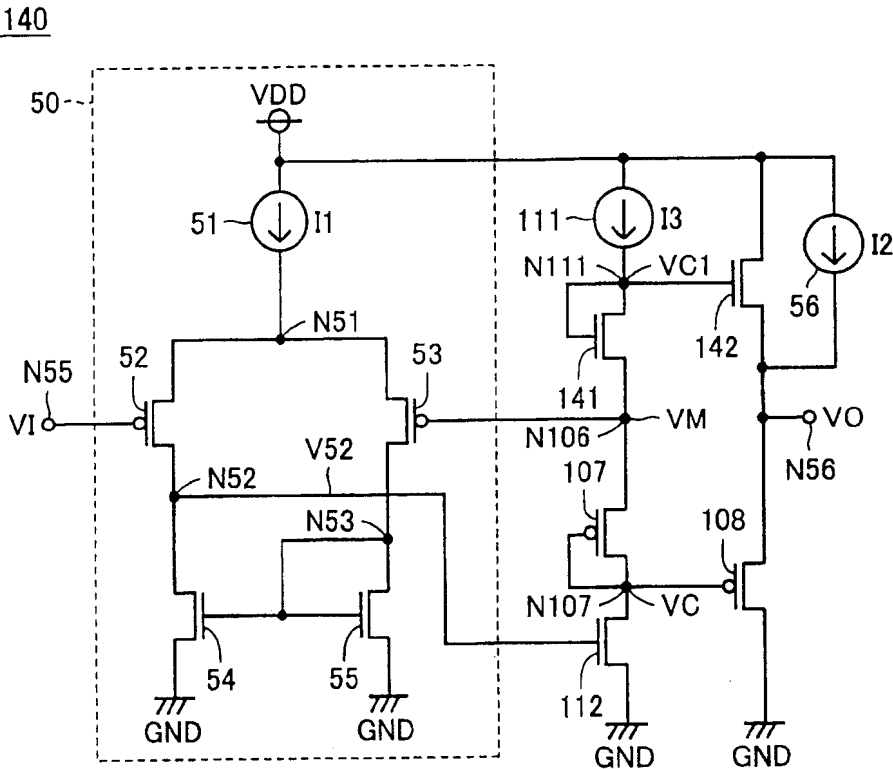


图 28

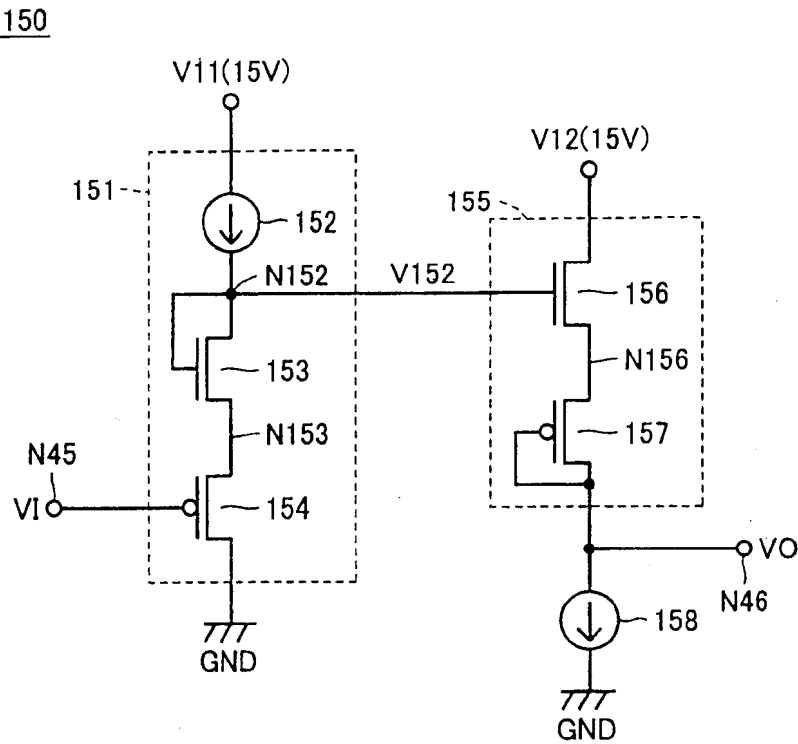


图 29

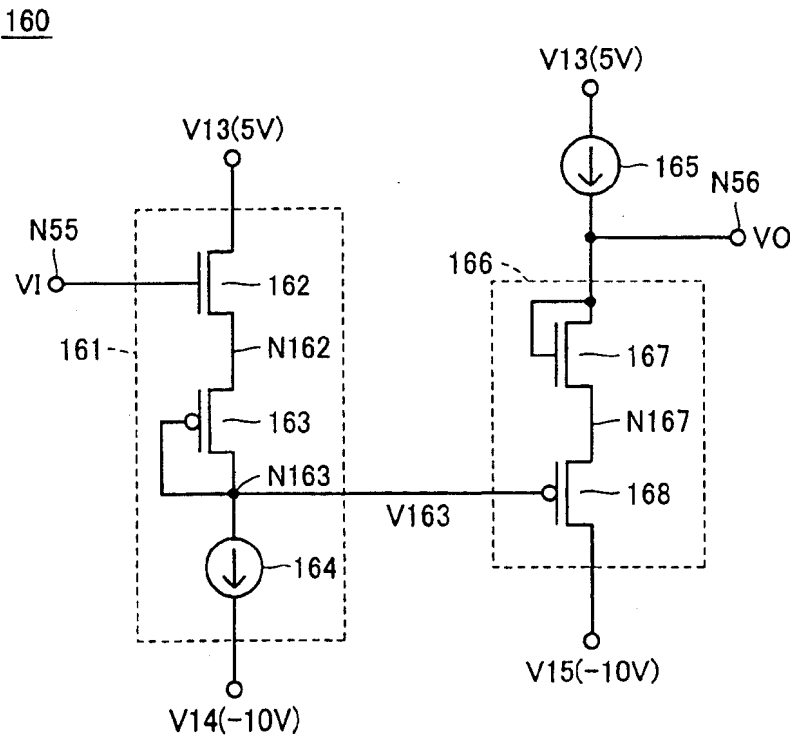


图 30

170

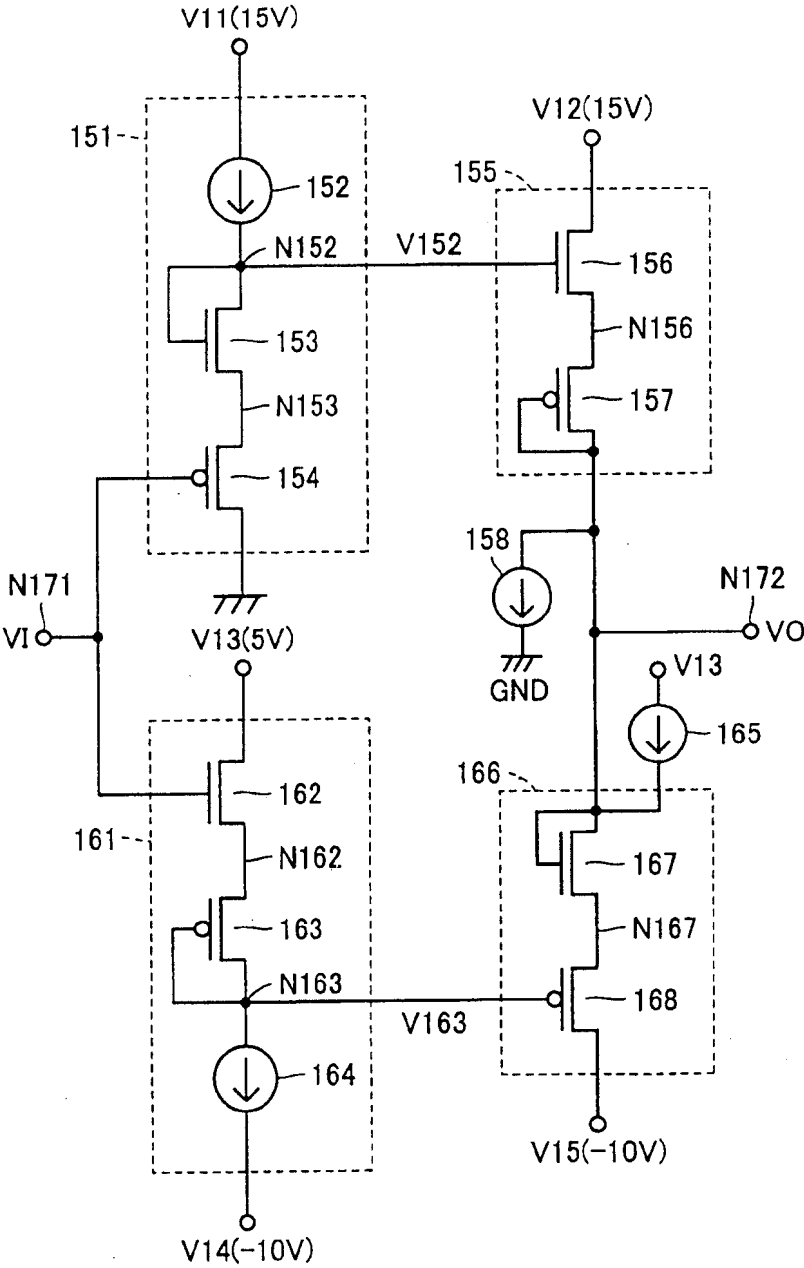


图 31

175

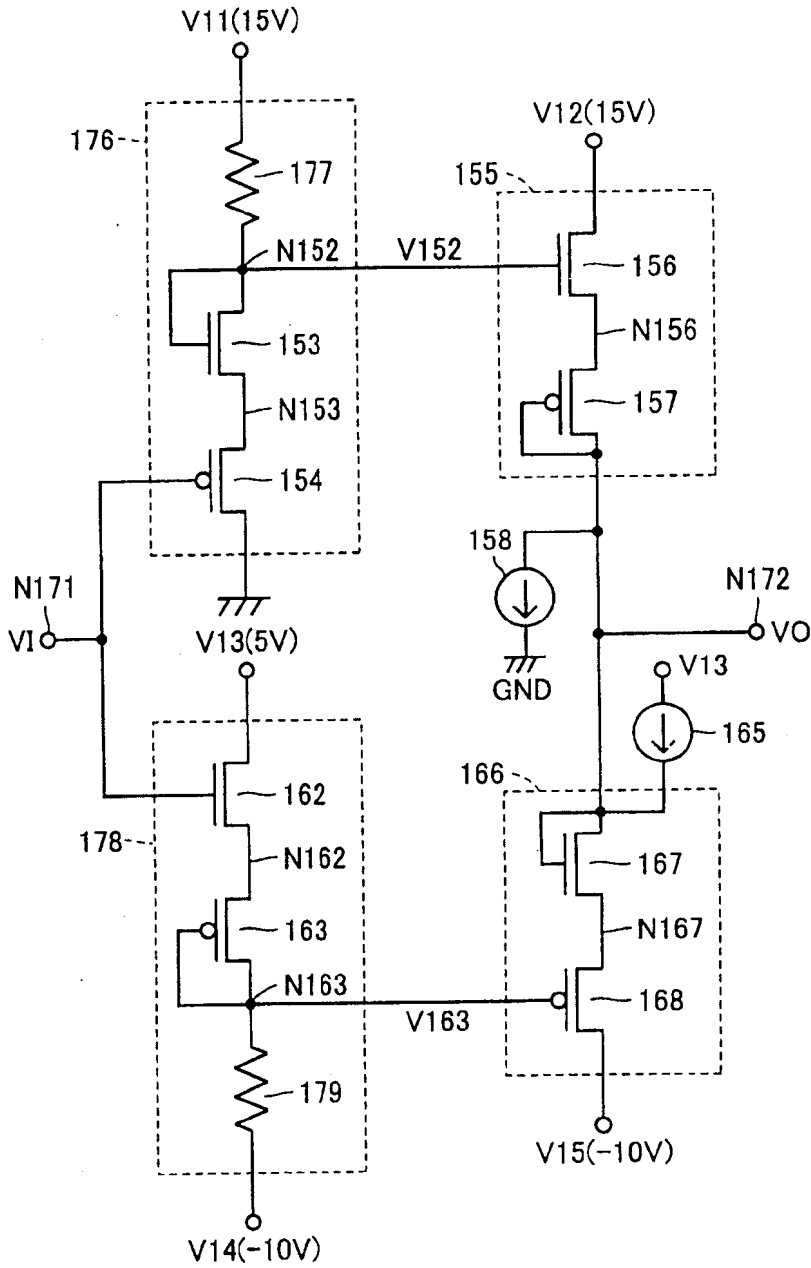


图 33

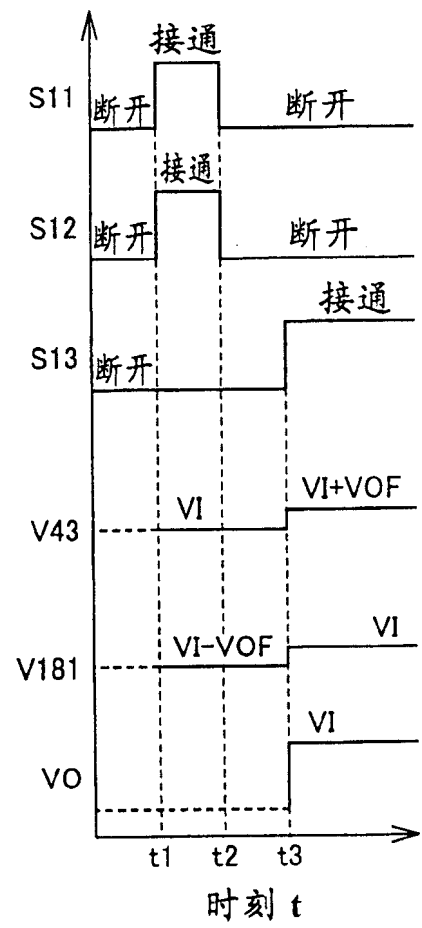


图 34

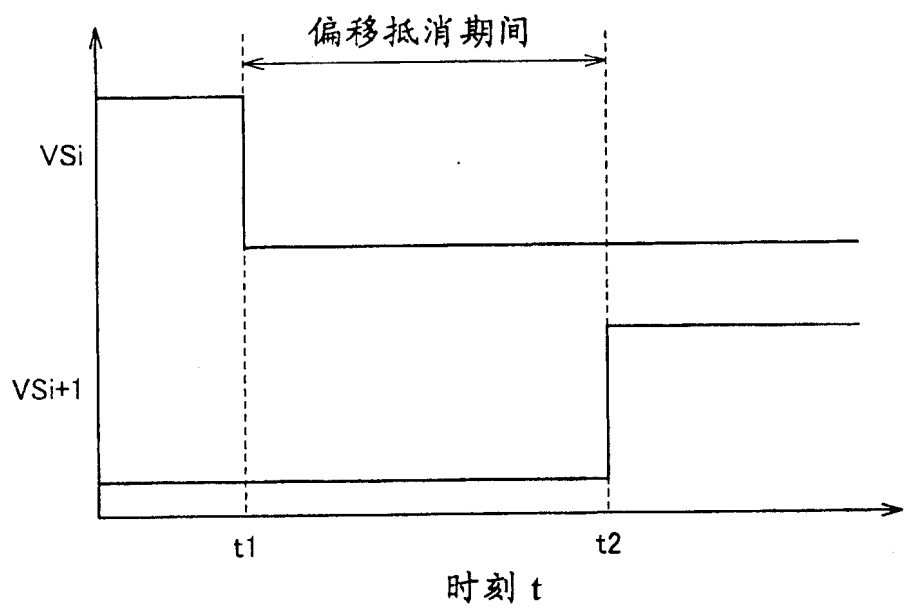


图 36

190

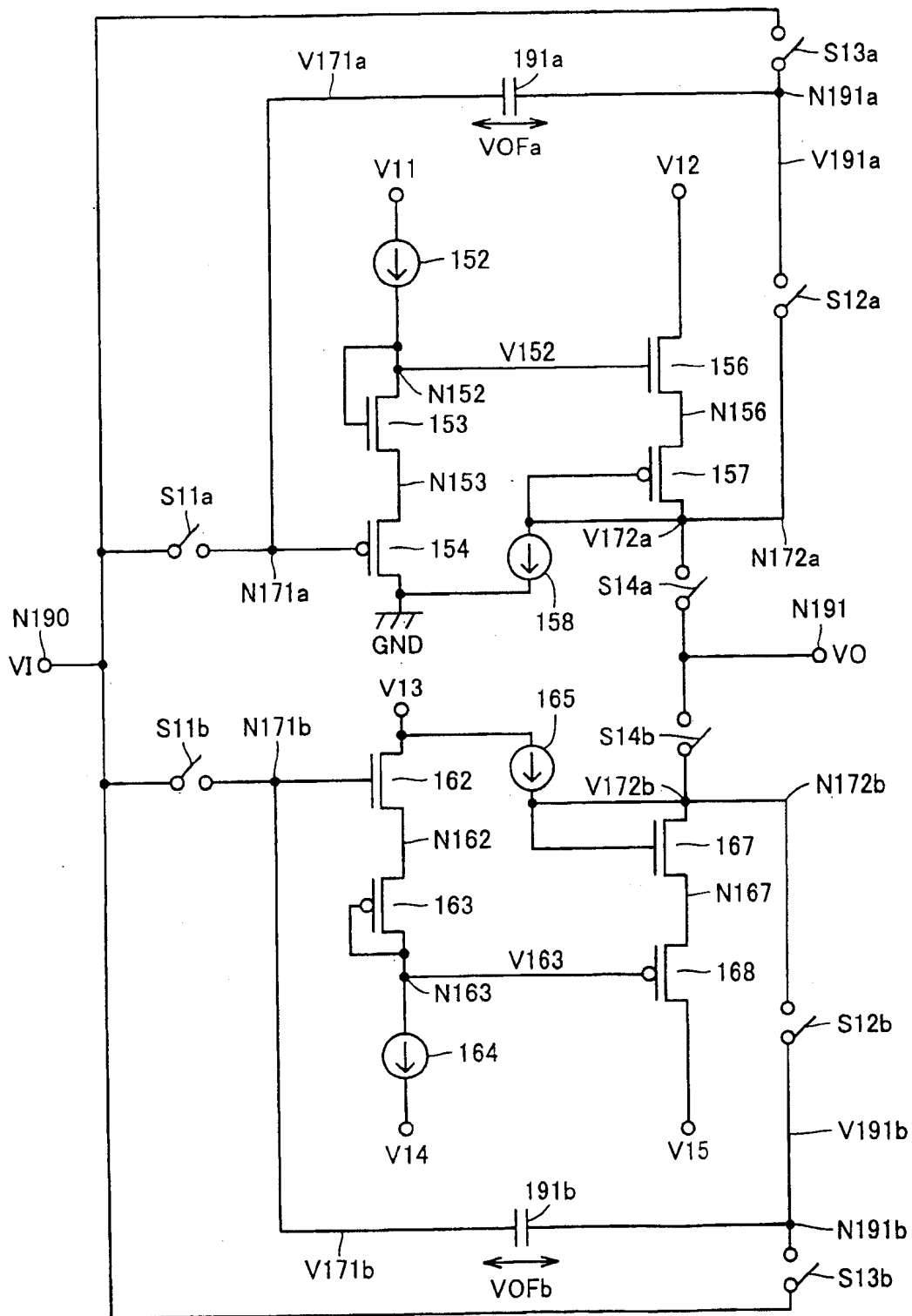


图 37 现有技术

200

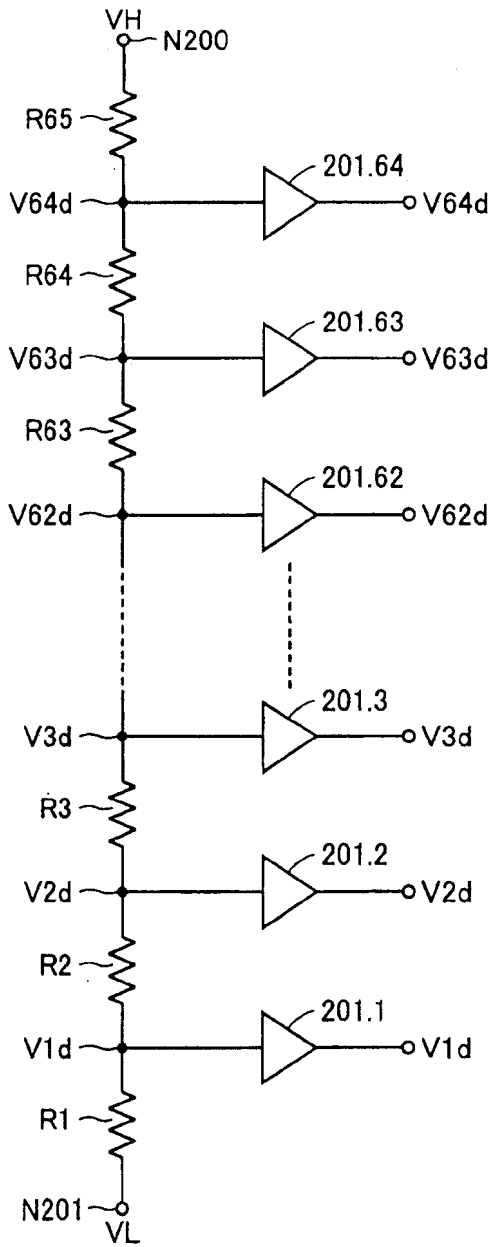
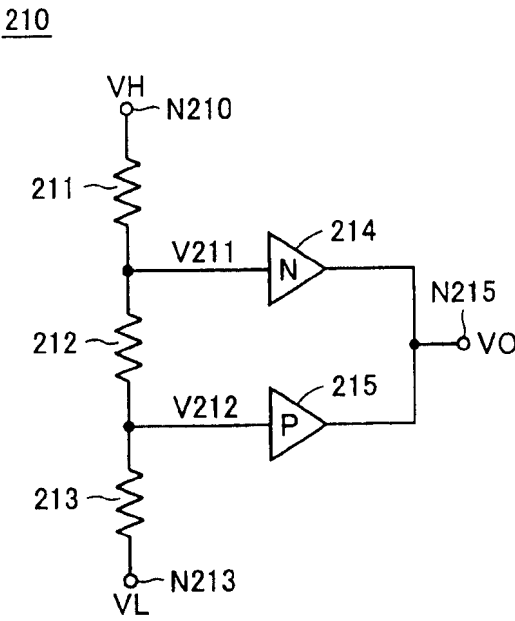


图 38 现有技术



专利名称(译)	图像显示装置		
公开(公告)号	CN100385491C	公开(公告)日	2008-04-30
申请号	CN02823392.1	申请日	2002-11-20
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
当前申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	飞田洋一		
发明人	飞田洋一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3291 G09G3/3688 G09G2330/021 G09G3/3233 G09G2330/028 G09G3/20 G09G3/3696 G09G2310/0297 G09G2310/0248		
代理人(译)	曲瑞		
其他公开文献	CN1628334A		
外部链接	Espacenet SIPO		

摘要(译)

一种图像显示装置，其中彩色液晶显示装置的灰度等级电位发生电路(24)包含：串联连接的65个电阻元件(R1～R65)，分压施加在第一和第二节点(N30、N31)间的电压(VH-VL)并生成64个灰度等级电压(V1d～V64d)；第一电流放大电路(31)，分别对应于比数据线(6)的预充电电位(VPC)高的灰度等级电位(V33d～V64d)设置，充电能力比放电能力高；第二电流放大电路(32)，分别对应于比的预充电电位(VPC)低的灰度等级电位(V1d～V32d)设置，放电能力比充电能力高。

