

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

G02F 1/133



[12] 发明专利申请公开说明书

[21] 申请号 200510071919.0

[43] 公开日 2005 年 10 月 26 日

[11] 公开号 CN 1687835A

[22] 申请日 2005.5.23

[21] 申请号 200510071919.0

[71] 申请人 友达光电股份有限公司

地址 中国台湾

[72] 发明人 吴明洲 潘信桦

[74] 专利代理机构 北京中原华和知识产权代理有限公司

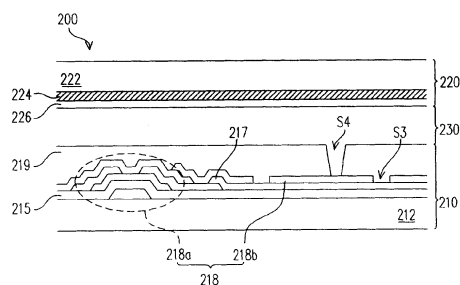
代理人 寿宁 张华辉

权利要求书 3 页 说明书 9 页 附图 23 页

[54] 发明名称 液晶显示面板、主动元件阵列基板及其制造方法

[57] 摘要

本发明关于一种液晶显示面板、主动元件阵列基板及其制造方法。该主动元件阵列基板，其包括基板、配置于基板上的扫描配线、配置于基板上的数据配线、配置于基板上的画素单元以及配置于基板上的介电层。其中，画素单元是与对应的扫描配线及数据配线电性连接，而每一画素单元包括主动元件以及与该主动元件电性连接的画素电极，且每一画素电极具有多个第一狭缝。另外，介电层是覆盖住该第一狭缝，且介电层具有多个第二狭缝，以暴露出每一画素电极的部分区域。



ISSN 1008-4274

1、一种主动元件阵列基板，其特征在于其包括：

一基板；

5 多条扫描配线，配置于该基板上；

多条数据配线，配置于该基板上；

多个画素单元，配置于该基板上，且与对应的该扫描配线与该数据配线电性连接，其中每一画素单元包括一主动元件以及一与该主动元件电性连接的画素电极，且每一画素电极具有至少一第一狭缝；以及

10 一介电层，配置于该基板上，其中该介电层是覆盖住该第一狭缝，且每一画素单元中的该介电层具有至少一第二狭缝，以暴露出每一画素电极的部分区域。

2、根据权利要求1所述的主动元件阵列基板，其特征在于其中所述的第一狭缝与该第二狭缝至少其中之一为锯齿形狭缝。

15 3、根据权利要求1所述的主动元件阵列基板，其特征在于其中每一画素单元更包括一遮光层，配置于该介电层的该第二狭缝下方，而该遮光层的材料包括导体，且该遮光层与该画素电极构成一储存电容器。

4、根据权利要求1所述的主动元件阵列基板，其特征在于其中所述的介电层的介电常数小于3.5，且该介电层的厚度是介于1微米至2微米之间。

20 5、根据权利要求1所述的主动元件阵列基板，其特征在于其中所述的第二狭缝的顶部宽度大于该第二狭缝的底部宽度。

6、一种液晶显示面板，其特征在于其包括：

一主动元件阵列基板，包括：

一基板；

25 多条扫描配线，配置于该基板上；

多条数据配线，配置于该基板上；

多个画素单元，配置于该基板上，且与对应的该扫描配线与该数据配线电性连接，其中每一画素单元包括一主动元件以及一与该主动元件电性连接的画素电极，且每一画素电极具有至少一第一狭缝；

30 一介电层，配置于该基板上，其中该介电层是覆盖住该第一狭缝，且每一画素单元中的该介电层具有至少第二狭缝，以暴露出每一画素电极的部分区域；

一对向基板，具有一共用电极层；以及

35 一液晶层，配置于该主动元件阵列基板与该对向基板的该共用电极之间。

7、根据权利要求6所述的液晶显示面板，其特征在于其中所述的第一

狭缝与该第二狭缝至少其中之一为锯齿形狭缝。

8、根据权利要求6所述的液晶显示面板，其特征在于其中每一画素单元更包括一遮光层，配置于该介电层的该第二狭缝下方，而该遮光层的材料包括导体，且该遮光层与该画素电极构成一储存电容器。

5 9、根据权利要求6所述的液晶显示面板，其特征在于其中所述的介电层的介电常数小于3.5，且该介电层的厚度是介于1微米至2微米之间。

10、根据权利要求6所述的液晶显示面板，其特征在于其中所述的第二狭缝的顶部宽度大于该第二狭缝的底部宽度。

11、一种主动元件阵列基板的制造方法，其特征在于其包括以下步骤：
10 于一基板上形成多条扫描配线、多条数据配线以及多个主动元件，其中该主动元件是与对应的该扫描配线与该数据配线电性连接；

于该基板上形成多个与该主动元件电性连接的画素电极，其中每一画素电极具有至少一第一狭缝；以及

15 于该基板上形成一个介电层，以覆盖住该第一狭缝，其中每一画素电极上的该介电层具有至少一第二狭缝，以暴露出每一画素电极的部分区域。

12、根据权利要求11所述的主动元件阵列基板的制造方法，其特征在于其中该些扫描配线、该些数据配线以及该些主动元件的形成方法包括：

于该基板上形成一第一导体层，其中该第一导体层包括该些扫描配线以及多个与该些扫描配线连接的闸极；

20 于该基板上形成一闸极绝缘层，以覆盖住该第一导体层；

于该闸极绝缘层上形成多个通道层，其中该些通道层是位于该些闸极上方；以及

25 于该闸极绝缘层上形成一第二导体层，其中该第二导体层包括该些数据配线以及多个与该数据配线连接的源极/汲极，且该些源极/汲极是覆盖住对应的该些通道层的部分区域。

13、根据权利要求11所述的主动元件阵列基板的制造方法，其特征在于在形成该些扫描配线、该些数据配线以及该些主动元件的同时，更包括形成多个储存电容器。

14、根据权利要求13所述的主动元件阵列基板的制造方法，其特征在于其中所述的该些扫描配线、该些数据配线、该些主动元件以该储存电容器的形成方法包括：

于该基板上形成一第一导体层，其中该第一导体层包括该些扫描配线、多个与该些扫描配线连接的闸极以及多个下电极；

于该基板上形成一闸极绝缘层，以覆盖住该第一导体层；

35 于该闸极绝缘层上形成多个通道层，其中该些通道层是位于该闸极上方；以及

于该闸极绝缘层上形成一第二导体层, 其中该第二导体层包括该些数据配线以及多个与该些数据配线连接的源极/汲极, 而该些源极/汲极是覆盖住对应的该些通道层的部分区域, 且每一下电极与对应的画素电极是构成一储存电容器。

- 5 15、根据权利要求 13 所述的主动元件阵列基板的制造方法, 其特征在于其中所述的扫描配线、该数据配线、该主动元件以该储存电容器的形成方法包括:

于该基板上形成一第一导体层, 其中该第一导体层包括该些扫描配线、多个与该扫描配线连接的闸极以及多个下电极;

- 10 于该基板上形成一闸极绝缘层, 以覆盖住该第一导体层;

于该闸极绝缘层上形成多个通道层, 其中该些通道层是位于该些闸极上方; 以及

- 15 于该闸极绝缘层上形成一第二导体层, 其中该第二导体层包括该些数据配线、多个与该些数据配线连接的源极/汲极以及多个上电极, 而该些源极/汲极是覆盖住对应的该些通道层的部分区域, 且每一下电极与对应的上电极是构成一储存电容器。

16、根据权利要求 11 所述的主动元件阵列基板的制造方法, 其特征在于在形成该些画素电极之前, 更包括形成一保护层, 以覆盖住该些扫描配线、该些数据配线以及该些主动元件。

液晶显示面板、主动元件阵列基板及其制造方法

5 **技术领域**

本发明涉及一种液晶显示面板(LCD panel)，特别是涉及一种多域垂直配向式液晶显示面板(Multi-domain Vertical Alignment-LCD, MVA-LCD panel)。

10 **背景技术**

目前市场对于薄膜晶体管液晶显示器(TFT-LCD)皆朝向高对比(contrast ratio)、无灰阶反转(gray scale inversion)、高亮度(brightness)、高色饱和度(color saturation)、快速反应(response)以及广视角(viewing angle)等方向发展。目前常见的广视角技术包括：扭转
15 向列型液晶(TN)加上广视角膜(wide viewing film)、共平面切换式(In-Plane Switching, IPS)液晶显示器、边缘场切换式(fringe field switching)液晶显示器与多域垂直配向式(MVA)液晶显示器。以多域垂直配向式液晶显示面板为例，其可藉由一些配向图案(alignment patterning)，如配向凸起物(alignment protrusion)或狭缝(slits)，以使得每一画素中的
20 液晶分子呈多方向排列，进而在得到数个不同的配向领域(domain)。有关于多域垂直配向式液晶显示面板的详细结构将详述于后。

图1与图1'分别绘示为一种传统的多域垂直配向液晶显示面板的剖面图与俯视图。请参照图1，传统的多域垂直配向液晶显示面板100包括薄膜晶体管阵列基板110、彩色滤光基板120以及液晶层130。其中，液晶层130
25 是配置于薄膜晶体管阵列基板110与彩色滤光基板120之间。

请同时参照图1与图1'，在多域垂直配向液晶显示面板100中，薄膜晶体管阵列基板110包括基板112、多条扫描配线114以及多条数据配线116以及多个画素单元118。其中，扫描配线114、数据配线116以及画素单元118皆配置于基板112上，且扫描配线114、数据配线116是与对应的
30 画素单元118电性连接。此外，画素单元118包括薄膜晶体管118a以及画素电极118b，其中画素电极118b是与薄膜晶体管118a电性连接，且画素电极118b具有狭缝S1。

如图1与图1'所示，彩色滤光基板120包括基板122、彩色滤光薄膜124、共用电极126以及多个配向凸起物P。其中，彩色滤光薄膜124是配置于基板122上，共用电极126是配置于彩色滤光薄膜124上，而配向凸起物P是配置于共用电极126上。值得注意的是，薄膜晶体管阵列基板110
35

上的狭缝 S1 与彩色滤光基板 120 上的配向凸起物 P 是用以对液晶配向, 以于多域垂直配向液晶显示面板 100 中形成多重领域(multi-domain)。

图 2 与图 2' 分别绘示为另一种传统的多域垂直配向液晶显示面板的剖面图与俯视图。图 2 中所绘示的多域垂直配向液晶显示面板 100' 与图 1 中所绘示的多域垂直配向液晶显示面板 100 类似, 惟主要差异在于彩色滤光基板 120' 的设计。由图 2 与图 2' 可清楚得知, 彩色滤光基板 120' 包括基板 122、彩色滤光薄膜 124 以及共用电极 126。其中, 彩色滤光薄膜 124 是配置于基板 122 上, 共用电极 126 是配置于彩色滤光薄膜 124 上, 且共用电极 126 具有多个狭缝 S2。此处, 薄膜晶体管阵列基板 110 上的狭缝 S1 与彩色滤光基板 120' 上的狭缝 S2 同样可用以对液晶配向, 以于多域垂直配向液晶显示面板 100' 中形成多重领域(multi-domain)。

在上述的多域垂直配向液晶显示面板中, 薄膜晶体管阵列基板与彩色滤光基板在对组时必须精准地对位, 否则配向图案(狭缝、配向凸起物)之间的距离无法精确地控制。当配向图案之间发生误对准(mis-alignment)的问题时, 多域垂直配向液晶显示面板的反应时间与视角将会受到影响, 甚至有可能发生影像残留等问题。

发明内容

本发明的目的在于, 提供一种新型结构的主动元件阵列基板, 所要解决的技术问题是使其具有两种不同配向功能(alignment function)的狭缝, 从而更加适于实用。

本发明的另一目的在于, 提供一种新型结构的液晶显示面板, 所要解决的技术问题是使其显示品质不易受到基板的对组精度的影响, 从而更加适于实用。

本发明的再一目的在于, 提供一种与现有制程相容的主动元件阵列基板的制造方法, 从而更加适于实用。

本发明提出一种主动元件阵列基板, 其包括基板、配置于基板上的扫描配线、配置于基板上的数据配线、配置于基板上的画素单元以及配置于基板上的介电层。其中, 画素单元是与对应的扫描配线与数据配线电性连接, 而每一画素单元包括主动元件以及与该主动元件电性连接的画素电极, 且每一画素电极具有至少一个第一狭缝。另外, 介电层是覆盖住该第一狭缝, 且每一画素单元中的介电层具有至少一个第二狭缝, 以暴露出每一画素电极的部分区域。

本发明提出一种液晶显示面板, 其包括前述的主动元件阵列基板、对向基板以及液晶层。其中, 对向基板具有共用电极层, 而液晶层是配置于主动元件阵列基板与对向基板的共用电极之间。

在本发明一实施例中，第一狭缝与该第二狭缝至少其中之一例如为锯齿形狭缝(jagged slit)。

在本发明一实施例中，每一画素单元中可进一步包括遮光层，而此遮光层是配置于介电层的第二狭缝下方。此外，前述遮光层的材料例如为导体，故遮光层与画素电极可构成储存电容器(storage capacitor)。

在本发明一实施例中，每一画素单元中可进一步包括储存电容器，此储存电容器是配置于介电层的第二狭缝下方。举例来说，储存电容器例如包括配置于基板上的下电极以及位于下电极上方的上电极。其中，上电极是与画素电极电极性连接。此外，前述上电极及/或下电极的材料例如为遮光材料。

在本发明一实施例中，介电层的介电常数例如是小于 3.5，且介电层的厚度例如是介于 1 微米至 2 微米之间。此外，前述第二狭缝的顶部宽度是大于该第二狭缝的底部宽度。

本发明提出一种主动元件阵列基板的制造方法，包括下列步骤。首先，于基板上形成多条扫描配线、多条数据配线以及多个主动元件，其中主动元件是与对应的扫描配线与数据配线电性连接。接着，于基板上形成多个与主动元件电性连接的画素电极，其中每一画素电极具有至少一个第一狭缝。之后，于基板上形成一介电层，以覆盖住第一狭缝，其中每一画素电极上的介电层具有至少一个第二狭缝，以暴露出每一画素电极的部分区域。

在本发明一实施例中，扫描配线、该数据配线以及该主动元件的形成方法包括下列步骤。首先，于基板上形成一第一导体层，此第一导体层包括扫描配线以及多个与扫描配线连接的闸极。接着，于基板上形成一闸极绝缘层，以覆盖住第一导体层。之后，于闸极绝缘层上形成多个通道层，而通道层是位于闸极上方。最后，于闸极绝缘层上形成一第二导体层，此第二导体层包括数据配线以及多个与数据配线连接的源极/汲极，且源极/汲极是覆盖住通道层的部分区域。

在本发明一实施例中，在形成扫描配线、数据配线以及主动元件的同时，更包括形成一储存电容器。举例而言，储存电容器的下电极例如可与扫描配线及闸极一起制作。

在本发明另一实施例中，储存电容器的下电极例如可与扫描配线与闸极一起制作，而储存电容器的上电极例如可与数据配线、源极/汲极一起制作。此外，上电极例如是进一步与对应的画素电极电性连接。

在本发明一实施例中，在形成画素电极之前，可进一步形成一保护层，以覆盖住扫描配线、数据配线以及主动元件。

在本发明的液晶面示面板中，其主动元件阵列基板上是采用画素电极中的第一狭缝以及介电层中的第二狭缝分别对液晶进行配向，由于第一狭

缝与第二狭缝都是制作于同一基板上，因此第一狭缝与第二狭缝的相对位置可被精准的控制，进而使得液晶面示面板的显示品质不易受到基板的对组精度的影响。

5 本发明与现有技术相比具有明显的优点和有益效果。经由上述可知，本发明是有关于一种液晶显示面板、主动元件阵列基板及其制造方法。该主动元件阵列基板，其包括基板、配置于基板上的扫描配线、配置于基板上的数据配线、配置于基板上的画素单元以及配置于基板上的介电层。其中，画素单元是与对应的扫描配线与数据配线电性连接，而每一画素单元包括
10 主动元件以及与该主动元件电性连接的画素电极，且每一画素电极具有多个第一狭缝。另外，介电层是覆盖住该第一狭缝，且介电层具有多个第二狭缝，以暴露出每一画素电极的部分区域。

借由上述技术方案，本发明液晶显示面板、主动元件阵列基板及其制造方法至少具有下列优点：

1. 本发明的多域垂直配向液晶显示面板在显示品质上，不易受到基板的
15 的对组精度的影响。

2. 本发明的多域垂直配向液晶显示面板具有较佳的对比与较高的开口率。

3. 本发明的主动元件阵列基板制造方法与现有制程相容，不会造成成本上的负担。

20 上述说明仅是本发明技术方案的概述，为了能够更清楚了解本发明的技术手段，而可依照说明书的内容予以实施，并且为了让本发明的上述和其他目的、特征和优点能够更明显易懂，以下特举较佳实施例，并配合附图，详细说明如下。

25 附图说明

图 1 与图 1'分别绘示为一种传统的多域垂直配向液晶显示面板的剖面图与俯视图。

图 2 与图 2'分别绘示为另一种传统的多域垂直配向液晶显示面板的剖面图与俯视图。

30 图 3 与图 1'分别绘示为依照本发明第一实施例的多域垂直配向液晶显示面板的剖面图与俯视图。

图 4A 至图 4F 绘示为依照本发明第一实施例薄膜晶体管阵列基板的制作流程图。

图 4A'至图 4F'分别绘示为图 4A 至图 4F 的俯视图。

35 图 5 与图 5'分别绘示为依照本发明第二实施例的多域垂直配向液晶显示面板的剖面图与俯视图。

图 6A 至图 6F 绘示为依照本发明第二实施例薄膜晶体管阵列基板的制作流程图。

图 6A'至图 6F'分别绘示为图 6A 至图 6F 的俯视图。

图 7 与图 7'分别绘示为依照本发明第三实施例的多域垂直配向液晶显示面板的剖面图与俯视图。

图 8A 至图 8F 绘示为依照本发明第三实施例薄膜晶体管阵列基板的制作流程图。

图 8A'至图 8F'分别绘示为图 8A 至图 8F 的俯视图。

100、100': 多域垂直配向液晶显示面板

- | | |
|------------------------------|----------------------|
| 110: 薄膜晶体管阵列基板 | 112、122: 基板 |
| 114、214: 扫描配线 | 116、216: 数据配线 |
| 118、218、218': 画素单元 | 118a、218a: 薄膜晶体管 |
| 118b、218b: 画素电极 | 120、120'、220: 彩色滤光基板 |
| 124、224: 彩色滤光薄膜 | 126、226: 共用电极 |
| 130、230: 液晶层 | |
| 200、200'、200'': 多域垂直配向液晶显示面板 | |
| 210: 主动元件阵列基板 | 212、222: 基板 |
| 214: 扫描配线 | 215: 闸极绝缘层 |
| 216: 数据配线 | 217: 保护层 |
| 218、218'、218'': 画素单元 | 218a: 主动元件 |
| 218b: 画素电极 | 218c: 下电极或遮光层 |
| 218d: 上电极 | 219: 介电层 |
| 220: 对向基板 | 224: 彩色滤光薄膜 |
| 226: 共用电极 | 230: 液晶层 |
| Cst: 储存电容器 | M1: 第一导体层 |
| M2: 第二导体层 | P: 配向凸起物 |
| S1、S2: 狭缝 | S3: 第一狭缝 |
| S3: 第二狭缝 | |

具体实施方式

为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的液晶显示面板、主动元件阵列基板及其制造方法其具体实施方式、结构、制造方法、步骤、特征及其功效,详细说明如后。

第一实施例

图 3 与图 3'分别绘示为依照本发明第一实施例的多域垂直配向液晶显

示面板的剖面图与俯视图。请参照图 3 与图 3', 本实施例的多域垂直配向液晶显示面板 200 包括主动元件阵列基板 210、对向基板 220 以及液晶层 230。其中, 液晶层 230 是配置于主动元件阵列基板 210 与对向基板 220 之间。

5 请同时参照图 3 与图 3', 在多域垂直配向液晶显示面板 200 中, 主动元件阵列基板 210 包括基板 212、多条扫描配线 214 以及多条数据配线 216、多个画素单元 218 以及介电层 219。其中, 扫描配线 214、数据配线 216、画素单元 218 以及介电层 219 皆配置于基板 212 上, 且扫描配线 214、数据配线 216 是与对应画素单元 218 电性连接。更具体来说, 扫描配线 214 例如是彼此平行地沿着列方向延伸, 而数据配线 216 例如是彼此平行地沿着行方向延伸, 以于基板 212 定义出多个画素区域, 而画素单元 218 则是配置于各个画素区域中。

在本实施例中, 画素单元 218 包括主动元件 218a 以及画素电极 218b, 其中画素电极 218b 是与主动元件 218a 电性连接, 且画素电极 218b 具有至少一个第一狭缝 S3。举例来说, 本实施例的主动元件 218a 可为任何型态的薄膜晶体管, 如非晶硅薄膜晶体管或是低温多晶硅薄膜晶体管, 而此薄膜晶体管的架构可为顶闸极型态或是底闸极型态。当然, 本实施例的主动元件 218a 亦可以是其他具有三个端子的开关元件。

如图 3 所绘示, 本实施例的介电层 219 是覆盖住画素电极 218b 的第一狭缝 S3, 且每一画素单元 218 中的介电层 219 具有至少一个第二狭缝 S4, 以暴露出每一画素电极 218b 的部分区域。由于画素电极 218b 的第一狭缝 S3 是被介电层 219 所覆盖, 且画素电极 218b 的部分区域会藉由第二狭缝 S4 所暴露, 故第一狭缝 S3 与第二狭缝 S4 对于其上方的液晶层 230 的影响程度会有差异。另一方面, 前述的第一狭缝 S3 与该第二狭缝 S4 例如可以为锯齿形的狭缝(jagged slit)或是一般长条形的狭缝(sl原因), 或是其他任何形状的狭缝(sl原因), 只要能够对液晶层 230 产生配向效果的狭缝即可。其中, 该第一狭缝 S3 与该第二狭缝 S4 的形状可以相同或不相同。请参照图 3', 其是显示一般长条形的狭缝(sl原因), 而未绘示出锯齿形的狭缝(jagged slit)。

30 请再参照图 3 与图 3', 本实施例的对向基板 220 例如为彩色滤光基板(color filter substrate), 其包括基板 222、彩色滤光薄膜 224 以及共用电极 226。其中, 彩色滤光薄膜 224 是配置于基板 222 上, 共用电极 226 是配置于彩色滤光薄膜 224 上。在本实施例中, 由于对向基板 220 上不需制作任何的配向图案(配向凸起物或狭缝), 且所有的配向图案(第一狭缝 S3 与第二狭缝 S4)皆制作于主动元件阵列基板 210 上, 因此, 第一狭缝 S3 与第二狭缝 S4 之间的距离可以被精确地控制, 不会受到基板的对组精度的影

响。换言之，本实施例可藉由主动元件阵列基板 210 上的第一狭缝 S3 与第二狭缝 S4 对液晶配向，以于多域垂直配向液晶显示面板 200 中形成多重领域。

图 4A 至图 4F 绘示为依照本发明第一实施例薄膜晶体管阵列基板的制作流程图，而图 4A'至图 4F'分别绘示为图 4A 至图 4F 的俯视图。请参照图 4A 与图 4A'，首先，于基板 212 上形成第一导体层 M1，此第一导体层 M1 包括多个扫描配线 214 以及多个与扫描配线 214 连接的闸极 G。接着，于基板 212 上形成一闸极绝缘层 215，以覆盖住第一导体层 M1。

接着请参照图 4B 与图 4B'，在闸极绝缘层 215 形成之后，于闸极绝缘层 215 上形成多个通道层 Ch，而各个通道层 Ch 是位于对应的闸极 G 上方。在本实施例中，通道层 Ch 例如是非晶硅材质或其他半导体材料，而其上方可选择性地形成一欧姆接触层 (ohmic contact layer)。

接着请参照图 4C 与图 4C'，在通道层 Ch 制作完成之后，于闸极绝缘层 215 上形成第二导体层 M2，此第二导体层 M2 包括多个数据配线 216 以及多个源极 S、汲极 D，而源极 S 是与数据配线 216 连接，且源极 S 与汲极 D 是覆盖住对应的通道层 Ch 的部分区域，如此制作完成主动元件 218a (薄膜晶体管)。在本实施例中，第二导体层 M2 例如为钼/铝/钼复合导体层 (Mo/Al/Mo) 或是其他导体材料。。

接着请参照图 4D 与图 4D'，在形成第二导体层 M2 之后，接着形成保护层 217，以覆盖住扫描配线 214、数据配线 216 以及主动元件 218。由图 4D 与图 4D'可知，保护层 217 具有接触窗 217a，以暴露出汲极 D 的部分区域。本实施例中，保护层 217 的材质可为二氧化硅、氮化硅或是其他介电材料。

接着请参照图 4E 与图 4E'，在形成保护层 217 之后，接着形成画素电极 218b，而所形成的画素电极 218b 具有第一狭缝 S3。本实施例中，画素电极 218b 的材质例如为铟锡氧化物 (ITO)、铟锌氧化物 (IZO) 或是其他导电材料。

最后请参照图 4F 与图 4F'，在形成画素电极 218b 之后，接着形成介电层 219 于基板 212 上方，以覆盖住画素电极 218b 中的第一狭缝 S3，其中介电层 219 具有多个第二狭缝 S4，以暴露出每一画素电极 218b 的部分区域。本实施例中，介电层 219 例如为低介电常数的介电材料，其介电常数例如是小于 3.5，而其厚度是介于 1 微米至 2 微米之间。由图 4F 可清楚得知，第二狭缝 S4 的顶部宽度 W1 是大于该第二狭缝 S4 的底部宽度 W2。

第二实施例

图 5 与图 5'分别绘示为依照本发明第二实施例的多域垂直配向液晶显示面板的剖面图与俯视图。请参照图 5 与图 5'，本实施例的多域垂直配向

液晶显示面板 200' 与第一实施例的多域垂直配向液晶显示面板 200 类似, 二者的主要差异在于: 本实施例的画素单元 218' 中除了包括主动元件 218a 与画素电极 218b 之外, 亦可进一步包括遮光层 218c, 而遮光层 218c 是配置于介电层 219 的第二狭缝 S4 下方。于一较佳实施例中, 遮光层 218c 的宽度是大于第二狭缝 S4 的宽度, 但是并不以此为限。值得注意的是, 遮光层 218c 可以有效避免第二狭缝 S4 所导致的漏光现象, 进而改善多域垂直配向液晶显示面板 200' 的对比 (contrast ratio)。

承上述, 本实施例所采用的遮光层 218c 材料可为导体、介电材料, 或是其他能够遮蔽住背光源所发出的光线的材料。当遮光层 218c 为导体时, 遮光层 218c 可与画素电极 218b 构成储存电容器 Cst。换言之, 位于第二狭缝 S4 下方的遮光层 218c 不但具有遮光的作用, 其亦可用以作为储存电容器 Cst 的下电极, 藉由此设计可以节省该液晶显示面板上的储存电容器所占的面积, 因此, 可进一步提升多域垂直配向液晶显示面板 200' 的开口率 (aperture ratio)。

图 6A 至图 6F 绘示为依照本发明第二实施例薄膜晶体管阵列基板的制作流程图, 而图 6A' 至图 6F' 分别绘示为图 6A 至图 6F 的俯视图。本实施例薄膜晶体管阵列基板的制作流程与第一实施例相似, 惟主要差异在于: 本实施例的遮光层 (下电极) 218c 是与扫描配线 214 以及闸极 G 一并制作。此处, 本实施例仅针对差异之处进行描述如下, 有关于图 6B 至图 6F 以及图 6B' 至图 6F' 便不在重述。

请参照图 6A 与图 6A', 于基板 212 上形成第一导体层 M1, 此第一导体层 M1 包括扫描配线 214、多个与扫描配线 214 连接的闸极 G 以及下电极 218c。接着, 于基板 212 上形成一闸极绝缘层 215, 以覆盖住第一导体层 M1。值得注意的是, 下电极 218c 例如具有多个分支, 此种下电极 218c 的设计有助于增加储存电容值。

第三实施例

图 7 与图 7' 分别绘示为依照本发明第三实施例的多域垂直配向液晶显示面板的剖面图与俯视图。请参照图 7 与图 7', 本实施例的多域垂直配向液晶显示面板 200'' 与第二实施例的多域垂直配向液晶显示面板 200' 类似, 二者的主要差异在于: 本实施例的画素单元 218'' 中除了包括主动元件 218a、画素电极 218b 与遮光层 (下电极) 218c 之外, 亦可进一步包括上电极 218d。上电极 218d 是配置于遮光层 (下电极) 218c 与介电层 219 的第二狭缝 S4 之间, 且上电极 218d 是通过保护层 217 的接触窗 217b 与画素电极 218b 电性连接。于一较佳实施例中, 上电极 218d 的宽度是大于第二狭缝 S4 的宽度, 但并不以此为限。值得注意的是, 遮光层 (下电极) 218c 与上电极 218d

不但可构成储存电容器 C_{st} , 而且可避免第二狭缝 $S4$ 所导致的漏光现象, 进而改善多域垂直配向液晶显示面板 200' 的对比。

图 8A 至图 8F 绘示为依照本发明第三实施例薄膜晶体管阵列基板的制作流程图, 而图 8A' 至图 8F' 分别绘示为图 8A 至图 8F 的俯视图。本实施例
5 薄膜晶体管阵列基板的制作流程与第二实施例相似, 惟主要差异在于: 本实施例的上电极 218d 是与数据配线 216、源极 S 以及汲极 D 一并制作 (如图 8C 与图 8C' 所示)。另外, 为了使上电极 218d 能够与画素电极 218b 电性连接, 本实施例在制作保护层 217 时, 同时形成接触窗 217a 与接触窗 217b (如图 8D 与图 8D' 所示), 以使得上电极 218d 能够藉由接触窗 217b 与画素
10 电极 218b 电性连接。此处, 本实施例仅针对差异之处进行描述如下, 有关于图 6A 至图 6B、图 6A' 至图 6B'、图 6E 至图 6F 以及图 6E' 至图 6F' 便不在重述。

以上所述, 仅是本发明的较佳实施例而已, 并非对本发明作任何形式上的限制, 虽然本发明已以较佳实施例揭露如上, 然而并非用以限定本发
15 明, 任何熟悉本专业的技术人员, 在不脱离本发明技术方案范围内, 当可利用上述揭示的方法及技术内容作出些许的更动或修饰为等同变化的等效实施例, 但是凡是未脱离本发明技术方案的内容, 依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰, 均仍属于本发明技术方案的范围。

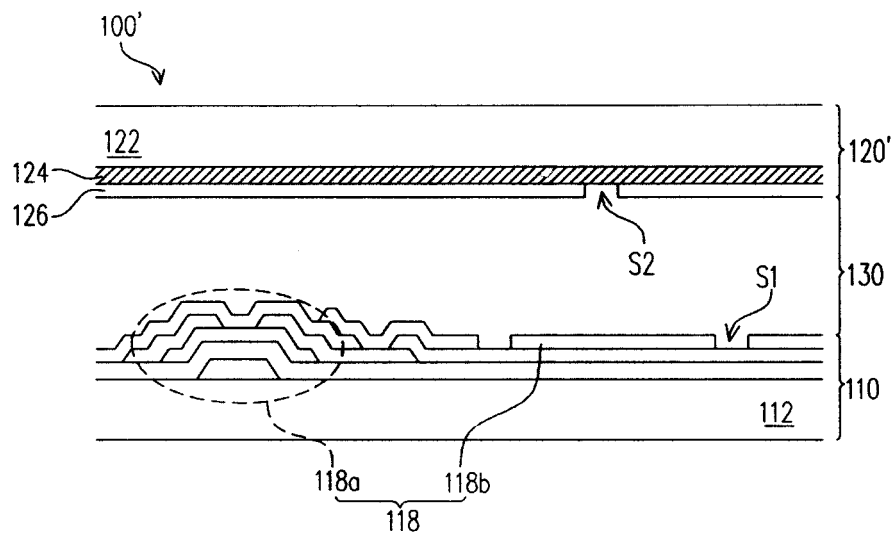


图 2

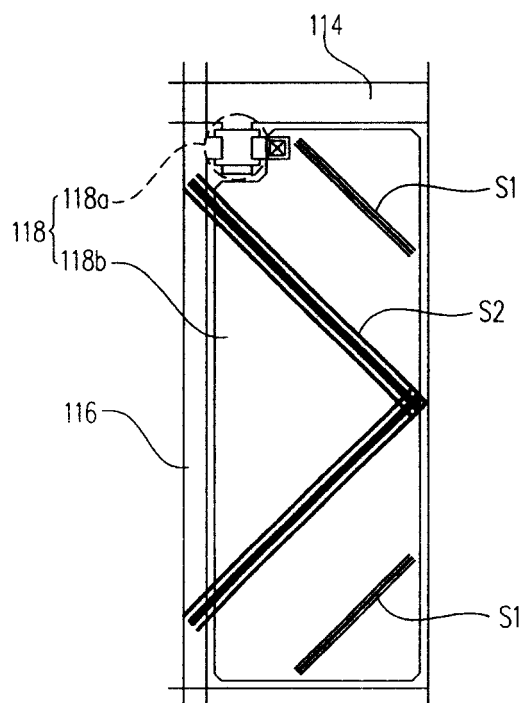


图 2'

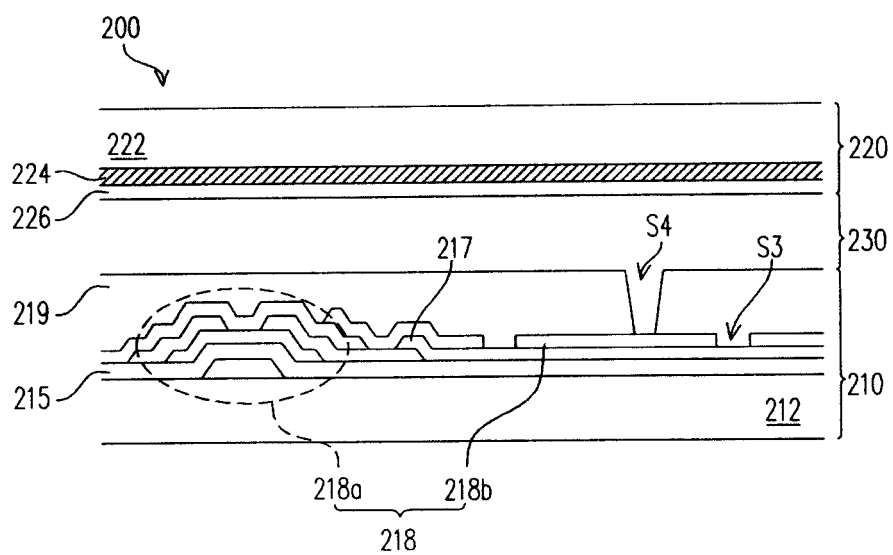


图 3

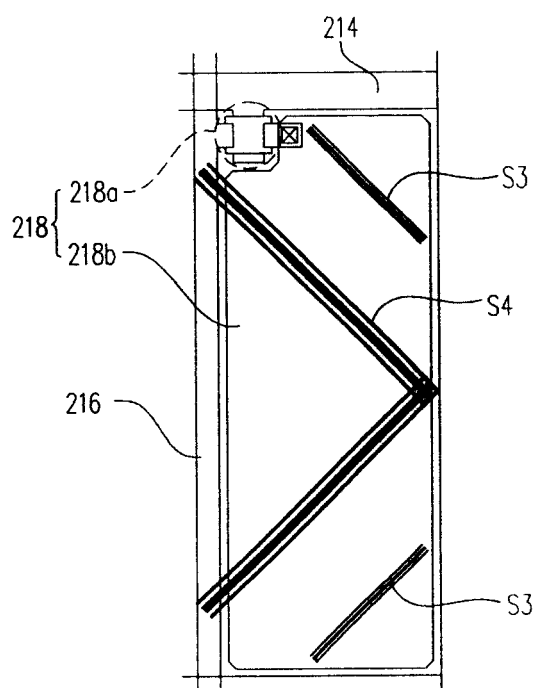


图 3'

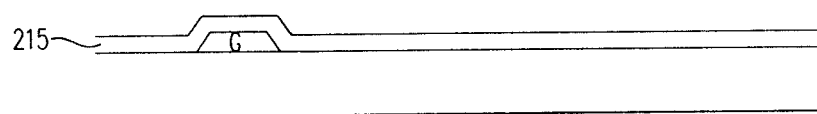


图 4A

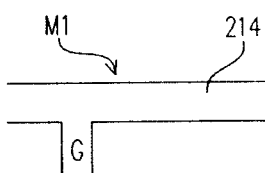


图 4A'

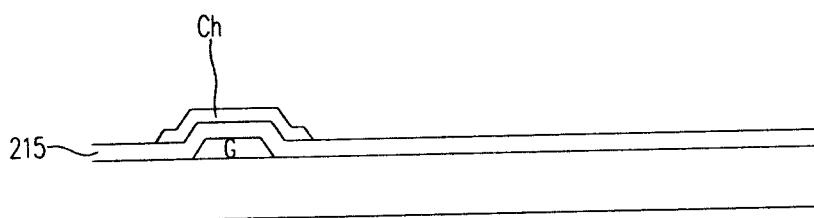


图 4B

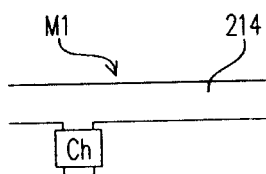


图 4B'

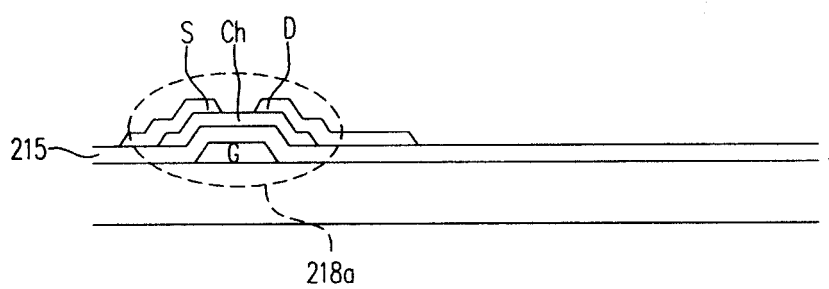


图 4C

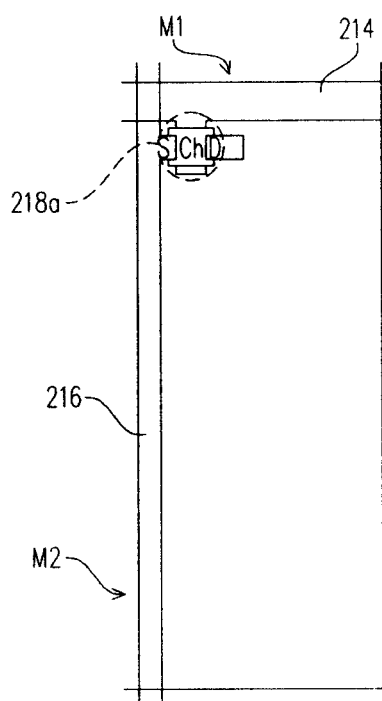


图 4C'

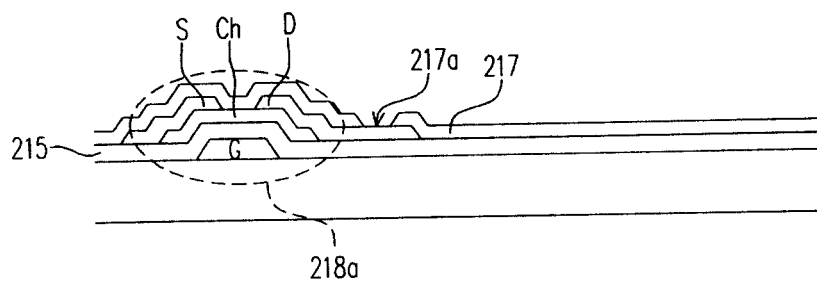


图 4D

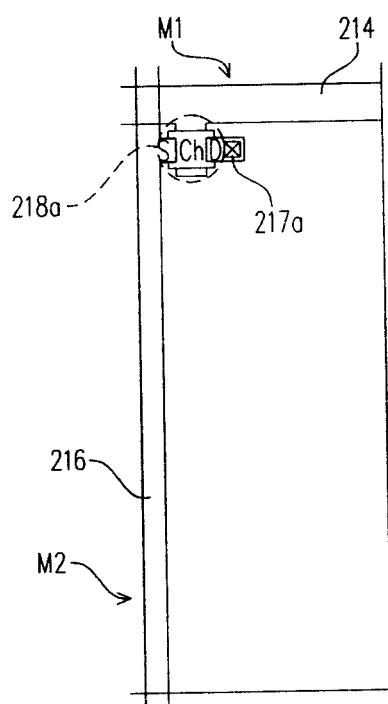


图 4D'

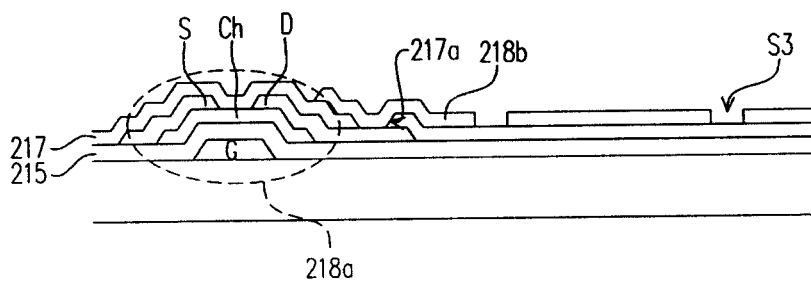


图 4E

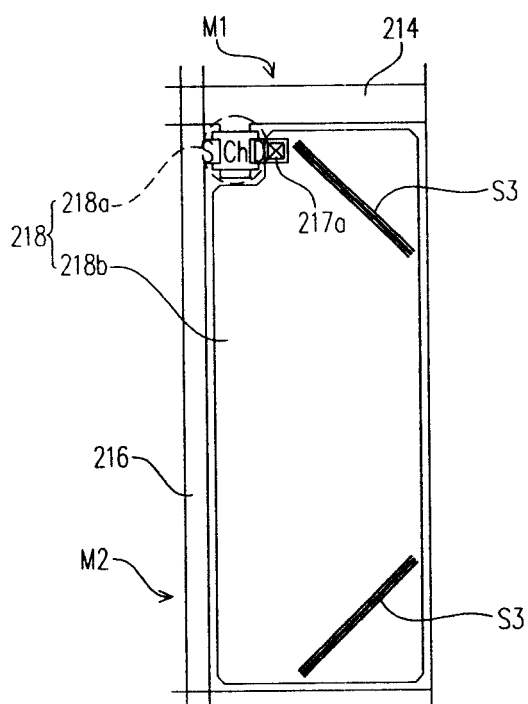


图 4E'

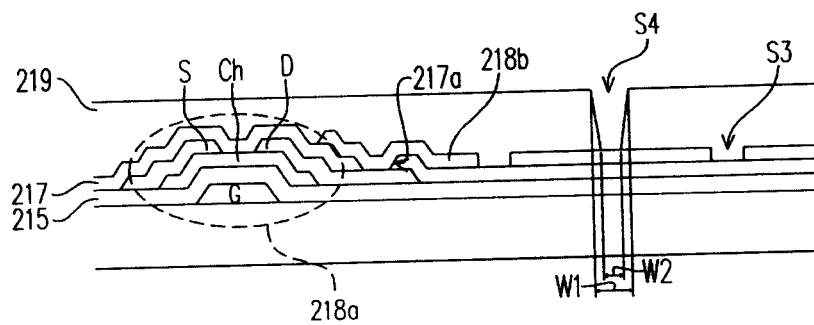


图 4F

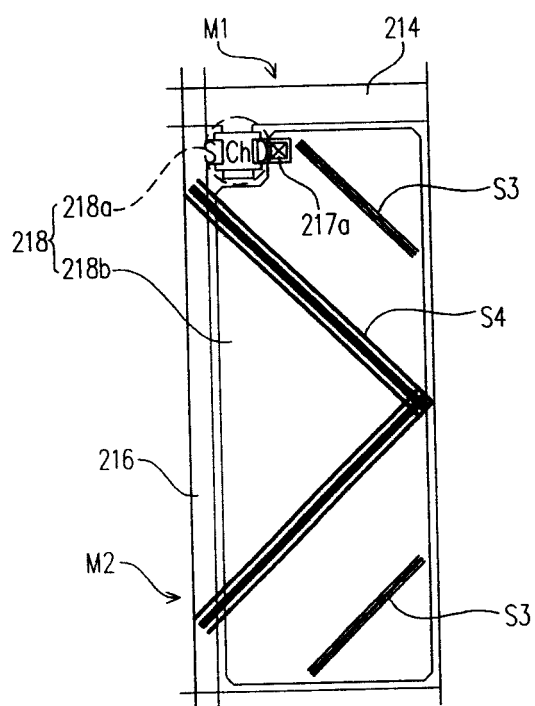


图 4F'

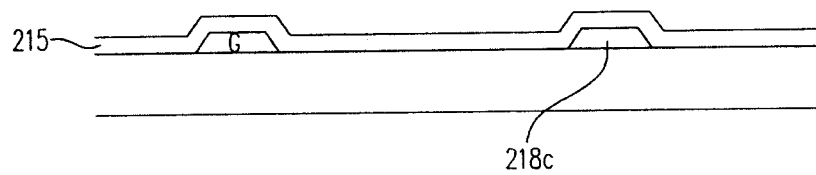


图 6A

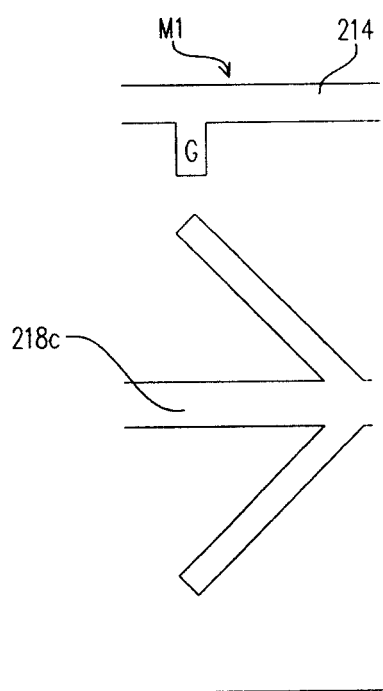


图 6A'

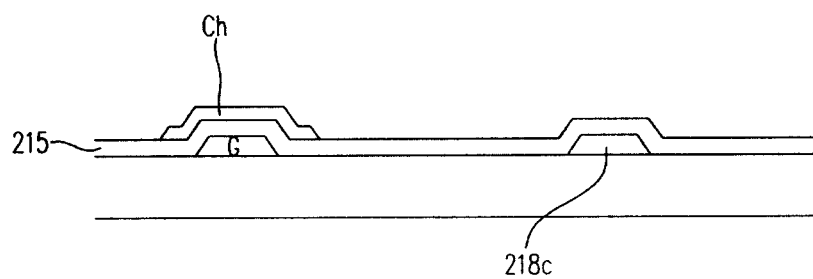


图 6B

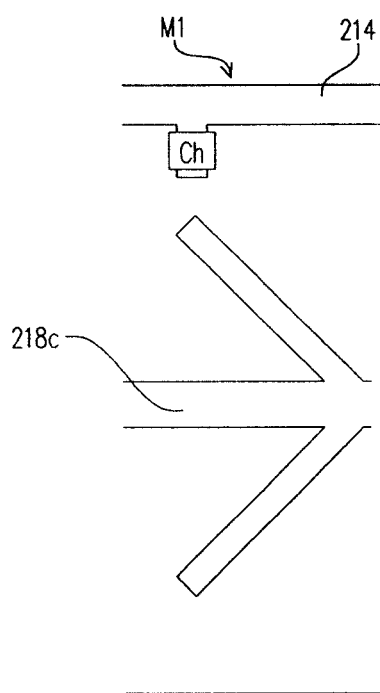


图 6B'

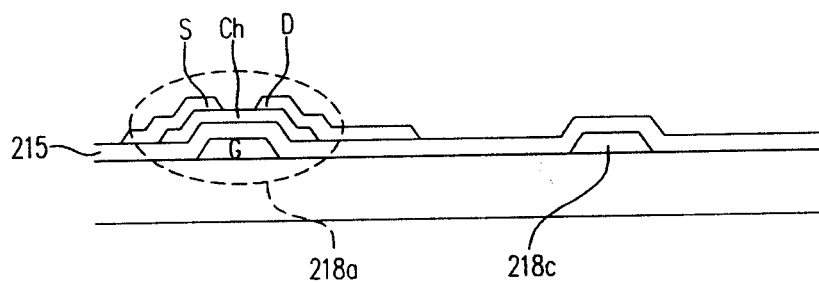


图 6C

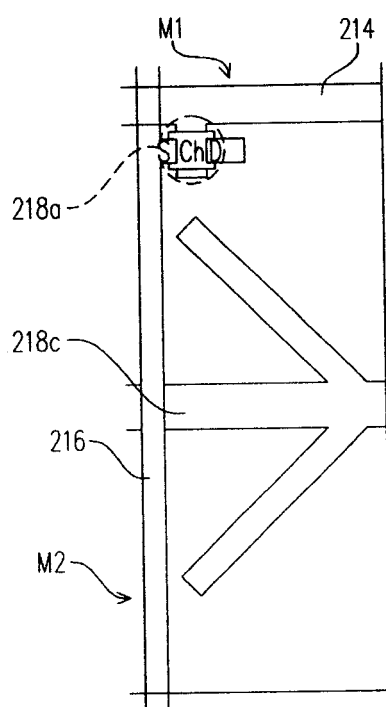


图 6C'

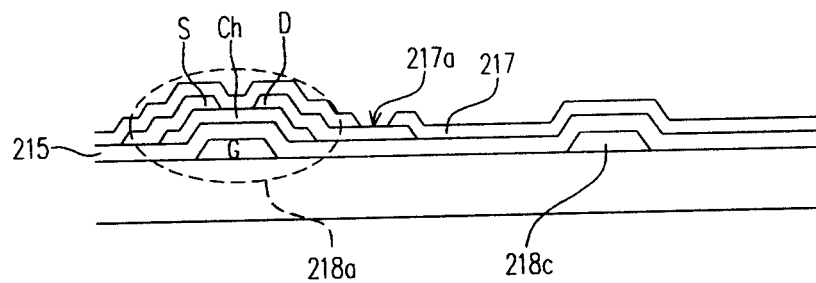


图 6D

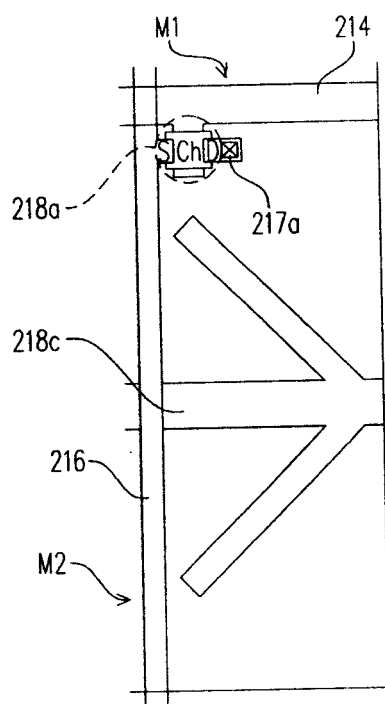


图 6D'

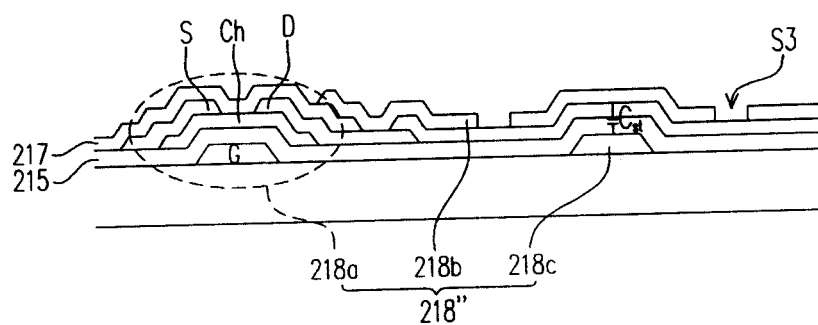


图 6E

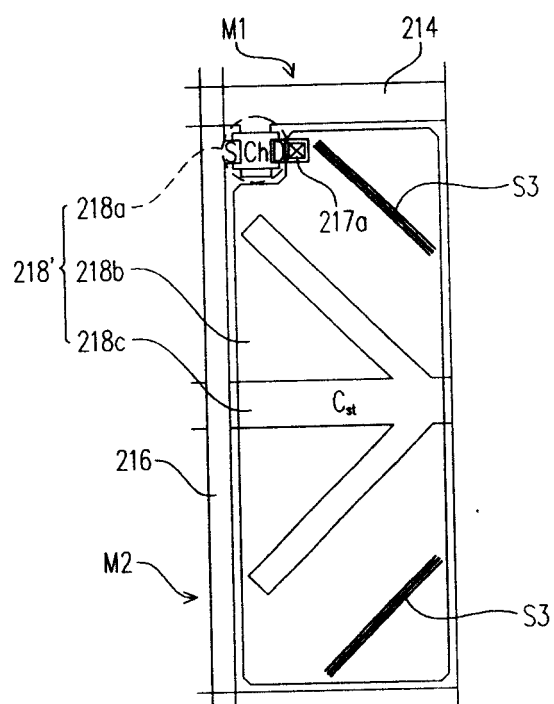


图 6E'

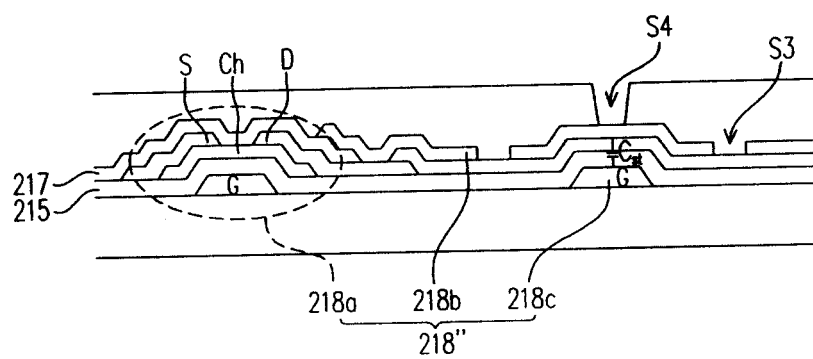


图 6F

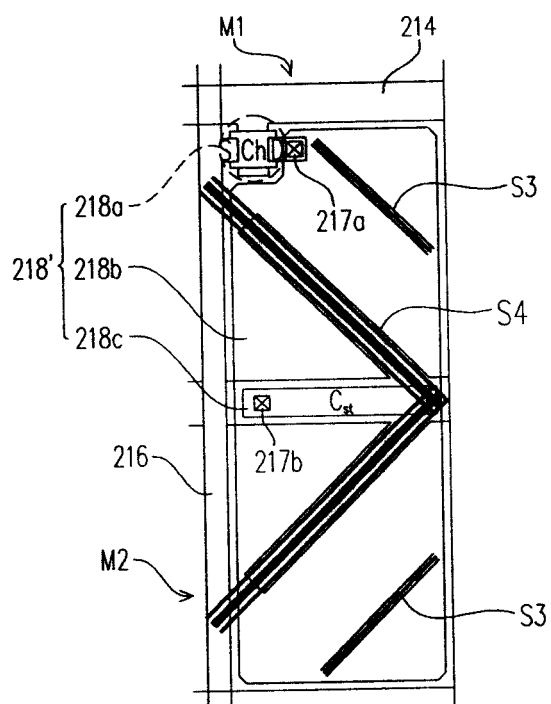


图 6F'

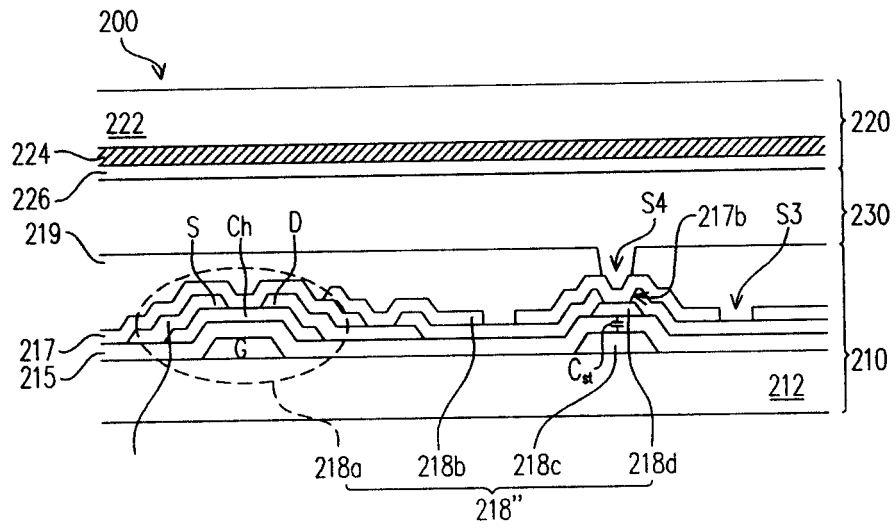


图 7

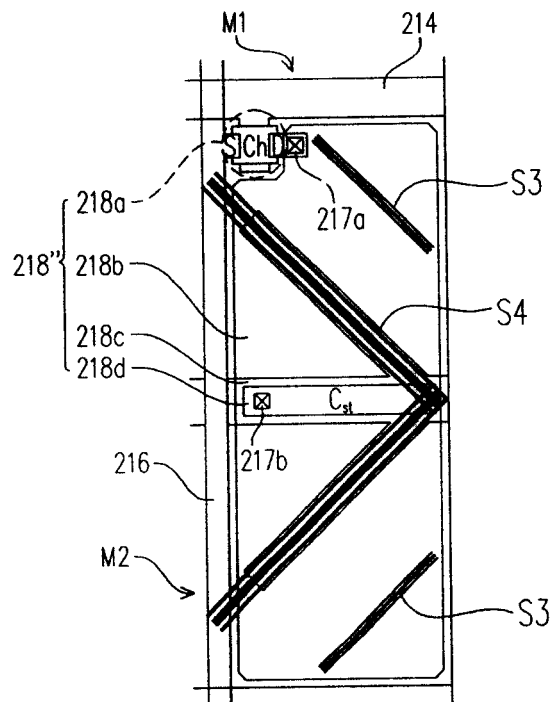


图 7'

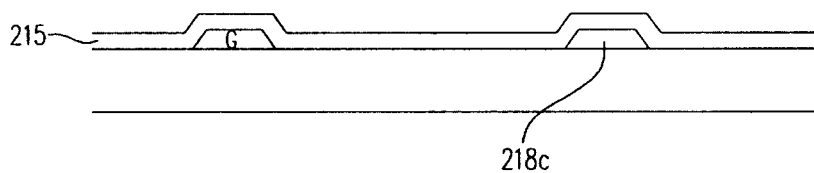


图 8A

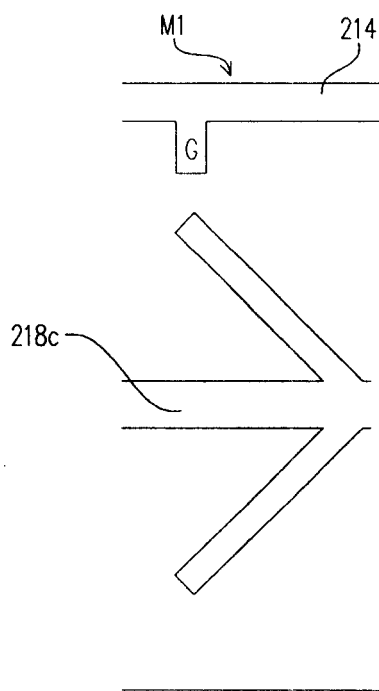


图 8A'

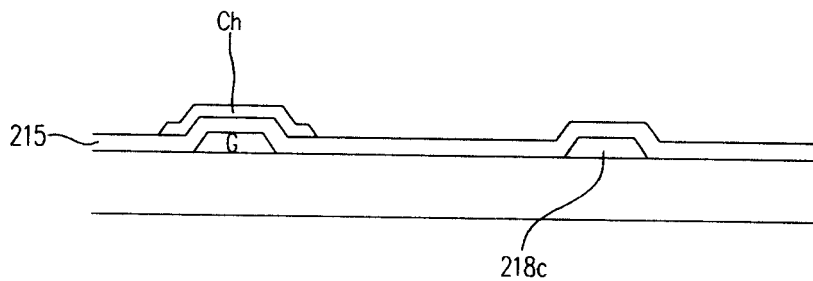


图 8B

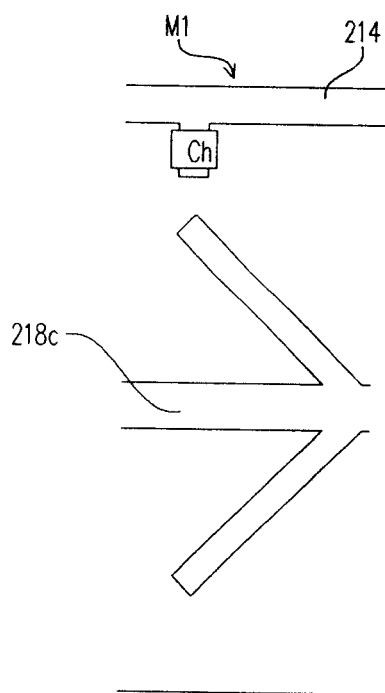


图 8B'

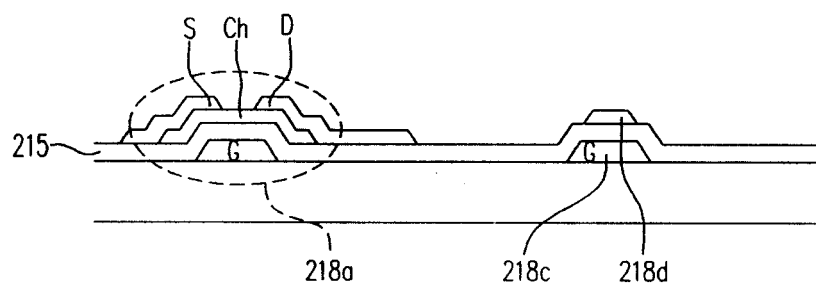


图 8C

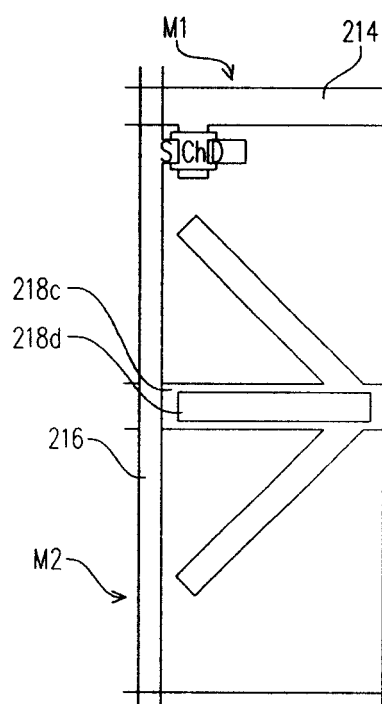


图 8C'

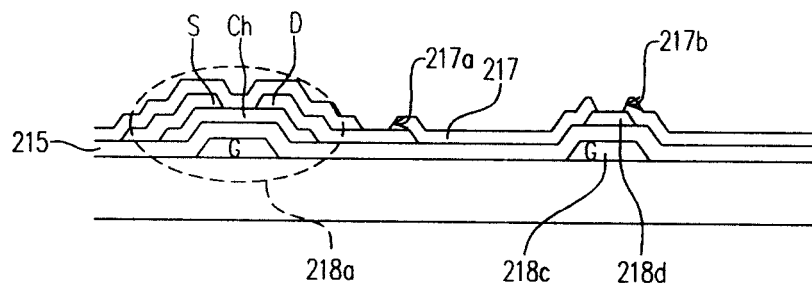


图 8D

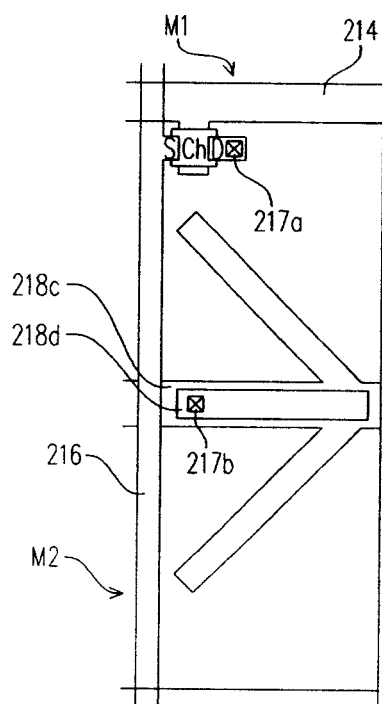


图 8D'

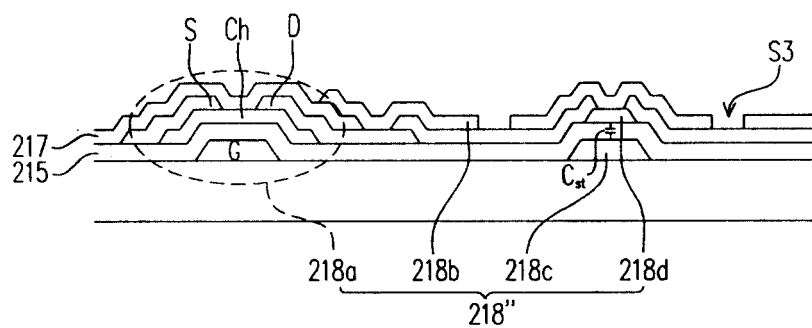


图 8E

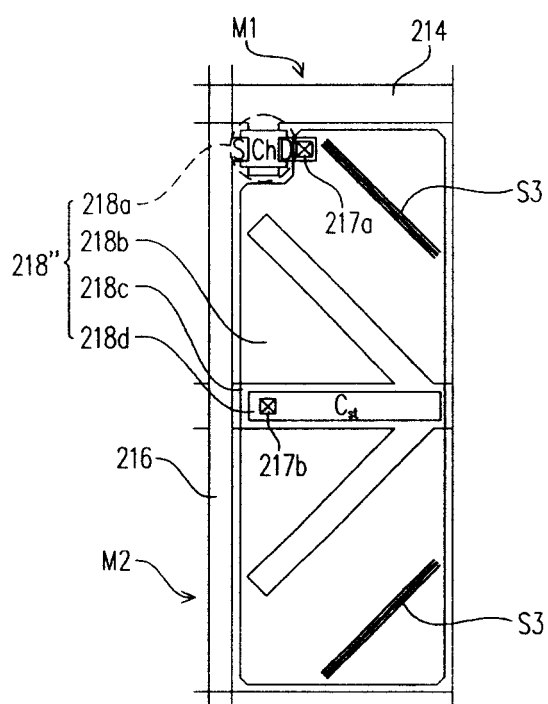


图 8E'

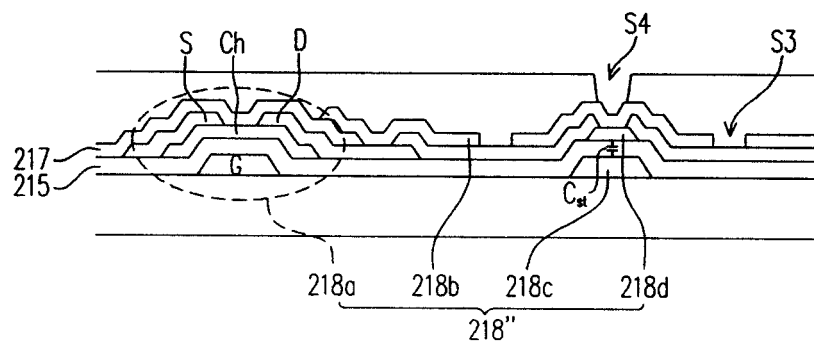


图 8F

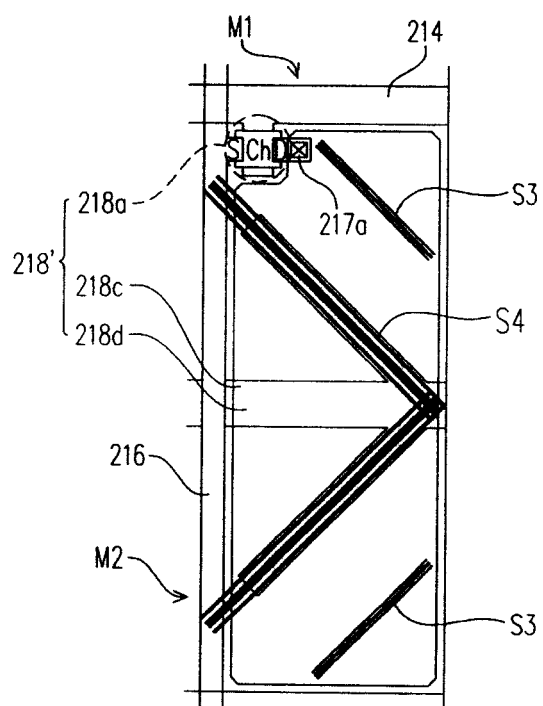


图 8F'

专利名称(译)	液晶显示面板、主动元件阵列基板及其制造方法		
公开(公告)号	CN1687835A	公开(公告)日	2005-10-26
申请号	CN200510071919.0	申请日	2005-05-23
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	吴明洲 潘信桦		
发明人	吴明洲 潘信桦		
IPC分类号	G02F1/136 G02F1/133		
代理人(译)	寿宁 张华辉		
其他公开文献	CN100361014C		
外部链接	Espacenet SIPO		

摘要(译)

本发明关于一种液晶显示面板、主动元件阵列基板及其制造方法。该主动元件阵列基板，其包括基板、配置于基板上的扫描配线、配置于基板上的数据配线、配置于基板上的画素单元以及配置于基板上的介电层。其中，画素单元是与对应的扫描配线与数据配线电性连接，而每一画素单元包括主动元件以及与该主动元件电性连接的画素电极，且每一画素电极具有多个第一狭缝。另外，介电层是覆盖住该第一狭缝，且介电层具有多个第二狭缝，以暴露出每一画素电极的部分区域。

