

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

G02B 5/00 G02F 1/1333

G02F 1/1335



[12] 发明专利申请公开说明书

[21] 申请号 200310123466.2

[43] 公开日 2004年7月14日

[11] 公开号 CN 1512252A

[22] 申请日 2003.12.26

[21] 申请号 200310123466.2

[30] 优先权

[32] 2002.12.27 [33] JP [31] 2002-381669

[32] 2003.10.31 [33] JP [31] 2003-372584

[71] 申请人 夏普株式会社

地址 日本大阪府

[72] 发明人 津幡俊英 大崎守英 武内正典

[74] 专利代理机构 北京纪凯知识产权代理有限公司

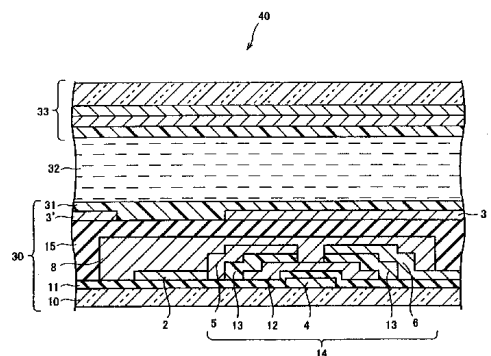
代理人 龙 淳 彭益群

权利要求书4页 说明书22页 附图12页

[54] 发明名称 显示器件基板和具有该基板的液晶显示器件

[57] 摘要

本发明涉及显示器件基板和具有该基板的液晶显示器件，该显示器基板设置成：源极线设置在其上不设置像素电极的区域上，并在源极线和像素电极之间提供间隙，覆盖源极线的表面的黑体(光屏蔽膜)与像素电极叠加。因此，可以防止像素电极和源极线之间的寄生电容(Csd)在显示区内变得不均匀，以便可以减少使用这种显示器件基板的液晶显示器件的显示不均匀性。



ISSN 1008-4274

1、一种显示器件基板，包括：

一个或多个像素电极(3,3')，每个像素电极设置在信号线(2)和扫描线(1)的每个交叠部位，信号线和扫描线设置在绝缘基板(10)上；和

5 叠置在信号线(2)和像素电极(3,3')之间的层间绝缘膜(15, 20)，所述显示器件基板的特征在于：

由相对于绝缘基板(10)的表面的垂直方向看，信号线(2)设置在其上没有设置像素电极(3,3')的区域上，并且在信号线(2)和像素电极(3,3')之间设置间隙(x,x')。

10

2、根据权利要求 1 的显示器件基板，其特征在于由相对于绝缘基板(10)的表面的垂直方向看，(i)信号线(2)的表面和(ii)信号线(2)和像素电极(3,3')之间的间隙(x,x')被光屏蔽膜(8)覆盖。

15 3、根据权利要求 2 的显示器件基板，其特征在于光屏蔽膜(8)由具有绝缘性能的树脂构成。

4、根据权利要求 1 的显示器件基板，其特征在于包括：

设置在信号线(2)和扫描线(1)的每个交叠部位的有源元件(14)；

20 光屏蔽膜(8)，它设置成至少覆盖信号线(2)、有源元件(14)、和扫描线(1)当中的信号线(2)的表面，其中

由相对于绝缘基板(10)的表面的垂直方向看，在互相相邻且信号线(2)置于其间的像素电极(3,3')之间的间隙(x,x')被光屏蔽膜(8)覆盖。

25 5、根据权利要求 4 的显示器件基板，其特征在于光屏蔽膜(8)由具有绝缘性能的树脂制成。

6、根据权利要求 1 的显示器件基板，其特征在于包括：

设置在信号线(2)和扫描线(1)的每个交叠部位的有源元件(14)；

30 光屏蔽膜(8)，它设置成至少覆盖信号线(2)、有源元件(14)、和扫描

线(1)当中的信号线(2)的表面，其中

由相对于绝缘基板(10)的表面的垂直方向看，(i)覆盖信号线(2)膜的表面的光屏蔽膜和(ii)像素电极(3,3')互相叠加。

5 7、根据权利要求6的显示器件基板，其特征在于光屏蔽膜(8)由具有绝缘性能的树脂制成。

8、根据权利要求1的显示器件基板，其特征在于包括：

设置在信号线(2)和扫描线(1)的每个交叠部位的有源元件(14)；

10 接触孔(9)，用于允许有源元件(14)和像素电极(3,3')互相接触；和光屏蔽膜(8)，它设置成覆盖有源元件(14)、信号线(2)和扫描线(1)的表面，其中

由相对于绝缘基板(10)的表面的垂直方向看，(i)覆盖信号线(2)膜的表面的光屏蔽膜和(ii)像素电极(3,3')互相叠加。

15

9、根据权利要求8的显示器件基板，其特征在于光屏蔽膜(8)由具有绝缘性能的树脂制成。

10、根据权利要求1的显示器件基板，其特征在于包括：

20 设置在信号线(2)和扫描线(1)的每个交叠部位的有源元件(14)；接触孔(9)，用于允许有源元件(14)和像素电极(3,3')互相接触；和光屏蔽膜(8)，它设置成至少覆盖信号线(2)、有源元件(14)和扫描线(1)当中的信号线(2)的表面，其中：

层间绝缘膜(15，20)是由两层或多层构成的叠置体，和

25 光屏蔽膜(8)叠置在构成层间绝缘层(15，20)的最上层(15)和最下层(20)之间，和

由相对于绝缘基板(10)的表面的垂直方向看，在互相相邻且信号线(2)置于其间的像素电极(3,3')之间的间隙(x,x')被光屏蔽膜(8)覆盖。

30 11、根据权利要求10的显示器件基板，其特征在于光屏蔽膜(8)由具有绝缘性能的树脂制成。

12、根据权利要求 10 的显示器件基板，其特征在于光屏蔽膜(8)由金属制成。

5 13、根据权利要求 1 的显示器件基板，其特征在于包括：
设置在信号线(2)和扫描线(1)的每个交叠部位的有源元件(14)；
接触孔(9)，用于允许有源元件(14)和像素电极(3,3')互相接触；和
光屏蔽膜(8)，它设置成至少覆盖信号线(2)、有源元件(14)和扫描线
(1)当中的信号线(2)的表面，其中：

10 层间绝缘膜(15, 20)是由两层或多层构成的叠置体，和
光屏蔽膜(8)叠置在构成层间绝缘层(15, 20)的最上层(15)和最下层
(20)之间，和

由相对于绝缘基板(10)的表面的垂直方向看，(i)覆盖信号线(2)膜的
表面的光屏蔽膜和(ii)像素电极(3,3')互相叠加。

15

14、根据权利要求 13 的显示器件基板，其特征在于光屏蔽膜(8)由具有绝缘性能的树脂制成。

20 15、根据权利要求 13 的显示器件基板，其特征在于光屏蔽膜(8)由
金属制成。

25 16、根据权利要求 1 的显示器件基板，其特征在于包括：
设置在信号线(2)和扫描线(1)的每个交叠部位的有源元件(14)；
接触孔(9)，用于允许有源元件(14)和像素电极(3,3')互相接触；和
光屏蔽膜(8)，它设置成覆盖有源元件(14)、信号线(2)和扫描线(1)
的表面，其中：

层间绝缘膜(15, 20)是由两层或多层构成的叠置体，和
光屏蔽膜(8)叠置在构成层间绝缘层(15, 20)的最上层(15)和最下层
(20)之间，和

30 由相对于绝缘基板(10)的表面的垂直方向看，(i)覆盖信号线(2)膜的
表面的光屏蔽膜和(ii)像素电极(3,3')互相叠加。

17、根据权利要求 16 的显示器件基板，其特征在于光屏蔽膜(8)由具有绝缘性能的树脂制成。

5 18、根据权利要求 16 的显示器件基板，其特征在于光屏蔽膜(8)由金属制成。

19、根据权利要求 1 的显示器件基板，其特征在于间隙(x,x')设定为不小于 $1\mu\text{m}$ 到不大于 $20\mu\text{m}$ 的范围内。

10

20、一种液晶显示器件，其特征在于包括前述权利要求 1—19 中任一项所述的显示器件基板。

15

显示器件基板和具有该基板的液晶显示器件

发明领域

- 5 本发明涉及能提高显示器件的显示质量的显示器件基板以及具有显示器件基板的液晶显示器件。

发明背景

10 现在，液晶显示器件具有如小尺寸、厚度薄、低功耗以及重量轻等特性，并且广泛用于各种电子器件中。特别是，具有开关元件作为有源元件的有源矩阵型液晶显示器件（液晶面板）可以实现与CRT相同的显示性能，使得它广泛地用于OA器件如个人计算机、AV器件如电视机、移动电话等。此外，近年来，液晶显示器件已经被做得更大、更精细，并且已经大大提高了其质量如有效像素面积比（孔径比）。

15 在像素电极和源极线（信号线）形成在有源矩阵型基板的同一表面上的这种技术中，像素和源极总线（以下简称为源极线）之间的距离缩短了，并且源极线做得更精细，以便增加有效像素面积，由此使器件更精细并且提高孔径比。

20 但是，当缩短像素和源极线之间的距离时，容易发生短路。此外，当源极线做得更精细时，容易发生连接故障。就是说，在像素电极和源极线形成在有源矩阵基板的同一表面中的这种技术中，短路和连接故障将使其产量下降。

然后，为了防止短路和连接故障，以使产量不下降，有人提出制造有源矩阵基板的以下方法（a）-（c）：

- 25 （a）形成有源元件和源极线之后，提供透明层间绝缘膜。
（b）经过接触孔使有源元件和透明像素电极互相接触。
（c）在透明层间绝缘膜上形成像素电极，以便源极线和像素电极分别位于不同平面上。

30 此外，滤色器基板与用前述方式制造的有源矩阵基板组合，以便滤色器基板面对有源矩阵基板，并且将液晶注入到基板之间的间隙中，

由此获得液晶显示器件。这里，滤色器基板的例子包括具有 R（红）、G（绿）和 B（蓝）区域的彩色基板，以便这些区域对应有源矩阵基板的一侧上的像素区，其中黑体(black matrix)（光屏蔽膜）设置在像素区以外的区域上。

- 5 在使用前述滤色器的液晶显示器件的制造方法中，形成黑体（以下按要求称为“BM”）的精度对孔径比有影响。通过相加以下精度可以计算形成 BM 的精度：(i) 组合有源矩阵基板与滤色器基板的精度；(ii) 形成 BM 的预定宽度。为了解决该问题，日本未审专利公报 No.170957/1998（特开平 10-170957）（公开日期：1998 年 6 月 26 日）
10 和日本未审专利公报 No.33816/2001（特开 2001-33816）（公开日期：2001 年 2 月 9 日）介绍了这样一种技术：用自对准方式在有源矩阵基板的一侧上形成 BM，以便提高孔径比。

下面将解释有源矩阵基板的具体例子，在该基板上以自对准方式形成 BM，参见图 12 和图 13。

- 15 图 12 是表示常规有源矩阵基板（薄膜晶体管阵列）的像素和与该像素相邻的一部分像素的平面图。如图 12 所示，在常规有源矩阵基板的像素中栅极总线（扫描线：以下称为栅极线）101 和源极总线（信号线：以下称为源极线）102 互相交叠设置。在交叠区域中，设置像素电极 103。

- 20 在栅极线 101 上，提供栅极 104。在源极线 102 上设置源极 105。此外，像素电极 103 连接到漏极 106。此外，具有与像素电极 103 相同功能的像素电极 103' 设置在与具有像素电极 103 的像素相邻的像素上。源极线 102 设置在像素电极 103 和像素电极 103' 之间。

- 25 漏极 106 经过接触孔 109 连接到像素电极 103。同样，辅助电容器总线（以下称为辅助电容器线）107 经过接触孔 109' 连接到像素电极 103。

接着，下面参照图 12 和图 13 简要解释制造源矩阵基板的方法，特别是制造薄膜晶体管阵列的方法。注意到，图 13 是沿着图 12 中所示的薄膜晶体管阵列的 A-A' 线截取的剖面图。

- 30 首先，根据相同工艺在基板 110 上形成栅极线 101、栅极 104 和辅助电容器线 107，该基板 110 是由玻璃等制成的透明绝缘基板。接着，

在其上形成栅极绝缘膜 111。

之后，形成有源元件 114 如薄膜晶体管 (TFT)。在图 12 和图 13 中，首先，形成有源半导体层 112。接着，形成非晶硅（例如 n 型非晶硅）层 113。此外，形成源极线 102 源极 105 和漏极 106（源极线 102 和源极 105 是根据相同工艺形成的）。

接着，形成由绝缘层图形构成的 BM，以便覆盖有源元件 114（除了接触孔 109 和其周边部分之外）、源极线 102 和栅极线 101、以及辅助电容器线 107（除了接触孔 109' 和其周边部分之外）。

用自对准方式将黑体 108 设置在像素电极以外的部件的区域上。通过露基板 110 的背面侧，用自对准方式形成 BM 108，以便对应栅极线 101、源极线 102、有源元件 114 和辅助电容器线 107。

之后，形成层间绝缘膜 115 以覆盖整个表面。然后，形成接触孔 109 和接触孔 109'。接着，形成像素电极 103 和 103' 以便涂覆接触孔 109 和 109'。注意到，接触孔 109 使有源元件的漏极 106 和像素电极 103 互相连接。此外，接触孔 109' 使用于产生辅助电容的辅助电容器线 107 和像素电极 103 互相连接。

根据该制造方法，在有源矩阵基板中，可以将源极线 102 与像素电极 103 隔开，其中层间绝缘膜 115 置于其间。

通过分开源极线与像素电极，可以使像素电极（103/103'）和源极线 102 互相重叠，如图 13 所示。在常规技术中，通过以下方式提高液晶显示器件的孔径比：(i) 使像素电极和源极线互相叠加和 (ii) 用自对准方式形成最小 BM 图形。

下面参照图 13 介绍像素电极和源极线如何互相叠加。图 12 和图 13 中所示的 (z) 和 (z') 各表示源极线 102 和像素电极 103 或 103' 重叠的部分的距离。此外，在图 13 中，z 是 z1 和 z2 之间的距离。同样，z' 是 z1' 和 z2' 之间的距离。

z1 表示设置源极线 102 的端部的位置，并且是从源极线 102 的端部垂直于源极线 102 的表面延伸的线。同样，z1' 表示设置源极线 102 的端部的位置，并且是从源极线 102 的端部垂直于源极线 102 的表面延伸的线。注意到，z1 是与目标像素相邻的像素电极（103'）附近的端部。z1' 是目标像素的像素电极（103）附近的端部。

z_2 表示位于像素电极 103' 的端部的位置，并且是从像素电极 103' 的端部垂直于像素电极 103' 的表面延伸的线。同样， z_2' 表示设置像素电极 103 的端部的位置，并且是像素电极 103 的端部垂直于像素电极 103 的表面延伸的线。

- 5 但是，根据该基板的制造方法，在像素区内像素电极和源极线之间的寄生电容 (Csd) 改变。这个变化引起保存在每个像素的液晶电容器中的电荷产生面内差 (in-plane difference)。面内差引起液晶显示器件的显示不均匀。

10 这个问题是由以下条件产生的：在光刻工艺中产生的曝光精度的不均匀性，和该不均匀性使源极线图形和像素电极图形之间的位置关系在显示区内改变。在制造有源矩阵基板时，在光刻工艺中发光部和非发光部之间的对准精度一般约为 $\pm 0.3\mu\text{m}$ 。

发明内容

- 15 本发明的目的是提供一种显示器件基板，可以减少显示器件、特别是液晶显示器件的显示不均匀性。

20 为了实现前述目的，根据本发明的显示器件基板包括：一个或多个像素电极，每个像素电极设置在信号线和扫描线的每个交叠部位，信号线和扫描线设置在绝缘基板上；和叠置在信号线和像素电极之间的层间绝缘膜，其中由相对于绝缘基板的表面的垂直方向看，信号线设置在其上没有设置像素电极的区域上，并且在信号线和像素电极之间设置间隙。

25 根据该设置，由相对于绝缘基板的表面的垂直方向看，在信号线(源极线)和像素电极之间提供间隙。当按照这种方式在信号线(源极线)和像素电极之间提供间隙时，减小了与显示器件的显示不均匀性相关的值 ($\Delta\Delta\beta$)。当 $\Delta\Delta\beta$ 减小时，也减小了像素电位有效值 (Vd) 的差。结果是，可以减小显示器件的显示不均匀性。

此外，本发明的液晶显示器件包括根据本发明的显示器件基板。

- 30 根据该设置，在本发明的液晶显示器件中设置的显示器件基板如下：由相对于绝缘基板的表面的垂直方向看，信号线设置在其上不设置像素电极的区域上，并且在信号线和像素电极之间提供间隙。通过

这种方式，在信号线和像素电极之间提供间隙，以便减小与显示器件的显示不均匀性相关的值 ($\Delta\Delta\beta$)，并减小像素电位有效值 (V_d) 的差。这样，根据该设置，可以提供能够减小显示器件的显示不均匀性的液晶显示器件。

- 5 为了更全面地理解本发明的特征和优点，下面参照附图进行详细说明。

附图简要说明

图 1 是表示本发明的液晶显示器件的实施方式的剖面图。

- 10 图 2 是表示显示器件基板的实施方式的平面图。

图 3 是沿着图 2 中所示显示器件基板的 B-B' 线截取的剖面图。

图 4 是表示本发明的显示器件基板的另一实施方式的剖面图。

图 5 是从像素电极到源极线的距离和显示器件基板中的 $\Delta\Delta\beta$ 值之间的关系的关系的曲线。

- 15 图 6 是表示本发明的例子的有源矩阵型液晶显示器件的简单等效电路图。

图 7 是表示像素和源极线之间的关系的示意图，该图用于表示本发明的例子中 $\Delta\Delta\beta$ 和 V_d 差之间的关系。

- 20 图 8 是表示在水平 $2H$ 周期执行的 DOT 反向驱动中的各种波形的示意图，该图用于表示本发明的例子中的 V_d 的近似表示。

图 9 是更详细地表示图 8 的源电压的相位的例子的示意图。

图 10 是表示图 8 的 V_d 的波形 (像素 1A) 的示意图。

图 11 是表示图 8 的 V_d 的波形 (像素 2A) 的示意图。

图 12 表示常规显示器件基板的平面图。

- 25 图 13 是表示常规显示器件基板的剖面图。

实施方式的说明

[实施方式 1]

下面将参照图 1-3 介绍本发明的一种实施方式。

- 30 注意，本发明将作为显示器件基板的具体例子介绍用于液晶显示器件的有源矩阵基板。

图 1 是表示本发明的液晶显示器件的例子的剖面图。液晶显示器件 40 包括有源矩阵基板 30 和对置基板(counter substrate)33, 液晶层 32 置于这些基板之间。注意到, 液晶层 32 被对置基板 33 的对准膜和有源矩阵基板 30 的对准膜 31 夹住。

5 图 2 是表示 (i) 本发明的有源矩阵基板 30 (显示器件基板) 的单像素和 (ii) 与该单像素相邻的像素的一部分。如图 2 所示, 源极线(信号线) 2 栅极线(扫描线) 1 和像素电极 3 叠置在绝缘基板 10 上。栅极线 1 和源极线 2 设置成以便互相交叠。此外, 像素电极 3 设置在栅极线 2 和源极线 2 互相交叠的每个交叠部位。注意到, 在图 2 中绝缘
10 基板 10 设置在最背面一侧, 并如图 3 的剖面图所示那样设置。

栅极线 1 具有栅极 4。源极线 2 具有源极 5。此外, 像素电极 3 连接到漏极 6。此外, 具有与像素电极 3 相同功能的像素电极 3' 设置在与具有像素电极 3 的像素相邻的像素上。源极线 2 设置在像素电极 3 和像素电极 3' 之间。

15 漏极 6 通过接触孔 9 连接到像素电极 3。同样, 辅助电容器总线(以下称为辅助电容器线) 7 经过接触孔 9' 连接到像素电极 3。

如图 2 所示, 设置黑体(以下称为 BM)(光屏蔽膜) 8, 以便覆盖有源元件 14、栅极线 1 和源极线 2。此外, 图 2 显示: 由相对于绝缘基板 10 的表面的垂直方向, 覆盖源极线 2 的 BM 8 与像素电极 3 叠加。
20 同样, 像素电极 3' 和 BM 8 互相叠加。也就是说, 覆盖特殊像素区内的信号线的表面的 BM 8 和与该特殊像素相邻设置的像素电极 3' 互相叠加, 其中信号线置于 BM 8 和特殊像素之间。在图 2 中, 由 y 示出了像素电极 3' 和 BM 8 互相叠加的部分的宽度(距离)。

此外, 如图 2 所示, 当由相对于绝缘基板 10 的表面的垂直方向看,
25 源极线设置在没有像素电极的区域中, 即, 像素电极 3 和像素电极 3' 之间的区域中。此外, 在源极线 2 和像素电极 3' 之间设置间隙(x')。同样, 由相对于绝缘基板 10 的表面的垂直方向看, 在源极线 2 和像素电极 3 之间设置间隙(x')。

注意到, “由相对于绝缘基板 10 的表面的垂直方向看” 指的是 “由
30 在绝缘基板 10 的表面上设置的目标物体的垂直投射”。更具体地说, “由...看(in view of)” 是通过将从目标物体垂直延伸的线的端部连接到

绝缘基板 10 的表面获得的。

例如，“像素电极 3’ 和 BM 8 互相叠加”指的是 (i) 设置在绝缘基板 10 的表面上像素电极 3’ 的垂直投射和 (ii) 设置在绝缘基板 10 的表面上并互相叠加的 BM 8 的垂直投射。此外，在源极线 2 和像素电极 3’ 之间提供的间隙 (x) 是设置在 (i) 在绝缘基板 10 的表面上设置的源极线 2 的垂直投射和 (ii) 在绝缘基板 10 的表面上设置的像素电极 3’ 的垂直投射之间的间隙。

此外，“在源极线 2 和像素电极 3 或 3’ 之间设置间隙(x’· x)”意味着液晶层 32 具有不从像素电极 3 或 3’ 给其施加电压的区域，当给像素电极 3 和 3’ 施加电压时，该区域指的是像素电极和信号线之间的区域。

接着，下面简要介绍如何控制电流和电压。当选择栅极线 1 时，对栅极 4 施加电压。施加于栅极 4 的电压控制源极 5 和漏极 6 之间流动的电流。即，在从源极线 2 传输的信号基础上，电流从源极 5 经过漏极 6 流到像素电极 3，以便像素电极 3 进行预定显示。附加地提供辅助电容器线 7，以便保持预定显示。

接着，参照图 2 和 3 介绍制造有源矩阵基板 30 的工艺。注意到，图 3 是沿着图 2 的线 B-B’ 截取的剖面图。

首先，根据相同工艺，将栅极线 1、栅极 4、和辅助电容器线 7 形成在由透明绝缘体构成的绝缘基板 10 上，其中透明绝缘体由玻璃等构成。接着，栅极绝缘膜 11 形成在其表面上。接着，形成有源元件 14 如薄膜晶体管 (TFT)、源极线 2 和源极 5。源极线 2 和源极 5 是根据相同工艺形成的。

注意到，图 2 和图 3 中所示的有源元件 14 如下形成。首先，形成有源半导体层 12。接着，形成非晶硅 (例如 n 型非晶硅) 层 13。此外，形成源极线 2、源极 5 和漏极 6 (源极线 2 和源极 5 是根据相同工艺形成的)。

然后，在形成有源元件 14、源极线 2 和源极 5 之后，形成 BM (BM 图形) 8。BM 8 可以通过使用由树脂构成的绝缘层图形形成，该绝缘层图形例如具有光屏蔽特性。作为用于 BM 的材料例子，可以在干膜叠置工艺基础上使用光敏树脂材料，其中碳分散在该材料中。

形成 BM 8 的工艺如下。首先，在基板的表面上叠置具有黑色树脂膜的干膜，并通过剥离覆盖膜转录黑色树脂膜。接着，通过使用图形掩模进行曝光、显影和后烘焙，以便覆盖漏极 6、源极 5、有源元件 14、源极线 2、栅极线 1 和辅助电容器线 7，以便像素电极 3 和像素电极 3' 以二维方式（叠加部分由图 3 中的“y”示出）互相叠加，由此形成 BM 8（BM 图形）。注意，如图 2 和 3 所示，在接触孔 9 和 9' 以及其周边部分上不形成 BM 8。

接着，形成层间绝缘膜 15，以便覆盖具有 BM 8 的绝缘基板 10 的整个表面。作为用于层间绝缘膜 15 的材料例子，可以使用负性光敏透明树脂。负性光敏透明树脂的特定例子包括丙烯酸树脂、环氧树脂、聚氨基甲酸酯树脂和聚酰亚胺树脂。然而，用于层间绝缘膜 15 的材料不限于树脂，可以在 CVD（化学汽相淀积）工艺基础上使用如 SiN_x 膜（氮化硅膜）的材料，这将产生希望的介电常数和透射性。

接着，形成接触孔 9，该接触孔将 (i) 有源元件 14 的漏极 6 和 (ii) 像素电极互相连接，并且形成接触孔 9'，该接触孔 9' 接触用于给像素电极 3 产生辅助电容的辅助电容器线 7。之后，形成透明像素电极，以便涂覆接触孔 9 和 9'。接着，对透明像素电极进行构图，以便提供远离源极线 2 的两维距离 x ，由此获得像素电极 3 和 3'。

在本实施方式中，铝 (Al) 用做栅极线 1 和源极线 2 的材料。但是，只要获得所希望的线电阻，可以使用任何金属作为栅极线 1 和源极线 2 的材料。例如，还可以使用金属如钽 (Ta)、钛 (Ti)、铬 (Cr) 等及其合金作为栅极线 1 和源极线 2 的材料。此外，还可以使用其中叠置 TaN/Ta/TaN 和 Ti/Al/Ti 等的膜作为栅极线 1 和源极线 2 的材料。此外，不仅可以使一般金属膜而且还可以使用例如透明导电膜如 ITO（氧化铟锡）作为源极线 2 的材料。

此外，在本实施方式中，非晶硅薄膜晶体管用做有源元件（开关元件）14。但是，作为开关元件，通过相同的方式，可以使用微晶硅薄膜晶体管、多晶硅薄膜晶体管、CGC（连续晶粒晶体硅）薄膜晶体管、MIM（金属绝缘体金属）等。

作为 BM 8 的树脂层，使用碳分散在其中的转移膜型光敏树脂材料，该材料具有 3.0 的 OD 值和 $2.5 \mu\text{m}$ 的膜厚。但是，该材料不限于这种

树脂材料，还可以使用能产生所希望的 OD 值、圆锥形状和介电常数的其它材料。作为 BM 8 的材料，例如可以使用颜料分散型黑色抗蚀剂等。注意到，OD 是“光学密度”的缩写。此外，OD 值表示材料的透射率。此外，材料的 OD 值越大，透射率越小。

5 此外，ITO 用做像素电极 3 和 3'，但是还可以使用透明像素电极如 IZO（氧化铟锌）作为像素电极 3 和 3'。

此外，在本实施方式中，提供 BM 8，以便覆盖漏极 6、源极 5、有源元件 14、源极线 2、栅极线 1 和辅助电容器线 7，并且与像素电极 3 和 3' 叠加，但是这种设置不限于此。BM 8 可设置成至少覆盖源极线 2 的表面。在这种情况下，优选如下设置 BM 8：如图 2 所示，由相对于绝缘基板 10 的表面的垂直方向看，在源极线 2 和每个像素电极 3 和 3' 之间提供间隙，并且 BM 8 覆盖相互相邻的像素电极 3 和 3' 之间的间隙，即互相相邻且源极线 2 置于其间的像素电极 3 和 3' 之间的间隙，并且覆盖源极线 2 的表面的 BM 8 与像素电极 3 和 3' 叠加（但是，
10 可以如此设置，使得它们不互相叠加）。

在 BM 8 和像素电极 3 和 3' 互相叠加的情况下，即使在通过使用光刻等构图 BM 8 时，在对准中发生偏离时，可以防止光泄漏而不发生故障。

即，可以如此设置：在漏极 6、源极 5、有源元件 14、源极线 2、栅极线 1 和辅助电容器线 7 当中，BM 8 至少覆盖源极线 2 的表面，以便可以抑制、优选防止光泄漏。注意，还可以如此设置：提供 BM 8，以便至少覆盖源极线 2 的表面，但是优选提供 BM 8，以便还覆盖有源元件 14 的表面，并且还优选提供还覆盖栅极线 1 的表面的 BM 8。
20

接着，参照图 3 介绍图 2 中示出的叠加部分的宽度 y 、间隙 x 和 x' 。图 3 中所示的 $x1'$ 是从像素电极 3 的一端（位于形成源极 5 和源极线 2 的一侧上的端部）垂直延伸到绝缘基板 10 的表面的直线。 $x2'$ 是从绝缘源极线 2 的端部（位于有源元件（开关元件）14 一侧上的端部）垂直延伸到绝缘基板 10 的表面的直线。 x' 是两个线 $x1'$ 和 $x2'$ 之间的距离（最短距离）。就是说，这示出了：在源极线 2 的端部（位于有源元件（开关元件）14 的一侧上的端部）和像素电极 3（位于形成源极 5 和源极线 2 的一侧上的端部）的端部之间，即像素电极的垂直投
30

影和源极线 2 的垂直投影之间提供间隙 x' 。换言之， x' 等于 (i) 具有像素电极 3 的端面（位于形成源极 5 和源极线 2 的一侧上的端面）并垂直于绝缘基板 10 的表面的垂直平面，和 (ii) 具有源极线 2 的端面（位于有源元件（开关元件）14 一侧上的端面）并垂直于绝缘基板 10 的表面的垂直平面之间的距离。

此外，图 3 中所示的 x_1 是从像素电极 3' 的端部（位于形成源极线一侧上，即与像素电极 3 的端部相对设置的端部）垂直延伸到绝缘基板 10 的表面的直线。 x_2 是从源极线 2 的另一端部（位于像素电极 3' 一侧上的另一端部）垂直延伸到绝缘基板 10 的表面的直线。此外， x 是两个线 x_1 和 x_2 之间的距离（最短距离）。就是说，这表示：在 (i) 与像素电极 3 相邻且源极线 2 置于其间的像素电极 3' 和 (ii) 源极线 2 之间，即源极线 2 的垂直投影和像素电极 3 的垂直投影之间提供间隙 x 。换言之， x 等于 (i) 具有像素电极 3' 的端面（位于源极线一侧上即与像素电极 3 的端面相对设置的端面）并垂直于绝缘基板 10 的表面的垂直平面，和 (ii) 具有源极线 2 的端面（位于像素电极 3' 一侧上的端面）并垂直于绝缘基板 10 的表面的垂直平面之间的距离。

x 和 x' 越大，降低显示不均匀性越有效。希望设置 x 和 x' 的值，优选不小于 $1\mu\text{m}$ ，更优选不小于 $5\mu\text{m}$ ，仍然优选不小于 $10\mu\text{m}$ ，特别优选不小于 $15\mu\text{m}$ ，以便通过降低与显示器件的显示不均匀性相关的值 ($\Delta\Delta\beta$) 来降低显示器件的显示不均匀性。

换言之，希望设置 x 和 x' 的值，以便值 $\Delta\Delta\beta$ 优选不大于 0.08，更优选不大于 0.04，仍然优选不大于 0.01。

但是，当 x 和 x' 超过 $10\mu\text{m}$ 、特别是 $15\mu\text{m}$ 时，值 $\Delta\Delta\beta$ 在它饱和时充分降低，以便不能获得对应 x 和 x' 的增加的 $\Delta\Delta\beta$ 降低效果。同时，随着 x 和 x' 变大，孔径比下降。然后，关于 x 和 x' ，前述值设置为下限，其上限设置在优选 $20\mu\text{m}$ 、更优选 $15\mu\text{m}$ 的范围内，具体而言， x 和 x' 设置在不小于 $1\mu\text{m}$ 和不大于例如 $20\mu\text{m}$ 的范围内，以便可以防止孔径比下降，同时充分改进显示器件的显示不均匀性。

图 3 中所示的 y_1 是从 (i) 位于像素电极 3' 一侧上的 BM 8 的端部垂直延伸到 (ii) 绝缘基板 10 的表面的直线。图 3 表示与像素电极 3' 交叉的直线 y_1 。即，像素电极 3' 和 BM 8 互相叠加。此外，图 3 中所

示的直线 y_2 (与 X_1 相同) 与从像素电极 $3'$ 的端部垂直延伸到绝缘基板 10 的表面的直线。此外, y 等于两条线 y_1 和 y_2 之间的距离 (最短距离)。换言之, y 等于 (i) 具有 BM 8 的端面以便位于像素电极 $3'$ 的一侧上并垂直于绝缘基板 10 的表面的垂直平面, 和 (ii) 具有像素电极 $3'$ 的端面 (位于源极线的一侧上即与像素电极 3 的端面相对设置的端面) 并垂直于绝缘基板 10 的表面的垂直平面之间的距离。就是说, y 表示某个像素的 BM 8 和与该像素相邻的像素电极 $3'$ 叠加的叠加部分的宽度。

考虑到在形成 BM 8 时光刻步骤中的对准精度, 优选设置 y 不小于 $0.6\ \mu\text{m}$ 。为了抑制孔径比下降, 优选设置 y 为不大于 $5\ \mu\text{m}$ 。 y 的值可设置在不小于 $0.6\ \mu\text{m}$ 和不大于 $5\ \mu\text{m}$ 的范围内, 以便可以用 BM 8 覆盖该间隙而不出现故障, 同时即使在光刻步骤中发生对准偏离时也能保持足够的孔径比。

如上所述, 本实施方式的有源矩阵基板即显示器件基板设置成使得像素电极 3 设置在不同于具有源极线 2 的表面的表面上。由相对于绝缘基板 10 的表面的垂直方向看, 源极线 2 设置在没有像素电极 3 的区域上, 并在源极线 2 和像素电极 3 之间提供间隙。根据这种布置, 可以防止在像素电极 3 和源极线 2 之间的寄生电容 (C_{sd}) 在显示区中不均匀。这样, 在有源矩阵基板 30 用在液晶显示器件 40 中的情况下, 可以减少显示不均匀性。

此外, 在本实施方式中, BM 8 设置在有源矩阵基板 30 一侧上, 以便提高孔径比。但是, 还可以在与有源矩阵基板相对设置的对置基板 33 上提供 BM 8, 其中液晶层 32 置于对置基板 33 和有源矩阵基板之间。BM 8 设置在有源矩阵基板 30 上, 以便可以改进由显示区中的不均匀寄生电容器 (C_{sd}) 产生的显示不均匀性, 由此提高产量。请注意, BM 8 设置在有源矩阵基板 30 的一侧上, 以便可以改进显示不均匀性和产量, 并且可以提高如上所述的孔径比。注意, 任一基板可具有 BM 8, 或者可以设置成使得一个基板具有 BM 8, 而与该一个基板相对的另一一个基板也具有 BM 8。

此外, 本实施方式主要解释了其中 BM 8 设置在有源矩阵基板 30 上的布置, 但是根据本发明的显示器件基板不限于此。像素电极设置

在不同于具有信号线的表面的表面上，并由相对于绝缘基板的表面的垂直方向看，信号线设置在无像素电极的区域上，并在信号线和像素电极之间提供间隙。只要通过这种方式设置显示器件基板，可以设置成不提供 BM。就是说，根据本发明，由相对于绝缘基板的表面的垂直方向看，在信号线和像素电极之间提供间隙，以便与显示不均匀性相关的值 $\Delta\Delta\beta$ 边小，由此减小像素电位有效值 (V_d) 的差。结果是，可以减少显示器件的显示不均匀性。

一般情况下，通过根据施加于像素电极的信号（电压）控制液晶，使液晶显示器件显示预定图像。这样，电压不施加于无像素电极的区域，具体而言，由相对于绝缘基板的表面的垂直方向看，电压不施加于位于信号线和像素电极之间的间隙中的液晶层，因此有时难以按照所希望的方式进行控制。这样，在正常白色模式的显示器件中，其中在不施加电压时该白色模式将引起光透射，在施加电压时白色模式将使光被屏蔽，存在这样的可能性：当像素显示黑色状态时，在像素电极和信号线之间产生白色状态，因此显示图像的对比度下降。

但是，在正常黑色模式的显示器件中，其中在施加电压时该黑色模式将引起光透射，在位于信号线和像素电极之间的间隙中的液晶层中连续显示黑色状态，因此显示图像的对比度不会下降。这样，在显示器件基板用做正常黑色模式的显示器件基板时，不必在互相相邻且信号线置于其间的像素电极之间的间隙上提供光屏蔽膜。

同时，在显示器件基板用做正常白色模式的显示器件基板时，由相对于绝缘基板的表面的垂直方向看，优选光屏蔽膜覆盖信号线的表面以及信号线和像素电极之间的间隙，即互相相邻且信号线置于其间的像素电极之间的间隙。这样，可以防止显示图像的对比度下降。此外，可以增加在像素显示白色状态时由显示器件执行写操作的响应速度。这是因为位于间隙中且响应速度很慢的一部分被隐藏。因此，不用说，根据本实施方式的具有光屏蔽膜的显示器件基板，具体而言是根据本实施方式的有源矩阵基板 30 可优选用在正常黑色模式的显示器件中，并且可以优选在正常白色模式的显示器件中使用显示器件基板（有源矩阵基板 30）。

注意，在根据本实施方式的具有光屏蔽膜的显示器件基板用在正常

黑色模式的显示器中的情况下，当像素显示黑色状态时，位于间隙内且响应速度很慢的黑色部分被光屏蔽膜隐藏，因此可以提高由显示器件执行写操作的响应速度。

需要指出的是，关于根据本实施方式的显示器件，通过使用普通手段，例如通过确定 (i) 偏振板的方向和 (ii) 液晶材料，或者用类似的方式可以最佳化显示器件，以便对应上述模式（正常白色模式，正常黑色模式）。

此外，本实施方式作为显示器件基板的特殊例子解释了用于液晶显示器件的有源矩阵基板，但是本发明不限于此。显示器件基板可用做用于液晶显示器件以外的显示器件的显示器件基板。

[实施方式 2]

下面将参照图 2-4 介绍本发明的一个实施方式。注意，为了便于说明，相同标记表示的部件具有与实施方式 1 的附图中所示的部件相同的功能，并省略其说明。此外，实施方式中所述的各个特性可以与本实施方式中所述的特性组合。

实施方式 2 参照图 2 和图 4 描述了一种有源矩阵基板 30，它具有由两层或多层层间绝缘膜构成的叠置体。注意，该平面图（图 2）示出了与实施方式 1 相同的设置。图 4 是沿着图 2 中所示的线 B-B' 截取的剖面图。

下面将介绍包括两层或多层层间绝缘膜的有源矩阵基板 30 的制造方法。

首先，根据相同工艺在由绝缘体构成的基板 10 上形成栅极线 1、栅极 4、和辅助电容器线 7，其中所述绝缘体由玻璃等构成。接着，在其表面上形成栅极绝缘膜 11。

然后，形成有源元件 14 如薄膜晶体管（TFT）、源极线 2 和源极 5。源极线 2 和源极 5 是根据相同工艺形成的。

应指出，图 2 和图 4 中所示的有源元件 14 是如下形成的。首先，形成有源半导体层 12。接着，形成非晶硅（例如 n 型非晶硅）层 13。此外，形成源极线 2、源极 5 和漏极 6（源极线 2 和漏极 6 是根据相同工艺形成的）。

接着, 根据 CVD 工艺形成第二层间绝缘膜 20, 并相对于第二层间绝缘膜 20 进行构图。在第二层间绝缘膜 20 上, 形成将有源元件 14 的漏极 6 连接到像素电极 3 的接触孔 9, 并且形成将用于产生辅助电容的辅助电容器线 7 连接到像素电极 3 的接触孔 9'。

5 接着, 形成 BM 8。在本实施方式中, 钽 (Ta) 用做 BM 8 的材料。具体而言, 首先, 通过使用溅射装置形成 Ta 膜。接着, 对 Ta 膜进行构图, 以便覆盖有源元件 14、源极线 2、栅极线 1 和辅助电容器线 7, 并且以二维方式与像素电极 3 和 3' 叠加, 由此获得 BM 8。注意, 构图是通过使用图形掩模进行的光刻构图。注意, 如图 2 和 4 所示, BM
10 8 不形成在接触孔 9 和 9' 以及其周边部分上。

之后, 形成层间绝缘膜 15, 以便利用负性光敏透明树脂覆盖具有 BM 8 的绝缘基板 10 的整个表面。接着, 在层间绝缘膜 15 上形成接触孔 9 和 9'。然后, 形成透明像素电极, 以便涂覆接触孔 9 和 9'。接着, 对透明像素电极进行构图, 由此获得像素电极 3 和 3'。由于该构图,
15 可以在源极线 2 和每个像素电极 3 和 3' 之间获得二维距离。

在本实施方式中, 如图 4 所示, 叠置两层 (层间绝缘膜 15 和第二层间绝缘膜 20) 层间绝缘膜。也就是说, 作为由两层或多层构成的叠置体, 提供层间绝缘膜。

此外, 负性光敏透明树脂用做层间绝缘膜 15, 但是该布置不限于此。
20 可以使用其它材料, 如基于 CVD 工艺的 SiN_x 膜 (氮化硅膜), 该材料例如可以实现所希望的介电常数和透射率。此外, 基于 CVD 工艺的 SiN_x 膜用做第二层间绝缘膜 20, 但是也可以使用其它负性光敏透明树脂。光敏透明树脂的例子包括丙烯酸树脂、环氧树脂、聚氨基甲酸酯树脂、聚酰亚胺树脂等。

25 此外, 在构成该层间绝缘膜的最上层 (层间绝缘膜 15) 和构成该层间绝缘膜的最下层 (层间绝缘膜 20) 之间叠置 BM 8 (光屏蔽膜)。在本实施方式中, 使用金属形成 BM 8。具体而言, 使用根据溅射形成的 Ta 形成 BM 8。然而, 用于 BM 8 的材料不限于 Ta。在本例中作为用于 BM 8 的材料, 可以使用 Ta 以外的材料, 例如, 可以使用如 Cr (铬)、
30 在实施方式 1 中用于 BM 的材料等。如上所述, BM (光屏蔽膜) 8 叠置在构成该层间绝缘膜的最上层 (层间绝缘膜 15) 和构成该层间绝

缘膜的最下层（层间绝缘膜 20）之间，即，BM 8 经过层间绝缘膜叠置，因此在形成 BM 8 时可以使用金属或具有绝缘性能的树脂。这样，不必使用特殊材料（绝缘材料）。

注意，在本例中，与在实施方式 1 中一样，希望如下设置图 4 中所示的 x 和 x' 值：它的下限优选为 $1\mu\text{m}$ ，更优选为 $5\mu\text{m}$ ，仍然优选为 $10\mu\text{m}$ ，特别优选为 $15\mu\text{m}$ ，它的上限优选为 $20\mu\text{m}$ ，更优选在 $15\mu\text{m}$ 的范围内。希望设置 y 在不小于 $0.6\mu\text{m}$ 到不大于 $5\mu\text{m}$ 的范围内，其中 y 表示某个像素的 BM 8 和与该像素相邻的像素电极 3' 叠加的叠加部分的宽度。

此外，在本实施方式中，不必说，根据本实施方式的具有光屏蔽膜的显示器件基板、具体地说为根据本实施方式的有源矩阵基板 30 可以优选用在正常黑色模式的显示器件中，并且优选在正常白色模式的显示器件中使用该显示器件基板（有源矩阵基板 30）。

如上所述，本发明的显示器基板包括：一个或多个像素电极，每个像素电极设置在信号线和扫描线的每个交叠部位上，其中信号线和扫描线设置在绝缘基板上；和叠置在信号线和像素电极之间的层间绝缘膜，并且由相对于绝缘基板的表面的垂直方向看，信号线设置在不设置像素电极的区域上，并在信号线和像素电极之间提供间隙。

如上所述，本发明的显示器件基板如此设置，使得在信号线和像素电极之间提供间隙。这样，减小了与显示器件的显示不均匀性相关的值 $\Delta\Delta\beta$ 。当减小 $\Delta\Delta\beta$ 时，像素电位有效值 (V_d) 的差也减小。结果是，可以减少显示器件的显示不均匀性。

此外，本发明的显示器基板设置成：由相对于绝缘基板的表面的垂直方向看，光屏蔽膜覆盖信号线（源极线）的表面以及信号线和像素电极之间的间隙。这样，除了前述效果之外，当本基板用在显示器件中以便防止光泄漏时，可以呈现更高的显示性能。

此外，本发明的显示基板还包括：设置在信号线和扫描线的每个交叠部位的有源元件；至少覆盖信号线、有源元件和扫描线当中的信号线的表面的光屏蔽膜，其中由相对于绝缘基板的表面的垂直方向看，在互相相邻且信号线位于其间的像素电极之间的间隙被光屏蔽膜覆盖。

根据这种布置，当该基板用在显示器件中以至于防止光泄漏时，可以呈现更高的显示性能。

此外，还可以设置成使得本发明的显示器件基板包括：设置在信号线和扫描线的每个交叠部位的有源元件；至少覆盖信号线、有源元件和扫描线当中的信号线的表面的光屏蔽膜，其中由相对于绝缘基板的表面的垂直方向看，(i) 覆盖信号线的表面的光屏蔽膜和 (ii) 像素电极相互叠加。

根据该布置，当本基板用在显示器件中以便防止光泄漏时，可以呈现更高的显示性能。特别是，根据该布置，光屏蔽膜和像素电极互相叠加，当在基于光刻步骤等的构图中发生对准偏离时，可以防止光泄漏而不会出现故障。

此外，还可以设置本发明的显示器件基板，以便包括：设置在信号线和扫描的每个交叠部位上的有源元件；用于允许有源元件和像素电极互相接触的接触孔；和光屏蔽膜，它设置成以便覆盖有源元件、信号线和扫描线的表面，其中由相对于绝缘基板的表面的垂直方向看，(i) 覆盖信号线的表面的光屏蔽膜和 (ii) 像素电极相互叠加。

根据该布置，当本基板用在显示器件中以便防止光泄漏时，可以呈现更高的显示性能。特别是，根据该布置，光屏蔽膜和像素电极互相叠加，当在基于光刻步骤等的构图中发生对准偏离时，可以防止光泄漏而不会出现故障。

此外，根据该布置，有源元件和像素电极通过接触孔可以互相接触，并且像素电极设置在层间绝缘膜上，以便可以将信号线（源极线）与像素电极分开，使得它们不位于相同面上。结果是，除了前述效果之外，可以防止像素电极和信号线（源极线）之间的短路和连接故障，由此防止产量下降。

此外，可以如此设置：本发明的显示基板还包括：设置在信号线和扫描线的每个交叠部位的有源元件；用于允许有源元件和像素电极互相接触的接触孔；和覆盖有源元件、信号线和扫描线的表面的光屏蔽膜，其中：层间绝缘膜是由两层或多层构成的叠置体，光屏蔽膜叠置在构成层间绝缘膜的最上层和最下层之间，并且由相对于绝缘基板的表面的垂直方向看，在互相相邻且信号线位于其间的像素电极之间的

间隙被光屏蔽膜覆盖。

根据该布置，叠置在信号线和像素电极之间的层间绝缘膜是由两层或多层构成的叠置体。此外，光屏蔽膜叠置在构成层间绝缘膜的最上层和最下层之间。结果是，不必使用特殊材料形成光屏蔽膜。这样，
5 根据该布置，除了前述效果之外，不仅可以使用具有光屏蔽性能和绝缘性能的树脂还可以使用例如金属作为光屏蔽膜的材料。

此外，可以如此设置：本发明的显示器件基板还包括：设置在信号线（源极线）和扫描线（栅极线）的每个交叠部位的有源元件；设置成至少覆盖信号线、有源元件和扫描线当中的信号线的表面的光屏蔽
10 膜，其中层间绝缘膜是由两层或多层构成的叠置体，光屏蔽膜叠置在构成层间绝缘膜的最上层和最下层之间，并由相对于绝缘基板的表面的垂直方向看，(i) 覆盖信号线的表面的光屏蔽膜和 (ii) 像素电极相互叠加。

根据该布置，叠置在信号线和像素电极之间的层间绝缘膜是由两层或多层构成的叠置体。此外，光屏蔽膜叠置在构成层间绝缘膜的最上层和最下层之间。结果是，不必使用特殊材料形成光屏蔽膜。这样，
15 根据该布置，除了前述效果之外，不仅可以使用具有光屏蔽性能和绝缘性能的树脂还可以使用例如金属作为光屏蔽膜的材料。

此外，可以设置本发明的显示器件基板，以便包括：设置在信号线
20 （源极线）和扫描线（栅极线）的每个交叠部位的有源元件；用于允许有源元件和像素电极彼此接触的接触孔；和设置成覆盖有源元件、信号线和扫描线的表面的光屏蔽膜，其中：层间绝缘膜是由两层或多层构成的叠置体，光屏蔽膜叠置在构成层间绝缘膜的最上层和最下层之间，并由相对于绝缘基板的表面的垂直方向看，(i) 覆盖信号线的表
25 面的光屏蔽膜和 (ii) 像素电极相互叠加。

根据该布置，叠置在信号线和像素电极之间的层间绝缘膜是由两层或多层构成的叠置体。此外，光屏蔽膜叠置在构成层间绝缘膜的最上层和最下层之间。结果是，不必使用特殊材料形成光屏蔽膜。这样，
根据该布置，除了前述效果之外，不仅可以使用具有光屏蔽性能和绝缘性能的树脂还可以使用例如金属作为光屏蔽膜的材料。
30

此外，还优选设置本发明的显示器件基板，以便光屏蔽膜由具有绝

缘性能的树脂构成。

根据该布置，可以相对容易地形成光屏蔽膜。这样，除了前述效果之外，可以通过使用例如基于干膜叠置工艺并在其中分散了碳的光敏树脂材料形成光屏蔽膜。

5 此外，优选设置本发明的显示器件基板，使得光屏蔽膜由金属构成。根据该布置，很容易形成有效地屏蔽光的光屏蔽膜。

此外，如上所述，本发明的显示器件基板设置成：当间隙在不小于 $1\mu\text{m}$ 到不大于 $20\mu\text{m}$ 的范围内时，随着它的饱和可以充分地减小值 $\Delta\Delta\beta$ 。这样，间隙设置在前述范围内，以便可以防止孔径比下降，同时充分改进显示器件的显示不均匀性。

还可以如此设置使得本发明的显示器件基板包括：设置在信号线和扫描线的每个交叠部位的有源元件；用于允许有源元件和像素电极彼此接触的接触孔；和叠置在构成层间绝缘膜的最上层和最下层之间的光屏蔽膜，以便覆盖信号线的表面，其中：一个或多个接触孔的每个设置在信号线和光屏蔽膜之间的层间绝缘膜上，并且金属光屏蔽膜经过接触孔连接到信号线。

此外，可以设置本发明的液晶显示器件，以便包括本发明的显示器件基板。

根据该布置，在本发明的液晶显示器件中提供的显示器件基板是这样的：由相对于绝缘基板的表面的垂直方向看，信号线设置在不提供像素电极的区域上，并且在信号线和像素电极之间提供间隙。通过这种方式，在信号线和像素电极之间提供间隙，以便减小与显示器件的显示不均匀性相关的值 ($\Delta\Delta\beta$)。当 $\Delta\Delta\beta$ 减小时，像素电位有效值 (V_d) 的差也减小。这样，根据该布置，可以提供能减小显示器件的显示不均匀性的液晶显示器件。

如上所述，本发明的显示器件基板可改进由像素电极和信号线之间的寄生电容在显示区中不均匀的现象造成的显示不均匀性。该显示器件基板优选用在如有源矩阵型液晶显示器件的显示器件中。例如，该显示器件基板可广泛地用在各种电子装置中：OA 装置如个人计算机、AV 装置如电视机、和移动电话等。

注意，在所附权利要求书范围内可以以很多方式改变本发明。通过

组合由于需要而在不同例子和实施方式中所公开的技术手段获得的实施方式应包括在本发明的技术范围内。

[例子]

5 下面将参照图 5-13 介绍本发明的例子。

该例子示出了调整在像素电极和源极线之间的寄生电容 (C_{sd}) 以便减小显示区中的不均匀性, 从而减少显示不均匀性的情况。

图 5 示出了与显示不均匀性相关的 $\Delta\Delta\beta$ 值和像素电极与源极线之间的间隙 (距离) 之间的关系。此外, 图 8 示出了有源矩阵型液晶显示器件的简单等效电路图。

在图 5 中, 垂直轴表示 $\Delta\Delta\beta$ 值, 水平轴表示像素电极和源极线之间的间隙 x 的值。注意, 当 x 小于零时, 意味着源极线和像素电极在一定程度上互相叠加。

在下列条件下计算图 5 中示出的 $\Delta\Delta\beta$ 值。在本例中, 图 2 和 3 中所示的 x 和 x' 设置为相同的值 ($x=x'$), 由此获得由图 5 的曲线所示的值。此外, BM 的膜厚设定为 $1.0\mu\text{m}$, 层间绝缘膜的膜厚设定为 $2.5\mu\text{m}$, 并且 $v=2.0\mu\text{m}$ 。使用碳分散到其中的丙烯酸树脂 (介电常数为 4.0) 形成 BM, 并使用丙烯酸透明树脂 (介电常数为 3.7) 形成层间绝缘膜。此外, 在进行像素 ITO 光刻的光刻工艺中, 光发射部分和非光发射部分之间的对准差 (源极图形和像素 ITO 图形之间的相对差) 设定为 $0.1\mu\text{m}$ 。此外, 像素 1A 中的差为 $0\mu\text{m}$, 像素 2A 中的差为 $0.1\mu\text{m}$ (在它的源极变小的方向)。此外, 输入色调设定为中间色调, 并输入色调电压设定为 $V_s=2.5\text{V}$ (TN 产品)。图像元件 (像素) 尺寸设定为 15"XGA (图像元件 (像素) 间距为 $99\mu\text{m}$)。

25 根据图 5 所示的曲线, x 值越大, $\Delta\Delta\beta$ 值越小。

接着, 采取点反向驱动作为例子, 下面介绍 $\Delta\Delta\beta$ 值 (%) 和显示不均匀性之间的关系。像素电容为 C_{1c} , 像素辅助电容为 C_{sc} , 并且栅极线和像素电极之间的寄生电容为 C_{gd} , 源极线和像素电极之间的寄生电容为 C_{sd} 。此外, 图 8 是表示有源矩阵型液晶显示器件的简单等效电路图。此外, 通过将 C_{1c} 、 C_{cs} 、 C_{gd} 和 C_{sd} 相加计算 C_{pix} ($C_{pix}=C_{1c}+C_{cs}+C_{gd}+C_{sd}$)。此外, β 设定如下:

$$\beta = C_{sd} / C_{pix}$$

在点反向驱动系统中， C_{sd} 分为 (i) 由驱动目标像素电极的源极线产生的电容分量 C_{sd1} 和 (ii) 由驱动与目标像素电极相邻的像素电极的源极线产生的电容分量 C_{sd2} 。此外，源极信号幅度为 V_{spp} 。此外，
5 $\Delta\beta$ 设定如下： $\Delta\beta = (C_{sd1} - C_{sd2}) / C_{pix}$ 。此时，在以源极电压 V_s 给像素充电之后获得的像素电位有效值 V_d 可以由如下表达式表示。

$$(\text{近似表达式}) V_d \approx V_s - V_{spp} \times \Delta\beta / 2$$

显示不均匀性是由 V_d 的差产生的。下面参照图 9 介绍 V_d 的差和 $\Delta\beta$ 之间的关系，其中图 9 中示出了像素和源极线的示意图。如图 9
10 所示，经过有源元件连接到像素 1A 的像素电极的源极线是 S1，并且经过有源元件连接到像素 2A 的像素电极的源极线是 S2。同样，经过有源元件连接到像素 NA 的源极线是 S(N)。此外，用于给对应（特殊）像素充电的源极线定义为“对应极”。此外，具有像素电极和电容器但是不给对应（特殊）像素充电的源极线定义为“非对应源”。

15 在图 9 中，像素 1A 中的对应源和非对应源之间的关系如下。即，对应源为 S1（对应源=S1），并且非对应源为 S2（非对应源=S2）。像素 2A 中的对应源和非对应源之间的关系如下：对应源=S2，非对应源=S3。同样，像素 NA 中的对应源和非对应源之间的关系如下：对应源=S(N)，非对应源=S(N+1)。

20 此外，像素电极和对应源之间的电容（ $C_{sd}\cdot$ 对应）为 C_{sd11} ，即，像素电极和非对应源之间的电容= $C_{sd}\cdot$ 对应= C_{sd11} 。此外，像素电极和非对应源之间的电容（ $C_{sd}\cdot$ 非对应）为 C_{sd12} ，即，像素电极和非对应源之间的电容= $C_{sd}\cdot$ 非对应= C_{sd12} 。

25 像素 1A 中的像素电极的 $\Delta\beta$ 为 $\Delta\beta_1$ ，像素 2A 中的像素电极的 $\Delta\beta$ 为 $\Delta\beta_2$ 。此时， $\Delta\beta_1$ 如下： $\Delta\beta_1 = C_{sd}\cdot$ 对应 / $C_{pix} - C_{sd}\cdot$ 非对应 / C_{pix} ，即， $\Delta\beta_1 = (C_{sd11} - C_{sd12}) / C_{pix}$ 。同样， $\Delta\beta_2 = (C_{sd22} - C_{sd23}) / C_{pix}$ 。

30 在借助在极性方面互相不同而互相相邻的源进行的驱动的情况下，与点反向驱动一样，关于 C_{pix} 比（ $C_{sd}\cdot$ 对应·非对应 / $C_{pix} = \beta\cdot$ 对应·非对应），根据像素电极—对应源电容（ $C_{sd}\cdot$ 对应）和像素其它源电容（ $C_{sd}\cdot$ 非对应）之间差（ $\beta\cdot$ 对应 - $\beta\cdot$ 非对应 = $\Delta\beta$ ）确定显示性

能（输入色调电压 V_s 和施加色调电压之间的差=有效值 V_d ）。例如，在任何原因的情况下，具体而言，在光刻工艺中发生光发射部分和非光发射部分之间的对准差（一般为 $\pm 0.3\mu\text{m}$ ）的原因产生如下条件（i）像素 1A 中的像素电极和源极线之间的位置关系不同于（ii）像素 2A 中的像素电极和源极线之间的位置关系， $\Delta\beta_1$ 的值不同于 $\Delta\beta_2$ 的值。

如上所述，当存在 $\Delta\beta$ 的差时，在像素 1A 的 V_d 和像素 2A 的 V_d 之间产生差别，因此产生不均匀性（亮度差）。就是说，关于不均匀性（亮度差）可以根据 $\Delta\Delta\beta = \Delta\beta_1 - \Delta\beta_2$ 相对进行比较。注意，当通过使用前述表达式解释这一点时，下面（计算式 1）保持不变。因此， $\Delta\Delta\beta$ 变得越小， V_d 的差变得越小。结果是，减少了显示不均匀性。

[计算式 1]

像素电极 1 的 $\Delta\beta$ ($\Delta\beta_1$) 和像素电极 2 的 $\Delta\beta$ ($\Delta\beta_2$) 如下：

$$\Delta\beta_1 = (C_{sd11} - C_{sd12}) / C_{pix}$$

$$\Delta\beta_2 = (C_{sd22} - C_{sd23}) / C_{pix}$$

此外，像素电极 1 的 V_d 为 V_{d1} ，像素电极 2 的 V_d 为 V_{d2} 。此时，在有效值方面， V_{d1} 和 V_{d2} 之间的差对应亮度差。这将引起显示不均匀性。

V_{d1} 和 V_{d2} 之间的差使用 V_d 的下列近似关系式表示。

$$\begin{aligned} V_{d1} - V_{d2} &\approx (V_s - (V_{spp} / 2)) \times \Delta\beta_1 - (V_s - (V_{spp} / 2)) \times \Delta\beta_2 \\ &= (V_{spp} / 2) \times (\Delta\beta_2 - \Delta\beta_1) \\ &\approx (V_{spp} / 2) \times \Delta\Delta\beta \\ &\approx \text{输入色调电压 } V_s \times \Delta\Delta\beta \end{aligned}$$

顺便提及，在计算 V_d 时使用前述近似关系式。下面参照图 8-11 介绍 V_d 的近似关系式。图 8 示出了在水平 2H 循环的 DOT 反向驱动（在每个帧的反向）中的波形。图 9 只介绍了图 8 中所示的源电压的相位的例子。图 10 只介绍了图 8 中所示的 V_d 波形的例子（像素 1A）。图 11 只介绍了图 8 中所示的 V_d 波形的例子（像素 2A）。

如图 10 所示，当电压变化很小时， V_d 基本上等于 V_s 和 $V_s + \Delta V_s$ 的平均值。此外，如图 10 所示，可以认为 ΔV_s 是 ΔV_s 的 C_{pix} 比的总和=源电压变化 \times 电容。结果是，在图 10 所示的例子中， $\Delta V_s = -V_{spp} \times \Delta\beta_1$ ， V_{d1} 可以约等于 $V_{d1} = V_s - (V_{spp} / 2) \times \Delta\beta_1$ 。同样，

在图 11 所示的例子中, V_{d2} 可以约等于 $V_{d2} = V_s - (V_{spp} / 2) \times \Delta \beta 2$ 。

前面已经介绍了本发明, 应该理解可以以很多方式改变本发明。这种改变不被认为是脱离本发明的精神和范围的, 并所有这些修改对于本领域技术人员来说都是显而易见的, 并趋于落入所附权利要求书的
5 范围内。

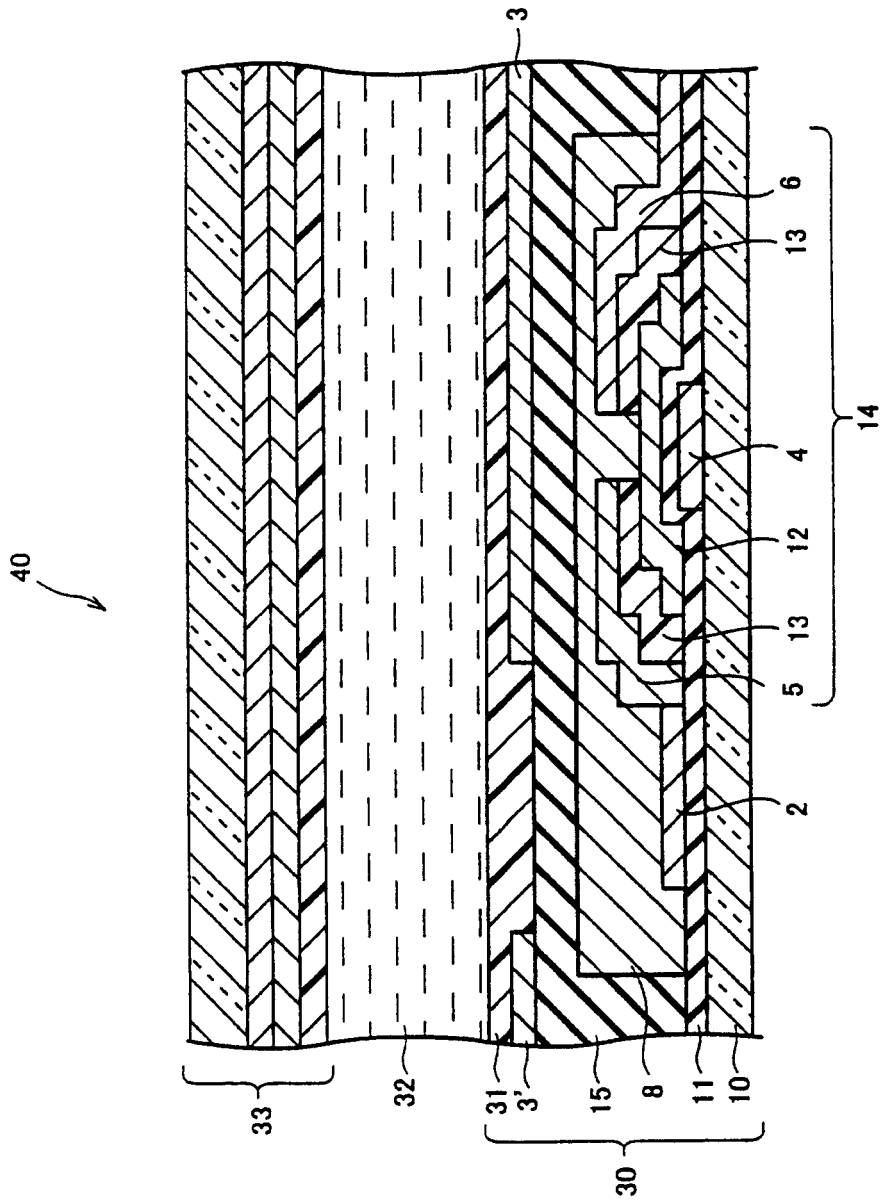


图1

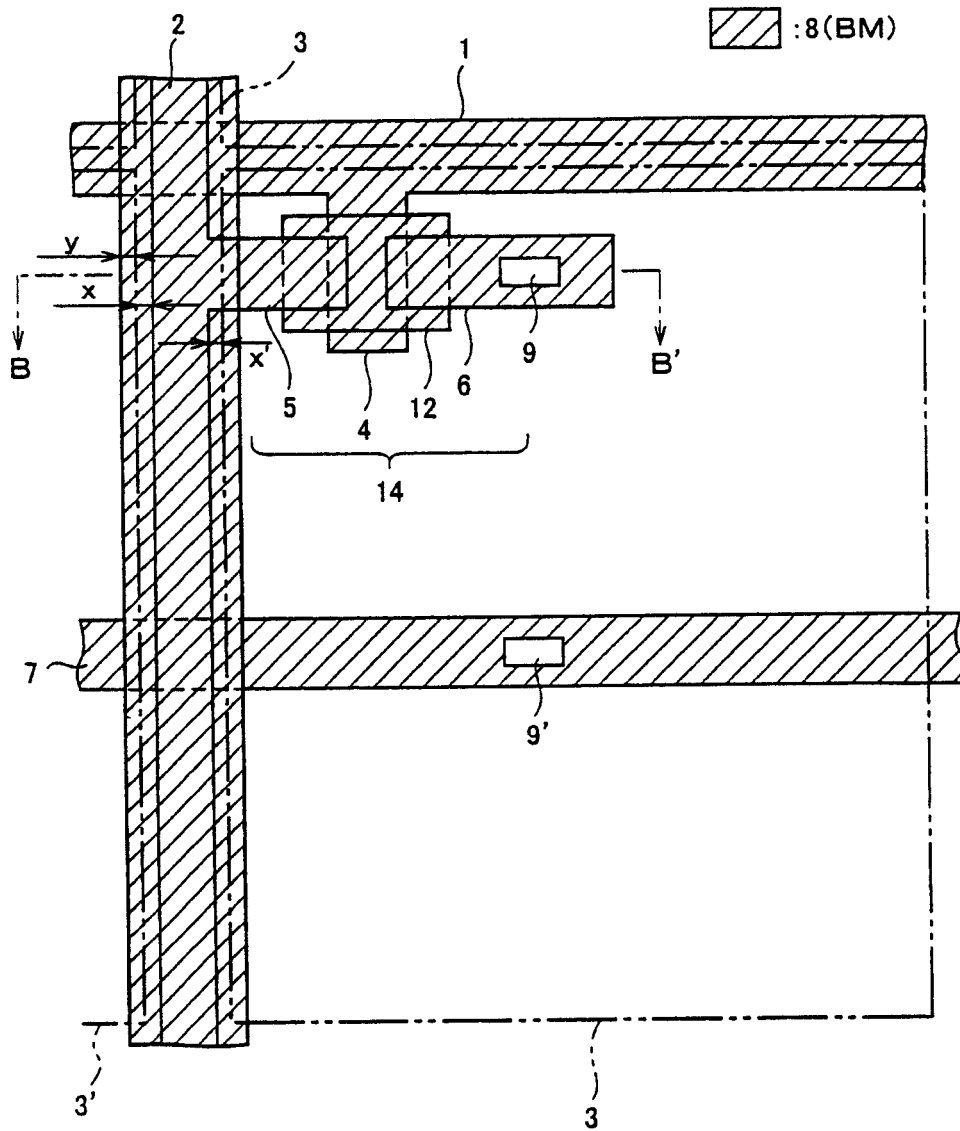


图2

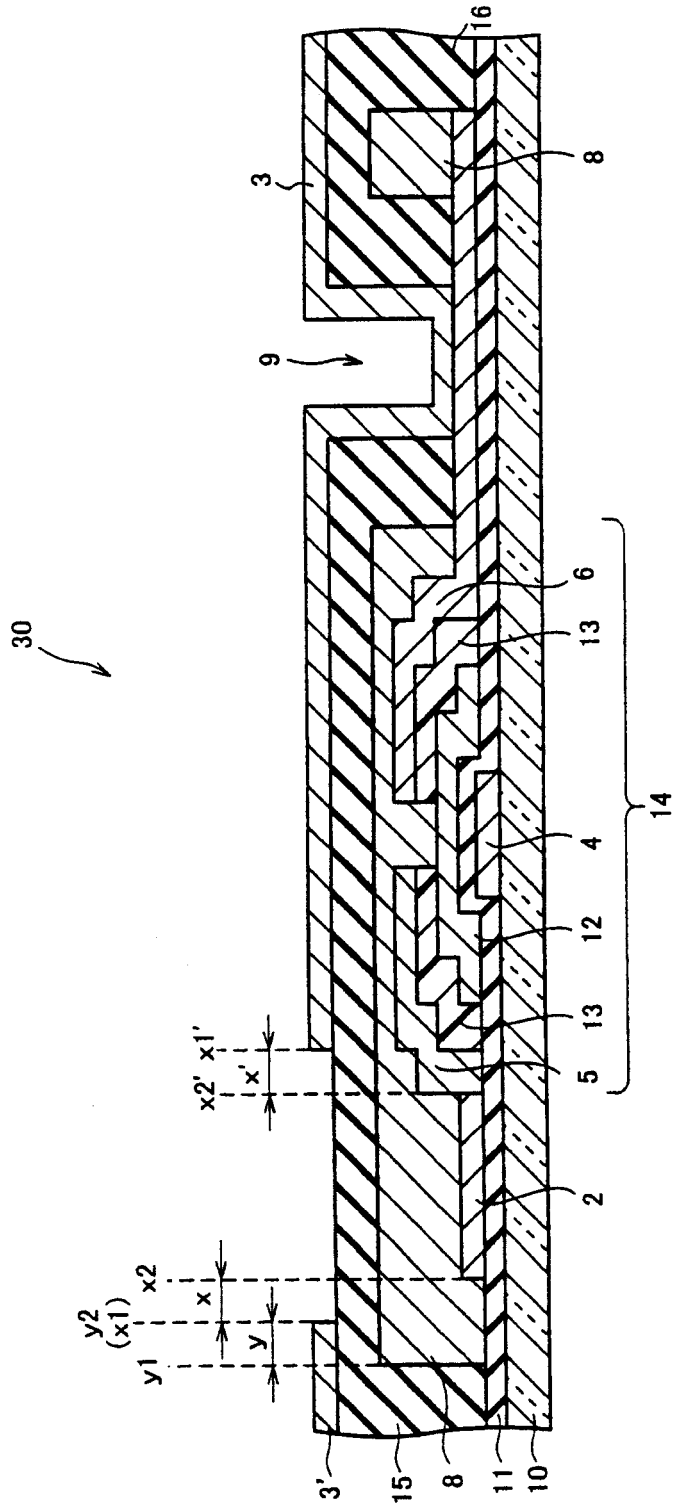
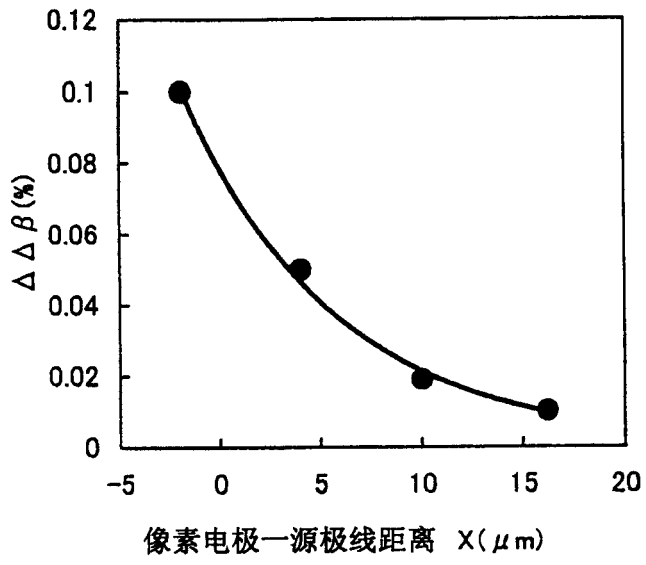


图3



像素电极-源极线距离和 $\Delta\Delta\beta$ 之间的关系

图5

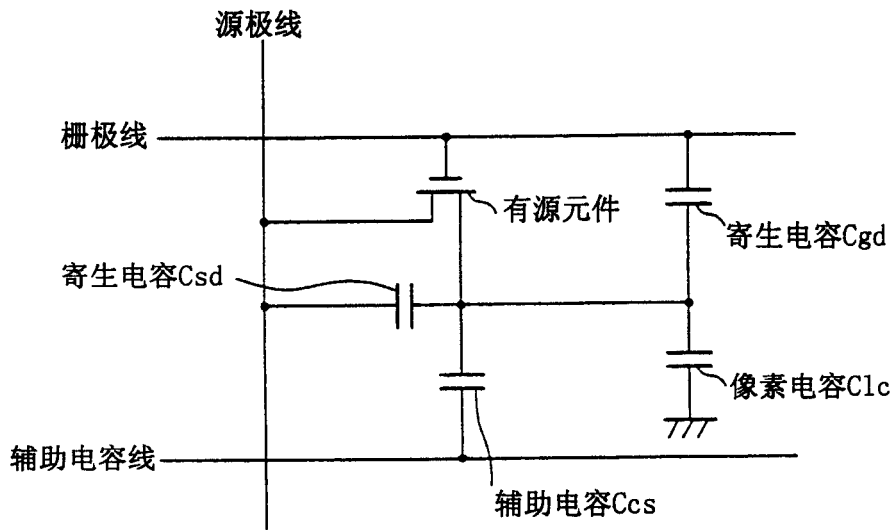


图6

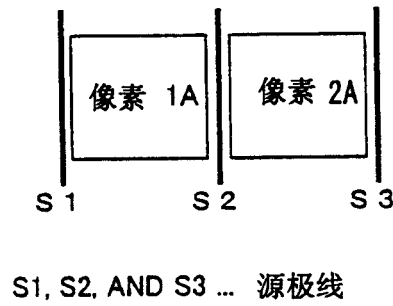


图7

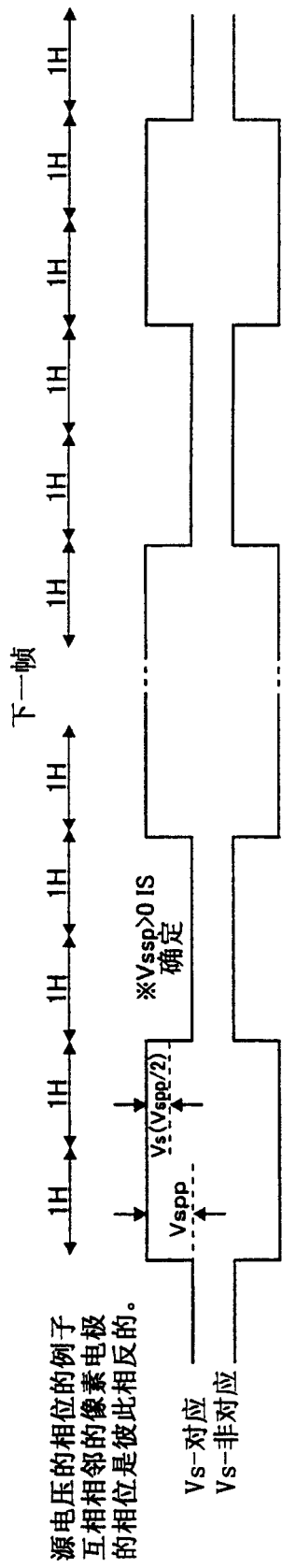


图9

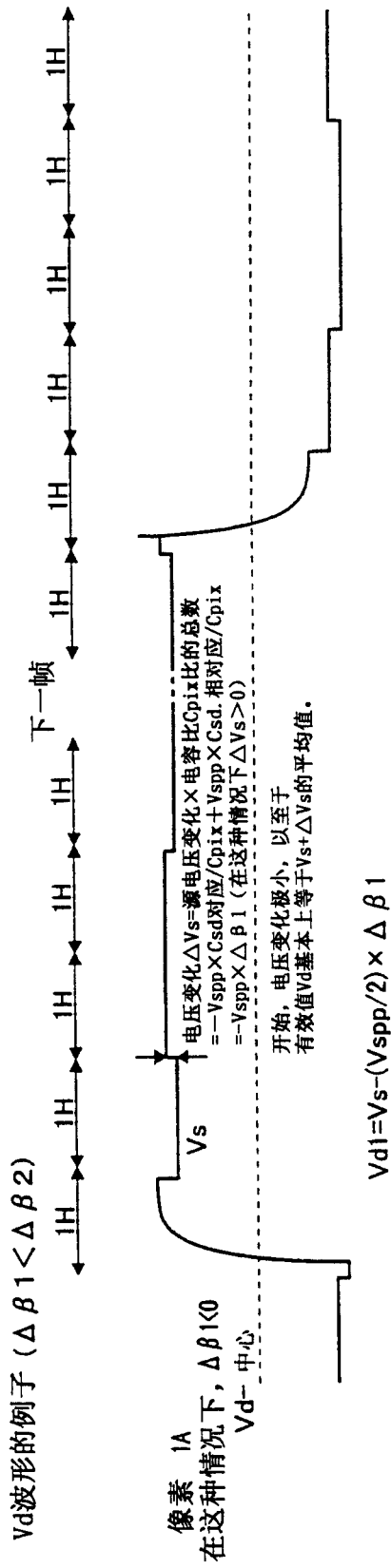


图10

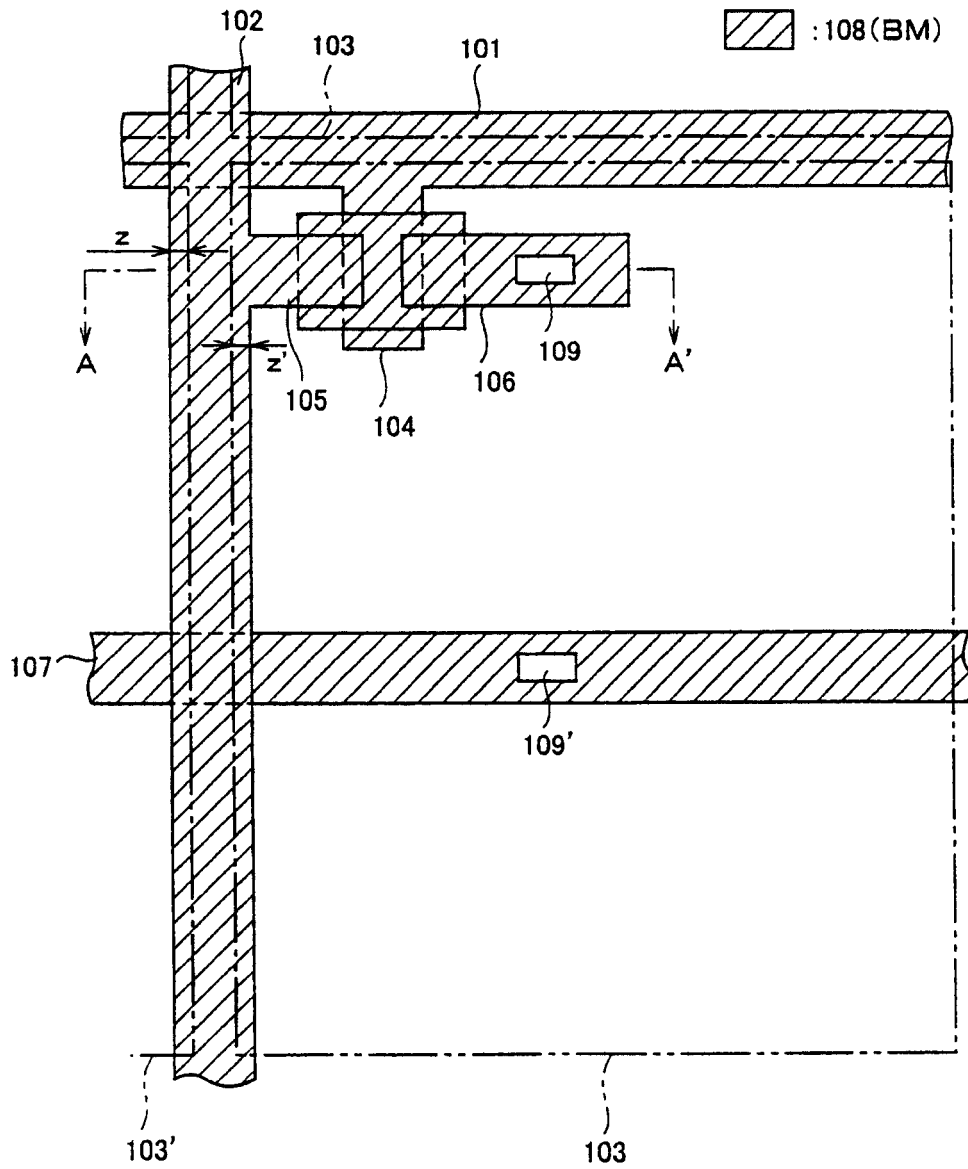


图12

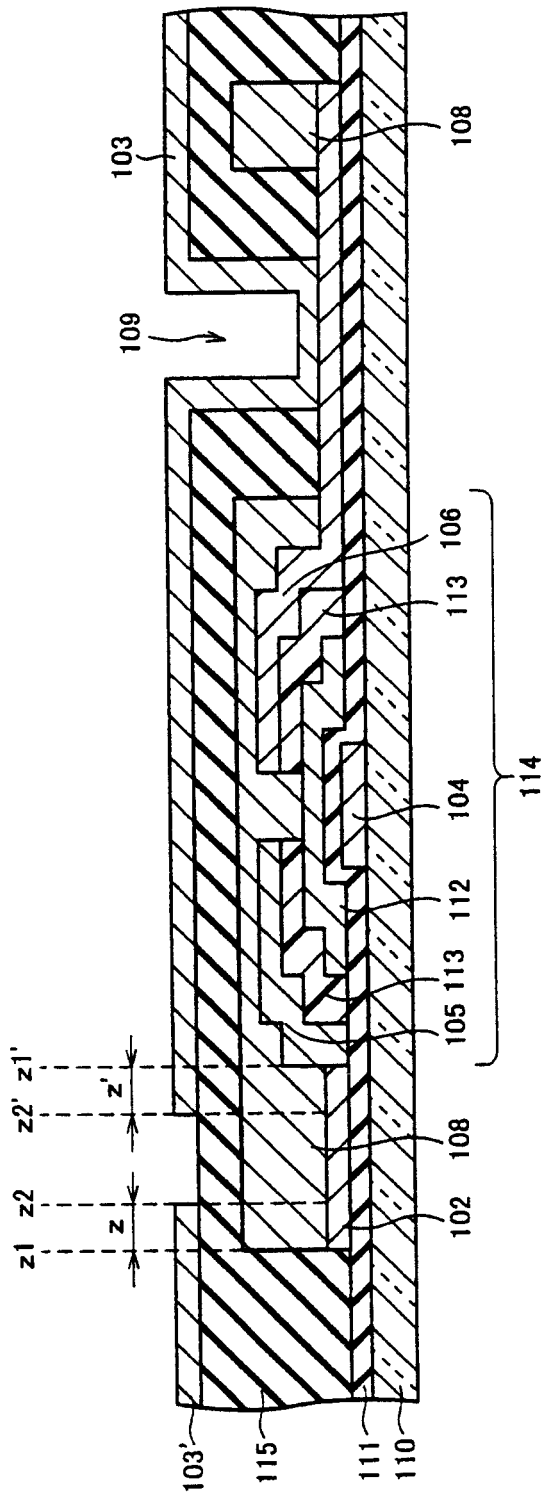


图13

专利名称(译)	显示器件基板和具有该基板的液晶显示器件		
公开(公告)号	CN1512252A	公开(公告)日	2004-07-14
申请号	CN200310123466.2	申请日	2003-12-26
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	津幡俊英 大崎守英 武内正典		
发明人	津幡俊英 大崎守英 武内正典		
IPC分类号	G02F1/1368 G02F1/133 G02F1/1362 G09F9/30 G02F1/136 G02B5/00 G02F1/1333 G02F1/1335		
CPC分类号	G02F1/136286 G02F1/136209 G02F1/136227		
优先权	2002381669 2002-12-27 JP 2003372584 2003-10-31 JP		
其他公开文献	CN1252528C		
外部链接	Espacenet SIPO		

摘要(译)

本发明涉及显示器件基板和具有该基板的液晶显示器件，该显示器基板设置成：源极线设置在其上不设置像素电极的区域上，并在源极线和像素电极之间提供间隙，覆盖源极线的表面的黑体(光屏蔽膜)与像素电极叠加。因此，可以防止像素电极和源极线之间的寄生电容(C_{sd})在显示区内变得不均匀，以便可以减少使用这种显示器件基板的液晶显示器件的显示不均匀性。

