

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G02F 1/136

G03F 7/20 G03F 7/26

# [12] 发明专利申请公开说明书

[21] 申请号 02108754.7

[43] 公开日 2002 年 11 月 13 日

[11] 公开号 CN 1379277A

[22] 申请日 2002.3.29 [21] 申请号 02108754.7

[30] 优先权

[32] 2001.3.29 [33] KR [31] P-2001-0016628

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国汉城

[72] 发明人 黄旷兆 金佑炫

[74] 专利代理机构 隆天国际专利商标代理有限公司

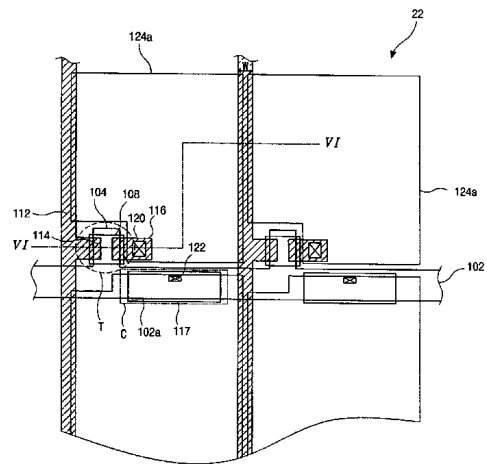
代理人 徐金国 陈红

权利要求书 2 页 说明书 11 页 附图 10 页

[54] 发明名称 一种液晶显示器阵列衬底的制造方法

[57] 摘要

一种液晶显示器阵列衬底的制造方法包括以下步骤:通过在一衬底上形成一金属材料,在该衬底上形成一选通线和一栅极;在该衬底上形成一选通绝缘层;在该选通绝缘层上形成一有源层和一欧姆接触层;在该衬底上形成一数据线、一源极和一漏极;通过在该衬底上淀积一绝缘材料形成一钝化层;通过对该钝化层制作图案形成一漏极接触孔,该漏极接触孔露出漏极的一部分;在该钝化层上形成一透明金属层;在该透明金属层上形成一阻光层;通过将一掩模设置在阻光层之上来执行一曝光过程,该掩模包括一阻光部分、一缝部分和一透光部分;通过对曝光的阻光层进行显影和对所曝光的透明金属层进行蚀刻,形成一像素电极。



ISSN 1008-4274

1. 一种液晶显示器阵列衬底的制造方法，包括以下步骤：  
在一衬底上形成一选通线和一栅极；  
5 在该衬底上形成一选通绝缘层；  
在该选通绝缘层上形成一有源层和一欧姆接触层；  
在该衬底上形成一数据线、一源极和一漏极；  
通过在该衬底上淀积绝缘材料形成一钝化层；  
通过对该钝化层制作图案形成一漏极接触孔，该漏极接触孔露出漏极的  
10 一部分；  
在该钝化层上形成一透明金属层；  
在该透明金属层上形成一阻光层；  
通过将一掩模设置在阻光层之上来执行一曝光过程，该掩模包括一阻光  
部分、一缝部分和一透光部分；和  
15 通过对曝光的阻光层进行显影和对所曝光的透明金属层进行蚀刻，形成  
一像素电极。  
2. 根据权利要求1的方法，其中该掩模的阻光部分对应于像素电极，该  
掩模的透光部分对应于有源层，源极和漏极以及缝部分对应于数据线。  
3. 根据权利要求1的方法，其中该像素电极与相邻像素电极之间的距离  
20 为2到3.5微米。  
4. 根据权利要求1的方法，其中数据线的宽度为6到7.5微米。  
5. 根据权利要求1的方法，其中该缝部分具有至少两条缝。  
6. 根据权利要求5的方法，其中缝的宽度为1.2微米。  
7. 根据权利要求5的方法，其中该缝与相邻缝之间的距离为0.5微米。  
25 8. 一种显示器薄膜晶体管阵列衬底的制造方法，包括以下步骤：

通过淀积和蚀刻第一导电层，在一衬底上形成多条选通线和多个栅极；

在该衬底上形成一选通绝缘层，以覆盖该多条选通线和多个栅极；

在该选通绝缘层上形成多个岛形有源层和多个岛形欧姆接触层；

通过淀积和蚀刻第二导电层，在该选通绝缘层、多个有源层和多个欧姆

5 接触层上形成多条数据线、多个源极和多个漏极；

通过在该选通绝缘层上淀积和蚀刻一绝缘材料，形成一钝化层以覆盖多条数据线、多个源极和多个漏极，该钝化层具有多个接触孔，这多个接触孔用来暴露至少一个导电层；

10 在该钝化层上形成与多条数据线相交叠的多个像素电极，至少两个相邻像素电极之间的空间小于 3.5 微米。

9. 根据权利要求 8 的方法，其中该像素电极与相邻像素电极之间的距离为 2 到 3.5 微米。

10. 根据权利要求 8 的方法，其中数据线的宽度是 6 到 7.5 微米。

11. 根据权利要求 8 的方法，其中采用一掩模形成多个像素电极，该掩模包括一阻光部分、一缝部分和一透光部分。

12. 根据权利要求 11 的方法，其中该掩模的阻光部分对应于该像素电极，该掩模的透光部分对应于有源层，源极和漏极以及该缝部分对应于数据线。

13. 根据权利要求 11 的方法，其中该缝部分具有至少两条缝。

14. 根据权利要求 13 的方法，其中缝的宽度为 1.2 微米。

20 15. 根据权利要求 13 的方法，其中缝与缝之间的距离为 0.5 微米。

## 一种液晶显示器阵列衬底的制造方法

### 5 发明背景

本申请要求享有在韩国 2001 年 3 月 29 日提出的第 2001-0016628 号韩国申请的利益，它在此引入以做参考。

### 技术领域

10 本发明涉及一种液晶显示器，尤其涉及一种液晶显示器阵列衬底的制造方法。

### 背景技术

随着信息时代的迅速发展，需要特点为薄、重量轻且功耗低的平板显示  
15 器。这种液晶显示器广泛用于笔记本计算机和台式监视器等，因为其分辨率高、彩色图像显示好且显示的图像品质高。这种液晶显示器利用液晶的光学各向异性显示图像，它由上衬底、下衬底和设置在上、下衬底之间的液晶组成。

图 1 是一分解透视图，它示出一传统的彩色液晶显示器 11。如图所示，  
20 上衬底 5 包括一滤色镜 7 和一透明公共电极 18。滤色镜 7 包括一黑色矩阵 6 和副滤色镜 R、G 和 B 8。下衬底 22 包括一像素区“P”、该像素区中的像素电极 17 和包括一开关元件“T”的阵列线。液晶 14 夹在上衬底 5 与下衬底 22 之间。下衬底 22 称为阵列产地。多条选通线 13 和多条数据线 15 相互交叉限定像素区“P”，而多个薄膜晶体管“T”即使开关元件形成于选通线 13  
25 与数据线 15 的交叉点处。像素区“P”中的像素电极 17 由透明导电材料如具

有高透射率的铟锡氧化物（ITO）制成。

液晶 14 由一信号排列，该信号来自薄膜晶体管“T”，而根据液晶的排列控制透过液晶 14 的光量，以显示图像。一个在传统液晶显示器中必需克服的重要问题是，为了更清晰和明亮地显示图像，要获得很高的孔径比。影响  
5 孔径比的主要因素是具有如上所述阵列结构的液晶显示器中的数据线。

以下参照图 2 描述数据线 15 与像素区之间的关系。图 2 是一平面图，它示出一传统液晶显示器的部分阵列衬底。如图所示，多条选通线 13 和多条数据线 15 相互交叉，在阵列衬底上限定像素区“P”，而多个包括栅极 30、源极 32、漏极 34 和有源层 36 的薄膜晶体管“T”形成于选通线 13 与数据线 15  
10 的交叉点处。接触漏极 30 的像素电极 17 形成于像素区“P”之上，而形成带有像素电极 17 的并联电路（parallel circuit）的存储电容器“C”形成于选通线 13 之上。存储电容器“C”由第一存储电极 13a 和第二存储电极 39 组成，第一存储电极 13a 是选通线 13 的一部分，第二存储电极 39 由与源极 32 和漏极 34 相同的材料以一岛形制成。第二存储电极 39 通过存储接触孔 40 接触象  
15 素电极 17。

在上述阵列衬底 22 结构中的液晶板孔径比随像素区“P”增加而增大。可以把减小数据线 15 的宽度作为一种用来放大像素区“P”的方法，像素电极与相邻的像素电极之间的距离必须减小到使数据线 15 的宽度变窄。但是，当采用一用于曝光过程的传统掩模时，在 4 微米下减小像素电极 17 与相邻限  
20 定电极 17 之间的距离是有限制的。

下文将参照图 3A 至 3F 描述一传统液晶显示器的阵列衬底的制造方法。图 3A 至 3F 是沿图 2 线 III—III 所取的剖视图，它们示出一种根据已有技术的液晶显示器阵列衬底的制造方法。这里，将关于一选通型存储的存储电容器作为一个例子。反向交错型薄膜晶体管通常用于一种通用液晶显示器，因  
25 为其结构简单、性能良好。根据沟道形成方法，这种反向交错型薄膜晶体管

可以分成后沟道蚀刻 (back channel etch) (BCE) 型和蚀刻阻挡 (etch stopper) (ES) 型。这里将参照后沟道蚀刻型薄膜晶体管进行描述。

首先, 一玻璃衬底经受一清洗处理过程, 以从该衬底上去除污物或有机材料, 并且增大用于栅极材料的金属薄膜与玻璃衬底之间的粘性。

5 图 3A 中, 通过用第一掩模淀积金属材料并且对其制作图案, 在衬底 22 上形成图 2 中的栅极 30 和选通线 13。图 2 中选通线 13 的一部分用作图 2 中的第一存储电极 13a。具有低电阻的铝 (Al) 通常选为栅极材料以降低 RC 延迟。但是, 由于纯铝 (Al) 对化学物质的耐腐蚀性差, 并且因后面的高温处理过程中小丘形成而导致产生不完整的线, 所以用铝合金代替纯铝或其他材料如铝钨 (AlNd)、钼 (Mo), 例如, 它们可以形成于纯铝 (Al) 上以防小丘形成。栅极 30 和第一存储电极 13a 从选通线延伸出去, 考虑到它们的功能, 它们分别称为栅极 30 和第一存储电极 13a。通过在衬底 22 上淀积或涂敷无机绝缘材料如二氧化硅 ( $\text{SiO}_2$ ) 和氮化硅 ( $\text{SiN}_x$ ) 或者有机绝缘材料如苯并环丁烯 (benzocyclobutene) (BCB) 和丙烯酸树脂, 从而在衬底 22 上形成选  
10 通绝缘层 50。  
15

图 3B 中, 在选通绝缘层 50 上淀积非晶硅 (a-Si:H) 和掺杂的非晶硅, 以形成一半导体层。通过用第二掩模对该半导体层制作图案而形成一有源层 36 和一欧姆接触层 38。该欧姆接触层 38 用来减小有源层 36 与一要在以下处理过程中形成的金属层之间的接触电阻。

20 图 3C 中, 通过用第三掩模将金属导电材料如铬 (Cr)、钼 (Mo)、钨 (W)、锑 (Sb) 和钽 (Ta) 淀积在整个衬底上并且对其制作图案, 形成图 2 中的数据线 15、源极 32、漏极 34 和第二存储电极 39。漏极 34 与源极 32 间隔开。数据线 15 如图所示制作成最小宽度为 8 微米。由于将在后面的处理过程中形成于数据线 15 之上的该像素电极与相邻像素电极之间的最短距离  
25 为 4 微米, 并且数据线 15 的两侧至少应与这些像素电极交叠 2 微米, 所以根

据已有技术，数据线 15 的最小宽度为 8 微米。

图 3D 中，接着通过将一种透明有机绝缘材料如苯并环丁烯（BCB）或丙烯酸树脂淀积或涂敷在整个衬底上，形成钝化层 52。通过用第四掩模对该钝化层 52 制作图案，形成暴露漏极 34 一部分的漏极接触孔 54 和图 2 中暴露第二存储电极 39 一部分的存储接触孔 40。

图 3E 中，通过将一种透明导电材料如铟锡氧化物（ITO）或铟锌氧化物（IZO）淀积在该钝化层 52 上，在该钝化层 52 上形成一透明导电金属层 58。阻光材料层 60 形成于该透明导电金属层 58 上。由透光部分“E”和阻光部分“F”组成的第五掩模 62 设置在阻光层 60 之上，然后进行曝光。与数据线 15、选通线（图中未示）和薄膜晶体管“T”相应的阻光层部分受到如图所示“G”曝光，用一显影器去除阻光层 60 的曝光部分。把与阻光层 60 的去除部分相对应的透明导电金属层 58 蚀刻掉。

如图 3F 所示，通过以上过程形成象素电极 17。象素电极 17 通过漏极接触孔 54 接触漏极 34，并且通过图 2 中的存储接触孔 40 接触图 2 中的第二存储电极 39。长 2 微米的象素电极 17 在数据线 15 的两侧与数据线相交叠，如图所示，各象素电极 17 之间的距离为 4 微米。各象素电极 17 之间的距离可以在以下条件下形成为有一最小值，即，在象素电极 17 与相邻象素电极 17 相互之间没有电影响的条件下。通常，满足以上条件的最小距离已知为 2 微米。因此，如果象素电极 17 与相邻象素电极 17 之间的距离最小可以达到 2 微米，那么数据线 15 的宽度也可以减小那么多。因此，孔径比可以因占据液晶板非驱动区域的数据线宽度减小而得到改善。

但是，当采样传统曝光方法时，象素电极 17 与相邻象素电极 17 之间的距离无法窄到 4 微米以下。下文将参照图 4 详细描述其原因。图 4 是示出一掩模缝（mask slit）结构和从根据已有技术的掩模结构中得到光强曲线的图。当光透过具有单一缝的掩模 62 透光部分“E”时，光因 Fraunhofer 衍射作用

受到衍射，光的光强分布到达衬底 22。此时，光强分布的宽度与掩模 62 的透光部分“E”的宽度“b”成反比，而与该光的波长 $\lambda$ 成正比。最亮的光强“L”出现在与掩模 62 透光部分“E”的中部相对应的区域中，而光强与该掩模 62 透光部分“E”的宽度“b”成比例。通过该掩模 62 透光部分“E”

5 衍射的光的光强可以以数值表达形式表示如下：

$$I=I_0(\sin\beta/\beta)^2,$$

这里， $\beta=(1/2)kbsin\theta$ ,

其中  $sin\theta=2\pi/kb=\lambda/b$ ,

10 这里，k 是传播常数，I 是光强， $\lambda$  是光的波长，b 是掩模透光部分的宽度， $\theta$  是光前进方向的衍射角。如可从以上数值表达式看到的那样，仅通过减小衍射角 $\theta$ 以减小光强分布的宽度，可以使阻光层 60 完全曝光。如果当波长 $\lambda$ 保持在常值时透光部分“E”的宽度“b”增大，那么光强曲线“I”的宽度变窄，由此可以实现完全的曝光“1a”。另一方面，如果当波长 $\lambda$ 保持在常值时透光部分“E”的宽度“b”变窄，那么由于衍射角 $\theta$ 增大因而光强曲线  
15 “H”的宽度变大，导致光强减弱，所以仅阻光层 60 的上部“Ha”受到曝光。在这两种情况下，由于光强从衍射角 $\theta$ 为零的点迅速减小，由此用于曝光的光量不足，所以阻光层 60 的曝光状态变得无规律。因此，当采用单缝掩模时，应当确定掩模 62 透光部分“E”的宽度“b”，以使阻光层 60 均匀曝光。所以，在减小掩模 62 透光部分“E”的宽度方面有限制，由此在减小像素电极  
20 与相邻像素电极之间的距离方面也有限制。

当考虑掩模 62 透光部分的宽度“b”与曝光过程的光强分布之间的关系时，可以通过传统的光刻掩模法实现的像素电极 17 与相邻像素电极 17 之间的最小距离是 4 微米。因此，当考虑像素电极 17 与相邻像素电极 17 之间 4 微米的最小距离和像素电极与数据线 15 在数据线 15 两侧的两个交叠宽度 2  
25 微米时，应当根据已有技术对数据线 15 制作图案，使其具有 8 微米的最小宽

度。由于如上所述在减小数据线 15 的宽度方面有限制，所以很难再改善孔径比。

## 发明内容

5 因此，本发明涉及一种液晶显示器阵列衬底的制造方法，它基本上避免了因已有技术的限制和缺点带来的一个或多个问题。

本发明的一个优点在于，提供一种液晶显示器阵列衬底的制造方法，其中在像素电极的光刻掩模法中采用有两条缝的掩模，以减小一个像素电极与一个相邻像素电极之间的距离，由此减小数据线的宽度，改善孔径比。

10 本发明的其他特征和优点将在以下的描述中列出，从该描述中它们一部分可以变得很显然，或者可以通过对本发明的实践来学会。本发明的目的和其他优点将通过所写的说明书及其权利要求书以及附图中所特别指出的结构实现和达到。

为了实现这些和其他优点，根据本发明的目的，如所具体实施和概括描述的那  
15 述的那样，一种液晶显示器阵列衬底的制造方法包括以下步骤：在一衬底上形成一选通线和一栅极；在该衬底上形成一选通绝缘层；在该选通绝缘层上形成一有源层和一欧姆接触层；在该衬底上形成一数据线、一源极和一漏极；通过在该衬底上淀积绝缘材料形成一钝化层；通过对该钝化层制作图案形成一漏极接触孔，该漏极接触孔露出漏极的一部分；在该钝化层上形成一透明  
20 金属层；在该透明金属层上形成一阻光层；通过将一掩模设置在阻光层之上来执行一曝光过程，该掩模包括一阻光部分、一缝部分和一透光部分；通过对曝光的阻光层进行显影和对所曝光的透明金属层进行蚀刻，形成一像素电极。该掩模的阻光部分对应于像素电极区，该掩模的透光部分对应于薄膜晶体管，该缝部分对应于数据线。该像素电极与相邻像素电极之间的距离为 2  
25 到 3.5 微米。像素电极与数据线一侧之间的交叠宽度为 2 微米。数据线的宽

度为 6 到 7.5 微米。该缝部分具有至少两条缝。缝的宽度为 1.2 微米，各缝之间的距离为 0.5 微米。

- 在另一个方面，一种显示器薄膜晶体管阵列衬底的制造方法包括以下步骤：通过淀积和蚀刻第一导电层，在一衬底上形成多条选通线和多个栅极；
- 5 在该衬底上形成一选通绝缘层，以覆盖这多条选通线和多个栅极；在该选通绝缘层上形成多个岛形有源层和多个岛形欧姆接触层；通过淀积和蚀刻第二导电层，在该选通绝缘层、多个有源层和多个欧姆接触层上形成多条数据线、多个源极和多个漏极；通过在该选通绝缘层上淀积和蚀刻绝缘材料，形成一钝化层以覆盖多条数据线、多个源极和多个漏极，该钝化层具有多个接触孔，
- 10 这多个接触孔用来暴露至少一个导电层；在该钝化层上形成与多条数据线相交叠的多个像素电极，至少两个相邻像素电极之间的空间小于 3.5 微米。该像素电极与相邻像素电极之间的距离为 2 到 3.5 微米。数据线的宽度是 6 到 7.5 微米。采用一掩模形成多个像素电极，该掩模包括一阻光部分、一缝部分和一透光部分。该掩模的阻光部分对应于该像素电极，该掩模的透光部分对
- 15 应于有源层，源极和漏极以及该缝部分对应于数据线。该缝部分具有至少两条缝。缝的宽度为 1.2 微米，各缝之间的距离为 0.5 微米。

应当理解的是，前面一般的描述和后面详细的描述是示例性和解释性的，意欲用它们对如所要求保护的本发明作进一步解释。

## 20 附图的简要说明

提供对本发明的进一步理解并且包括在说明书内且构成说明书一部分的所包括的附图、本发明的图示实施例连同其描述一起用来解释本发明的原理，这些附图中：

图 1 是一分解透视图，它示出一传统的彩色液晶显示器；

- 25 图 2 是一平面图，它示出一传统液晶显示器的局部阵列衬底；

图 3A 至 3F 是沿图 2 中线 III—III 所取的剖视图，它们示出一种根据已有技术的液晶显示器阵列衬底的制造方法；

图 4 是示出从根据已有技术掩模结构中得到的掩模缝和光强曲线的结构图；

5 图 5 是一平面图，它示出根据本发明的用于液晶显示器的局部阵列衬底；

图 6A 至图 6F 是沿图 5 中线 VI—VI 所取的剖视图，它们示出一种根据本发明的液晶显示器阵列衬底的制造方法；

图 7 是示出从根据本发明掩模结构中得到的掩模缝和光强曲线的结构图。

10

## **具体实施方式**

如附图所示，现在详细描述本发明的图示实施例。

图 5 是一平面图，它示出根据本发明的液晶显示器局部阵列衬底。如图所示，多条选通线 102 和多条数据线 112 彼此交叉限定一像素区。在与选通线 102 和数据线 112 的交点相邻的区域上，形成由栅极 104、源极 114、漏极 116 和有源层 108 组成的薄膜晶体管即一开关元件。接触漏极的像素电极 124a 形成于该像素区内。在该选通线 102 之上形成并联电连接到该像素电极上的存储电容器“C”。该存储电容器“C”由第一存储电极 102a 和第二存储电极 117 组成。

20 根据本发明的这种液晶显示器设置了更小宽度“w”的数据线 112，因而增大了该像素区内像素电极 124a 的面积，改善了孔径比。

图 6A 至图 6F 是沿图 5 中线 VI—VI 所取的剖视图，它们示出一种根据本发明的液晶显示器阵列衬底的制造方法。

图 6A 示出用第一掩模制造的阵列衬底结构。图 6A 中，通过将导电金属材料淀积在衬底 100 上并且用第一掩模对其制作图案，在衬底 100 上形成图

25

5 的选通线 102 和栅极 104。图 5 和图 6A 中，通过延长选通线 102 形成栅极 104，不过栅极 104 也可以定义为选通线 102 的一部分。选通线 102 的一部分用作图 5 中的第一存储电极 102a。选通线 102 和栅极 104 的导电金属材料可以从铬 (Cr)、钼 (Mo)、钽 (Ta)、锑 (Sb) 和铜 (Cu) 组成的金属材料组中选择，铝 (Al) 基金属材料如纯铝或铝钨 (AlNd) 也可以用作该金属材料。如果铝 (Al) 基的金属材料用作选通线 102，那么由于铝 (Al) 基的金属材料有一低的电阻，所以可以减少选通线 102 中信号的 RC 延迟。但是，由于铝 (Al) 基的金属材料对化学物质的耐腐蚀性差，所以可能因蚀刻过程中的蚀刻溶液导致出现断线的情况。因此，可以把对化学物质的耐腐蚀性强的材料如钼 (Mo) 敷设在铝 (Al) 基金属材料如纯铝 (Al) 或铝钨 (AlNd) 上。通过用一无机绝缘材料如二氧化硅 ( $\text{SiO}_2$ ) 和氮化硅 ( $\text{Si}_3\text{N}_4$ )，或者用一有机绝缘材料如苯并环丁烯 (BCB) 和丙烯酸树脂在衬底 100 上进行淀积或涂敷，形成选通绝缘层 106。

图 6B 示出用第二掩模制造的阵列衬底结构。通过在绝缘层 106 上淀积一非晶硅层 (a-Si:H)，然后在该绝缘层 106 上淀积一掺杂非晶硅层 (N+a-Si:H) 并且对其制作图案，在该绝缘层 106 上形成一有源层 108 和一欧姆接触层 110。

图 6C 示出第三掩模制造的阵列衬底结构。通过在衬底 100 上淀积导电金属材料如铬 (Cr)、钼 (Mo)、钽 (Ta)、锑 (Sb)、铜 (Cu) 和铝基金属材料如纯铝或铝钨 (AlNd) 淀积在衬底 100 上并且对其制作图案，在该衬底 100 上形成图 5 中的数据线 112、源极 114、漏极 116 和第二存储电极 117。漏极 116 与栅极 114 间隔开。图 5 中的第二存储电极 117 形成于图 5 中第一存储电极 102a 之上。欧姆接触层 110 用来减小有源层 108 与源极 114 和漏极 116 之间的接触电阻。欧姆接触层 110 在源极 114 与漏极 116 之间的那部分被蚀刻掉，以减少漏电。此时，数据线 112 制作成具有宽度 “d” 为 6 到 7.5 微米。

图 6D 示出用第四掩模制造的阵列衬底结构。通过将一种有机绝缘材料如苯并环丁烯 (BCB) 或丙烯酸树脂淀积或涂敷在衬底 100 上, 在该衬底 100 上形成钝化层 118, 即第二绝缘层。通过以一光刻掩模法对该钝化层 118 制作图案, 形成穿过钝化层 118 的暴露漏极 116 一部分的漏极接触孔 120 和穿过钝化层 118 的暴露图 5 中第二存储电极 117 一部分的图 5 中存储接触孔 122。

图 6E 示出用第五掩模制造的阵列衬底结构。通过将透明导电金属材料如铟锡氧化物 (ITO)、铟锌氧化物 (IZO) 和铟锡锌氧化物 (ITZO) 淀积在钝化层 118 上, 在该钝化层 118 上形成一透明导电金属层 124。阻光材料层 126 形成于该透明导电金属层 124 上。由透光部分“J”、阻光部分“E”和双缝部分“F”组成的第五掩模 128 设置在阻光层 126 之上, 然后进行曝光。阻光部分“E”对应于在接下来的过程中形成的像素电极 124a, 双缝部分“F”对应于数据线 112 之上像素电极 124a 与相邻像素电极 124a 之间的开口。透光部分“J”对应于选通线 102 和薄膜晶体管区之上像素电极 124a 与相邻像素电极 124a 之间的开口。掩模 128 双缝部分“F”的第一缝“Q”的宽度和第二缝“R”的宽度分别为 1.2 微米, 第一缝“Q”与第二缝“R”之间的距离约为 0.5 微米。如果具有如上所述结构的掩模 128 用来对像素电极 124a 制作图案, 那么与已有技术相比, 所曝光阻光层的尺寸可以有较大程度的减小。

当掩模 128 设置在阻光层 126 之上, 然后执行光刻掩模过程时, 穿过掩模 128 双缝部分“F”且到达衬底 100 的光的光强曲线可以如图 7 所示得到。由于分别穿过每一个缝然后到达衬底 100 的光随着缝“Q”和“R”的宽度“b”变窄而相互交叠, 所以穿过每一缝“Q”和“R”中间的光的光强“N”和与缝“Q”和缝“R”之间区域“O”相对应的光的光强“M”基本相等。因此, 虽然穿过双缝掩模中变窄缝的光的光强变得比传统单缝掩模稍弱, 但是可以以均匀的光强均匀进行短时间的图案制作。

图 6E 中, 当在曝光过程之后进行显影过程时, 在数据线 112 之上剩下残

留的阻光层“K”。可以采用一种干刻法——灰化法蚀刻掉残留的阻光层“K”。可以采用灰化法完全去除残留的阻光层“K”，同时，还可以蚀刻去一些其他区域中的阻光层 126，但这不影响其下的金属层。

去除通过去除阻光层 126 而暴露的金属层 124，以形成像素电极 124a。

- 5 因此，如图 6F 所示形成像素电极 124a。如果完全执行以上过程，那么像素电极 124a 与相邻像素电极 124a 之间的距离“f”可以达到 3.5 微米以下。参考已有技术，由于像素电极相互没有电作用的最小空间为 2 微米，所以像素电极 124a 与相邻像素电极 124a 之间的距离“f”理想情况下为 2 到 3.5 微米。像素电极 124a 形成为与数据线的两侧相互交叠，交叠宽度“e”为 2 微米。
- 10 交叠宽度“e”可以形成为在 2 微米以下。

由于可以用本发明中的双缝掩模缩短数据线的宽度，所以可以改善孔径比，这改善了液晶显示器的显示质量。另外，在大型液晶显示器中，本发明的作用最大。

- 对本领域的普通技术人员来说，很明显，在不脱离本发明的实质或范围的情况下，可以在本发明的制作和应用方面作各种修改和变换。这样，只要
- 15 这些修改和变换落在所附权利要求书及其等同物的范围之内，意欲使本发明覆盖这些修改和变换。

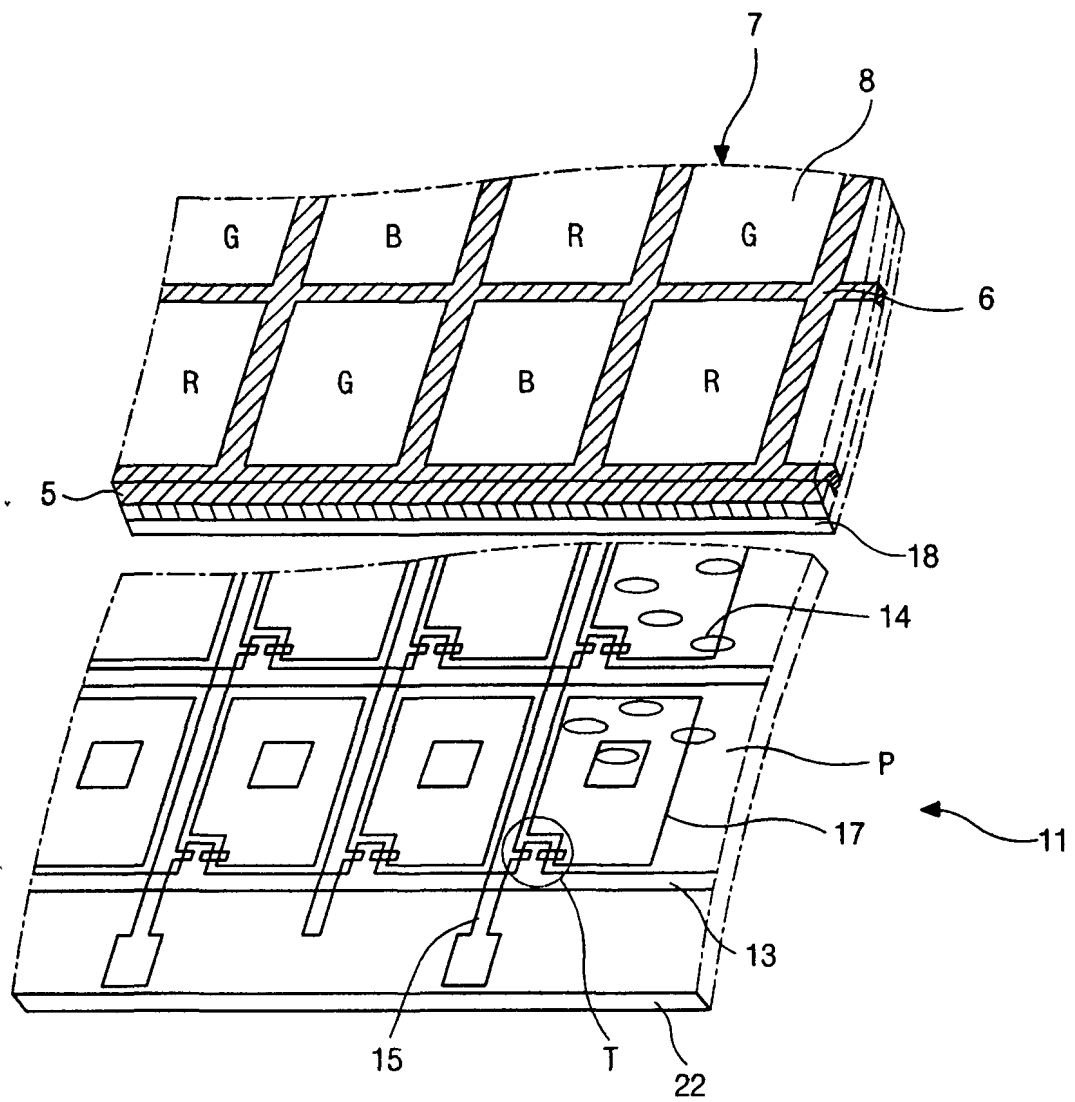


图 1

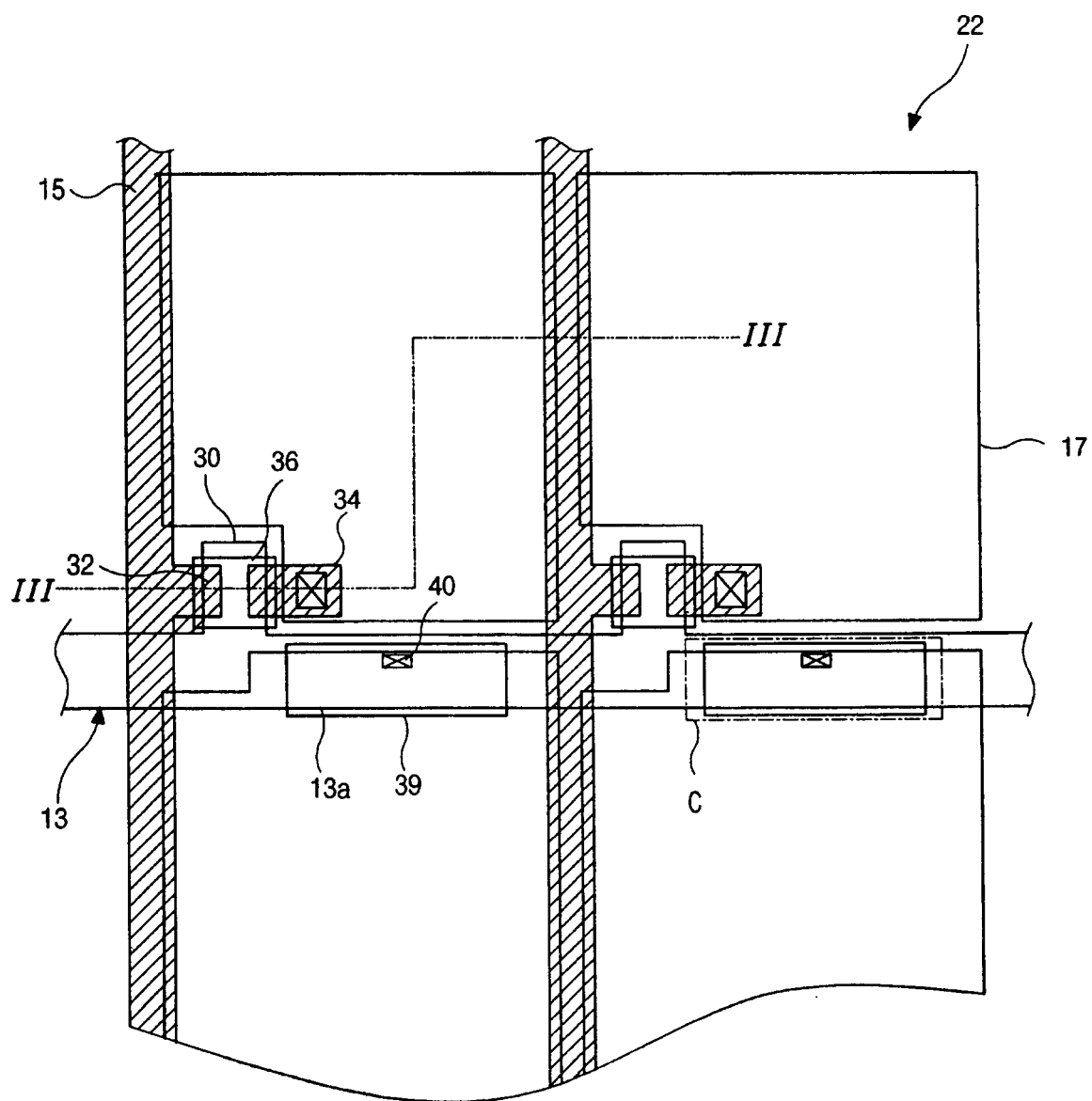


图 2

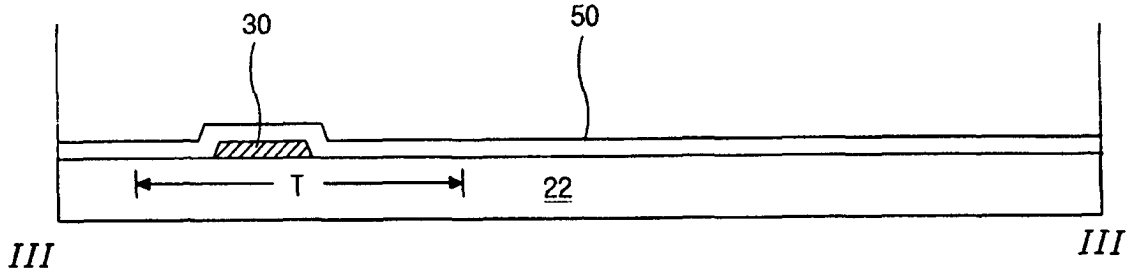


图 3A

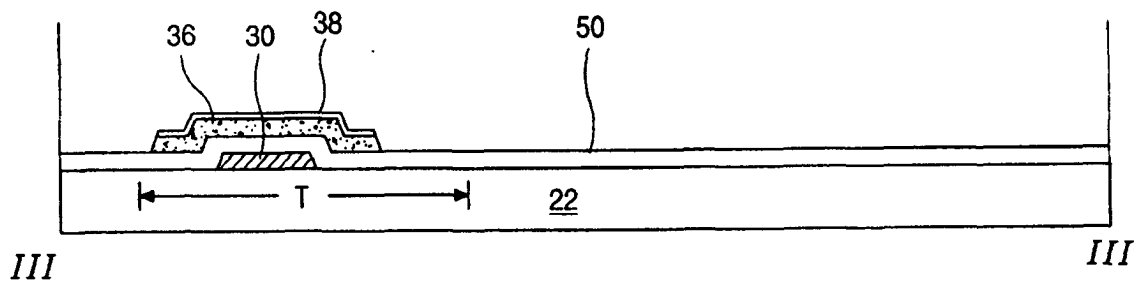


图 3B

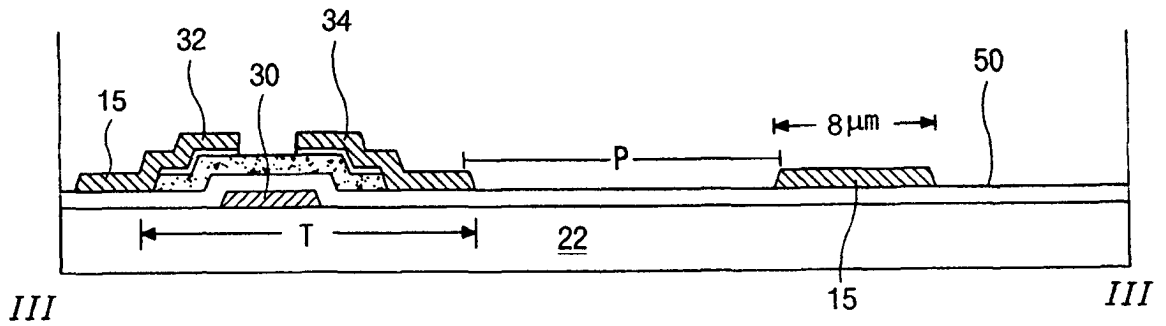


图 3C

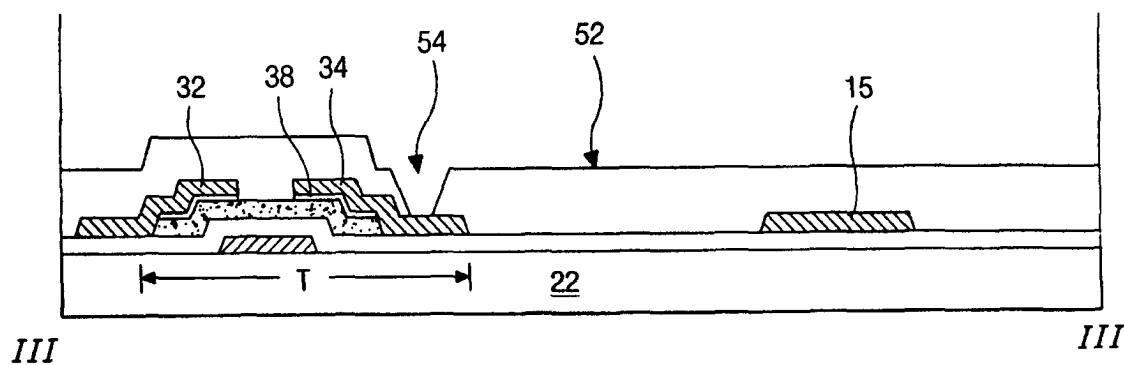


图 3D

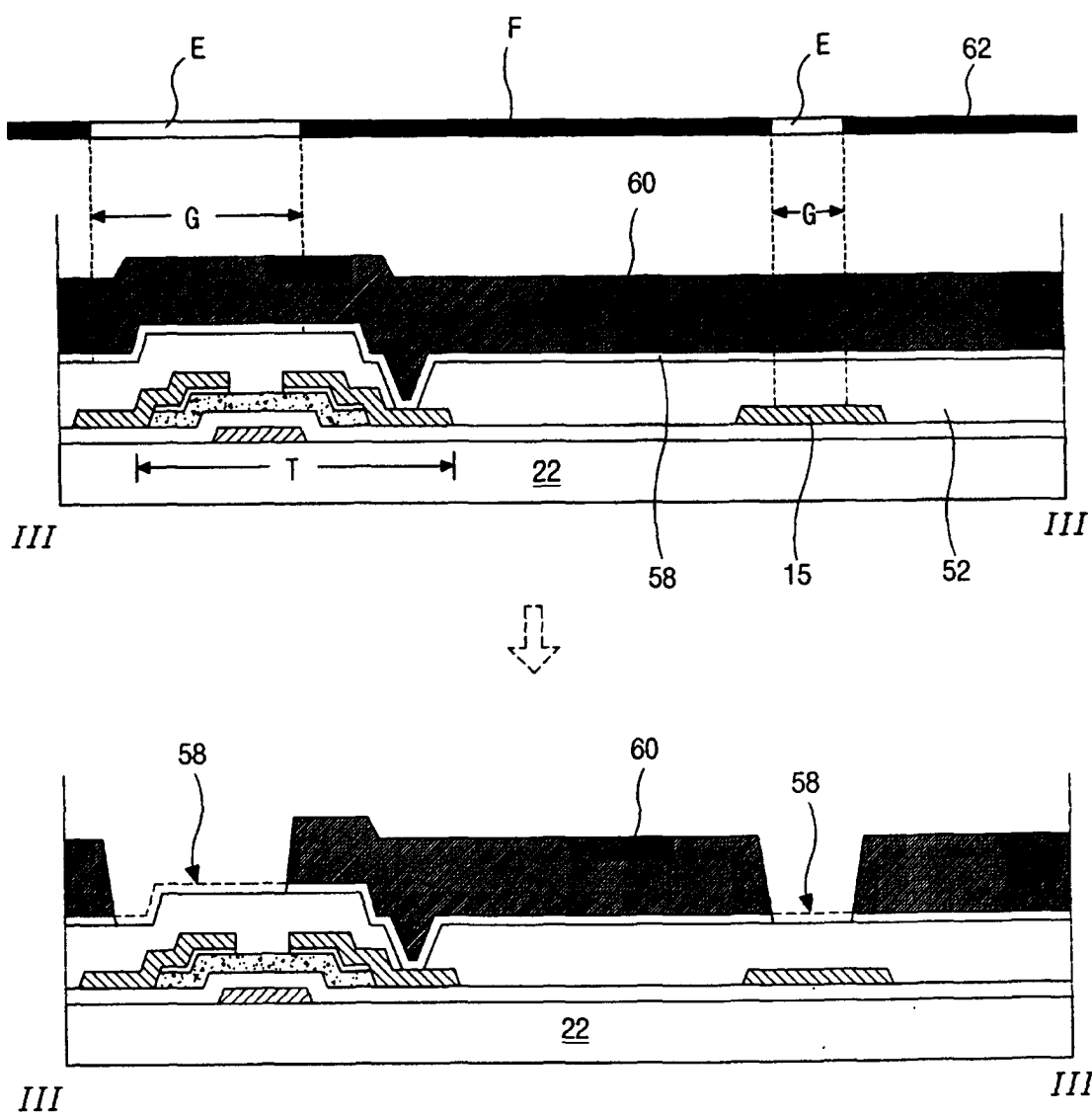


图 3E

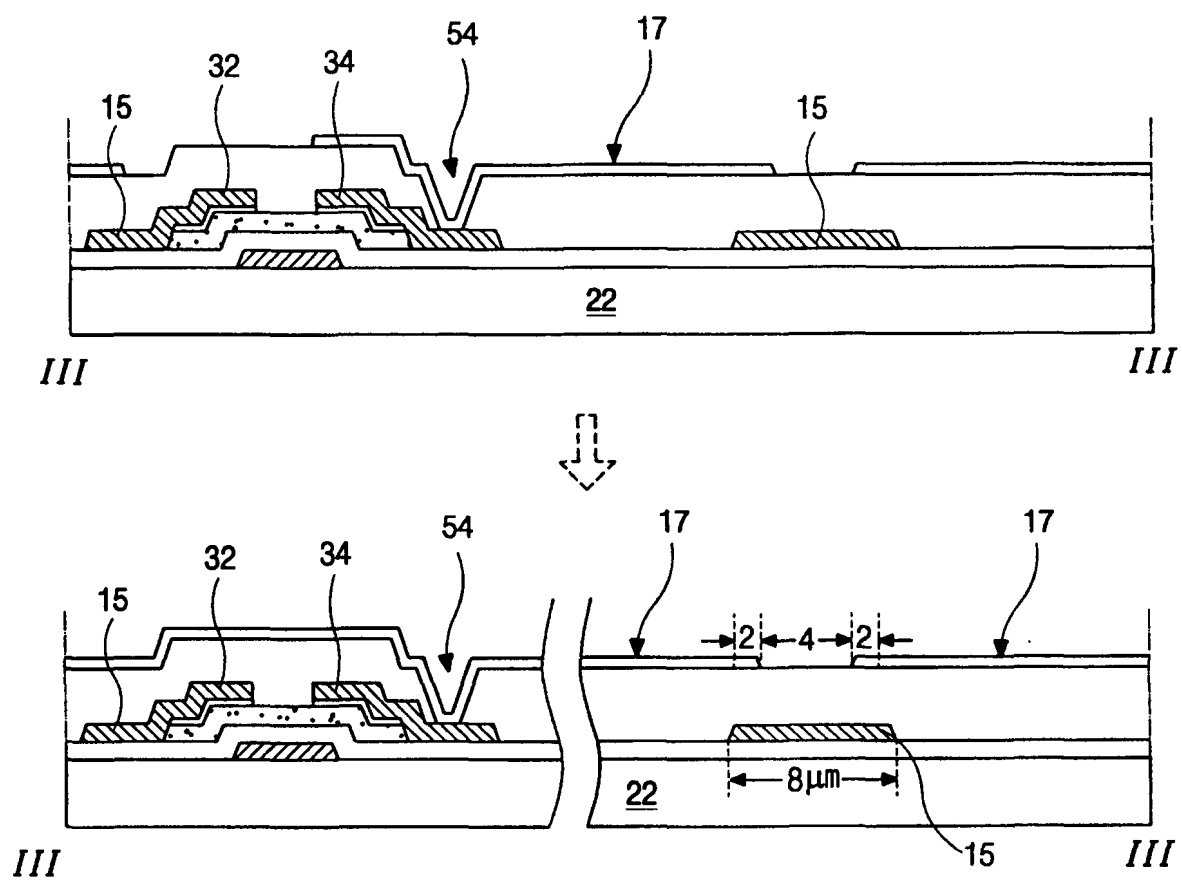


图 3F

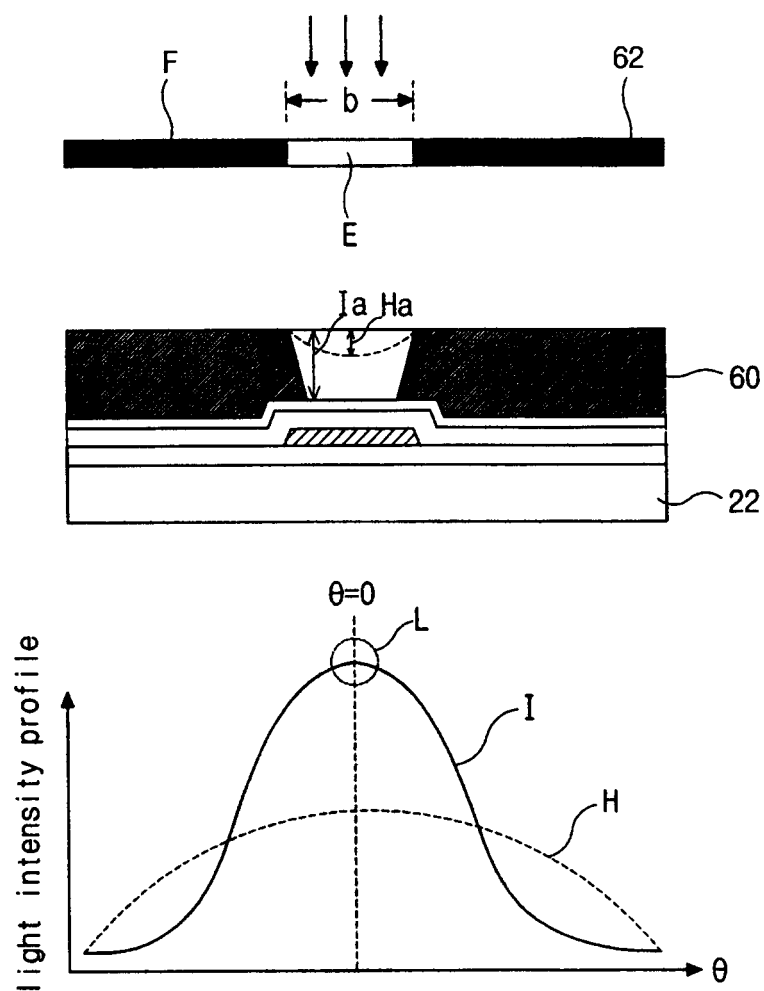


图 4

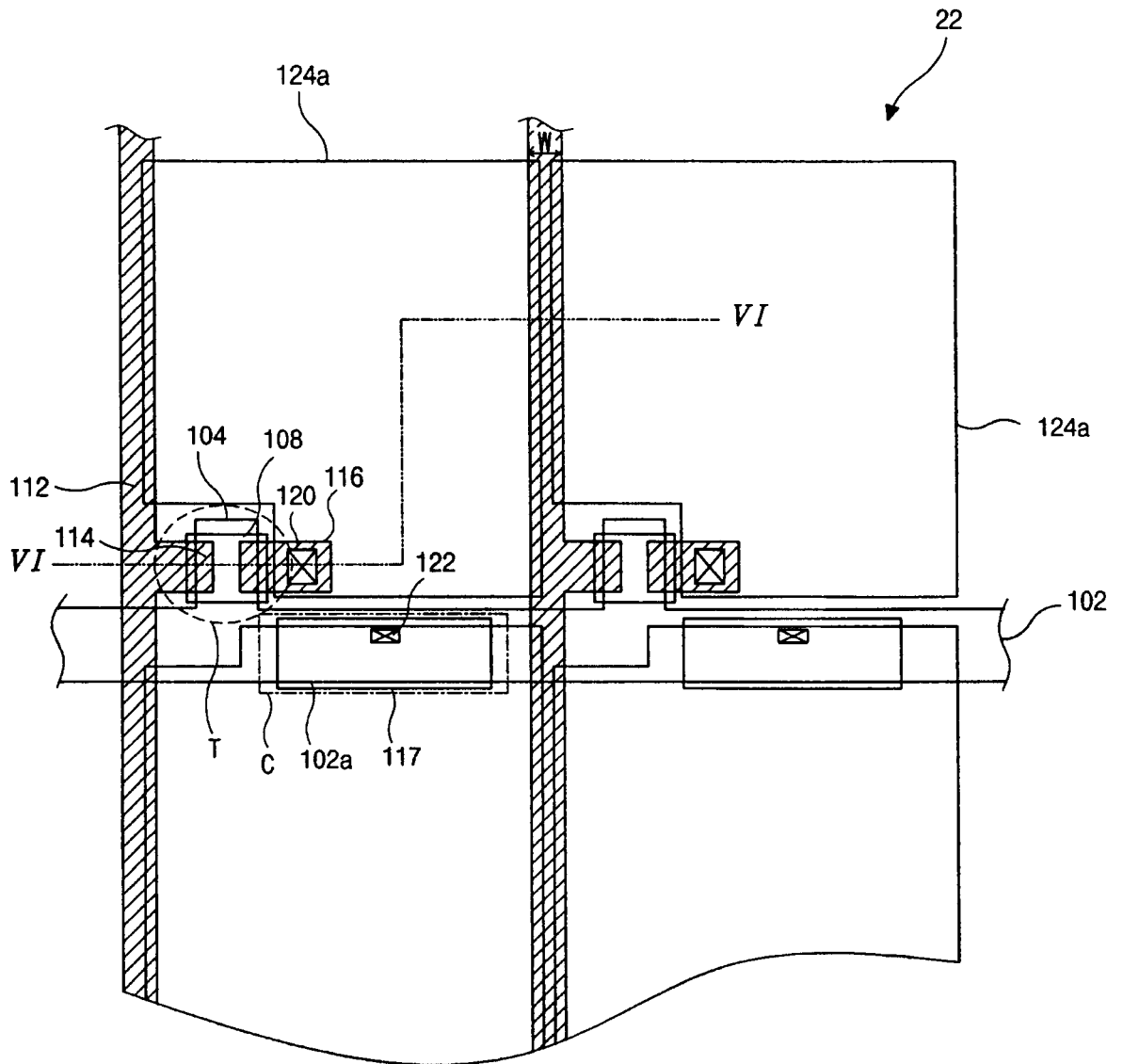


图 5

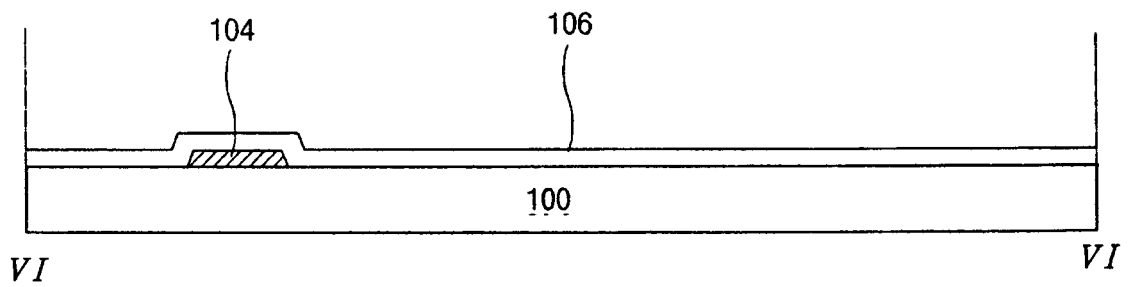


图 6A

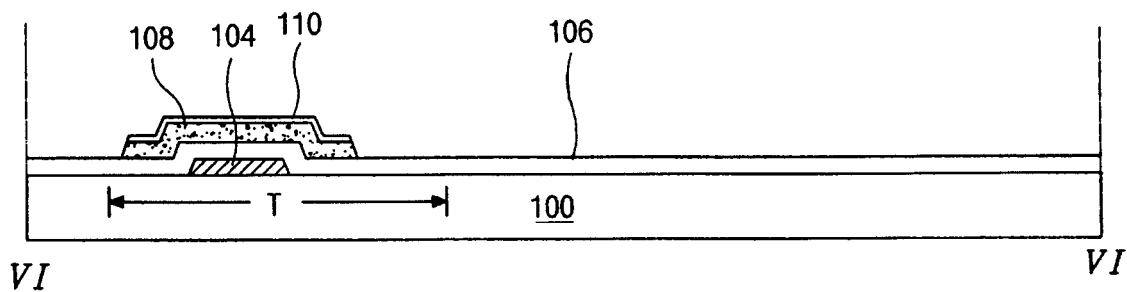


图 6B

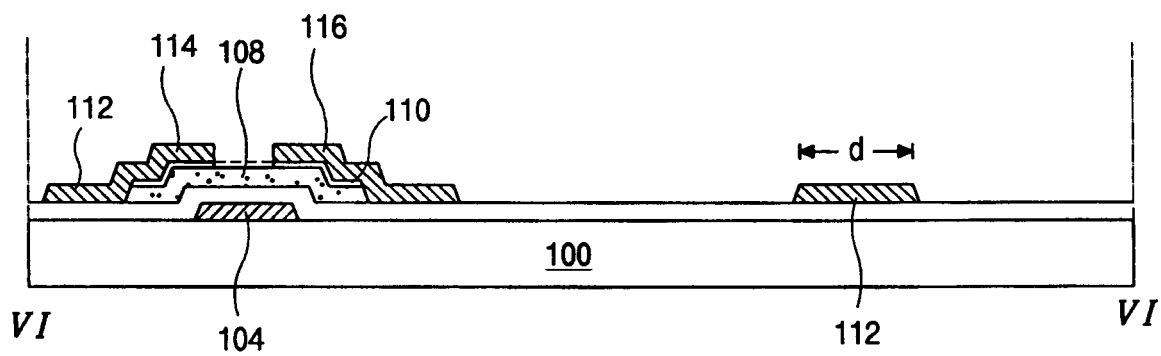


图 6C

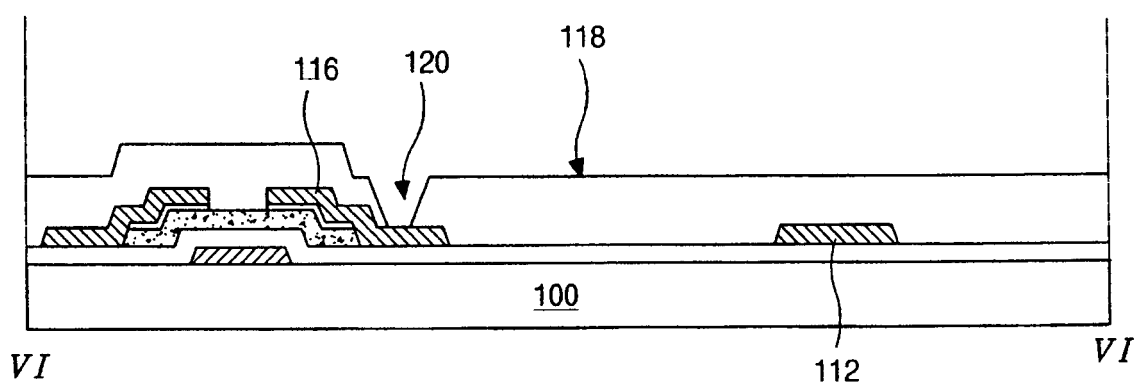


图 6D

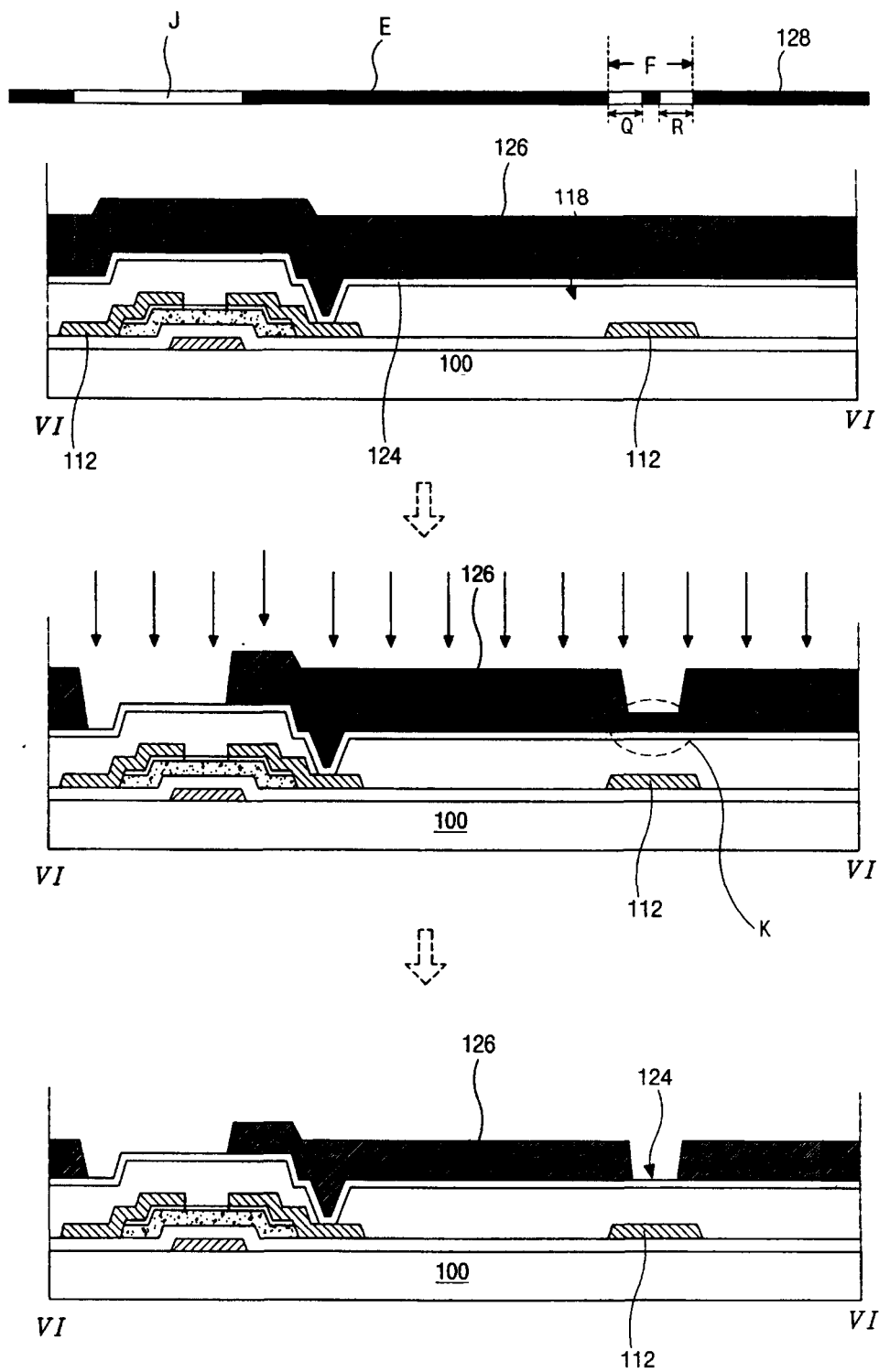


图 6E

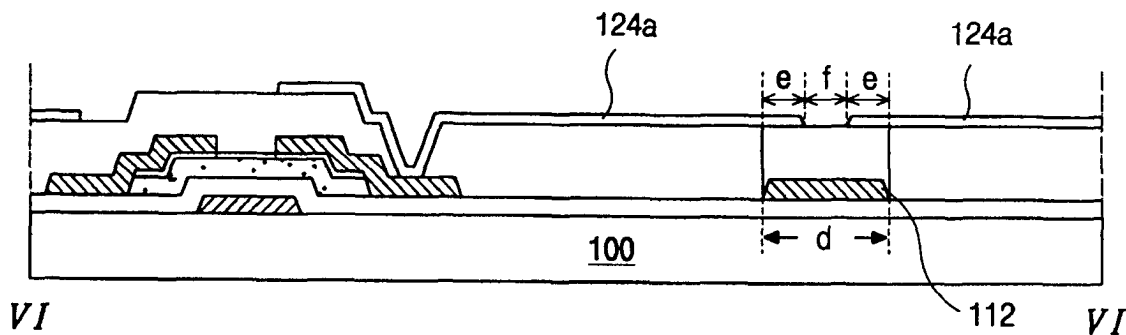


图 6F

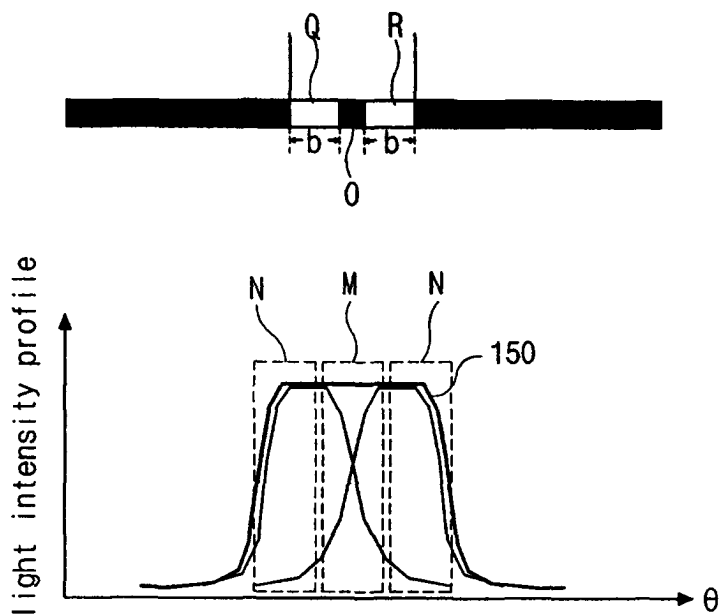


图 7

