



(12) 发明专利

(10) 授权公告号 CN 103984176 B

(45) 授权公告日 2016. 01. 20

(21) 申请号 201410253700. 1

CN 101552277 A, 2009. 10. 07,

(22) 申请日 2010. 09. 21

CN 1828911 A, 2006. 09. 06,

(30) 优先权数据

JP 特开平 7-122754 A, 1995. 05. 12,

2009-235287 2009. 10. 09 JP

审查员 郭栋

(62) 分案原申请数据

201080046493. 2 2010. 09. 21

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县厚木市

(72) 发明人 荒泽亮 宍户英明

(74) 专利代理机构 中国专利代理(香港)有限公司

司 72001

代理人 叶晓勇 汤春龙

(51) Int. Cl.

G02F 1/1368(2006. 01)

H01L 27/12(2006. 01)

(56) 对比文件

CN 101030006 A, 2007. 09. 05,

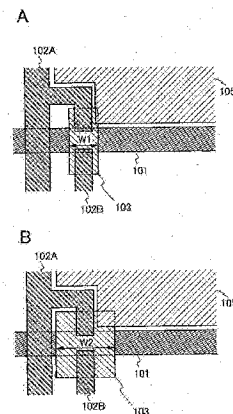
权利要求书3页 说明书16页 附图13页

(54) 发明名称

液晶显示装置及包括该液晶显示装置的电子设备

(57) 摘要

目的之一是提供一种可以具有高的开口率的液晶显示装置,其中液晶显示装置所具有的像素具备使用氧化物半导体的薄膜晶体管。所述液晶显示装置包括多个各具有薄膜晶体管及像素电极的像素。该像素与用作扫描线的第一布线电连接。该薄膜晶体管具有在第一布线上隔着栅极绝缘膜设置的氧化物半导体层。该氧化物半导体层以超出设置有第一布线的区域的边缘的方式设置。像素电极和氧化物半导体层彼此重叠。



1. 一种液晶显示装置,包括:

第一导电膜;

第二导电膜;

第三导电膜;以及

晶体管,

其中,所述晶体管包括氧化物半导体层,

所述氧化物半导体层包括铟、镓及锌,

所述氧化物半导体层具有结晶性,

所述第一导电膜包括被用作所述晶体管的栅极的第一区域,

所述晶体管在与所述栅极重叠的区域的所述氧化物半导体层中包括沟道形成区,

所述液晶显示装置包括接触于所述沟道形成区上的氧化物绝缘层,

所述氧化物绝缘层包括氧化硅,

所述第一导电膜包括超过在所述氧化物半导体层的沟道宽度方向上的端部的第二区域,

所述第一导电膜包括比所述被用作栅极的第一区域的宽度小的第三区域,

所述第三区域被用作扫描线,

所述第二导电膜被用作信号线,

所述信号线与所述晶体管的源极和漏极中的一个电连接,

所述晶体管的源极和漏极中的另一个与所述第三导电膜电连接,

所述第三导电膜与像素电极电连接,

所述第二导电膜及所述第三导电膜是通过对形成在所述氧化物半导体层上的导电层进行蚀刻工序而形成的,

所述氧化物半导体层包括其在沟道宽度方向上的长度大于所述沟道形成区的沟道长度的区域,

并且,所述氧化物半导体层包括其在沟道长度方向上的长度大于所述第一导电膜的所述第三区域的宽度的区域。

2. 一种液晶显示装置,包括:

第一导电膜;

第二导电膜;

第三导电膜;以及

晶体管,

其中,所述晶体管包括氧化物半导体层,

所述氧化物半导体层包括铟、镓及锌,

所述氧化物半导体层具有结晶性,

所述第一导电膜包括被用作所述晶体管的栅极的第一区域,

所述晶体管在与所述栅极重叠的区域的所述氧化物半导体层中包括沟道形成区,

所述液晶显示装置包括接触于所述沟道形成区上的氧化物绝缘层,

所述氧化物绝缘层包括氧化硅,

所述第一导电膜包括超过在所述氧化物半导体层的沟道宽度方向上的端部的第二区

域，

所述第一导电膜包括比所述被用作栅极的第一区域的宽度小的第三区域，

所述第三区域被用作扫描线，

所述第二导电膜被用作信号线，

所述信号线与所述晶体管的源极和漏极中的一个电连接，

所述晶体管的源极和漏极中的另一个与所述第三导电膜电连接，

所述第三导电膜与像素电极电连接，

所述第二导电膜及所述第三导电膜是通过对形成在所述氧化物半导体层上的导电层进行蚀刻工序而形成的，

所述氧化物半导体层包括其在沟道宽度方向上的长度大于从重叠于所述氧化物半导体层的所述第二导电膜的端部到重叠于所述氧化物半导体层的所述第三导电膜的端部为止的距离的区域，

并且，所述氧化物半导体层包括其在沟道长度方向上的长度大于所述第一导电膜的所述第三区域的宽度的区域。

3. 一种液晶显示装置，包括：

第一导电膜；

第二导电膜；

第三导电膜；

电容器；以及

晶体管，

其中，所述晶体管包括氧化物半导体层，

所述氧化物半导体层包括铟、镓及锌，

所述氧化物半导体层具有结晶性，

所述第一导电膜包括被用作所述晶体管的栅极的第一区域，

所述晶体管在与所述栅极重叠的区域的所述氧化物半导体层中包括沟道形成区，

所述液晶显示装置包括接触于所述沟道形成区上的氧化物绝缘层，

所述氧化物绝缘层包括氧化硅，

所述第一导电膜包括超过在所述氧化物半导体层的沟道宽度方向上的端部的第二区域，

所述第一导电膜包括比所述被用作栅极的第一区域的宽度小的第三区域，

所述第三区域被用作扫描线，

所述第二导电膜被用作信号线，

所述信号线与所述晶体管的源极和漏极中的一个电连接，

所述晶体管的源极和漏极中的另一个与所述第三导电膜电连接，

所述第三导电膜与像素电极电连接，

所述第二导电膜及所述第三导电膜是通过对形成在所述氧化物半导体层上的导电层进行蚀刻工序而形成的，

所述氧化物半导体层包括其在沟道宽度方向上的长度大于所述沟道形成区的沟道长度的区域，

所述氧化物半导体层包括其沟道长度方向的长度大于所述第一导电膜的所述第三区域的宽度的区域，

所述电容器所包括的电容器线不与所述沟道形成区重叠，

所述电容器所包括的电容器线包括在沿着所述沟道形成区的沟道长度方向上延伸的区域，

并且，所述电容器所包括的电容器线与所述像素电极重叠。

4. 一种液晶显示装置，包括：

第一导电膜；

第二导电膜；

第三导电膜；

电容器；以及

晶体管，

其中，所述晶体管包括氧化物半导体层，

所述氧化物半导体层包括铟、镓及锌，

所述氧化物半导体层具有结晶性，

所述第一导电膜包括被用作所述晶体管的栅极的第一区域，

所述晶体管在与所述栅极重叠的区域的所述氧化物半导体层中包括沟道形成区，

所述液晶显示装置包括接触于所述沟道形成区上的氧化物绝缘层，

所述氧化物绝缘层包括氧化硅，

所述第一导电膜包括超过在所述氧化物半导体层的沟道宽度方向上的端部的第二区域，

所述第一导电膜包括比所述被用作栅极的第一区域的宽度小的第三区域，

所述第三区域被用作扫描线，

所述第二导电膜被用作信号线，

所述信号线与所述晶体管的源极和漏极中的一个电连接，

所述晶体管的源极和漏极中的另一个与所述第三导电膜电连接，

所述第三导电膜与像素电极电连接，

所述第二导电膜及所述第三导电膜是通过对形成在所述氧化物半导体层上的导电层进行蚀刻工序而形成的，

所述氧化物半导体层包括其在沟道宽度方向上的长度大于从重叠于所述氧化物半导体层的所述第二导电膜的端部到重叠于所述氧化物半导体层的所述第三导电膜的端部为止的距离的区域，

所述氧化物半导体层包括其在沟道长度方向上的长度大于所述第一导电膜的所述第三区域的宽度的区域，

所述电容器所包括的电容器线不与所述沟道形成区重叠，

所述电容器所包括的电容器线包括在沿着所述沟道形成区的沟道长度方向延伸的区域，

并且，所述电容器所包括的电容器线与所述像素电极重叠。

液晶显示装置及包括该液晶显示装置的电子设备

[0001] 本发明申请是本发明申请人于 2012 年 4 月 9 日进入中国国家阶段的、申请号为 201080046493. 2、发明名称为“液晶显示装置及包括该液晶显示装置的电子设备”的发明申请的分案申请。

技术领域

[0002] 本发明涉及液晶显示装置。另外,本发明涉及具备该液晶显示装置的电子设备。

背景技术

[0003] 如以液晶显示装置为代表那样,形成在诸如玻璃衬底等的平板上的薄膜晶体管使用非晶硅或多晶硅来形成。使用非晶硅制造的薄膜晶体管具有如下特性:虽然其场效应迁移率低,但是能形成在较大的玻璃衬底上。另一方面,使用多晶硅制造的薄膜晶体管具有如下特性:虽然其场效应迁移率高,但是需要进行诸如激光退火等的晶化工序,且不一定适合于较大的玻璃衬底。

[0004] 鉴于上述情况,使用氧化物半导体来制造薄膜晶体管,且将它应用于电子设备和光装置的技术方案受到关注。例如,专利文献 1 公开了作为氧化物半导体膜使用氧化锌、In-Ga-Zn-O 类氧化物半导体来制造薄膜晶体管,且将这种晶体管用于液晶显示装置的开关元件等的技术方案。

[0005] 专利文献 1:日本专利申请公开 2009-099887 号

[0006] 将氧化物半导体用作沟道区域的薄膜晶体管的场效应迁移率高于将非晶硅用作沟道区域的薄膜晶体管的场效应迁移率。期待具备使用氧化物半导体来形成的这种薄膜晶体管的像素应用于诸如液晶显示装置等的显示装置。另外,在诸如三维显示器、4k2k 显示器等的具有更高的附加价值的液晶显示装置中,期待每个像素的面积减小,且希望具有开口率得到提高的像素的液晶显示装置。

发明内容

[0007] 考虑到前述情况,本发明的目的之一是提供一种具有高的开口率的液晶显示装置,其中液晶显示装置所具有的像素具备使用氧化物半导体的薄膜晶体管。

[0008] 根据本发明的一个实施方式是一种液晶显示装置,包括:具有薄膜晶体管及像素电极的像素。该像素与用作扫描线的第一布线电连接。该薄膜晶体管具有在第一布线上隔着栅极绝缘膜设置的氧化物半导体层。该氧化物半导体层延伸以超出设置有第一布线的区域的边缘。像素电极和氧化物半导体层彼此重叠。

[0009] 根据本发明的一个实施方式是一种液晶显示装置,包括:具有薄膜晶体管及像素电极的像素。该像素与用作扫描线的第一布线及用作信号线的第二布线电连接。该薄膜晶体管具有在第一布线上隔着栅极绝缘膜设置的氧化物半导体层。该氧化物半导体层延伸以超出设置有第一布线的区域的边缘。第二布线延伸到第一布线上的栅极绝缘膜上,且在氧化物半导体层上并与氧化物半导体层接触,像素电极和氧化物半导体层彼此重叠。

[0010] 根据本发明的一个实施方式是一种液晶显示装置,包括:薄膜晶体管及像素电极。该像素与用作扫描线的第一布线及用作信号线的第二布线电连接,该薄膜晶体管具有在第一布线上隔着栅极绝缘膜设置的氧化物半导体层。该氧化物半导体层延伸以超出设置有第一布线的区域的边缘。第二布线延伸到第一布线上的栅极绝缘膜及该栅极绝缘膜上的层间绝缘膜上,且在氧化物半导体层上并与氧化物半导体层接触。像素电极和氧化物半导体层彼此重叠。

[0011] 可以实现具备使用氧化物半导体的薄膜晶体管的像素的开口率的提高。由此,可以提供具有高清晰显示部的液晶显示装置。

附图说明

[0012] 在附图中:

[0013] 图 1A 和图 1B 是液晶显示装置的俯视图及截面图;

[0014] 图 2A 至图 2D 是图示液晶显示装置的截面图;

[0015] 图 3A 和图 3B 各是图示液晶显示装置的俯视图;

[0016] 图 4A 和图 4B 是液晶显示装置的俯视图及截面图;

[0017] 图 5A 和图 5B 各是图示液晶显示装置的俯视图;

[0018] 图 6A 至图 6C 是液晶显示装置的俯视图及截面图;

[0019] 图 7 是液晶显示装置的电路图;

[0020] 图 8A 和图 8B 各是图示液晶显示装置的电路图;

[0021] 图 9A 和图 9B 是图示液晶显示装置的电路图及时序图;

[0022] 图 10A 和图 10B 各是图示液晶显示装置的电路图;

[0023] 图 11A 和图 11B 各是图示液晶显示装置的电路图;

[0024] 图 12A 至图 12C 各图示电子设备;

[0025] 图 13A 至图 13C 各图示电子设备;以及

[0026] 图 14A 和图 14B 是液晶显示装置的俯视图及截面图。

具体实施方式

[0027] 参照附图对本发明的实施方式进行详细说明。本发明不局限于以下说明,且所属技术领域的普通技术人员可以很容易地理解一个事实就是此处公开的方式及详细内容在不脱离本发明的宗旨及其范围的情况下能按各种各样的形式被修改。因此,本发明不应该被解释为仅局限在此处包含的实施方式的内容中。注意,在以下说明的本发明的结构中,在不同的附图之间使用相同的附图标记来表示相同的部分或具有相似功能的部分,且不重复其说明。

[0028] 注意,在本说明书的附图中,图示的每个结构的大小、层的厚度或区域为了简单而有时被夸大。因此,本发明的实施例不局限于这种尺度。

[0029] 注意,在本说明书中使用的诸如“第一”、“第二”、“第三”等的术语是为了避免结构元件的混淆而使用的,而不是用于在结构元件的数目方面上进行限制。因此,例如能将术语“第一”适当地替换为术语“第二”或“第三”等。

[0030] 实施方式 1

[0031] 在本实施方式中,作为一个例子,使用薄膜晶体管(以下,也称为 TFT)及连接到该 TFT 的用作像素电极的电极(这种电极也简称为像素电极)对液晶显示装置进行说明。注意,像素是指由设置在显示装置的每个像素中的元件(例如诸如薄膜晶体管、用作像素电极的电极或布线等的根据电信号来控制显示的元件)构成的元件群。另外,像素可以包括滤色片等,且可以对应于能用一个像素控制其亮度的一个颜色成分。因此,例如,具备 RGB 色素元件的彩色显示装置中,图像的最小单位由 R 像素、G 像素及 B 像素的三个像素构成,并且能通过多个像素来得到图像。

[0032] 注意,当说明“A 与 B 连接”时,其中包括 A 与 B 彼此电连接的情况及 A 与 B 彼此直接连接的情况。在此,A 及 B 各是具有电功能的对象物。具体地说,“A 与 B 连接”的说明包括当考虑到电路工作时,A 和 B 之间的部分可以被认为一个节点的情况,例如:通过诸如晶体管等的开关元件使 A 与 B 连接,并通过该开关元件的导通而使 A 和 B 具有相同或大致相同的电位的情况;以及通过电阻器使 A 与 B 连接,且产生在该电阻器的相反端的电位差为不会不利地影响到包括 A 及 B 的电路的工作的情况。

[0033] 图 1A 是像素的俯视图。图 1A 所图示的 TFT 具有一种底栅型结构,其中从用作栅极的布线来看在用作沟道区域的氧化物半导体层的相反一侧放置用作 TFT 的源极电极及漏极电极的布线层,即所谓的反交错型的结构。

[0034] 图 1A 所图示的像素 100 具有用作扫描线的第一布线 101、用作信号线的第二布线 102A、氧化物半导体层 103、电容器线 104、以及像素电极 105。另外,图 1A 中的像素 100 具有用来使氧化物半导体层 103 与像素电极 105 电连接的第三布线 102B,由此形成薄膜晶体管 106。

[0035] 第一布线 101 也用作薄膜晶体管 106 的栅极。第二布线 102A 也用作薄膜晶体管 106 的源极电极或漏极电极的一个及存储电容器的一个电极。第三布线 102B 也用作薄膜晶体管 106 的源极电极及漏极电极的另一个。电容器线 104 用作存储电容器的另一个电极。注意,第一布线 101 和电容器线 104 由同一层构成,且第二布线 102A 和第三布线 102B 由同一层构成。另外,第三布线 102B 部分重叠于电容器线 104,由此形成液晶元件的存储电容器。

[0036] 薄膜晶体管 106 具有的氧化物半导体层 103 隔着栅极绝缘膜(未图示)设置在第一布线 101 上。该氧化物半导体层 103 延伸以超出设置有第一布线 101 的区域的边缘。

[0037] 注意,“A 延伸以超出 B 的边缘”的说明是指当在俯视图看层叠的 A 与 B 时,A 与 B 的边缘对准,且 A 向外延伸以便 A 的边缘放置在 B 的边缘的外侧。

[0038] 另外,图 1B 图示沿着图 1A 中的点划线 A1-A2 的截面结构。在图 1B 所图示的截面结构中,在衬底 111 上隔着基底膜 112 设置有电容器线 104 及用作栅极的第一布线 101。栅极绝缘膜 113 设置为覆盖第一布线 101 及电容器线 104。在栅极绝缘膜 113 上设置有氧化物半导体层 103。在氧化物半导体层 103 上设置有第二布线 102A 及第三布线 102B。另外,在氧化物半导体层 103、第二布线 102A 及第三布线 102B 上设置有用作钝化膜的氧化物绝缘层 114。在氧化物绝缘层 114 中形成有开口部分。在该开口部分中,像素电极 105 与第三布线 102B 彼此连接。由第三布线 102B 和电容器线 104 以栅极绝缘膜 113 作为电介质而组成电容器。

[0039] 注意,将图 1A 和图 1B 所图示的像素,如图 7 所图示那样,在衬底 700 上作为多个

像素 701 放置为矩阵。图 7 示出在衬底 700 上放置像素部分 702、扫描线驱动电路 703 及信号线驱动电路 704 的结构。像素 701 根据由与扫描线驱动电路 703 连接的第一布线 101 供给的扫描信号,被决定每行成为选择状态或非选择状态。根据扫描信号而被选择的像素 701 被供给来自与信号线驱动电路 704 连接的第二布线 102A 的视频电压(也称为图像信号、视频信号、或视频数据)。

[0040] 图 7 图示扫描线驱动电路 703 及信号线驱动电路 704 设置在衬底 700 上的结构,备选地,也可以扫描线驱动电路 703 或信号线驱动电路 704 的一个设置在衬底 700 上。也可以只有像素部分 702 设置在衬底 700 上。

[0041] 图 7 图示在像素部分 702 中将多个像素 701 配置为矩阵(条形)的一个例子。注意,像素 701 不必配置为矩阵,例如可以配置为三角图案配置或拜尔(Bayer)配置。作为像素部分 702 的显示方法,能使用顺序方法或隔行方法。注意,当进行彩色显示时像素中被控制的色素不局限于 RGB(R 是红色,G 是绿色,B 是蓝色)的三种颜色,也可以使用三种颜色以上的色素,例如可以对 RGBW(W 对应于白色)或 RGB 添加黄色、蓝绿色、紫红色等的一种以上。另外,色素的点可以具有不同大小的显示区域。

[0042] 在图 7 图示对应于像素的行方向及列方向的个数的第一布线 101 及第二布线 102A。注意,取决于包含于一个像素的子像素(sub pixel)的个数或像素中的晶体管的个数,可以增加第一布线 101 及第二布线 102A 的个数。也可以采用在像素之间共享的第一布线 101 及第二布线 102A 来驱动像素 701。

[0043] 注意,图 1A 图示第二布线 102A 为矩形的 TFT 的形状,备选地,第二布线 102A 可以围绕第三布线 102B(具体地说,第二布线 102A 可以是 U 字型或 C 字型),由此增加载流子移动的区域面积,而增加流动的电流。

[0044] 注意,可以将除了待成为薄膜晶体管 106 的区域之外的第一布线 101 的宽度以第一布线 101 部分地变细的方式而减小。通过将第一布线的宽度减小,可以实现像素的开口率的提高。

[0045] 注意,开口率代表一个像素中的光透过的区域的面积。因此,当不透光的构件所占的区域增大时,开口率降低,而当透过光的构件所占的区域增大时,开口率提高。在液晶显示装置中,通过减少与像素电极重叠的布线、电容器线所占的面积及减小薄膜晶体管的尺寸,使开口率得到提高。

[0046] 注意,薄膜晶体管是至少具有栅极、漏极及源极的三个端子的元件。薄膜晶体管在漏极区域及源极区域之间具有沟道区域,且可以使电流流过漏极区域、沟道区域及源极区域。在此,由于晶体管的源极及漏极取决于结构、工作条件等可以变化,因此很难限定哪个是源极或漏极。因此,有时不将用作源极或漏极的区域称为源极或漏极。在此情况下,例如,有时将源极及漏极的一个称作第一端子、第一电极或第一区域;且源极及漏极的另一个称作第二端子、第二电极或第二区域。

[0047] 接着,根据图 1A 和图 1B 所图示的俯视图及截面图,参照图 2A 至图 2D 说明像素的制造方法。

[0048] 作为具有透光性的衬底 111,能使用玻璃衬底。另外,图示将用来防止杂质从衬底 111 扩散或提高衬底 111 与设置在衬底 111 上的元件的附着的基底膜 112 设置在衬底 111 上的结构。注意,不必设置基底膜 112。

[0049] 接着,在衬底 111 的整个表面上形成导电层。之后,通过进行第一光刻工序来形成抗蚀剂掩模,并通过蚀刻去除不需要的部分来形成第一布线 101 及电容器线 104。此时,以至少使第一布线 101 及电容器线 104 的边缘渐缩的方式进行蚀刻。图 2A 是这个阶段的截面图。

[0050] 第一布线 101 及电容器线 104 优选使用诸如铝(Al)或铜(Cu)等的低电阻导电材料来形成。因为 Al 单体的使用有诸如耐热性低并且容易腐蚀等的缺点,所以将铝与具有耐热性的导电材料组合使用。作为具有耐热性的导电材料,能使用选自钛(Ti)、钽(Ta)、钨(W)、钼(Mo)、铬(Cr)、钕(Nd)、钪(Sc)中的元素、以任意这些元素作为其成分的合金、将包含任意这些元素的组合的合金或以包含任意这些元素作为其成分的氮化物。

[0051] 注意,能通过喷墨法或印刷法来形成 TFT 所包含的布线等。由此,布线等能在室温下形成、能在低真空度下形成或能使用大的衬底形成。因为即使不使用光掩模也能制造布线等,所以能容易改变晶体管的布局。另外,因为不需要使用抗蚀剂,所以能实现材料成本的降低及工序数量的减少。另外,也能通过喷墨法或印刷法来形成抗蚀剂掩模等。当使用喷墨法或印刷法只在需要的部分上形成抗蚀剂,并通过进行曝光及显影而形成抗蚀剂掩模时,与在整个表面上形成抗蚀剂的情况相比,能实现低成本化。

[0052] 或者,可以使用多色调(multi-tone)掩模来形成具有多种厚度(代表的是两种厚度)的区域的抗蚀剂掩模,而形成布线等。

[0053] 接着,在第一布线 101 及电容器线 104 的整个表面上形成绝缘膜(以下,称为栅极绝缘膜 113)。栅极绝缘膜 113 是使用溅射法等来形成的。

[0054] 例如,通过溅射法,形成氧化硅膜作为栅极绝缘膜 113。当然,栅极绝缘膜 113 不局限于这种氧化硅膜,也可以使用诸如氧氮化硅膜、氮化硅膜、氧化铝膜或氧化钽膜等的其他绝缘膜来形成单层或叠层结构。

[0055] 注意,在沉积氧化物半导体之前,优选进行引入氩气体生成等离子体的反溅射(reverse sputtering),来除去附着在栅极绝缘膜 113 的表面的尘埃。注意,可以使用氮气氛、氦气氛等代替氩气氛。也可以使用对其中添加有氧、 N_2O 等氩气氛。备选地,也可以使用对其中添加有 Cl_2 、 CF_4 等的氩气氛。

[0056] 接着,在对栅极绝缘膜 113 的表面进行等离子体处理之后,在不暴露于大气的情况下在栅极绝缘膜 113 上沉积氧化物半导体。通过将氧化物半导体用作晶体管的半导体层,与使用诸如非晶硅等的硅类半导体材料的情况相比,可以提高场效应迁移率。注意,氧化物半导体,例如氧化锌(ZnO)及氧化锡(SnO_2)。另外,能对 ZnO 添加 In、Ga 等。

[0057] 作为氧化物半导体,能使用以 $InMO_3(ZnO)_x$ ($x > 0$) 为代表的薄膜。注意, M 表示选自镓(Ga)、铁(Fe)、镍(Ni)、锰(Mn)及钴(Co)中的一种金属元素或多种金属元素。例如,有时 M 代表 Ga,此外,有时 M 代表诸如 Ni 或 Fe 等的除 Ga 之外(Ga 和 Ni 或 Ga 和 Fe)的上述金属元素。另外,在所述氧化物半导体中,除了作为 M 包含的金属元素之外,有时还可以包含作为杂质元素的诸如 Fe 或 Ni 等过渡金属元素或者该过渡金属的氧化物。例如,作为氧化物半导体层,可以使用 In-Ga-Zn-O 类膜。

[0058] 作为氧化物半导体($InMO_3(ZnO)_x$ ($x > 0$) 膜),可以使用 M 为不同的金属元素的 $InMO_3(ZnO)_x$ ($x > 0$) 膜来代替 In-Ga-Zn-O 类膜。另外,作为氧化物半导体,除了上述材料之外,还可以使用以下氧化物半导体:In-Sn-Zn-O 类氧化物半导体、In-Al-Zn-O 类氧化物半

导体、Sn-Ga-Zn-O 类氧化物半导体、Al-Ga-Zn-O 类氧化物半导体、Sn-Al-Zn-O 类氧化物半导体、In-Zn-O 类氧化物半导体、Sn-Zn-O 类氧化物半导体、Al-Zn-O 类氧化物半导体、In-O 类氧化物半导体、Sn-O 类氧化物半导体、Zn-O 类氧化物半导体。

[0059] 注意,在本实施方式中,作为氧化物半导体使用 In-Ga-Zn-O 类氧化物半导体。在此使用含有 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO} = 1:1:1$ 的比率的靶。在以下条件下沉积氧化物半导体:衬底与靶之间的距离为 100mm,压力为 0.6Pa,直流(DC)电源为 0.5kW,并且气氛为氧(氧流量比为 100%)气氛。注意,优选使用脉冲直流(DC)电源,因为能减少在膜沉淀时产生的粉状物质(也称为微粒或尘埃),并且能使膜厚度变得均匀。

[0060] 注意,氧化物半导体既可以使用与先前进行反溅射的处理室相同的处理室进行沉积,又可以使用与先前进行反溅射的处理室不同的处理室进行沉积。

[0061] 溅射法的例子如下:作为溅射电源使用高频电源的 RF 溅射法、使用直流电源的 DC 溅射法、以及以脉冲方式施加偏压的脉冲 DC 溅射法。RF 溅射法主要用于绝缘膜的形成,且 DC 溅射法主要用于金属膜的形成。

[0062] 另外,也有能设置材料不同的多个靶的多源溅射装置。多源溅射装置既能在同一处理室中层叠形成材料不同的膜,又可以在同一处理室中通过同时放电来形成多种材料的膜。

[0063] 另外,也有如下溅射装置:在处理室内部具备磁铁系统且使用磁控管溅射法的溅射装置;不使用辉光放电而使用通过微波来产生的等离子体的使用 ECR 溅射法的溅射装置。

[0064] 另外,使用溅射法的沉积方法有如下例子:在成膜时使靶物质与溅射气体成分彼此化学反应而形成其化合物薄膜的反应溅射法;在成膜时对衬底也施加电压的偏压溅射法。

[0065] 接着,对氧化物半导体层进行脱水化或脱氢化。用于脱水化或脱氢化的第一加热处理的温度为 400°C 以上且低于 750°C ,优选为 425°C 以上且低于 750°C 。注意,当加热处理的温度为 425°C 以上时,加热处理进行 1 个小时以内即可,当温度低于 425°C 时,加热处理优选进行长于 1 个小时。在此,将衬底导入到加热处理装置之一的电炉中,且在氮气气氛下对氧化物半导体层进行加热处理。之后,不使氧化物半导体层暴露于大气,这防止水或氢等进入到氧化物半导体层,由此得到氧化物半导体层。在本实施方式中,使用同一电炉以从对氧化物半导体层进行脱水化或脱氢化的加热温度 T 到防止水的进入的充分低的温度而进行缓冷,具体地说,在氮气气氛下对氧化物半导体层进行直到温度从加热温度 T 降低 100°C 以上的缓冷。另外,不局限于氮气气氛,而也可以在稀有气体(氦、氖、氩等)气氛下进行脱水化或脱氢化。

[0066] 另外,加热处理装置不局限于电炉,而也可以配备有通过来自诸如电阻发热体等的发热体的热传导或热辐射来加热被处理物的装置。例如,能使用诸如 GRTA (Gas Rapid Thermal Anneal,即气体快速热退火)装置、LRTA (Lamp Rapid Thermal Anneal,即灯快速热退火)装置等的 RTA (Rapid Thermal Anneal,即快速热退火)装置。LRTA 装置是通过诸如卤素灯、金属卤化物灯、氙弧灯、碳弧灯、高压钠灯或高压汞灯等的灯发出的光(电磁波)的辐射来加热被处理物的装置。GRTA 装置是使用高温气体进行加热处理的装置。作为气体,使用诸如氩等的稀有气体或例如氮的在加热处理中也几乎不与对象产生反应的惰性气

体。

[0067] 通过在 400°C 以上且低于 750°C 的温度下使氧化物半导体层经历热处理, 能实现氧化物半导体层的脱水化或脱氢化, 由此, 能防止后面工序中的水 (H₂O) 的再次侵入。

[0068] 在第一加热处理中, 优选在氮或诸如氦、氩、氙等的稀有气体中不包含水及氢等。优选将导入到加热处理装置中的氮或诸如氦、氩、氙等的稀有气体的纯度设定为 6N (99.9999%) 以上, 优选为 7N (99.99999%) 以上 (即杂质浓度为 1ppm 以下, 优选为 0.1ppm 以下)。

[0069] 注意, 取决于第一加热处理的条件或氧化物半导体层的材料, 有时该氧化物半导体层晶化并成为微晶膜或多晶膜。例如, 氧化物半导体层可以晶化为具有晶化率为 90% 以上或 80% 以上的程度的微晶氧化物半导体膜。另外, 取决于第一加热处理的条件或氧化物半导体层的材料, 氧化物半导体层可以为不包含结晶成分的非晶氧化物半导体膜。

[0070] 氧化物半导体层在用于脱水化或脱氢化的第一加热处理之后成为氧缺陷型, 且氧化物半导体层的电阻被降低。第一加热处理之后的氧化物半导体层的载流子浓度比刚成膜之后的氧化物半导体膜的载流子浓度高, 且氧化物半导体层优选具有 $1 \times 10^{18}/\text{cm}^3$ 以上的载流子浓度。

[0071] 接着, 通过进行第二光刻工序来形成抗蚀剂掩模, 并通过蚀刻去除不需要的部分来形成由氧化物半导体构成的氧化物半导体层 103。可以对尚未加工为岛状氧化物半导体层的氧化物半导体膜进行对氧化物半导体层 103 的第一加热处理。作为此时的蚀刻方法, 使用湿蚀刻或干蚀刻。图 2B 是这个阶段的截面图。

[0072] 接着, 通过溅射法或真空蒸镀法, 在氧化物半导体层上形成由金属材料构成的导电膜。导电膜的材料例子是选自 Al、Cr、Ta、Ti、Mo 和 W 中的元素、包含任意所述元素作为其成分的合金、以及包含任意所述元素的组合的合金。另外, 当进行 200°C 至 600°C 的热处理时, 优选使该导电膜具有承受该热处理的耐热性。因为 Al 单体有耐热性低并且容易腐蚀等的缺点, 所以将 Al 与具有耐热性的导电材料组合使用。作为与 Al 组合使用的具有耐热性的导电材料, 能使用任意以下材料: 选自钛 (Ti)、钽 (Ta)、钨 (W)、钼 (Mo)、铬 (Cr)、钕 (Nd)、钪 (Sc) 中的元素、包含任意所述元素作为成分的合金、包含所述元素的组合的合金以及包含任意所述元素作为成分的氮化物。

[0073] 在此, 导电膜采用钛膜的单层结构。或者, 导电膜可以采用双层结构, 并可以将钛膜层叠在铝膜上。备选地, 导电膜可以采用三层结构, 其中按此顺序层叠钛膜、包含 Nd 的铝膜 (Al-Nd 膜) 及钛膜。导电膜可以采用包含硅的铝膜的单层结构。

[0074] 接着, 通过进行第三光刻工序来形成抗蚀剂掩模, 并通过蚀刻去除不需要的部分来形成由导电膜构成的第二布线 102A 及第三布线 102B。作为此时的蚀刻方法, 使用湿蚀刻或干蚀刻。例如, 通过使用过氧化氢氨水 (31wt% 的过氧化氢溶液 : 28wt% 的氨水 : 水 = 5:2:2) 的湿蚀刻对 Ti 的导电膜进行蚀刻时, 对第二布线 102A 及第三布线 102B 部分地进行蚀刻而能使氧化物半导体层 103 残存。图 2C 是这个阶段的截面图。

[0075] 另外, 取决于蚀刻条件在第三光刻工序中有时氧化物半导体层的露出区域被蚀刻。在此情况下, 第二布线 102A 与第三布线 102B 之间的区域中的氧化物半导体层 103 的厚度比在第一布线 101 上与第二布线 102A 或第三布线 102B 重叠的区域中的第一氧化物半导体层 103 的厚度小。

[0076] 接着,在栅极绝缘膜 113、氧化物半导体层 103、第二布线 102A 及第三布线 102B 上形成氧化物绝缘层 114。在这个阶段,氧化物半导体层 103 的一部分接触于氧化物绝缘层 114。注意,隔着栅极绝缘膜 113 与第一布线 101 重叠的氧化物半导体层 103 的区域用作沟道形成区。

[0077] 氧化物绝缘层 114 能适当地使用诸如溅射法等的不使水或氢等的杂质混入到氧化物绝缘层中的方法来形成至少 1nm 的厚度。在本实施方式中,使用溅射法来形成用作氧化物绝缘层的氧化硅膜。膜形成时的衬底温度为室温以上且 300℃ 以下,在本实施方式中为 100℃。能通过溅射法在稀有气体(代表地是氩)气氛下、氧气氛下或稀有气体(代表地是氩)及氧的混合气氛下形成氧化硅膜。作为靶能使用氧化硅靶或硅靶。例如,能使用硅靶在氧及稀有气体气氛下通过溅射法来形成氧化硅膜。作为与低电阻化了的氧化物半导体层接触地形成的氧化物绝缘层,使用不包含诸如水分、氢离子或 OH 等的杂质,并防止所述杂质从外部进入的无机绝缘膜。具体地,使用氧化硅膜、氮氧化硅膜、氧化铝膜或氧氮化铝膜等。注意,通过溅射法形成的氧化物绝缘层尤其致密,即使该氧化物绝缘层的单层,也能用作防止杂质扩散到与其接触的层的保护膜。另外,通过使用掺杂磷(P)或硼(B)的靶,能将磷(P)或硼(B)添加到氧化物绝缘层中。

[0078] 在本实施方式中,使用具有纯度为 6N 的柱状多晶且掺杂有硼的硅靶(电阻值为 0.01 Ω cm)在以下条件下通过脉冲 DC 溅射法形成氧化物绝缘层 114:衬底与靶之间的距离(T-S 距离)为 89 mm,压力为 0.4Pa,直流(DC)电源为 6kW,并且在氧(氧流量比为 100%)气氛下。氧化物绝缘层 114 的厚度为 300nm。

[0079] 注意,氧化物绝缘层 114 设置为在用作氧化物半导体层的沟道形成区域的区域上且与该区域接触,且也具有用作沟道保护层的功能。

[0080] 接着,第二加热处理(优选为 200℃ 至 400℃,例如 250℃ 至 350℃)可以在惰性气体气氛下或氮气体气氛下进行。例如,在氮气氛下进行 250℃ 且 1 个小时的第二加热处理。通过第二加热处理,在氧化物半导体层 103 的一部分接触于氧化物绝缘层 114 下施加热。

[0081] 当在通过第一加热处理而低电阻化的氧化物半导体层 103 接触于氧化物绝缘层 114 下进行第二加热处理时,与氧化物绝缘层 114 接触的区域成为氧缺陷的状态。由此,从氧化物半导体层 103 的与氧化物绝缘层 114 接触的区域向氧化物半导体层 103 的深度方向成为 i 型化区域(该区域高电阻化)。

[0082] 接着,通过第四光刻工序,在氧化物绝缘层 114 中形成开口部分 121,并且形成透光导电膜。通过溅射法或真空蒸镀法等,使用氧化铟(In₂O₃)、氧化铟与氧化锡的合金(In₂O₃-SnO₂,简称为 ITO)等来形成透光导电膜。备选地,可以使用包含氮的 Al-Zn-O 类膜,即 Al-Zn-O-N 类膜、包含氮的 Zn-O 类膜或包含氮的 Sn-Zn-O 类膜。注意,Al-Zn-O-N 类膜中的锌的组成比率(at.%)为 47 at.% 以下,且比该膜中的铝的组成比率(at.%)高,该膜中的铝的组成比率(at.%)比膜中的氮的组成比率(at.%)高。通过使用盐酸类的溶液对这些材料进行蚀刻。然而,由于对 ITO 的蚀刻特别容易产生残渣,因此为了改善蚀刻加工性,可以使用氧化铟与氧化锌的合金(In₂O₃-ZnO)。

[0083] 注意,透光导电膜的组成百分比的单位为 at.%,并通过使用电子探针 X 射线微分析仪(EPMA:Electron Probe X-ray Micro Analyzer)的分析来评价组成百分比。

[0084] 接着,通过进行第五光刻工序来形成抗蚀剂掩模,并通过蚀刻去除不需要的部分

来形成像素电极 105。图 2D 是这个阶段的截面图。

[0085] 以此方式,可以制造具有薄膜晶体管 106 的像素。并且,通过将像素配置为矩阵状来构成像素部分,可以得到用来制造有源矩阵型液晶显示装置的一个的衬底。在本说明书中,为了方便起见,将这种衬底称为有源矩阵衬底。

[0086] 注意,在有源矩阵型液晶显示装置中,通过驱动配置为矩阵状的像素电极,从而在屏幕上形成显示图案。详细地说,通过在被选择的像素电极与对应于该像素电极的对置电极(counter electrode)之间施加电压,从而进行设置在像素电极与对置电极之间的液晶层的光学调制,且该光学调制被观察者识别为显示图案。诸如液晶元件等的显示元件设置在像素电极 105 上。

[0087] 参照图 3A 和图 3B,对在图 1A 和图 1B、图 2A 至图 2D 中图示的本实施方式的结构优点详细地进行说明。

[0088] 图 3A 和图 3B 各是图 1A 的俯视图中的氧化物半导体层附近的放大图。将图 3A 中的氧化物半导体层 103 的宽度(在图 3A 中的 W1)扩大的示图对应于图示了氧化物半导体层 103 的宽度(图 3B 中的 W2)的图 3B。

[0089] 在本实施方式的图 1A 中的像素的俯视图中,如图 3A 和图 3B 所图示那样,在不从第一布线 101 分支另一布线的情况下,在第一布线 101 上设置有氧化物半导体层 103。形成在第二布线 102A 与第三布线 102B 之间的氧化物半导体层的沟道区域形成在与第一布线 101 重叠的区域。当光照射至沟道区域时,TFT 特性可能不均匀,因此,氧化物半导体层 103 需要用从第一布线 101 分支的布线确实地进行遮光,而这导致像素的开口率的降低。相对于此,通过本实施方式中的结构,即将氧化物半导体层设置为重叠于第一布线 101,而不形成从第一布线 101 分支的布线,能实现开口率的提高。另外,通过使用透光氧化物半导体层作为薄膜晶体管的半导体层,即使氧化物半导体层偏移出预期的重叠于第一布线 101 的区域,而重叠于像素电极 105,也能不降低开口率地进行显示。

[0090] 通过以大于规定的尺寸的图案形成氧化物半导体层,即使该氧化物半导体层形成于稍微偏移出预期的位置的部分,也能进行良好的显示,而无故障及开口率的降低。因此,能容易制造液晶显示装置的有源矩阵衬底,并能实现成品率的提高。

[0091] 如上所述,本实施方式所说明的结构使得能提高具备在其中使用氧化物半导体的薄膜晶体管的像素的开口率的提高。因此,液晶显示装置能具有高清晰显示部。

[0092] 本实施方式能与任意其他实施方式中所说明的结构适当地组合而实施。

[0093] 实施方式 2

[0094] 下面对包含具有与实施方式 1 不同结构的 TFT 的显示装置中的像素的一个例子进行说明。

[0095] 图 4A 是具有与实施方式 1 的结构不同的结构的像素的俯视图。另外,图 4A 中所图示的 TFT 的结构是一种底栅结构,即从用作栅极的布线来看,在用作沟道区域的氧化物半导体层的相反侧放置用作 TFT 的源极电极及漏极电极的布线层的所谓的反交错结构。

[0096] 图 4A 中所图示的像素 400 具有用作扫描线的第一布线 401、用作信号线的第二布线 402A、氧化物半导体层 403、电容器线 404、像素电极 405。另外,该像素 400 具有用来使氧化物半导体层 403 与像素电极 405 电连接的第三布线 402B,由此形成薄膜晶体管 406。第一布线 401 也用作薄膜晶体管 406 的栅极。第二布线 402A 也用作薄膜晶体管 406 的源极

电极及漏极电极中的一个。第三布线 402B 也用作薄膜晶体管 406 的源极电极及漏极电极的另一个以及存储电容器的一个电极。电容器线 404 是用作存储电容器的另一个电极的布线。

[0097] 注意,第一布线 401 和电容器线 404 由同一层构成,第二布线 402A 和第三布线 402B 由同一层构成。另外,第三布线 402B 与电容器线 404 彼此一部分重叠,由此形成液晶元件的存储电容器。注意,薄膜晶体管 406 中具有的氧化物半导体层 403 在第一布线 401 上隔着栅极绝缘膜(未图示)而设置,且以超出设置有第一布线 401 的区域的边缘的方式延伸。

[0098] 图 4B 图示沿着图 4A 中的点划线 A1-A2 的截面结构。在图 4B 中图示的截面结构中,在衬底 411 上隔着基底膜 412 设置有用作栅极的第一布线 401、电容器线 404。以覆盖第一布线 401 及电容器线 404 的方式,设置有栅极绝缘膜 413。在栅极绝缘膜 413 上设置有氧化物半导体层 403。在氧化物半导体层 403 上设置有第二布线 402A 及第三布线 402B。在氧化物半导体层 403、第二布线 402A 及第三布线 402B 上设置有用作钝化膜的氧化物绝缘层 414。在氧化物绝缘层 414 中形成有开口部分,在该开口部分中像素电极 405 与第三布线 402B 连接。另外,由第三布线 402B 和电容器线 404 将栅极绝缘膜 413 用作电介质来组成电容器。

[0099] 注意,将图 4A 和图 4B 所图示的像素,与实施方式 1 的图 1A 和图 1B 中的说明那样,放置在图 7 中的衬底 700 上作为配置为矩阵状的多个像素 701。图 7 的说明与实施方式 1 相似。

[0100] 另外,图 4B 中的截面图与图 1B 中的截面图相似,且用于形成像素的方法的说明,与实施方式 1 的图 2A 至图 2D 的说明相似。

[0101] 参照图 5A 和图 5B 详细地说明在图 4A 和图 4B 中说明的本实施方式中的结构的优点。

[0102] 图 5A 和图 5B 每一个是图 4A 的俯视图中的氧化物半导体层附近的放大图。图 5A 中的氧化物半导体层 403 的宽度(图 5A 中的 W1)扩大的示图对应于图示了氧化物半导体层 403 的宽度(图 5B 中的 W2)的图 5B。

[0103] 在本实施方式的图 4A 的像素的俯视图中,如图 5A 和图 5B 所图示那样,在不从第一布线 401 分支另一布线的情况下,在第一布线 401 上设置有氧化物半导体层 403。形成于氧化物半导体层中的第二布线 402A 与第三布线 402B 之间的沟道区域形成在与第一布线 401 重叠的区域。再者,在本实施方式中,使氧化物半导体层 403 延伸到第一布线 401 上的栅极绝缘膜上且接触于第二布线 402A 及第三布线 402B。当光照射至沟道区域时,TFT 特性可能不均匀,因此,氧化物半导体层 403 需要用从第一布线 401 分支的布线确实地进行遮光,这导致像素的开口率的降低。相对于此,通过本实施方式中的结构,即,其中将氧化物半导体层设置为重叠于第一布线 401,而不从第一布线 401 形成分支的布线,并且使第二布线 402A 及第三布线 402B 延伸到第一布线 401 上的栅极绝缘膜上而接触于氧化物半导体层 403,能实现开口率的提高。另外,通过使用透光氧化物半导体层作为薄膜晶体管的半导体层,即使氧化物半导体层偏移出预期的重叠于第一布线 401 的区域且由此重叠于像素电极 405,也可以不降低开口率地进行显示。

[0104] 注意,图 4A 所图示的延伸到第一布线 401 上的第二布线 402A 及第三布线 402B 重

叠于第一布线 401。第二布线 402A 及第三布线 402B 既可以被置为弯曲状(蜿蜒状),又可以直线状设置。

[0105] 当通过大于规定的尺寸的图案形成氧化物半导体层时,即使该氧化物半导体层形成在稍微偏移出预期的位置的区域,也能进行良好的显示,而无故障及开口率的降低。因此,能容易制造用于液晶显示装置的有源矩阵衬底,并能实现成品率的提高。

[0106] 如上所述,本实施方式中的结构使得能提高具备在其中使用氧化物半导体的薄膜晶体管的像素的开口率。因此,液晶显示装置能具有高清晰显示部。

[0107] 本实施方式能与任意其他实施方式说明的结构适当地组合而实施。

[0108] 实施方式 3

[0109] 下面对包含具有与实施方式 1 和 2 不同的结构的 TFT 的显示装置的像素的一个构成例子进行说明。

[0110] 图 6A 至图 6C 是具有与实施方式 2 中不同的结构的像素的俯视图及截面图。注意,图 6A 的俯视图中的结构与图 4A 相似,所以不重复说明。另外,图 6B 的截面图中的结构与图 4B 的截面图中的结构不同之处在于在第一布线 401 与第二布线 402A 之间设置绝缘层 601A,以及在第一布线 401 与第三布线 402B 之间设置绝缘层 601B。另外,图 6C 是沿着图 6A 中的虚线 B1-B2 的截面图,图示在电容器线 404 与第二布线 402A 之间放置有绝缘层 601A 的结构。

[0111] 当将第二布线 402A 及第三布线 402B 延伸到第一布线 401 及电容器线 404 上时,取决于栅极绝缘膜 413 的厚度,在第一布线 401 与第二布线 402A 之间、第一布线 401 与第三布线 402B 之间、以及电容器线 404 与第二布线 402A 之间可能产生寄生电容。因此,如图 6A 和图 6B 所图示那样,通过设置绝缘层 601A 及绝缘层 601B 能降低寄生电容,且能减少诸如故障等的不良现象。

[0112] 如上所述,本实施方式所示的结构使得能增加具备使用氧化物半导体的薄膜晶体管的像素的开口率。另外,在本实施方式中,除了实施方式 2 中的优点之外,能实现寄生电容的降低。因此,能提供具有高清晰显示部,并且故障不太可能发生的液晶显示装置。

[0113] 实施方式 4

[0114] 在本实施方式中,对能应用于液晶显示装置的像素的结构及工作进行说明。

[0115] 图 8A 图示能够应用于液晶显示装置的像素结构的一个例子。像素 880 具有晶体管 881、液晶元件 882 及电容器 883。晶体管 881 的栅极与布线 885 电连接。晶体管 881 的第一端子与布线 884 电连接。晶体管 881 的第二端子与液晶元件 882 的第一端子电连接。液晶元件 882 的第二端子与布线 887 电连接。电容器 883 的第一端子与液晶元件 882 的第一端子电连接。电容器 883 的第二端子与布线 886 电连接。

[0116] 布线 884 可以用作信号线。信号线是用来将从像素的外部输入的信号电压传送到像素 880 的布线。布线 885 能用作扫描线。扫描线是用来控制晶体管 881 的导通 / 截止的布线。布线 886 可以用作电容器线。电容器线是用来对电容器 883 的第二端子施加规定的电压的布线。晶体管 881 能用作开关。电容器 883 能用作存储电容器。存储电容器是用来在开关为截止的状态下也使信号电压继续施加到液晶元件 882 的电容器。布线 887 能用作对置电极。对置电极是用来对液晶元件 882 的第二端子施加规定的电压的布线。注意,每个布线的功能不局限于上述,且每一布线能具有各种各样的功能。例如,通过使施加到电容

器线的电压变化,能调整施加到液晶元件的电压。

[0117] 图 8B 图示能够应用于液晶显示装置的像素配置的一个例子。图 8B 中的像素配置的例子除了如下点之外与图 8A 中的像素配置的例子相同:省略布线 887,并且液晶元件 882 的第二端子与电容器 883 的第二端子彼此电连接。图 8B 所示的像素配置的例子尤其当使用具有横向电场模式的液晶元件(包括 IPS 模式和 FFS 模式)时能应用。这是因为,在横向电场模式的液晶元件中,能将液晶元件 882 的第二端子及电容器 883 的第二端子形成在同一衬底上,因此容易使液晶元件 882 的第二端子与电容器 883 的第二端子电连接。通过图 8B 中的像素配置,能省略布线 887,因此可以使制造工艺简单,且能降低制造成本。

[0118] 能将多个有图 8A 或 8B 所图示的结构像素配置为矩阵状。通过这样,形成液晶显示装置的显示部,且能显示各种各样的图像。图 9A 图示将多个有图 8A 所图示的结构像素配置为矩阵状时的电路配置的图。图 9A 是将显示部中所具有的多个像素中的 4 个像素进行图示的电路图。置于 i 列及 j 行(i, j 各是自然数)的像素表示为像素 $880_{i, j}$,以及布线 884_i 、布线 885_j 及布线 886_j 电连接到像素 $880_{i, j}$ 。类似地,像素 $880_{i+1, j}$ 与布线 884_{i+1} 、布线 885_j 及布线 886_j 电连接。类似地,像素 $880_{i, j+1}$ 与布线 884_i 、布线 885_{j+1} 及布线 886_{j+1} 电连接。类似地,像素 $880_{i+1, j+1}$ 与布线 884_{i+1} 、布线 885_{j+1} 及布线 886_{j+1} 电连接。注意,每个布线能由同一列或行中的多个像素共享。另外,在图 9A 所图示的像素配置中,布线 887 是对置电极。对置电极被所有的像素共同使用,因此布线 887 不使用自然数 i 或 j 来表示。另外,也能采用图 8B 中的像素配置,因此即使采用设置有布线 887 的结构,布线 887 也不是必须的,例如,当另一布线用作布线 887 时,布线 887 能被省略。

[0119] 图 9A 中的像素配置可以通过各种各样的方法来驱动。尤其是,通过称为交流驱动的方法驱动像素,能抑制液晶元件的劣化(余像)。图 9B 是当进行交流驱动的一种的点反转驱动(dot inversion driving)时的对图 9A 中的像素配置中的每个布线施加电压的时序图。通过进行点反转驱动,能抑制当进行交流驱动时看到的闪烁(flicker)。注意,图 9B 示出输入到布线 885_j 的信号 985_j 、输入到布线 885_{j+1} 的信号 985_{j+1} 、输入到布线 884_i 的信号 984_i 、输入到布线 884_{i+1} 的信号 984_{i+1} 、供给到布线 886 的电压 986。

[0120] 在图 9A 的像素配置中,使与布线 885_j 电连接的像素中的开关在 1 个帧期间的第 j 栅极选择期间处于选择状态(导通状态),在除此之外的期间处于非选择状态(截止状态)。并且,在第 j 栅极选择期间之后设置有第 $j+1$ 栅极选择期间。通过以此方式按顺序进行扫描,在 1 个帧期间内按顺序选择所有的像素。在图 9B 中的时序图中,当电压设置为高电平时,使该像素中的开关成为选择状态,且当电压设置为低电平时,使该开关成为非选择状态。

[0121] 在图 9B 的时序图中,在第 k 帧(k 是自然数)中的第 j 栅极选择期间,对用作信号线的布线 884_i 施加正的信号电压,对布线 884_{i+1} 施加负的信号电压。再者,在第 k 帧中的第 $j+1$ 栅极选择期间,对布线 884_i 施加负的信号电压,并且对布线 884_{i+1} 施加正的信号电压。然后,对每个信号线交替施加在每个栅极选择期间极性反转了的信号。由此,在第 k 帧中对像素 $880_{i, j}$ 及像素 $880_{i+1, j+1}$ 施加正的信号电压,对像素 $880_{i+1, j}$ 及像素 $880_{i, j+1}$ 施加负的信号电压。然后,在第 $k+1$ 帧中,对每个像素写入与在第 k 帧中写入的信号电压相反的极性的信号电压。由此,在第 $k+1$ 帧中,对像素 $880_{$

i, j 及 $880_i + 1, j + 1$ 施加负的信号电压,对像素 $880_i + 1, j$ 及像素 $880_i, j + 1$ 施加正的信号电压。在同一帧中对相邻的像素施加不同极性的信号电压,并且在每 1 帧中对每个像素反转信号电压的极性的驱动方法是点反转驱动。通过点反转驱动,抑制液晶元件的劣化并能减少当所显示的图像整体或一部分均匀时看到的闪烁。注意,将施加到包括布线 886_j 及 $886_j + 1$ 的所有的布线 886 的电压能为固定电压。另外,虽然在时序图中仅示出布线 884 的信号电压的极性,但是实际上在所示出的极性中信号电压能具有各种各样的值。在此说明了按每 1 个点(一个像素)进行极性反转的情况,不局限于此,也能按每多个像素进行极性反转。例如,当按每 2 个栅极选择期间进行待写入的信号电压的极性反转时,能减少信号电压的写入所需要的功耗。备选地,能按每 1 列进行极性反转(源极线反转),或者能按每 1 行进行极性反转(栅极线反转)。

[0122] 接着,说明当液晶元件是以 MVA 模式或 PVA 模式为代表的垂直取向(VA)模式时特别优选使用的像素配置及其驱动方法。VA 模式具有如下优点:制造时不需要研磨工序;显示黑色图像时光泄露的量少;以及驱动电压的电平低,但是也具有当以一个角度看屏幕时图像质量劣化(即,视角小)的问题。为了扩大 VA 模式下的视角,如图 10A 及 10B 所图示那样,采用一个像素具有多个子像素(sub pixel)的像素配置是有效的。图 10A 及 10B 所图示的像素配置是当像素 1080 包括两个子像素(第一子像素 1080-1 及第二子像素 1080-2)的情况的一个例子。注意,在一个像素中的子像素的数量不局限于两个,且也能使用其他数量。随着子像素的数量变大,视角能进一步越大。多个子像素能具有相同的电路配置,在此对所有的子像素具有图 8A 中的电路配置的情况进行说明。第一子像素 1080-1 具有晶体管 1081-1、液晶元件 1082-1 以及电容器 1083-1。连接关系与图 8A 中的电路配置相同。类似地,第二子像素 1080-2 具有晶体管 1081-2、液晶元件 1082-2 以及电容器 1083-2。连接关系与图 8A 中的电路配置相同。

[0123] 对于一个像素所包含的两个子像素,图 10A 所示的像素配置包含:两条用作扫描线的布线 1085(布线 1085-1 及 1085-2),一条用作信号线的布线 1084,以及一条用作电容器线的布线 1086。通过使两个子像素以此方式,共享信号线及电容器线,可以提高开口率。而且,能使信号线驱动电路为简单,由此能降低制造成本。能够减少液晶面板与驱动电路 IC 之间的连接的个数,因此能提高成品率。对于一个像素所包含的两个子像素,图 10B 中的像素配置包含:一条用作扫描线的布线 1085,两条用作信号线的布线 1084(布线 1084-1 及布线 1084-2),以及一条用作电容器线的布线 1086。当使两个子像素以此方式共享扫描线及电容器线时,能提高开口率。而且,能减少的扫描线的总个数,因此即使在高清晰的液晶面板中也能充分地延长每个像素的一个栅极线选择期间,并且能对每个像素写入适合的信号电压。

[0124] 图 11A 及图 11B 的每一个是在图 10B 的像素配置中,将液晶元件置换为像素电极的形状而示意性地图示元件的电连接的例子。在图 11A 及图 11B 中,电极 1088-1 代表第一像素电极,电极 1088-2 代表第二像素电极。在图 11A 中,第一像素电极 1088-1 对应于图 10B 中的液晶元件 1082-1 的第一端子,以及第二像素电极 1088-2 对应于图 10B 中的液晶元件 1082-2 的第一端子。就是说,第一像素电极 1088-1 与晶体管 1081-1 的源极及漏极的一个电连接,且第二像素电极 1088-2 与晶体管 1081-2 的源极及漏极的一个电连接。在图 11B 中,像素电极与晶体管的连接关系与图 11A 中的连接关系相反。就是说,第一像素电

极 1088-1 与晶体管 1081-2 的源极及漏极的一个电连接,且第二像素电极 1088-2 与晶体管 1081-1 的源极及漏极的一个电连接。

[0125] 在本实施方式的像素中,通过与实施方式 1~3 的任一个的结构组合,能提高具备使用氧化物半导体的薄膜晶体管的像素的开口率。

[0126] 本实施方式能与任意其他实施方式所说明的结构适当地组合而实施。

[0127] 实施方式 5

[0128] 在本实施方式中,对具备在实施方式 1~4 的任一个中说明的液晶显示装置的电子设备的例子进行说明。

[0129] 图 12A 图示一种便携式游戏机,该便携式游戏机能包括壳体 9630、显示部 9631、扬声器 9633、操作键 9635、连接端子 9636、记录介质插入读出部 9672 等。图 12A 中的便携式游戏机具有如下功能:读出存储在记录介质中的程序或数据而将其显示在显示部上;通过与其他便携式游戏机进行无线通信而共享信息等。注意,图 12A 中的便携式游戏机所具有的功能不局限于此,而能具有各种各样的功能。

[0130] 图 12B 图示一种数码相机,该数码相机能包括壳体 9630、显示部 9631、扬声器 9633、操作键 9635、连接端子 9636、快门按钮 9676、图像接收部 9677 等。图 12B 中的具有电视接收功能的数码相机具有如下功能:例如,拍摄静止图像及动态图像;自动或手动地修正所拍摄的图像;从天线获得各种各样的信息;以及将所拍摄的图像或从天线获得的信息显示在显示部上等。注意,图 12B 中的具有电视接收功能的数码相机所具有的功能不局限于此,而能具有各种各样的功能。

[0131] 图 12C 图示一种电视机,该电视机能包括壳体 9630、显示部 9631、扬声器 9633、操作键 9635、连接端子 9636 等。图 12C 中的电视机具有如下功能:将用于电视的电波转换为图像信号;将图像信号转换为适于显示的信号;对图像信号的帧频率进行转换等。注意,图 12C 中的电视机所具有的功能不局限于此,而能具有各种各样的功能。

[0132] 图 13A 图示一种计算机,该计算机能包括壳体 9630、显示部 9631、扬声器 9633、操作键 9635、连接端子 9636、指针装置 9681、外部连接端口 9680 等。图 13A 中的计算机能具有如下功能:将各种各样的信息(例如,静止图像、动态图像、文本图像)显示在显示部上;通过各种各样的软件(程序)控制处理;诸如无线通信或有线通信等的通信功能;使用通信功能而连接到各种各样的计算机网络;使用通信功能而进行各种各样的数据的发送或接收等。注意,图 13A 中的计算机所具有的功能不局限于此,而能具有各种各样的功能。

[0133] 图 13B 图示出一种移动电话,该移动电话能包括壳体 9630、显示部 9631、扬声器 9633、操作键 9635、麦克风 9638 等。图 13B 中的移动电话能具有如下功能:显示各种各样的信息(例如,静止图像、动态图像、文本图像);将日历、日期或时间等显示在显示部上;对显示在显示部上的信息进行操作或编辑;通过各种各样的软件(程序)控制处理等。注意,图 13B 所示的移动电话所具有的功能不局限于此,且该移动电话能具有各种各样的功能。

[0134] 图 13C 图示一种包括电子纸的电子设备(也称为 e-book 或 e-book 阅读器),该电子纸能包括壳体 9630、显示部 9631、操作键 9635 等。图 13C 中的 e-book 阅读器能具有如下功能:显示各种各样的信息(例如,静止图像、动态图像、文本图像);将日历、日期或时刻等显示在显示部上;对显示在显示部上的信息进行操作或编辑;通过各种各样的软件(程序)控制处理等。注意,图 13C 中的 e-book 阅读器所具有的功能不局限于此,而能具有各种各

样的功能。

[0135] 在本实施方式中说明的电子设备中,能提高显示部所包含的多个像素的开口率。

[0136] 本实施方式能与任意其他实施方式中说明的结构适当地组合而实施。

[0137] 实施例 1

[0138] 本例子示出对通过使用包含氧化物半导体层的薄膜晶体管,液晶显示装置的每个像素的开口率提高的程度进行的估算,及该估算的结果。

[0139] 对栅极施加使晶体管处于截止状态的电压时,流过具有氧化物半导体的薄膜晶体管的电流(以下,称为泄漏电流)是 0.1pA 以下,而具有非晶硅的薄膜晶体管的泄漏电流达到几百 nA 左右。因此,在具有氧化物半导体的薄膜晶体管中,能实现存储电容的缩小。换言之,在设置有具有氧化物半导体的薄膜晶体管的像素中,与设置有具有非晶硅的薄膜晶体管的像素相比,能提高开口率。在此,对开口率提高的程度进行估算,假设使用氧化物半导体的薄膜晶体管的泄漏电流为 1×10^{-13} (A),且使用非晶硅的薄膜晶体管的泄漏电流为 1×10^{-11} (A) 而进行以下说明。

[0140] 用于对像素的开口率进行估算的其他参数如下:面板尺寸为 3.4 英寸,表现的灰度为 256 灰度级,输入的电压为 10V,且用于显示的 1 帧为 1.66×10^{-2} (秒)。另外,栅极绝缘膜具有的介电常数为 3.7 (F/m)、厚度为 1×10^{-7} (m)。

[0141] 首先,对当将所述参数应用于像素数为 540'RGB'960 的面板(称为第一面板)的情况的存储电容器的面积及开口率进行估算。在该面板中,像素尺寸为 $26(\mu\text{m}) \times 78(\mu\text{m})$,即 2.03×10^{-9} (m²)。其中,布线及 TFT 所占的区域之外的面积为 1.43×10^{-9} (m²),且布线及 TFT 所占的区域的面积为 6.00×10^{-10} (m²)。

[0142] 在包括具备存储电容器和具有氧化物半导体层的薄膜晶体管的像素的第一面板中,存储电容器至少需要的电容值为 4.25×10^{-14} (F)。在此情况下,电容器所需要的面积为 1.30×10^{-10} (m²),在像素中存储电容器所占面积的比例为 6.4 (%),开口率为 64.0 (%). 另外,在第一面板中,在具备具有非晶硅的薄膜晶体管的像素中,存储电容器至少需要的电容为 4.25×10^{-12} (F)。在此情况下,电容器所需要的面积为 1.30×10^{-8} (m²),这意味着在像素中存储电容器所占面积的比例为 639.9 (%),即存储电容器需要比像素的尺寸更大的面积。

[0143] 另外,对当将所述参数应用于像素数为 480'RGB'640 的面板(称为第二面板)的情况的存储电容器的面积及开口率进行估算。在该面板中,像素的尺寸为 $36(\mu\text{m}) \times 108(\mu\text{m})$,即 3.89×10^{-9} (m²)。布线及 TFT 所占的区域之外的面积为 3.29×10^{-9} (m²),布线及 TFT 所占的区域的面积为 6.00×10^{-10} (m²)。

[0144] 在包括具备存储电容器和具有氧化物半导体层的薄膜晶体管的像素的第二面板中,存储电容器至少需要的电容为 4.25×10^{-14} (F)。在此情况下,电容器所需要的面积为 1.30×10^{-10} (m²),在像素中存储电容器所占面积的比例为 3.3 (%),开口率为 81.2 (%). 另外,在第二面板中,在具备具有非晶硅的薄膜晶体管的像素中,存储电容器至少需要的电容为 4.25×10^{-12} (F)。在此情况下,电容器所需要的面积为 1.30×10^{-8} (m²),这意味着在像素中存储电容器所占面积的比例为 333.8 (%),即存储电容器需要比像素的尺寸更大的面积。

[0145] 在所述第一面板及第二面板中,具有氧化物半导体层的薄膜晶体管的泄漏电流极

小,所以能省略用来形成存储电容器的电容器线。具体地说,图 14A 和图 14B 图示省略电容器线的情况的俯视图及截面图。图 14A 所图示的像素的俯视图对应于在实施方式 1 的图 1A 的俯视图中省略电容器线的图。从图 14A 中的俯视图及图 14B 中的截面图可知,通过使用具有氧化物半导体层的薄膜晶体管,能扩大像素电极 105 所占的区域,即能提高开口率。另外,从图 14B 中的截面图可知,通过使用具有氧化物半导体层的薄膜晶体管,能省略电容器线,并且能扩大像素电极 105 所占的区域。换言之,能提高开口率。注意,在图 14A 和图 14B 中的用于第一面板的诸条件下,开口率能提高到 70.4%;以及在图 14A 和图 14B 中的第二面板的诸条件下,开口率能提高到 84.5%。

[0146] 如上所述,可知随着面板的分辨率增高,将提高开口率的氧化物半导体层用于薄膜晶体管的优点越大。

[0147] 本申请基于 2009 年 10 月 9 日向日本专利局提交的序号为 2009-235287 的日本专利申请,在此引入其整个内容作为参照。

[0148]

参考标号说明

100: 像素, 101: 布线, 102: 布线, 103: 氧化物半导体层, 104: 电容器线, 105: 像素电极, 106: 薄膜晶体管, 111: 衬底, 112: 基底膜, 113: 栅极绝缘膜, 114: 氧化物绝缘层, 121: 开口部分, 400: 像素, 401: 布线, 403: 氧化物半导体层, 404: 电容器线, 405: 像素电极, 406: 薄膜晶体管, 411: 衬底, 412: 基底膜, 413: 栅极绝缘膜, 414: 氧化物绝缘层, 700: 衬底, 701: 像素, 702: 像素部分, 703: 扫描线驱动电路, 704: 信号线驱动电路, 880: 像素, 881: 晶体管, 882: 液晶元件, 883: 电容器, 884: 布线, 885: 布线, 886: 布线, 887: 布线, 984: 信号, 985: 信号, 986: 电压, 102A: 布线, 102B: 布线, 1080: 像素, 1081: 晶体管, 1082: 液晶元件, 1083: 电容器, 1084: 布线, 1085: 布线, 1086: 布线, 1088: 像素电极, 402A: 布线, 402B: 布线, 601A: 绝缘层, 601B: 绝缘层, 9630: 壳体, 9631: 显示部, 9633: 扬声器, 9635: 操作键, 9636: 连接端子, 9638: 麦克风, 9672: 记录介质插入读出部, 9676: 快门按钮, 9677: 图像接收部, 9880: 外部连接端口, 9681: 指针装置

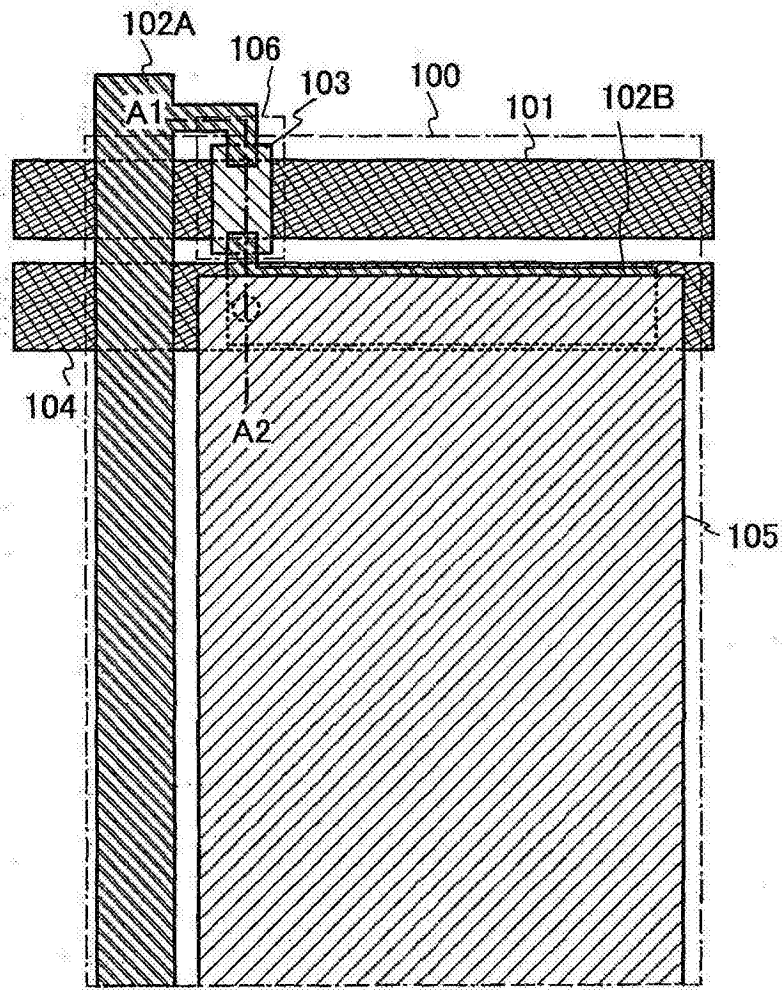


图 1A

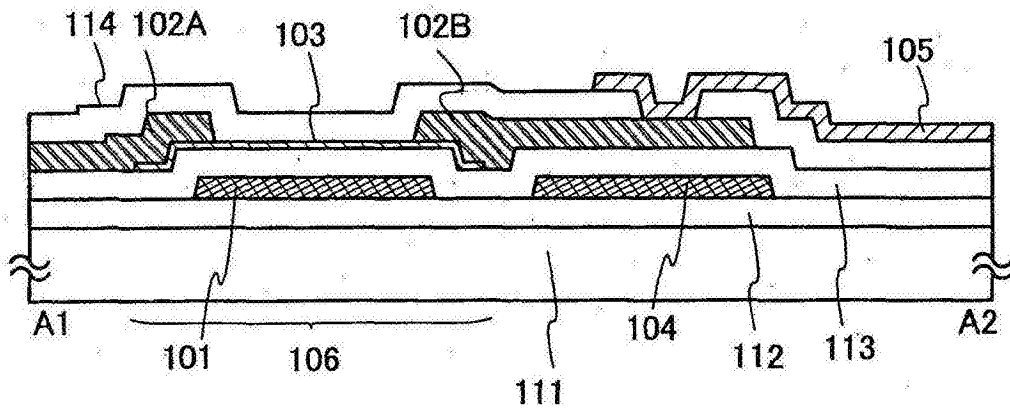


图 1B

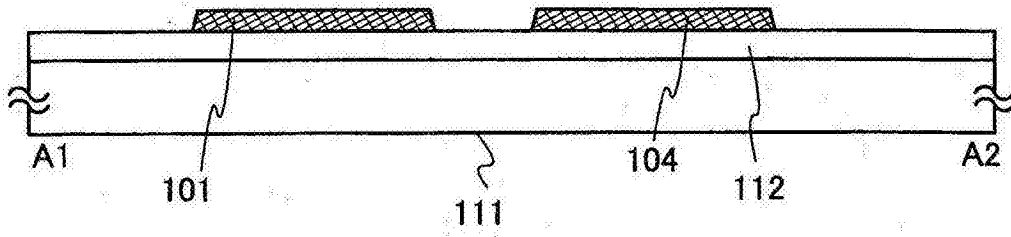


图 2A

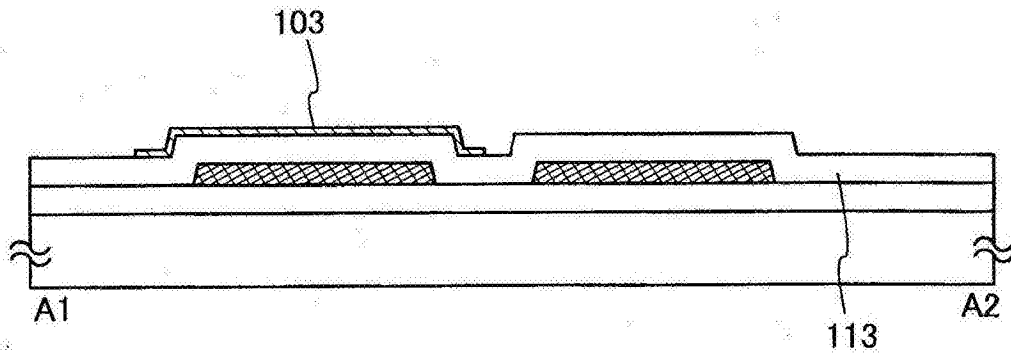


图 2B

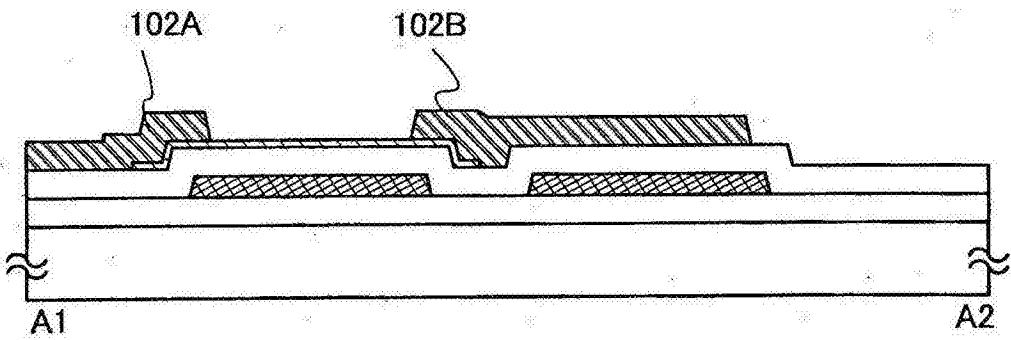


图 2C

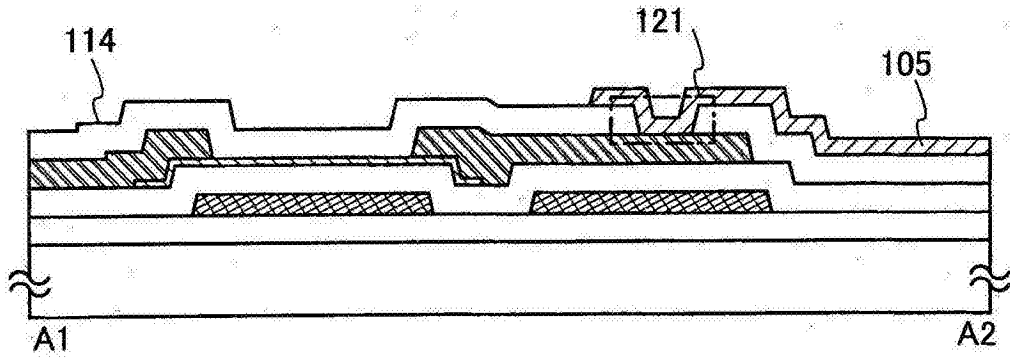


图 2D

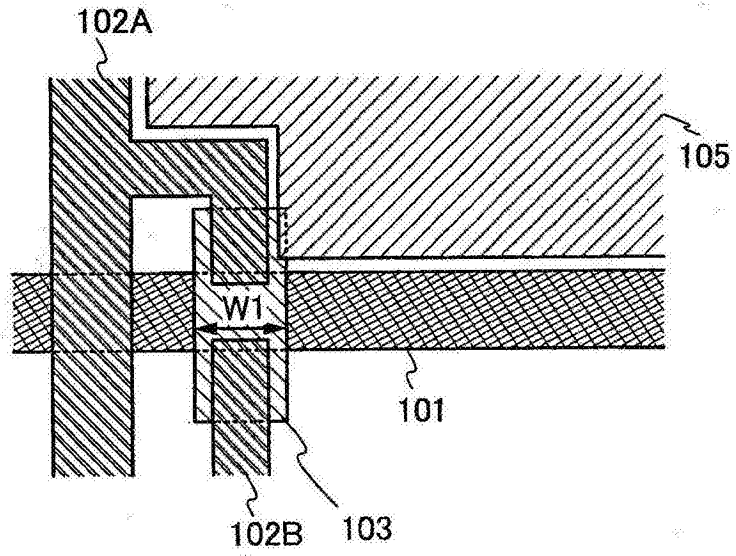


图 3A

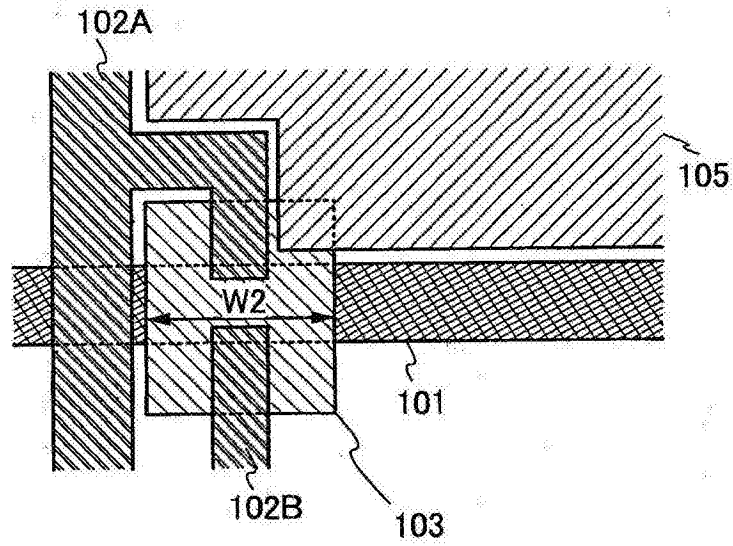


图 3B

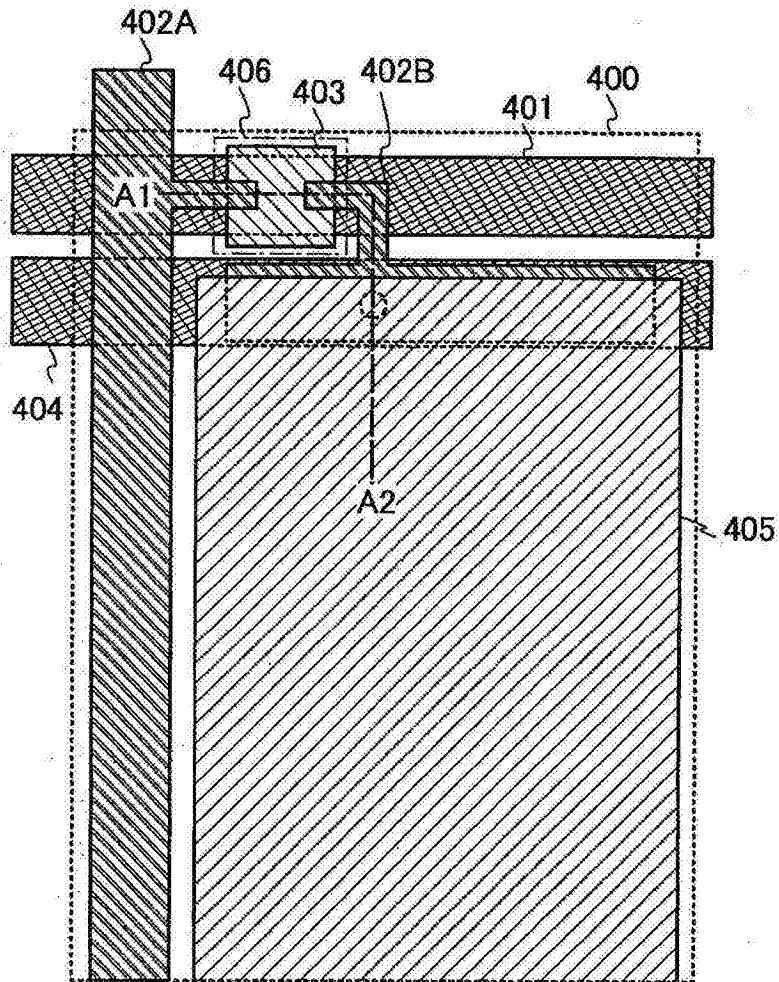


图 4A

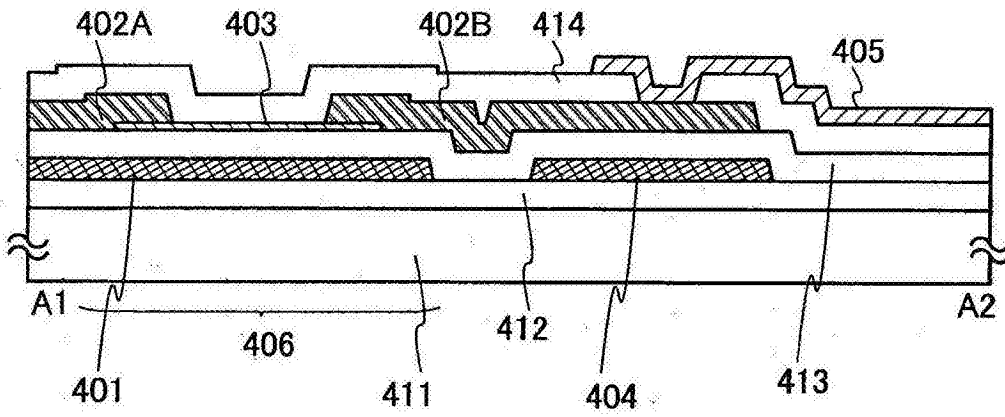


图 4B

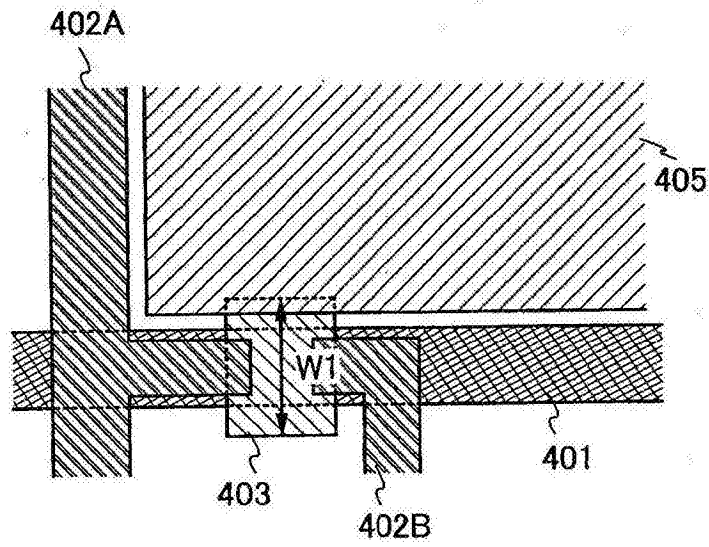


图 5A

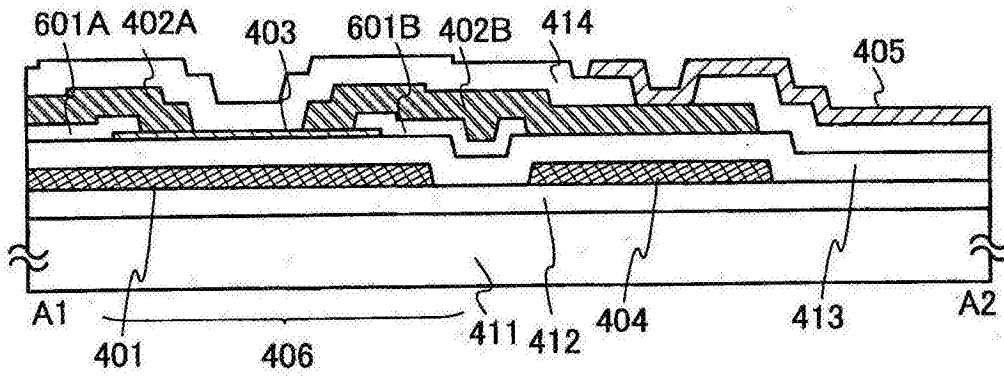


图 6B

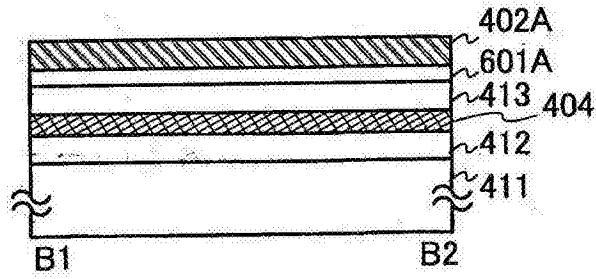


图 6C

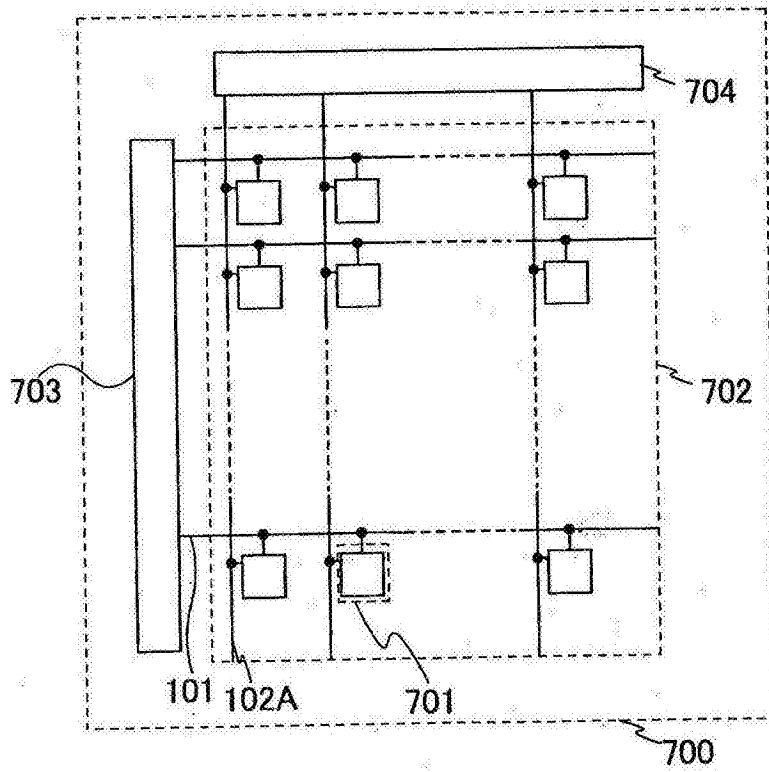


图 7

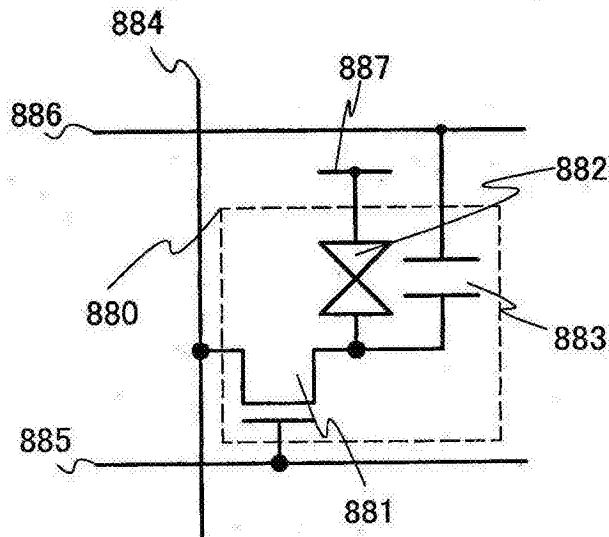


图 8A

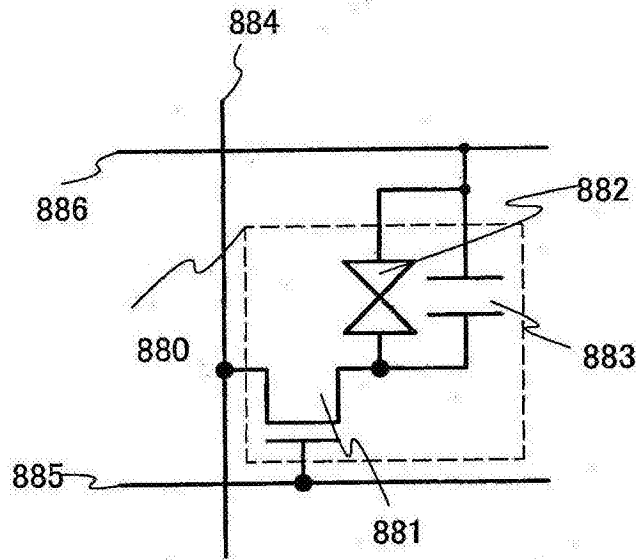


图 8B

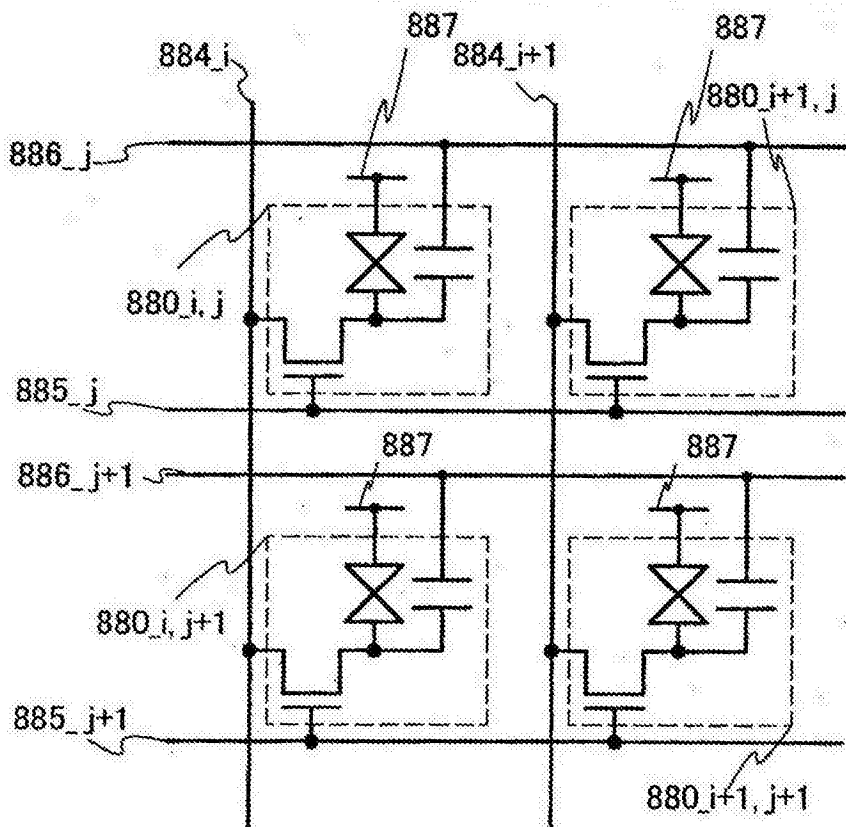


图 9A

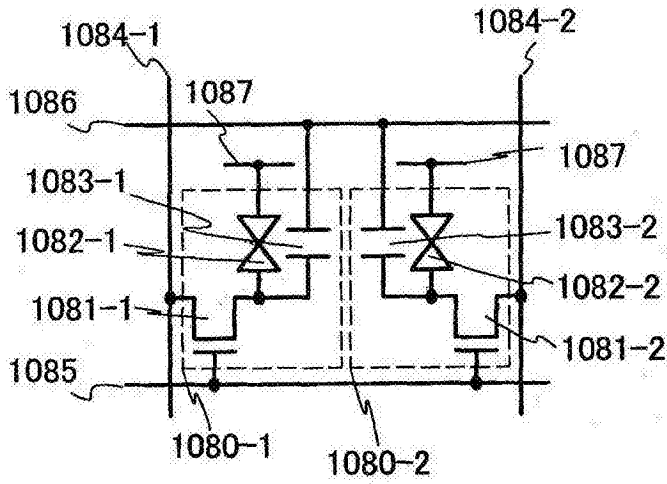


图 10B

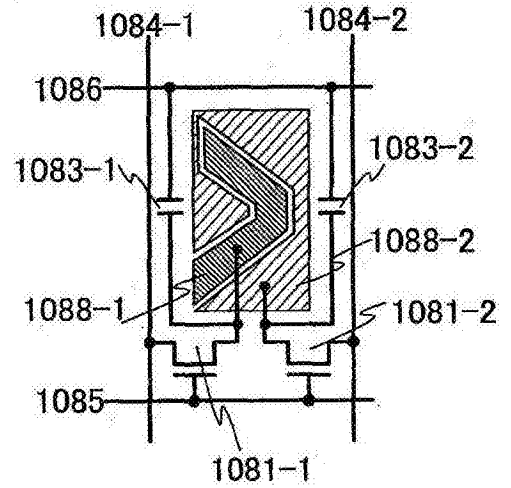


图 11A

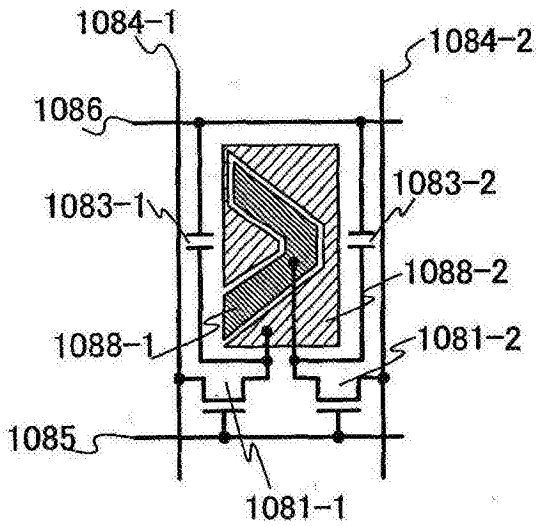


图 11B

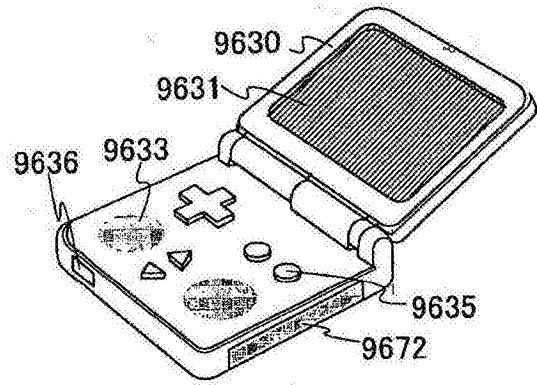


图 12A

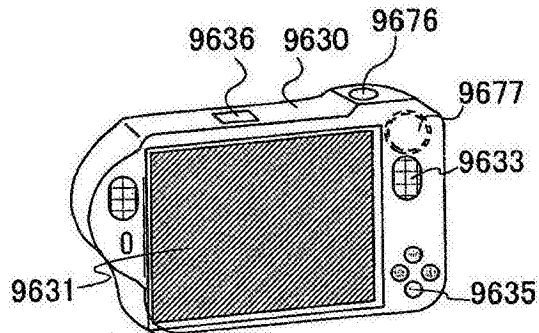


图 12B

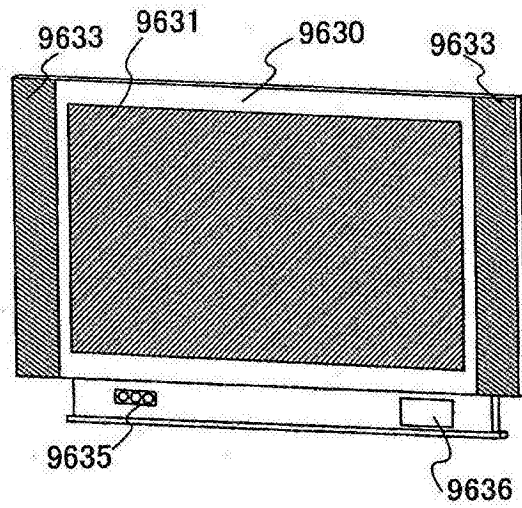


图 12C

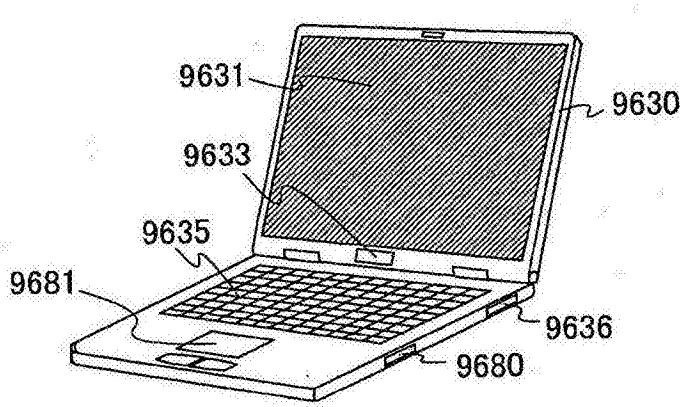


图 13A

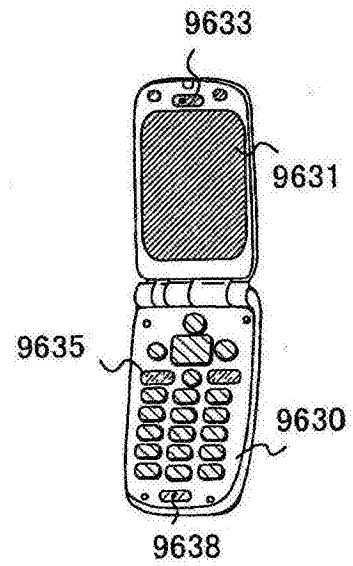


图 13B

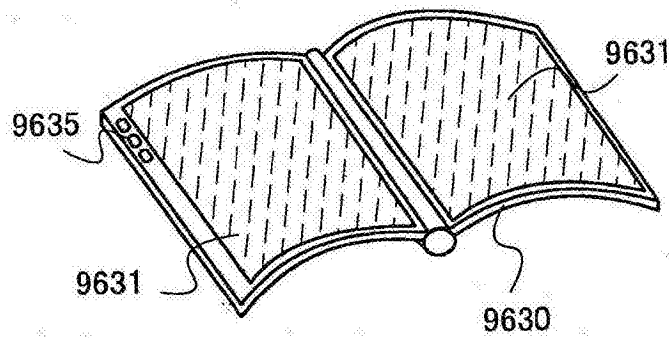


图 13C

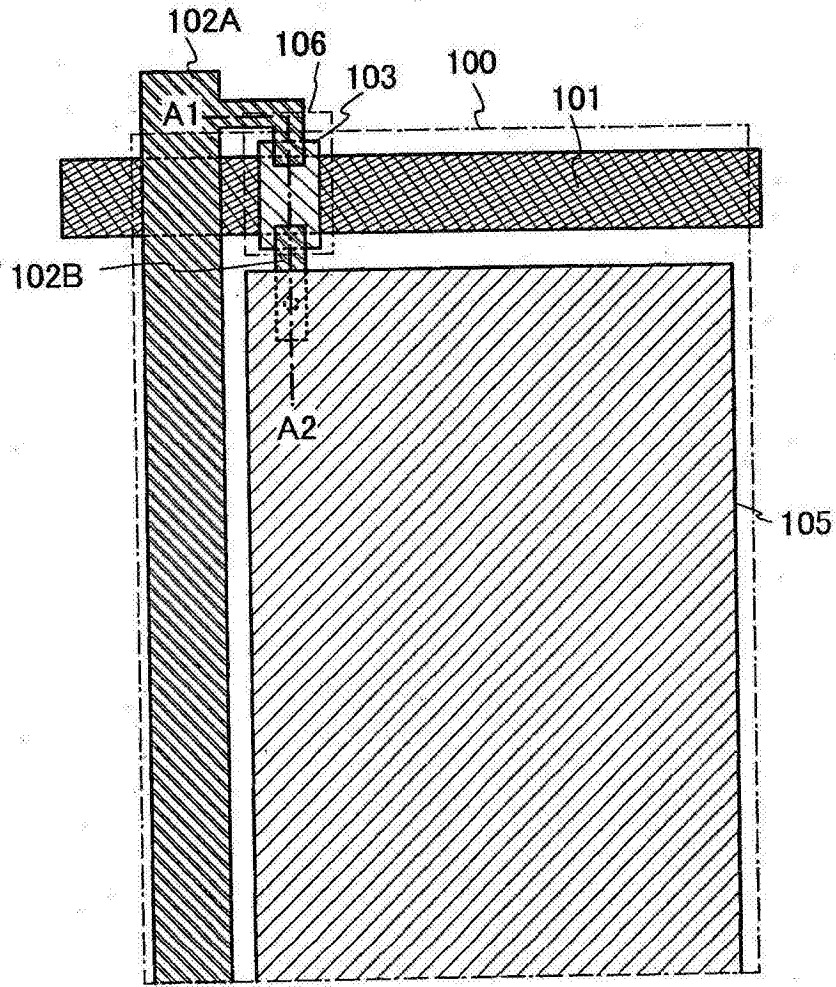


图 14A

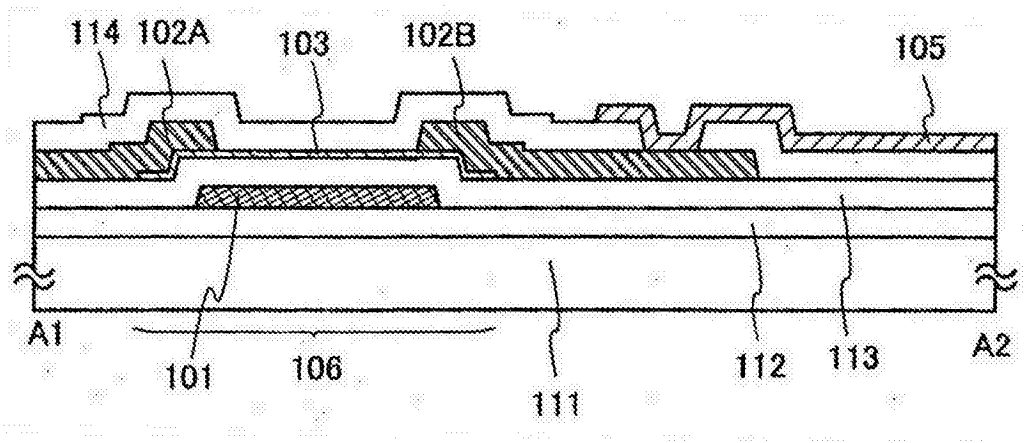


图 14B

| | | | |
|----------------|--|---------|------------|
| 专利名称(译) | 液晶显示装置及包括该液晶显示装置的电子设备 | | |
| 公开(公告)号 | CN103984176B | 公开(公告)日 | 2016-01-20 |
| 申请号 | CN201410253700.1 | 申请日 | 2010-09-21 |
| [标]申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| 申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| 当前申请(专利权)人(译) | 株式会社半导体能源研究所 | | |
| [标]发明人 | 荒泽亮 穴户英明 | | |
| 发明人 | 荒泽亮 穴户英明 | | |
| IPC分类号 | G02F1/1368 H01L27/12 | | |
| CPC分类号 | G02F1/136213 G02F1/13624 G02F1/1368 G02F2001/134345 G02F2201/40 G09G3/3648 G09G2300/0447 H01L27/1225 H01L27/124 H01L27/1255 G02F1/134327 | | |
| 审查员(译) | 郭栋 | | |
| 优先权 | 2009235287 2009-10-09 JP | | |
| 其他公开文献 | CN103984176A | | |
| 外部链接 | Espacenet SIPO | | |

摘要(译)

目的之一是提供一种可以具有高的开口率的液晶显示装置，其中液晶显示装置所具有的像素具备使用氧化物半导体的薄膜晶体管。所述液晶显示装置包括多个各具有薄膜晶体管及像素电极的像素。该像素与用作扫描线的第一布线电连接。该薄膜晶体管具有在第一布线上隔着栅极绝缘膜设置的氧化物半导体层。该氧化物半导体层以超出设置有第一布线的区域的边缘的方式设置。像素电极和氧化物半导体层彼此重叠。

