

(12) 发明专利申请

(10) 授权公告号 CN 103065596 A

(43) 申请公布日 2013. 04. 24

(21) 申请号 201210567500. 4

(51) Int. Cl.

(22) 申请日 2010. 12. 03

G09G 3/36 (2006. 01)

(30) 优先权数据

10-2009-0119398 2009. 12. 03 KR

(62) 分案原申请数据

201010585277. 7 2010. 12. 03

(71) 申请人 乐金显示有限公司

地址 韩国首尔

(72) 发明人 南维成 尹世昌 朴俊浩 李昌德

许胜皓 吴大惜

(74) 专利代理机构 北京律诚同业知识产权代理

有限公司 11006

代理人 徐金国 钟强

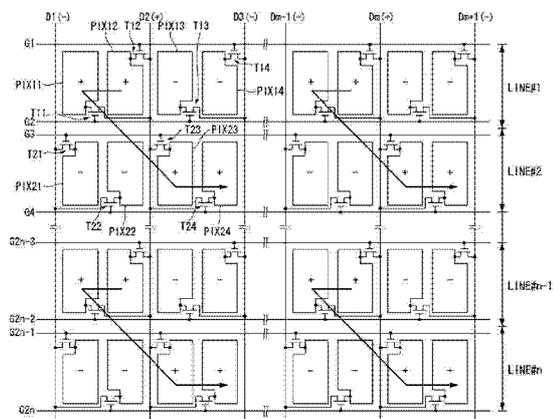
权利要求书8页 说明书32页 附图14页

(54) 发明名称

液晶显示器

(57) 摘要

一种液晶显示器包括:显示面板,具有多条数据线、与所述数据线交叉的多条栅线、以矩阵形式排列的液晶盒、和设置在所述栅线和数据线的交叉处的 TFT;配置为给所述数据线提供数据电压的源驱动 IC,其中数据电压的极性以列反转方式反转;以及配置为顺序地给所述栅线提供栅脉冲的栅驱动电路,其中在显示面板内的液晶盒中充电的数据电压的极性以点为单位进行反转,显示面板的至少一部分包括设置于第  $m+1$  (其中  $m$  是奇数) 水平显示行中彼此相邻的数据线之间的两个 LC 盒,以便与设置于第  $m$  水平显示行中彼此相邻的数据线之间的两个 LC 盒间隔开,第  $m$  水平显示行中的两个 LC 盒和第  $m+1$  水平显示行中的两个 LC 盒由相同数据线提供的极性相同的数据电压顺序地向其中充电。



1. 一种液晶显示器,包括:

显示面板,具有多条数据线、与所述数据线交叉的多条栅线、以矩阵形式排列的液晶盒、和设置在所述数据线和所述栅线的交叉处的 TFT;

配置为给所述数据线提供数据电压的源驱动 IC,其中数据电压的极性以列反转方式反转;以及

配置为顺序地给所述栅线提供栅脉冲的栅驱动电路,

在所述显示面板内的液晶盒中充电的数据电压的极性以点为单位进行反转,

其中所述显示面板的至少一部分包括设置于第  $m+1$  水平显示行中彼此相邻的数据线之间的两个液晶盒,以便与设置于第  $m$  水平显示行中彼此相邻的数据线之间的两个液晶盒间隔开,其中  $m$  是奇数,以及

其中所述第  $m$  水平显示行中的两个液晶盒和所述第  $m+1$  水平显示行中的两个 LC 盒由相同数据线提供的极性相同的数据电压顺序地向其中充电。

2. 权利要求 1 所述的液晶显示器,其中所述液晶盒的至少一部分包括:

奇数水平显示行中的第一和第二液晶盒,其被设置于所述显示面板内的各条奇数水平显示行中的第  $i$  数据线和第  $i+1$  数据线之间,其中  $i$  是自然数;

奇数水平显示行中的第三和第四液晶盒,其被设置于各条奇数水平显示行中的第  $i+1$  数据线和第  $i+2$  数据线之间;

偶数水平显示行中的第一和第二液晶盒,其被设置于所述显示面板内的各条偶数水平显示行中的第  $i$  数据线和第  $i+1$  数据线之间;以及

偶数水平显示行中的第三和第四液晶盒,其被设置于各条偶数水平显示行中的第  $i+1$  数据线和第  $i+2$  数据线之间,

其中所述奇数水平显示行中的所述第一液晶盒由第  $i$  数据线提供的具有第一极性的数据电压向其中充电,所述奇数水平显示行中的所述第二液晶盒由第  $i+1$  数据线提供的具有第二极性的数据电压向其中充电,

所述偶数水平显示行中的所述第一液晶盒由第  $i+1$  数据线提供的具有所述第二极性的数据电压向其中充电,所述偶数水平显示行中的所述第二液晶盒由第  $i$  数据线提供的具有所述第一极性的数据电压向其中充电,

所述奇数水平显示行中的所述第三液晶盒由第  $i+1$  数据线提供的具有所述第二极性的数据电压向其中充电,所述奇数水平显示行中的所述第四液晶盒由第  $i+2$  数据线提供的具有所述第一极性的数据电压向其中充电,以及

所述偶数水平显示行中的所述第三液晶盒由第  $i+2$  数据线提供的具有所述第一极性的数据电压向其中充电,所述偶数水平显示行中的所述第四液晶盒由第  $i+1$  数据线提供的具有所述第二极性的数据电压向其中充电。

3. 权利要求 2 所述的液晶显示器,其中所述栅驱动电路被配置为顺序地向第  $j$  至第  $j+3$  栅线输出栅脉冲,其中  $j$  是自然数,以及

其中所述 TFT 包括:

所述奇数水平显示行中的第一 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i$  数据线的的数据电压;

所述奇数水平显示行中的第二 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i+1$  数据线的电压;

所述奇数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+1$  数据线的电压;

所述奇数水平显示行中的第四 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+2$  数据线的电压;

所述偶数水平显示行中的第一 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i+1$  数据线的电压;

所述偶数水平显示行中的第二 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i$  数据线的电压;

所述偶数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+2$  数据线的电压;以及

所述偶数水平显示行中的第四 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+1$  数据线的电压。

4. 权利要求 2 所述的液晶显示器,其中所述栅驱动电路被配置为顺序地向第  $j$  至第  $j+3$  栅线输出栅脉冲,其中  $j$  是自然数,以及

其中所述 TFT 包括:

所述奇数水平显示行中的第一 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i$  数据线的电压;

所述奇数水平显示行中的第二 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i+1$  数据线的电压;

所述奇数水平显示行中的第三 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+1$  数据线的电压;

所述奇数水平显示行中的第四 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+2$  数据线的电压;

所述偶数水平显示行中的第一 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i+1$  数据线的电压;

所述偶数水平显示行中的第二 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i$  数据线的的数据电压;

所述偶数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+2$  数据线的的数据电压;以及

所述偶数水平显示行中的第四 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+1$  数据线的的数据电压。

5. 权利要求 2 所述的液晶显示器,其中所述栅驱动电路被配置为顺序地向第  $j$  至第  $j+3$  栅线输出栅脉冲,其中  $j$  是自然数,以及

其中所述 TFT 包括:

所述奇数水平显示行中的第一 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i$  数据线的的数据电压;

所述奇数水平显示行中的第二 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i+1$  数据线的的数据电压;

所述奇数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+1$  数据线的的数据电压;

所述奇数水平显示行中的第四 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+2$  数据线的的数据电压;

所述偶数水平显示行中的第一 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i+1$  数据线的的数据电压;

所述偶数水平显示行中的第二 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i$  数据线的的数据电压;

所述偶数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+2$  数据线的的数据电压;以及

所述偶数水平显示行中的第四 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+1$  数据线的的数据电压。

6. 权利要求 2 所述的液晶显示器,其中所述液晶盒的至少一部分还包括:

所述奇数水平显示行中的第五和第六液晶盒,其被设置于各条奇数水平显示行中的第  $i+2$  数据线和第  $i+3$  数据线之间;以及

所述偶数水平显示行中的第五和第六液晶盒,其被设置于各条偶数水平显示行中的第  $i+2$  数据线和第  $i+3$  数据线之间,其中

所述奇数水平显示行中的所述第五液晶盒由第  $i+3$  数据线提供的具有所述第二极性的数据电压向其中充电,所述奇数水平显示行中的所述第六液晶盒由第  $i+2$  数据线提供的具有所述第一极性的数据电压向其中充电,以及

所述偶数水平显示行中的所述第五液晶盒由第  $i+2$  数据线提供的具有所述第一极性的数据电压向其中充电,所述偶数水平显示行中的所述第六液晶盒由第  $i+3$  数据线提供的具有所述第二极性的数据电压向其中充电。

7. 权利要求 6 所述的液晶显示器,其中所述栅驱动电路被配置为顺序地向第  $j$  至第  $j+3$  栅线输出栅脉冲,其中  $j$  是自然数,以及

其中所述 TFT 包括:

所述奇数水平显示行中的第一 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i$  数据线的的数据电压;

所述奇数水平显示行中的第二 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i+1$  数据线的的数据电压;

所述奇数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+1$  数据线的的数据电压;

所述奇数水平显示行中的第四 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+2$  数据线的的数据电压;

所述奇数水平显示行中的第五 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第五液晶盒内的第五像素电极输送来自第  $i+3$  数据线的的数据电压;

所述奇数水平显示行中的第六 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第六液晶盒内的第六像素电极输送来自第  $i+2$  数据线的的数据电压;

所述偶数水平显示行中的第一 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i+1$  数据线的的数据电压;

所述偶数水平显示行中的第二 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i$  数据线的的数据电压;

所述偶数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+2$  数据线的的数据电压;

所述偶数水平显示行中的第四 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形

成在所述偶数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+1$  数据线的  
数据电压；

所述偶数水平显示行中的第五 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成  
在所述偶数水平显示行中的所述第五液晶盒内的第五像素电极输送来自第  $i+2$  数据线的  
数据电压；以及

所述偶数水平显示行中的第六 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成  
在所述偶数水平显示行中的所述第六液晶盒内的第六像素电极输送来自第  $i+3$  数据线的  
数据电压。

8. 权利要求 6 所述的液晶显示器,其中所述栅驱动电路被配置为顺序地向第  $j$  至第  
 $j+3$  栅线输出栅脉冲,其中  $j$  是自然数,以及

其中所述 TFT 包括：

所述奇数水平显示行中的第一 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成  
在所述奇数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i$  数据线的数  
据电压；

所述奇数水平显示行中的第二 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成  
在所述奇数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i+1$  数据线的  
数据电压；

所述奇数水平显示行中的第三 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成  
在所述奇数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+1$  数据线的  
数据电压；

所述奇数水平显示行中的第四 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成  
在所述奇数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+2$  数据线的  
数据电压；

所述奇数水平显示行中的第五 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成  
在所述奇数水平显示行中的所述第五液晶盒内的第五像素电极输送来自第  $i+3$  数据线的  
数据电压；

所述奇数水平显示行中的第六 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成  
在所述奇数水平显示行中的所述第六液晶盒内的第六像素电极输送来自第  $i+2$  数据线的  
数据电压；

所述偶数水平显示行中的第一 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成  
在所述偶数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i+1$  数据线的  
数据电压；

所述偶数水平显示行中的第二 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成  
在所述偶数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i$  数据线的  
数据电压；

所述偶数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成  
在所述偶数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+2$  数据线的  
数据电压；

所述偶数水平显示行中的第四 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形

成在所述偶数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+1$  数据线的  
数据电压；

所述偶数水平显示行中的第五 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成  
在所述偶数水平显示行中的所述第五液晶盒内的第五像素电极输送来自第  $i+2$  数据线的  
数据电压；以及

所述偶数水平显示行中的第六 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成  
在所述偶数水平显示行中的所述第六液晶盒内的第六像素电极输送来自第  $i+3$  数据线的  
数据电压。

9. 权利要求 1 所述的液晶显示器,其中所述液晶盒的至少一部分包括：

奇数水平显示行中的第一和第二液晶盒,其被设置于所述显示面板内的各条奇数水平  
显示行中的第  $i$  数据线和第  $i+1$  数据线之间,其中  $i$  是自然数；

奇数水平显示行中的第三和第四液晶盒,其被设置于各条奇数水平显示行中的第  $i+1$   
数据线和第  $i+2$  数据线之间；

偶数水平显示行中的第一和第二液晶盒,其被设置于所述显示面板内的各条偶数水平  
显示行中的第  $i$  数据线和第  $i+1$  数据线之间；以及

偶数水平显示行中的第三和第四液晶盒,其被设置于各条偶数水平显示行中的第  $i+1$   
数据线和第  $i+2$  数据线之间,

其中所述奇数水平显示行中的所述第一液晶盒由第  $i+1$  数据线提供的具有第一极性的  
数据电压向其中充电,所述奇数水平显示行中的所述第二液晶盒由第  $i$  数据线提供的具  
有第二极性的数据电压向其中充电,

所述偶数水平显示行中的所述第一液晶盒由第  $i$  数据线提供的具有所述第二极性的  
数据电压向其中充电,所述偶数水平显示行中的所述第二液晶盒由第  $i+1$  数据线提供的具  
有所述第一极性的数据电压向其中充电,

所述奇数水平显示行中的所述第三液晶盒由第  $i+1$  数据线提供的具有所述第一极性的  
数据电压向其中充电,所述奇数水平显示行中的所述第四液晶盒由第  $i+2$  数据线提供的  
具有所述第二极性的数据电压向其中充电,以及

所述偶数水平显示行中的所述第三液晶盒由第  $i+2$  数据线提供的具有所述第二极性的  
数据电压向其中充电,所述偶数水平显示行中的所述第四液晶盒由第  $i+1$  数据线提供的  
具有所述第一极性的数据电压向其中充电。

10. 权利要求 9 所述的液晶显示器,其中所述栅驱动电路被配置为顺序地向第  $j$  至第  
 $j+3$  栅线输出栅脉冲,其中  $j$  是自然数,以及

其中所述 TFT 包括：

所述奇数水平显示行中的第一 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成  
在所述奇数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i+1$  数据线的  
数据电压；

所述奇数水平显示行中的第二 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形  
成在所述奇数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i$  数据线的  
数据电压；

所述奇数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形

成在所述奇数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+1$  数据线的  
数据电压；

所述奇数水平显示行中的第四 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成  
在所述奇数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+2$  数据线的  
数据电压；

所述偶数水平显示行中的第一 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形  
成在所述偶数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i$  数据线的  
数据电压；

所述偶数水平显示行中的第二 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形  
成在所述偶数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i+1$  数据线的  
数据电压；

所述偶数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形  
成在所述偶数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+2$  数据线的  
数据电压；以及

所述偶数水平显示行中的第四 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形  
成在所述偶数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+1$  数据线的  
数据电压。

11. 权利要求 1 所述的液晶显示器,其中所述液晶盒的至少一部分包括：

奇数水平显示行中的第一和第二液晶盒,其被设置于所述显示面板内的各条奇数水平  
显示行中的第  $i$  数据线和第  $i+1$  数据线之间,其中  $i$  是自然数；

奇数水平显示行中的第三和第四液晶盒,其被设置于各条奇数水平显示行中的第  $i+1$   
数据线和第  $i+2$  数据线之间；

偶数水平显示行中的第一和第二液晶盒,其被设置于所述显示面板内的各条偶数水平  
显示行中的第  $i$  数据线和第  $i+1$  数据线之间；以及

偶数水平显示行中的第三和第四液晶盒,其被设置于各条偶数水平显示行中的第  $i+1$   
数据线和第  $i+2$  数据线之间,

其中所述奇数水平显示行中的所述第一液晶盒由第  $i$  数据线提供的具有第一极性的  
数据电压向其中充电,所述奇数水平显示行中的所述第二液晶盒由第  $i+1$  数据线提供的具  
有第二极性的数据电压向其中充电,

所述偶数水平显示行中的所述第一液晶盒由第  $i$  数据线提供的具有所述第一极性的  
数据电压向其中充电,所述偶数水平显示行中的所述第二液晶盒由第  $i+1$  数据线提供的具  
有所述第二极性的数据电压向其中充电,

所述奇数水平显示行中的所述第三液晶盒由第  $i+2$  数据线提供的具有所述第一极性的  
数据电压向其中充电,所述奇数水平显示行中的所述第四液晶盒由第  $i+1$  数据线提供的  
具有所述第二极性的数据电压向其中充电,以及

所述偶数水平显示行中的所述第三液晶盒由第  $i+2$  数据线提供的具有所述第一极性的  
数据电压向其中充电,所述偶数水平显示行中的所述第四液晶盒由第  $i+1$  数据线提供的  
具有所述第二极性的数据电压向其中充电。

12. 权利要求 11 所述的液晶显示器,其中所述栅驱动电路被配置为顺序地向第  $j$  至第

$j+3$  栅线输出栅脉冲,其中  $j$  是自然数,以及

其中所述 TFT 包括:

所述奇数水平显示行中的第一 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i$  数据线的电压;

所述奇数水平显示行中的第二 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i+1$  数据线的电压;

所述奇数水平显示行中的第三 TFT,其被配置为响应于来自第  $j+1$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+2$  数据线的电压;

所述奇数水平显示行中的第四 TFT,其被配置为响应于来自第  $j$  栅线的栅脉冲,给形成在所述奇数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+1$  数据线的电压;

所述偶数水平显示行中的第一 TFT,其被配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第一液晶盒内的第一像素电极输送来自第  $i$  数据线的电压;

所述偶数水平显示行中的第二 TFT,其被配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第二液晶盒内的第二像素电极输送来自第  $i+1$  数据线的电压;

所述偶数水平显示行中的第三 TFT,配置为响应于来自第  $j+3$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第三液晶盒内的第三像素电极输送来自第  $i+2$  数据线的电压;以及

所述偶数水平显示行中的第四 TFT,配置为响应于来自第  $j+2$  栅线的栅脉冲,给形成在所述偶数水平显示行中的所述第四液晶盒内的第四像素电极输送来自第  $i+1$  数据线的电压。

## 液晶显示器

[0001] 本申请要求 2009 年 12 月 3 日提交的韩国专利申请 10-2009-0119398 的优先权，在此为了所有目的援引该申请的全部内容作为参考。

### 技术领域

[0002] 本文件内容涉及一种液晶显示器，该液晶显示器通过使用输出极性以列反转方式反转的数据电压的源驱动集成电路，以点反转方式驱动液晶显示面板。

### 背景技术

[0003] 有源矩阵型液晶显示器(LCD)通过使用薄膜晶体管(TFT)作为开关元件来显示运动图像。可以将 LCD 制造得比阴极射线管(CRT)的尺寸小，因此将 LCD 作为 CRT 的替代品应用于便携式信息设备、办公设备、计算机等，并且进一步应用于电视机。

[0004] LCD 包括 LC 显示面板、向 LC 显示面板提供光的背光单元、向 LC 显示面板中的数据总线提供数据电压的源驱动集成电路(IC)、向 LC 显示面板中的栅线(或扫描线)提供栅脉冲(或扫描脉冲)的栅驱动 IC、控制上述 IC 的控制电路、以及驱动背光单元的光源的光源驱动电路。

[0005] 随着 LCD 的工艺技术和驱动技术的快速发展，已降低了 LCD 的制造成本，且明显改善了 LCD 的图像质量。需要进一步改善 LCD 的功耗、图像质量和制造成本，以适合于信息终端设备中对低功耗和低成本的要求。

### 发明内容

[0006] 本发明的实施例提供一种液晶显示器(LCD)，包括：LC 显示面板，所述 LC 显示面板具有多条数据线、与所述数据线交叉的多条栅线、以矩阵形式排列的 LC 盒、和设置在所述栅线和数据线的交叉处的 TFT；配置为给所述数据线提供数据电压的源驱动 IC，其中数据电压的极性以列反转方式反转；以及配置为顺序地给所述栅线提供栅脉冲的栅驱动电路。

[0007] 这里，在 LC 显示面板内的 LC 盒中充电的数据电压的极性以点为单位进行反转。

[0008] 此外，显示面板的至少一部分包括设置于第  $m+1$  (其中  $m$  是奇数)水平显示行中彼此相邻的数据线之间的两个 LC 盒，以便与设置于第  $m$  水平显示行中彼此相邻的数据线之间的两个 LC 盒间隔开。

[0009] 第  $m$  水平显示行中的两个 LC 盒和第  $m+1$  水平显示行中的两个 LC 盒由相同数据线提供的极性相同的数据电压顺序地向其中充电。

### 附图说明

[0010] 所包含的用于提供对发明的进一步的理解的附图并入组成说明书的一部分，图解了本发明的实施例，并与说明书文字部分一起用于解释本发明的原理。在附图中：

[0011] 图 1 是图示根据本文件内容的实施例的 LCD 的方框图；

[0012] 图 2 是图示图 1 中示出的像素阵列的第一实施例的具体电路图；

- [0013] 图 3 是图示第一数据线与第  $m+1$  数据线连接的实例的示意图；
- [0014] 图 4 是图示给图 3 中示出的 LCD 中的数据线的提供的数据电压的波形图；
- [0015] 图 5 是图示第  $m+1$  数据线与源驱动 IC 的输出通道连接的实例的示意图；
- [0016] 图 6 是图示给图 5 中示出的 LCD 中的数据线的提供的数据电压的波形图；
- [0017] 图 7 是图示图 1 中示出的像素阵列的第二实施例的具体电路图；
- [0018] 图 8 是图示图 1 中示出的像素阵列的第三实施例的具体电路图；
- [0019] 图 9 是图示图 1 中示出的像素阵列的第四实施例的具体电路图；
- [0020] 图 10 是图示图 1 中示出的像素阵列的第五实施例的具体电路图；
- [0021] 图 11 是图示图 1 中示出的像素阵列的第六实施例的具体电路图；
- [0022] 图 12 是图示图 1 中示出的像素阵列的第七实施例的具体电路图；
- [0023] 图 13 是图示图 1 中示出的像素阵列的第八实施例的具体电路图；
- [0024] 图 14 是图示图 1 中示出的像素阵列的第九实施例的具体电路图；
- [0025] 图 15 是图示图 1 中示出的像素阵列的第十实施例的具体电路图；和
- [0026] 图 16 是图示图 1 中示出的像素阵列的第十一实施例的具体电路图。

### 具体实施方式

[0027] 参考附图,通过将 LCD 作为典型范例说明本文件内容的示范实施例。在说明书全文中,相似的参考数字表示相似的元件。在下文的解释中,当确认与本文件内容相关的公知功能或构造的详细说明会非必要地模糊本文件内容的要点时,将省略这些详细说明。

[0028] 下文的解释中使用的各个元件的名称是出于撰写说明书方便性而选择的,因此可能与实际产品的名称不同。

[0029] 参见图 1,根据本文件内容的实施例的 LCD 包括具有像素阵列 10 的 LC 显示面板、源驱动 IC12 和时序控制器 11。可以在 LC 显示面板的下部设置向 LC 显示面板均匀地提供光的背光单元。

[0030] LC 显示面板包括彼此相对的上玻璃基板和下玻璃基板,LC 层位于两个基板之间。LC 显示面板具有像素阵列 10。像素阵列 10 包括以数据线和栅线的交叉结构的矩阵形式排列的 LC 盒。像素阵列 10 的下玻璃基板具有数据线、栅线、TFT、与 TFT 连接的 LC 盒的像素电极、与 LC 盒的像素电极连接的存储电容器  $C_{st}$  等等。像素阵列 10 中的每个 LC 盒由通过 TFT 在像素电极中充电的电压和提供给公共电极的公共电压之间的电压差来驱动,该电压差控制透过 LC 盒的光的透射率以显示与视频数据对应的图像。下面将参照随后的附图详细描述像素阵列 10 的结构。

[0031] LC 显示面板的上玻璃基板具有黑矩阵、滤色器和公共电极。在例如 TN(扭曲向列)模式或 VA(垂直排列)模式的垂直场驱动类型中,公共电极设置在上玻璃基板上,在例如 IPS(共平面切换)模式和 FFS(边缘场切换)模式的水平场驱动类型中,公共电极与像素电极一起设置在下玻璃基板上。

[0032] 分别在 LC 显示面板的下玻璃基板和上玻璃基板的外表面贴附偏振器,在与 LC 层接触的内表面上形成取向层,以设定 LC 层的预倾角。

[0033] 所述 LCD 不仅可以依照 TN 模式、VA 模式、IPS 模式和 FFS 模式实施,也可以依照其它 LC 模式实施。所述 LCD 可以依照其它类型的 LCD 实施,例如透射性 LCD、透反型 LCD、反

射型 LCD 等等。透射性 LCD 和反射性 LCD 需要背光单元。所述背光单元可以依照直下型背光单元或边缘型背光单元来实施。

[0034] 源驱动 IC12 安装在载带封装(TCP) 15 上,与 LC 显示面板的下玻璃基板结合并通过 TAB (载带自动贴合)处理连接到源印刷电路板(PCB)14。源驱动 IC12 可以贴附到 LC 显示面板的下玻璃基板上。源驱动 IC12 的每一数据输出通道与像素阵列 10 中的每条数据线相连。源驱动 IC12 的输出通道的总数约为数据线的总数的一半。

[0035] 每一源驱动 IC12 从时序控制器 11 接收数字视频数据。源驱动 IC12 响应于来自时序控制器 11 的源时序控制信号,将数字视频数据转换为正 / 负数据电压,并通过输出通道将转换的数据电压提供给像素阵列 10 中的数据线。源驱动 IC12 在时序控制器 11 的控制下将极性彼此相反的数据电压提供给相邻的数据线,提供给各条数据线的数据电压的极性在一个帧周期中保持不变。因此,如图 4 和 6 所示,源驱动 IC12 输出极性以列反转方式反转的数据电压。

[0036] 栅驱动器 13 响应于来自时序控制器 11 的栅时序控制信号,顺序地给像素阵列中的栅线提供栅脉冲(或扫描脉冲)。栅驱动器 13 可以安装在 TCP 上并通过 TAB 处理与 LC 显示面板的下玻璃基板结合,或者可以通过 GIP (板内栅,gate in panel)处理与像素阵列 10 一起直接形成在下玻璃基板上。栅驱动器 13 可以如图 2 中所示设置在像素阵列 10 的两侧,或者可以设置在像素阵列 10 的一侧。

[0037] 时序控制器 11 将来自外部系统板的数字视频数据传送至源驱动 IC12。时序控制器 11 产生用于控制源驱动 IC12 的操作时序的源时序控制信号和用于控制栅驱动器 13 的操作时序的栅时序控制信号。时序控制器 11 安装在控制 PCB16 上。控制 PCB16 和源 PCB14 通过例如 FFC (柔性扁平电缆)或 FPC (柔性印刷电路)等柔性印刷电路板 17 彼此连接。

[0038] 图 2 是图示像素阵列 10 的第一实施例的电路图。

[0039] 在图 2 中,像素阵列 10 具有  $m+1$  条数据线  $D1$  至  $D_{m+1}$ 、与数据线  $D1$  至  $D_{m+1}$  交叉的栅线  $G1$  至  $G_{2n}$ 、以及响应于栅脉冲对形成在 LC 盒中的像素电极  $PIX11$  至  $PIX14$  及  $PIX21$  至  $PIX24$  与数据线  $D1$  至  $D_{m+1}$  之间的电流路径进行切换的 TFT  $T11$  至  $T14$  和  $T21$  至  $T24$ 。在该像素阵列内的单条水平显示行中布置的 LC 盒的数量为  $2m$ 。

[0040] 对于由于图 2 中的像素阵列结构而在 LC 盒中充电的数据电压,它们的极性以水平 2 点反转和垂直 1 点反转为单位进行反转。在图 2 中,箭头表示在 LC 盒中充电的数据电压的次序。

[0041] 源驱动 IC12 向数据线  $D1$  至  $D_{m+1}$  输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第  $2n$  栅线  $G1$  至  $G_{2n}$  提供栅脉冲。第一栅脉冲被提供到第 1 栅线  $G1$ ,接着第 2 至第  $2n$  栅脉冲被提供到第 2 至第  $2n$  栅线  $G2$  至  $G_{2n}$ 。

[0042] 在第  $N$  (其中  $N$  是奇数)帧周期中,源驱动 IC12 仅将负数据电压提供给奇数数据线  $D1, D3, \dots, D_{m-1}$  和  $D_{m+1}$ ,仅将正数据电压提供给偶数数据线  $D2, D4, \dots,$  和  $D_m$ 。在第  $N+1$  帧周期中,源驱动 IC12 仅将正数据电压提供给奇数数据线  $D1, D3, \dots, D_{m-1}$  和  $D_{m+1}$ ,仅将负数据电压提供给偶数数据线  $D2, D4, \dots,$  和  $D_m$ 。

[0043] 在下文描述的实施例中,用于数据线的符号  $i$  的值等于或小于  $m$ ,并且在各个实施例中可以是不同的值。符号  $i$  是自然数。例如,在图 2、7、8、10、11、12、15 和 16 示出的实施例中,符号  $i=3k-2$  (其中  $k$  是自然数),在图 9、13 和 14 示出的实施例中,符号  $i=4k-3$ 。在

各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中, 设置于第 i 数据线和第 i+1 数据线之间的奇数水平显示行中的第一和第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的正数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+1 数据线提供的负数据电压向其中充电。在图 2 中, 参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极, 参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。此外, 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 设置于第 i+1 数据线和第 i+2 数据线之间的偶数水平显示行中的第三和第四 LC 盒在第 N 帧周期中由第 i+1 数据线提供的正数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+1 数据线提供的负数据电压向其中充电。在图 2 中, 参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极, 参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。因此, 奇数水平显示行中的第一、第二 LC 盒和偶数水平显示行中的第三、第四 LC 盒由第 i+1 数据线提供的极性相同的电压向其中充电。

[0044] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中, 设置于第 i+1 数据线和第 i+2 数据线之间的奇数水平显示行中的第三和第四 LC 盒在第 N 帧周期中由第 i+2 数据线提供的负数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+2 数据线提供的正数据电压向其中充电。在图 2 中, 参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒中的第三像素电极, 参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。此外, 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 设置于第 i+2 数据线和第 i+3 数据线之间的偶数水平显示行中的第五和第六 LC 盒在第 N 帧周期中由第 i+2 数据线提供的负数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+2 数据线提供的正数据电压向其中充电。在图 2 中, 没有图示偶数水平显示行中的第五和第六 LC 盒, 它们的连接结构与第一和第二 LC 盒中的连接结构基本相同。因此, 奇数水平显示行中的第三、第四 LC 盒和偶数水平显示行中的第五、第六 LC 盒由第 i+2 数据线提供的极性相同的电压向其中充电。同时, 偶数水平显示行中的第一和第二 LC 盒由第 i 数据线提供的极性相同的数据电压向其中充电。

[0045] 在图 2 所示的像素阵列 10 中, 将第一水平显示行 LINE#1 中的第一至第四 LC 盒和第二水平显示行 LINE#2 中的第一至第四 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0046] 在第一水平显示行 LINE#1 中, 设置于第一数据线 D1 和第二数据线 D2 之间的第一和第二 LC 盒由第二数据线 D2 顺序提供的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第二栅线 G2 的第二栅脉冲, 给第一像素电极 PIX11 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间, 该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第二栅线 G2 连接。第一 TFT T11 的漏极端与第二数据线 D2 连接, 源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第一栅线 G1 的第一栅脉冲, 给第二像素电极 PIX12 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间, 该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第一栅线 G1 连接。第二 TFT T12 的漏极端与第二数据线 D2 连接, 源极端与第二像素电极 PIX12 连接。

[0047] 在第一水平显示行 LINE#1 中, 设置于第二数据线 D2 和第三数据线 D3 之间的第三

和第四 LC 盒由第三数据线 D3 顺序提供的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第二栅线 G2 的第二栅脉冲,给第三像素电极 PIX13 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第二栅线 G2 连接。第三 TFT T13 的漏极端与第三数据线 D3 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第一栅线 G1 的第一栅脉冲,给第四像素电极 PIX14 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX14 中充电。第四 TFT T14 的栅极端与第一栅线 G1 连接。第四 TFT T14 的漏极端与第三数据线 D3 连接,源极端与第四像素电极 PIX14 连接。

[0048] 在第二水平显示行 LINE#2 中,设置于第一数据线 D1 和第二数据线 D2 之间的第一和第二 LC 盒由第一数据线 D1 顺序提供的数据电压向其中充电。第二水平显示行中的第一 TFT T21 响应于来自第三栅线 G3 的第三栅脉冲,给第一像素电极 PIX21 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第三栅线 G3 连接。第一 TFT T21 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第四栅线 G4 的第四栅脉冲,给第二像素电极 PIX22 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第四栅线 G4 连接。第二 TFT T22 的漏极端与第一数据线 D1 连接,源极端与第二像素电极 PIX22 连接。

[0049] 在第二水平显示行 LINE#2 中,设置于第二数据线 D2 和第三数据线 D3 之间的第三和第四 LC 盒由第二数据线 D2 顺序提供的数据电压向其中充电。第二水平显示行 LINE#2 中的第三和第四 LC 盒沿对角线方向与第一水平显示行 LINE#1 中的第一和第二 LC 盒间隔开,并与第一水平显示行 LINE#1 中的第一和第二 LC 盒共享第二数据线 D2。因此,经由第二数据线 D2 连续提供的极性相同的数据电压顺序地向第一水平显示行 LINE#1 中的第一、第二 LC 盒和第二水平显示行 LINE#2 中的第三和第四 LC 盒中充电。

[0050] 第二水平显示行中的第三 TFT T23 响应于来自第三栅线 G3 的第三栅脉冲,给第三像素电极 PIX23 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第三栅线 G3 连接。第三 TFT T23 的漏极端与第二数据线 D2 连接,源极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第四栅线 G4 的第四栅脉冲,给第四像素电极 PIX24 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第四栅线 G4 连接。第四 TFT T24 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX24 连接。

[0051] 在根据本文件内容的实施例的 LCD 中,向连接到相同数据线的 LCD 盒中充电的数据电压的极性相同,从而能够降低源驱动 IC 中的功耗,并且还使在各个 LC 盒中充电的数据量均匀。因此,根据本文件内容,能够防止由于现有技术的反转方法造成的充电的数据量不均匀而导致的图像质量降低,如亮度不均匀、色彩失真等等。此外,根据本文件内容,通过使用其中水平方向上彼此相邻的 LC 盒彼此共享一条数据线的 TFT 连接关系,能够减少数据线和源驱动 IC 通道的数量,而且能够降低 LCD 的制造成本。

[0052] 像素阵列 10 并不被限制为图 2 中所示的形式。例如,可将像素阵列 10 修改为如图 7 至 16 中所示。同样,在图 7 至 16 所示的实施例中,数据线的数量减半,通过列反转方式输出来自源驱动 IC12 的数据电压,通过点反转方式驱动像素阵列 10 中的 LC 盒。

[0053] 如图 3 中,设置在像素阵列 10 的最右边的第  $m+1$  数据线  $D_{m+1}$  可以与设置在像素阵列 10 的最左边的第一数据线  $D_1$  连接。图 4 是图示为图 3 示出的数据线  $D_1$  至  $D_{m+1}$  提供的数据电压的波形图。

[0054] 参看图 3 和 4, LCD 进一步包括经由 TCP15 和源 PCB14 延伸的连接线 111。

[0055] 连接线 111 的一端与第一数据线  $D_1$  连接,连接线 111 的另一端与第  $m+1$  数据线  $D_{m+1}$  连接。在源驱动 IC12 之中,设置在像素阵列 10 的最上边左侧的第一源驱动 IC12 的输出通道给第一数据线  $D_1$  和第  $m+1$  数据线  $D_{m+1}$  提供数据电压。

[0056] 如图 5 所示,设置在像素阵列 10 的最右边的第  $m+1$  数据线  $D_{m+1}$  可以在不与第一数据线  $D_1$  连接的状态下,与源驱动 IC12 的输出通道连接。图 6 是图示为图 5 中示出的 LCD 中的数据线提供的数据电压的波形的波形图。

[0057] 参见图 5 和 6,设置在 LC 显示面板的最上边右侧的源驱动 IC12 还包括与第  $m+1$  数据线  $D_{m+1}$  连接的输出通道。因此,在源驱动 IC12 当中,来自设置在像素阵列 10 的最上边右侧的最末源驱动 IC12 的数据电压被直接提供到第  $m+1$  数据线  $D_{m+1}$ 。

[0058] 图 7 是图示像素阵列 10 的第二实施例的电路图。

[0059] 在图 7 中,像素阵列 10 具有数据线  $D_1$  至  $D_{m+1}$ 、与数据线  $D_1$  至  $D_{m+1}$  交叉的栅线  $G_1$  至  $G_{2n}$ 、以及响应于栅脉冲对形成在 LC 盒中的像素电极 PIX11 至 PIX14 及 PIX21 至 PIX24 与数据线  $D_1$  至  $D_{m+1}$  之间的电流路径进行切换的 TFT T11 至 T14 和 T21 至 T24。对于由于图 7 中的像素阵列结构而在 LC 盒中充电的数据电压,它们的极性以水平 2 点和垂直 1 点 ( $1 \times 2$  点) 为单位进行反转。

[0060] 源驱动 IC12 向数据线  $D_1$  至  $D_{m+1}$  输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第  $2n$  栅线  $G_1$  至  $G_{2n}$  提供栅脉冲。第一栅脉冲被提供到第一栅线  $G_1$ ,接着第 2 至第  $2n$  栅脉冲被提供到第 2 至第  $2n$  栅线  $G_2$  至  $G_{2n}$ 。

[0061] 在第  $N$  帧周期中,源驱动 IC12 仅将正数据电压提供给奇数数据线  $D_1, D_3, \dots, D_{m-1}$  和  $D_{m+1}$ ,仅将负数据电压提供给偶数数据线  $D_2, D_4, \dots$ , 和  $D_m$ 。在第  $N+1$  帧周期中,源驱动 IC12 仅将负数据电压提供给奇数数据线  $D_1, D_3, \dots, D_{m-1}$  和  $D_{m+1}$ ,仅将正数据电压提供给偶数数据线  $D_2, D_4, \dots$ , 和  $D_m$ 。

[0062] 在各条奇数水平显示行 LINE#1, LINE#3,  $\dots$ , 和 LINE# $n-1$  中,设置于第  $i$  数据线和第  $i+1$  数据线之间的奇数水平显示行中的第一和第二 LC 盒在第  $N$  帧周期中由第  $i$  数据线提供的正数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i$  数据线提供的负数据电压向其中充电。在图 7 中,参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。

[0063] 在各条奇数水平显示行 LINE#1, LINE#3,  $\dots$ , 和 LINE# $n-1$  中,设置于第  $i+1$  数据线和第  $i+2$  数据线之间的奇数水平显示行中的第三和第四 LC 盒在第  $N$  帧周期中由第  $i+1$  数据线提供的负数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+1$  数据线提供的正数据电压向其中充电。在图 7 中,参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒

中的第三像素电极,参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。此外,在各条偶数水平显示行 LINE#2, LINE#4, …, 和 LINE#n 中,设置于第 i 数据线和第 i+1 数据线之间的偶数水平显示行中的第一和第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 7 中,参考数字“PIX21”表示形成在偶数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX22”表示形成在偶数水平显示行中的第二 LC 盒中的第二像素电极。因此,奇数水平显示行中的第三、第四 LC 盒和偶数水平显示行中的第一、第二 LC 盒由第 i+1 数据线提供的极性相同的电压向其中充电。

[0064] 在各条偶数水平显示行 LINE#2, LINE#4, …, 和 LINE#n 中,设置于第 i+1 数据线和第 i+2 数据线之间的偶数水平显示行中的第三和第四 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 7 中,参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。

[0065] 在图 7 所示的像素阵列 10 中,将第一水平显示行 LINE#1 中的第一至第四 LC 盒和第二水平显示行 LINE#2 中的第一至第四 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0066] 在第一水平显示行 LINE#1 中,设置于第一数据线 D1 和第二数据线 D2 之间的第一和第二 LC 盒由第一数据线 D1 顺序提供的的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第二栅线 G2 的第二栅脉冲,给第一像素电极 PIX11 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第二栅线 G2 连接。第一 TFT T11 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第一栅线 G1 的第一栅脉冲,给第二像素电极 PIX12 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第一栅线 G1 连接。第二 TFT T12 的漏极端与第一数据线 D1 连接,源极端与第二像素电极 PIX12 连接。

[0067] 在第一水平显示行 LINE#1 中,设置于第二数据线 D2 和第三数据线 D3 之间的第三和第四 LC 盒由第二数据线 D2 顺序提供的的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第二栅线 G2 的第二栅脉冲,给第三像素电极 PIX13 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第二栅线 G2 连接。第三 TFT T13 的漏极端与第二数据线 D2 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第一栅线 G1 的第一栅脉冲,给第四像素电极 PIX14 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX14 中充电。第四 TFT T14 的栅极端与第一栅线 G1 连接。第四 TFT T14 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX14 连接。

[0068] 在第二水平显示行 LINE#2 中,设置于第一数据线 D1 和第二数据线 D2 之间的第一和第二 LC 盒由第二数据线 D2 顺序提供的的数据电压向其中充电。第二水平显示行中的第一

TFT T21 响应于来自第三栅线 G3 的第三栅脉冲,给第一像素电极 PIX21 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第三栅线 G3 连接。第一 TFT T21 的漏极端与第二数据线 D2 连接,源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第四栅线 G4 的第四栅脉冲,给第二像素电极 PIX22 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第四栅线 G4 连接。第二 TFT T22 的漏极端与第二数据线 D2 连接,源极端与第二像素电极 PIX22 连接。

[0069] 在第二水平显示行 LINE#2 中,设置于第二数据线 D2 和第三数据线 D3 之间的第三和第四 LC 盒由第三数据线 D3 顺序提供的数据电压向其中充电。第二水平显示行中的第三 TFT T23 响应于来自第三栅线 G3 的第三栅脉冲给第三像素电极 PIX23 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第三栅线 G3 连接。第三 TFT T23 的漏极端与第三数据线 D3 连接,源极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第四栅线 G4 的第四栅脉冲给第四像素电极 PIX24 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第四栅线 G4 连接。第四 TFT T24 的漏极端与第三数据线 D3 连接,源极端与第四像素电极 PIX24 连接。

[0070] 图 8 是图示像素阵列 10 的第三实施例的电路图。

[0071] 参见图 8,像素阵列 10 具有数据线 D1 至 D<sub>m+1</sub>、与数据线 D1 至 D<sub>m+1</sub> 交叉的栅线 G1 至 G<sub>2n</sub>、以及响应于栅脉冲对形成在 LC 盒中的像素电极 PIX11 至 PIX14 及 PIX21 至 PIX24 与数据线 D1 至 D<sub>m+1</sub> 之间的电流路径进行切换的 TFT T11 至 T14 和 T21 至 T24。对于由于图 8 中的像素阵列结构而在 LC 盒中充电的数据电压,它们的极性以水平 2 点和垂直 1 点为单位进行反转。

[0072] 源驱动 IC12 向数据线 D1 至 D<sub>m+1</sub> 输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第 2n 栅线 G1 至 G<sub>2n</sub> 提供栅脉冲。第一栅脉冲被提供到第一栅线 G1,接着第 2 至第 2n 栅脉冲被提供到第 2 至第 2n 栅线 G2 至 G<sub>2n</sub>。

[0073] 在第 N 帧周期中,源驱动 IC12 仅将正数据电压提供给奇数数据线 D1, D3, ..., D<sub>m-1</sub> 和 D<sub>m+1</sub>,仅将负数据电压提供给偶数数据线 D2, D4, ..., 和 D<sub>m</sub>。在第 N+1 帧周期中,源驱动 IC12 仅将负数据电压提供给奇数数据线 D1, D3, ..., D<sub>m-1</sub> 和 D<sub>m+1</sub>,仅将正数据电压提供给偶数数据线 D2, D4, ..., 和 D<sub>m</sub>。

[0074] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中,设置于第 i 数据线和第 i+1 数据线之间的奇数水平显示行中的第一和第二 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。在图 8 中,参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。

[0075] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中,设置于第 i+1 数据线和第 i+2 数据线之间的奇数水平显示行中的第三和第四 LC 盒在第 N 帧周期中由第 i+1 数

据线提供的负数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+1$  数据线提供的正数据电压向其中充电。在图 8 中,参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。此外,在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中,设置于第  $i$  数据线和第  $i+1$  数据线之间的偶数水平显示行中的第一和第二 LC 盒在第  $N$  帧周期中由第  $i+1$  数据线提供的负数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+1$  数据线提供的正数据电压向其中充电。在图 8 中,参考数字“PIX21”表示形成在偶数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX22”表示形成在偶数水平显示行中的第二 LC 盒中的第二像素电极。因此,奇数水平显示行中的第三、第四 LC 盒和偶数水平显示行中的第一、第二 LC 盒由第  $i+1$  数据线提供的极性相同的电压向其中充电。

[0076] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中,设置于第  $i+1$  数据线和第  $i+2$  数据线之间的偶数水平显示行中的第三和第四 LC 盒在第  $N$  帧周期中由第  $i+2$  数据线提供的正数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+2$  数据线提供的负数据电压向其中充电。在图 8 中,参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。

[0077] 在图 8 所示的像素阵列 10 中,将第一水平显示行 LINE#1 中的第一至第四 LC 盒和第二水平显示行 LINE#2 中的第一至第四 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0078] 在第一水平显示行 LINE#1 中,设置于第一数据线 D1 和第二数据线 D2 之间的第一和第二 LC 盒由第一数据线 D1 顺序提供的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第一栅线 G1 的第一栅脉冲给第一像素电极 PIX11 输送来自第一数据线 D1 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第一栅线 G1 连接。第一 TFT T11 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第二栅线 G2 的第二栅脉冲给第二像素电极 PIX12 输送来自第一数据线 D1 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第二栅线 G2 连接。第二 TFT T12 的漏极端与第一数据线 D1 连接,源极端与第二像素电极 PIX12 连接。

[0079] 在第一水平显示行 LINE#1 中,设置于第二数据线 D2 和第三数据线 D3 之间的第三和第四 LC 盒由第二数据线 D2 顺序提供的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第二栅线 G2 的第二栅脉冲给第三像素电极 PIX13 输送来自第二数据线 D2 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第二栅线 G2 连接。第三 TFT T13 的漏极端与第二数据线 D2 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第一栅线 G1 的第一栅脉冲给第四像素电极 PIX14 输送来自第二数据线 D2 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第四像素电极 PIX14 中充电。第四 TFT T14 的栅极端与第一栅线 G1 连接。第四 TFT T14 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX14 连接。

[0080] 在第二水平显示行 LINE#2 中, 设置于第一数据线 D1 和第二数据线 D2 之间的第一和第二 LC 盒由第二数据线 D2 顺序提供的数据电压向其中充电。第二水平显示行中的第一 TFT T21 响应于来自第四栅线 G4 的第四栅脉冲给第一像素电极 PIX21 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间, 该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第四栅线 G4 连接。第一 TFT T21 的漏极端与第二数据线 D2 连接, 源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第三栅线 G3 的第三栅脉冲给第二像素电极 PIX22 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间, 该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第三栅线 G3 连接。第二 TFT T22 的漏极端与第二数据线 D2 连接, 源极端与第二像素电极 PIX22 连接。

[0081] 在第二水平显示行 LINE#2 中, 设置于第二数据线 D2 和第三数据线 D3 之间的第三和第四 LC 盒由第三数据线 D3 顺序提供的数据电压向其中充电。第二水平显示行中的第三 TFT T23 响应于来自第三栅线 G3 的第三栅脉冲给第三像素电极 PIX23 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间, 该数据电压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第三栅线 G3 连接。第三 TFT T23 的漏极端与第三数据线 D3 连接, 源极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第四栅线 G4 的第四栅脉冲给第四像素电极 PIX24 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间, 该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第四栅线 G4 连接。第四 TFT T24 的漏极端与第三数据线 D3 连接, 源极端与第四像素电极 PIX24 连接。

[0082] 图 9 是图示像素阵列 10 的第四实施例的电路图。

[0083] 在图 9 中, 像素阵列 10 具有数据线 D1 至  $D_{m+1}$ 、与数据线 D1 至  $D_{m+1}$  交叉的栅线 G1 至  $G_{2n}$ 、以及响应于栅脉冲对形成在 LC 盒中的像素电极 PIX11 至 PIX16 及 PIX21 至 PIX26 与数据线 D1 至  $D_{m+1}$  之间的电流路径进行切换的 TFT T11 至 T16 和 T21 至 T26。对于由于图 9 中的像素阵列结构而在 LC 盒中充电的数据电压, 它们的极性以水平 2 点和垂直 1 点为单位进行反转。

[0084] 源驱动 IC12 向数据线 D1 至  $D_{m+1}$  输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第  $2n$  栅线 G1 至  $G_{2n}$  提供栅脉冲。第一栅脉冲被提供到第一栅线 G1, 接着第 2 至第  $2n$  栅脉冲被提供到第 2 至第  $2n$  栅线 G2 至  $G_{2n}$ 。

[0085] 在第 N 帧周期中, 源驱动 IC12 仅将正数据电压提供给奇数数据线 D1, D3,  $\dots$ ,  $D_{m-1}$  和  $D_{m+1}$ , 仅将负数据电压提供给偶数数据线 D2, D4,  $\dots$ , 和  $D_m$ 。在第 N+1 帧周期中, 源驱动 IC12 仅将负数据电压提供给奇数数据线 D1, D3,  $\dots$ ,  $D_{m-1}$  和  $D_{m+1}$ , 仅将正数据电压提供给偶数数据线 D2, D4,  $\dots$ , 和  $D_m$ 。

[0086] 在各条奇数水平显示行 LINE#1, LINE#3,  $\dots$ , 和 LINE# $n-1$  中, 设置于第 i 数据线和第 i+1 数据线之间的奇数水平显示行中的第一和第二 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电, 随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。在图 9 中, 参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极, 参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。

[0087] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中, 设置于第 i+1 数据线和第 i+2 数据线之间的奇数水平显示行中的第三和第四 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 9 中, 参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒中的第三像素电极, 参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。此外, 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 设置于第 i 数据线和第 i+1 数据线之间的偶数水平显示行中的第一和第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 9 中, 参考数字“PIX21”表示形成在偶数水平显示行中的第一 LC 盒中的第一像素电极, 参考数字“PIX22”表示形成在偶数水平显示行中的第二 LC 盒中的第二像素电极。因此, 奇数水平显示行中的第三、第四 LC 盒和偶数水平显示行中的第一、第二 LC 盒由第 i+1 数据线提供的极性相同的数据电压向其中充电。

[0088] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中, 设置于第 i+2 数据线和第 i+3 数据线之间的奇数水平显示行中的第五和第六 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 9 中, 参考数字“PIX15”表示形成在奇数水平显示行中的第五 LC 盒中的第五像素电极, 参考数字“PIX16”表示形成在奇数水平显示行中的第六 LC 盒中的第六像素电极。此外, 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 设置于第 i+1 数据线和第 i+2 数据线之间的偶数水平显示行中的第三和第四 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 9 中, 参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极, 参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。因此, 奇数水平显示行中的第五、第六 LC 盒和偶数水平显示行中的第三、第四 LC 盒由第 i+2 数据线提供的极性相同的数据电压向其中充电。

[0089] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 设置于第 i+2 数据线和第 i+3 数据线之间的偶数水平显示行中的第五和第六 LC 盒在第 N 帧周期中由第 i+3 数据线提供的负数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+3 数据线提供的正数据电压向其中充电。在图 9 中, 参考数字“PIX25”表示形成在偶数水平显示行中的第五 LC 盒中的第五像素电极, 参考数字“PIX26”表示形成在偶数水平显示行中的第六 LC 盒中的第六像素电极。

[0090] 在图 9 所示的像素阵列 10 中, 将第一水平显示行 LINE#1 中的第一至第六 LC 盒和第二水平显示行 LINE#2 中的第一至第六 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0091] 在第一水平显示行 LINE#1 中, 设置于第一数据线 D1 和第二数据线 D2 之间的第一和第二 LC 盒由第一数据线 D1 顺序提供的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第二栅线 G2 的第二栅脉冲给第一像素电极 PIX11 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间, 该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第二栅线 G2 连接。第一 TFT T11 的漏极端与第一数据线 D1 连接, 源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第一栅线

G1 的第一栅脉冲给第二像素电极 PIX12 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第一栅线 G1 连接。第二 TFT T12 的漏极端与第一数据线 D1 连接,源极端与第二像素电极 PIX12 连接。

[0092] 在第一水平显示行 LINE#1 中,设置于第二数据线 D2 和第三数据线 D3 之间的第三和第四 LC 盒由第二数据线 D2 顺序提供的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第二栅线 G2 的第二栅脉冲给第三像素电极 PIX13 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第二栅线 G2 连接。第三 TFT T13 的漏极端与第二数据线 D2 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第一栅线 G1 的第一栅脉冲给第四像素电极 PIX14 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX14 中充电。第四 TFT T14 的栅极端与第一栅线 G1 连接。第四 TFT T14 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX14 连接。

[0093] 在第一水平显示行 LINE#1 中,设置于第二数据线 D3 和第三数据线 D4 之间的第五和第六 LC 盒由第三数据线 D3 顺序提供的数据电压向其中充电。第一水平显示行中的第五 TFT T15 响应于来自第一栅线 G1 的第一栅脉冲给第五像素电极 PIX15 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第五像素电极 PIX15 中充电。第五 TFT T15 的栅极端与第一栅线 G1 连接。第五 TFT T15 的漏极端与第三数据线 D3 连接,源极端与第五像素电极 PIX15 连接。第一水平显示行中的第六 TFT T16 响应于来自第二栅线 G2 的第二栅脉冲给第六像素电极 PIX16 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第六像素电极 PIX16 中充电。第六 TFT T16 的栅极端与第二栅线 G2 连接。第六 TFT T16 的漏极端与第三数据线 D3 连接,源极端与第六像素电极 PIX16 连接。

[0094] 在第二水平显示行 LINE#2 中,设置于第一数据线 D1 和第二数据线 D2 之间的第一和第二 LC 盒由第二数据线 D2 顺序提供的数据电压向其中充电。第二水平显示行中的第一 TFT T21 响应于来自第三栅线 G3 的第三栅脉冲给第一像素电极 PIX21 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第三栅线 G3 连接。第一 TFT T21 的漏极端与第二数据线 D2 连接,源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第四栅线 G4 的第四栅脉冲给第二像素电极 PIX22 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第四栅线 G4 连接。第二 TFT T22 的漏极端与第二数据线 D2 连接,源极端与第二像素电极 PIX22 连接。

[0095] 在第二水平显示行 LINE#2 中,设置于第二数据线 D2 和第三数据线 D3 之间的第三和第四 LC 盒由第三数据线 D3 顺序提供的数据电压向其中充电。第二水平显示行中的第三 TFT T23 响应于来自第三栅线 G3 的第三栅脉冲给第三像素电极 PIX23 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第三栅线 G3 连接。第三 TFT T23 的漏极端与第三数据线 D3 连接,源

极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第四栅线 G4 的第四栅脉冲给第四像素电极 PIX24 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第四栅线 G4 连接。第四 TFT T24 的漏极端与第三数据线 D3 连接,源极端与第四像素电极 PIX24 连接。

[0096] 在第二水平显示行 LINE#2 中,设置于第三数据线 D3 和第四数据线 D4 之间的第五和第六 LC 盒由第四数据线 D4 顺序提供的数据电压向其中充电。第二水平显示行中的第五 TFT T25 响应于来自第四栅线 G4 的第四栅脉冲给第五像素电极 PIX25 输送来自第四数据线 D4 的数据电压。在约 1/2 的水平周期期间,该数据电压向第五像素电极 PIX25 中充电。第五 TFT T25 的栅极端与第四栅线 G4 连接。第五 TFT T25 的漏极端与第四数据线 D4 连接,源极端与第五像素电极 PIX25 连接。第二水平显示行中的第六 TFT T26 响应于来自第三栅线 G3 的第三栅脉冲给第六像素电极 PIX26 输送来自第四数据线 D4 的数据电压。在约 1/2 的水平周期期间,该数据电压向第六像素电极 PIX26 中充电。第六 TFT T26 的栅极端与第三栅线 G3 连接。第六 TFT T26 的漏极端与第四数据线 D4 连接,源极端与第六像素电极 PIX26 连接。

[0097] 图 10 是图示像素阵列 10 的第五实施例的电路图。

[0098] 参见图 10,像素阵列 10 具有数据线 D1 至 D<sub>m+1</sub>、与数据线 D1 至 D<sub>m+1</sub> 交叉的栅线 G1 至 G<sub>2n</sub>、以及响应于栅脉冲对形成在 LC 盒中的像素电极 PIX11 至 PIX14 及 PIX21 至 PIX24 与数据线 D1 至 D<sub>m+1</sub> 之间的电流路径进行切换的 TFT T11 至 T14 和 T21 至 T24。对于由于图 10 中的像素阵列结构而在 LC 盒中充电的数据电压,它们的极性以水平 2 点和垂直 1 点为单位进行反转。

[0099] 源驱动 IC12 向数据线 D1 至 D<sub>m+1</sub> 输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第 2n 栅线 G1 至 G<sub>2n</sub> 提供栅脉冲。第一栅脉冲被提供到第一栅线 G1,接着第 2 至第 2n 栅脉冲被提供到第 2 至第 2n 栅线 G2 至 G<sub>2n</sub>。

[0100] 在第 N 帧周期中,源驱动 IC12 仅将正数据电压提供给奇数数据线 D1, D3, ..., D<sub>m-1</sub> 和 D<sub>m+1</sub>,仅将负数据电压提供给偶数数据线 D2, D4, ..., 和 D<sub>m</sub>。在第 N+1 帧周期中,源驱动 IC12 仅将负数据电压提供给奇数数据线 D1, D3, ..., D<sub>m-1</sub> 和 D<sub>m+1</sub>,仅将正数据电压提供给偶数数据线 D2, D4, ..., 和 D<sub>m</sub>。

[0101] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中,奇数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。奇数水平显示行中的第一 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。奇数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 10 中,参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。

[0102] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中,奇数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。奇数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周

期中由第  $i+1$  数据线提供的正数据电压向其中充电。奇数水平显示行中的第四 LC 盒在第  $N$  帧周期中由第  $i+2$  数据线提供的正数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+2$  数据线提供的负数据电压向其中充电。在图 10 中,参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。

[0103] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中,偶数水平显示行中的第一和第二 LC 盒被设置于第  $i$  数据线和第  $i+1$  数据线之间。偶数水平显示行中的第一 LC 盒在第  $N$  帧周期中由第  $i+1$  数据线提供的负数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+1$  数据线提供的正数据电压向其中充电。偶数水平显示行中的第二 LC 盒在第  $N$  帧周期中由第  $i$  数据线提供的正数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i$  数据线提供的负数据电压向其中充电。在图 10 中,参考数字“PIX21”表示形成在偶数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX22”表示形成在偶数水平显示行中的第二 LC 盒中的第二像素电极。

[0104] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中,偶数水平显示行中的第三和第四 LC 盒被设置于第  $i+1$  数据线和第  $i+2$  数据线之间。偶数水平显示行中的第三 LC 盒在第  $N$  帧周期中由第  $i+2$  数据线提供的正数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+2$  数据线提供的负数据电压向其中充电。偶数水平显示行中的第四 LC 盒在第  $N$  帧周期中由第  $i+1$  数据线提供的负数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+1$  数据线提供的正数据电压向其中充电。在图 10 中,参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。

[0105] 从图 10 可以看出,奇数水平显示行中的第二、第三 LC 盒和偶数水平显示行中的第一、第四 LC 盒由第  $i+1$  数据线提供的极性相同的数据电压向其中充电。向奇数水平显示行中的第二、第三 LC 盒和偶数水平显示行中的第一、第四 LC 盒中充电的数据电压的极性,与向奇数水平显示行中的第一、第四 LC 盒和偶数水平显示行中的第二、第三 LC 盒中充电的数据电压的极性相反。

[0106] 在图 10 所示的像素阵列 10 中,将第一水平显示行 LINE#1 中的第一至第四 LC 盒和第二水平显示行 LINE#2 中的第一至第四 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0107] 第一水平显示行 LINE#1 中的第二 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第一 LC 盒由第一数据线 D1 提供的的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第二栅线 G2 的第二栅脉冲给第一像素电极 PIX11 输送来自第一数据线 D1 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第二栅线 G2 连接。第一 TFT T11 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第一栅线 G1 的第一栅脉冲给第二像素电极 PIX12 输送来自第二数据线 D2 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第一栅线 G1 连接。第二 TFT T12 的漏极端与第二数据线 D2 连接,源极端与第二像素电极 PIX12 连接。

[0108] 第一水平显示行 LINE#1 中的第四 LC 盒由第三数据线 D3 提供的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第三 LC 盒由第二数据线 D2 提供的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第二栅线 G2 的第二栅脉冲给第三像素电极 PIX13 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第二栅线 G2 连接。第三 TFT T13 的漏极端与第二数据线 D2 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第一栅线 G1 的第一栅脉冲给第四像素电极 PIX14 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX14 中充电。第四 TFT T14 的栅极端与第一栅线 G1 连接。第四 TFT T14 的漏极端与第三数据线 D3 连接,源极端与第四像素电极 PIX14 连接。

[0109] 第二水平显示行 LINE#2 中的第一 LC 盒由第二数据线 D2 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第二 LC 盒由第一数据线 D1 提供的数据电压向其中充电。第二水平显示行中的第一 TFT T21 响应于来自第三栅线 G3 的第三栅脉冲给第一像素电极 PIX21 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第三栅线 G3 连接。第一 TFT T21 的漏极端与第二数据线 D2 连接,源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第四栅线 G4 的第四栅脉冲给第二像素电极 PIX22 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第四栅线 G4 连接。第二 TFT T22 的漏极端与第一数据线 D1 连接,源极端与第二像素电极 PIX22 连接。

[0110] 第二水平显示行 LINE#2 中的第三 LC 盒由第三数据线 D3 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第四 LC 盒由第二数据线 D2 提供的数据电压向其中充电。第二水平显示行中的第三 TFT T23 响应于来自第三栅线 G3 的第三栅脉冲给第三像素电极 PIX23 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第三栅线 G3 连接。第三 TFT T23 的漏极端与第三数据线 D3 连接,源极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第四栅线 G4 的第四栅脉冲给第四像素电极 PIX24 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第四栅线 G4 连接。第四 TFT T24 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX24 连接。

[0111] 图 11 是图示像素阵列 10 的第六实施例的电路图。

[0112] 参见图 11,像素阵列 10 具有数据线 D1 至 D<sub>m+1</sub>、与数据线 D1 至 D<sub>m+1</sub> 交叉的栅线 G1 至 G<sub>2n</sub>、以及响应于栅脉冲对形成在 LC 盒中的像素电极 PIX11 至 PIX14 及 PIX21 至 PIX24 与数据线 D1 至 D<sub>m+1</sub> 之间的电流路径进行切换的 TFT T11 至 T14 和 T21 至 T24。对于由于图 11 中的像素阵列结构而在 LC 盒中充电的数据电压,它们的极性以水平 2 点和垂直 1 点为单位进行反转。

[0113] 源驱动 IC12 向数据线 D1 至 D<sub>m+1</sub> 输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第 2n 栅线 G1 至 G<sub>2n</sub> 提供栅脉冲。第一栅脉冲被提供到第一栅线 G1,接着第 2 至第 2n 栅脉冲被提供到第 2 至第 2n 栅线 G2 至 G<sub>2n</sub>。

[0114] 在第 N 帧周期中,源驱动 IC12 仅将正数据电压提供给奇数数据线 D1, D3, ..., D<sub>m-1</sub> 和 D<sub>m+1</sub>, 仅将负数据电压提供给偶数数据线 D2, D4, ..., 和 D<sub>m</sub>。在第 N+1 帧周期中,源驱动 IC12 仅将负数据电压提供给奇数数据线 D1, D3, ..., D<sub>m-1</sub> 和 D<sub>m+1</sub>, 仅将正数据电压提供给偶数数据线 D2, D4, ..., 和 D<sub>m</sub>。

[0115] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#<sub>n-1</sub> 中,奇数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。奇数水平显示行中的第一 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。奇数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 11 中,参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。

[0116] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#<sub>n-1</sub> 中,奇数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。奇数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。奇数水平显示行中的第四 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 11 中,参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。

[0117] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#<sub>n</sub> 中,偶数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。偶数水平显示行中的第一 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。偶数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。在图 11 中,参考数字“PIX21”表示形成在偶数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX22”表示形成在偶数水平显示行中的第二 LC 盒中的第二像素电极。

[0118] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#<sub>n</sub> 中,偶数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。偶数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。偶数水平显示行中的第四 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 11 中,参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。

[0119] 从图 11 可以看出,奇数水平显示行中的第二、第三 LC 盒和偶数水平显示行中的第一、第四 LC 盒由第 i+1 数据线提供的极性相同的数据电压向其中充电。向奇数水平显示行中的第二、第三 LC 盒和偶数水平显示行中的第一、第四 LC 盒中充电的数据电压的极性,与

向奇数水平显示行中的第一、第四 LC 盒和偶数水平显示行中的第二、第三 LC 盒中充电的数据电压的极性相反。

[0120] 在图 11 所示的像素阵列 10 中,将第一水平显示行 LINE#1 中的第一至第四 LC 盒和第二水平显示行 LINE#2 中的第一至第四 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0121] 第一水平显示行 LINE#1 中的第一 LC 盒由第一数据线 D1 提供的的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第二 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第一栅线 G1 的第一栅脉冲给第一像素电极 PIX11 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第一栅线 G1 连接。第一 TFT T11 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第二栅线 G2 的第二栅脉冲给第二像素电极 PIX12 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第二栅线 G2 连接。第二 TFT T12 的漏极端与第二数据线 D2 连接,源极端与第二像素电极 PIX12 连接。

[0122] 第一水平显示行 LINE#1 中的第三 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第四 LC 盒由第三数据线 D3 提供的的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第一栅线 G1 的第一栅脉冲给第三像素电极 PIX13 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第一栅线 G1 连接。第三 TFT T13 的漏极端与第二数据线 D2 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第二栅线 G2 的第二栅脉冲给第四像素电极 PIX14 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX14 中充电。第四 TFT T14 的栅极端与第二栅线 G2 连接。第四 TFT T14 的漏极端与第三数据线 D3 连接,源极端与第四像素电极 PIX14 连接。

[0123] 第二水平显示行 LINE#2 中的第二 LC 盒由第一数据线 D1 提供的的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第一 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。第二水平显示行中的第一 TFT T21 响应于来自第四栅线 G4 的第四栅脉冲给第一像素电极 PIX21 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第四栅线 G4 连接。第一 TFT T21 的漏极端与第二数据线 D2 连接,源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第三栅线 G3 的第三栅脉冲给第二像素电极 PIX22 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第三栅线 G3 连接。第二 TFT T22 的漏极端与第一数据线 D1 连接,源极端与第二像素电极 PIX22 连接。

[0124] 第二水平显示行 LINE#2 中的第四 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第三 LC 盒由第三数据线 D3 提供的的数据电压向其中充电。第二水平显示行中的第三 TFT T23 响应于来自第四栅线 G4 的第四栅脉冲给第三像素电极 PIX23 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电

压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第四栅线 G4 连接。第三 TFT T23 的漏极端与第三数据线 D3 连接,源极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第三栅线 G3 的第三栅脉冲给第四像素电极 PIX24 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第三栅线 G3 连接。第四 TFT T24 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX24 连接。

[0125] 图 12 是图示像素阵列 10 的第七实施例的电路图。

[0126] 在图 12 中,像素阵列 10 具有数据线 D1 至  $D_{m+1}$ 、与数据线 D1 至  $D_{m+1}$  交叉的栅线 G1 至  $G_{2n}$ 、以及响应于栅脉冲对形成在 LC 盒中的像素电极 PIX11 至 PIX16 及 PIX21 至 PIX26 与数据线 D1 至  $D_{m+1}$  之间的电流路径进行切换的 TFT T11 至 T16 和 T21 至 T26。对于由于图 12 中的像素阵列结构而在 LC 盒中充电的数据电压,它们的极性以水平 2 点和垂直 1 点为单位进行反转。

[0127] 源驱动 IC12 向数据线 D1 至  $D_{m+1}$  输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第  $2n$  栅线 G1 至  $G_{2n}$  提供栅脉冲。第一栅脉冲被提供到第一栅线 G1,接着第 2 至第  $2n$  栅脉冲被提供到第 2 至第  $2n$  栅线 G2 至  $G_{2n}$ 。

[0128] 在第 N 帧周期中,源驱动 IC12 仅将正数据电压提供给奇数数据线 D1, D3,  $\dots$ ,  $D_{m-1}$  和  $D_{m+1}$ ,仅将负数据电压提供给偶数数据线 D2, D4,  $\dots$ , 和  $D_m$ 。在第 N+1 帧周期中,源驱动 IC12 仅将负数据电压提供给奇数数据线 D1, D3,  $\dots$ ,  $D_{m-1}$  和  $D_{m+1}$ ,仅将正数据电压提供给偶数数据线 D2, D4,  $\dots$ , 和  $D_m$ 。

[0129] 在各条奇数水平显示行 LINE#1, LINE#3,  $\dots$ , 和 LINE# $n-1$  中,奇数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。奇数水平显示行中的第一 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。奇数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 12 中,参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。

[0130] 在各条奇数水平显示行 LINE#1, LINE#3,  $\dots$ , 和 LINE# $n-1$  中,奇数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。奇数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。奇数水平显示行中的第四 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 12 中,参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。

[0131] 在各条偶数水平显示行 LINE#2, LINE#4,  $\dots$ , 和 LINE# $n$  中,偶数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。偶数水平显示行中的第一 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。偶数水平显示行中的第二 LC 盒在第 N 帧周

期中由第  $i$  数据线提供的正数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i$  数据线提供的负数据电压向其中充电。在图 12 中,参考数字“PIX21”表示形成在偶数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX22”表示形成在偶数水平显示行中的第二 LC 盒中的第二像素电极。

[0132] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中,偶数水平显示行中的第三和第四 LC 盒被设置于第  $i+1$  数据线和第  $i+2$  数据线之间。偶数水平显示行中的第三 LC 盒在第  $N$  帧周期中由第  $i+2$  数据线提供的正数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+2$  数据线提供的负数据电压向其中充电。偶数水平显示行中的第四 LC 盒在第  $N$  帧周期中由第  $i+1$  数据线提供的负数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+1$  数据线提供的正数据电压向其中充电。在图 12 中,参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。

[0133] 从图 12 可以看出,奇数水平显示行中的第二、第三 LC 盒和偶数水平显示行中的第一、第四 LC 盒由第  $i+1$  数据线提供的极性相同的数据电压向其中充电。向奇数水平显示行中的第二、第三 LC 盒和偶数水平显示行中的第一、第四 LC 盒中充电的数据电压的极性,与向奇数水平显示行中的第一、第四 LC 盒和偶数水平显示行中的第二、第三 LC 盒中充电的数据电压的极性相反。

[0134] 在图 12 所示的像素阵列 10 中,将第一水平显示行 LINE#1 中的第一至第四 LC 盒和第二水平显示行 LINE#2 中的第一至第四 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0135] 第一水平显示行 LINE#1 中的第一 LC 盒由第一数据线 D1 提供的的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第二 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第一栅线 G1 的第一栅脉冲给第一像素电极 PIX11 输送来自第一数据线 D1 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第一栅线 G1 连接。第一 TFT T11 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第一栅线 G1 的第一栅脉冲给第二像素电极 PIX12 输送来自第二数据线 D2 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第一栅线 G1 连接。第二 TFT T12 的漏极端与第二数据线 D2 连接,源极端与第二像素电极 PIX12 连接。

[0136] 第一水平显示行 LINE#1 中的第三 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第四 LC 盒由第三数据线 D3 提供的的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第二栅线 G2 的第二栅脉冲给第三像素电极 PIX13 输送来自第二数据线 D2 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第二栅线 G2 连接。第三 TFT T13 的漏极端与第二数据线 D2 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第二栅线 G2 的第二栅脉冲给第四像素电极 PIX14 输送来自第三数据线 D3 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第四像素电极 PIX14 中充电。第四 TFT T14 的栅极端与第二栅线 G2 连接。第四 TFT T14 的漏极端与第三数据

线 D3 连接,源极端与第四像素电极 PIX14 连接。

[0137] 第二水平显示行 LINE#2 中的第二 LC 盒由第一数据线 D1 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第一 LC 盒由第二数据线 D2 提供的数据电压向其中充电。第二水平显示行中的第一 TFT T21 响应于来自第四栅线 G4 的第四栅脉冲给第一像素电极 PIX21 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第四栅线 G4 连接。第一 TFT T21 的漏极端与第二数据线 D2 连接,源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第三栅线 G3 的第三栅脉冲给第二像素电极 PIX22 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第三栅线 G3 连接。第二 TFT T22 的漏极端与第一数据线 D1 连接,源极端与第二像素电极 PIX22 连接。

[0138] 第二水平显示行 LINE#2 中的第四 LC 盒由第二数据线 D2 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第三 LC 盒由第三数据线 D3 提供的数据电压向其中充电。第二水平显示行中的第三 TFT T23 响应于来自第四栅线 G4 的第四栅脉冲给第三像素电极 PIX23 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第四栅线 G4 连接。第三 TFT T23 的漏极端与第三数据线 D3 连接,源极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第三栅线 G3 的第三栅脉冲给第四像素电极 PIX24 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第三栅线 G3 连接。第四 TFT T24 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX24 连接。

[0139] 图 13 是图示像素阵列 10 的第八实施例的电路图。

[0140] 在图 13 中,像素阵列 10 具有数据线 D1 至  $D_{m+1}$ 、与数据线 D1 至  $D_{m+1}$  交叉的栅线 G1 至  $G_{2n}$ 、以及响应于栅脉冲对形成在 LC 盒中的像素电极 PIX11 至 PIX16 及 PIX21 至 PIX26 与数据线 D1 至  $D_{m+1}$  之间的电流路径进行切换的 TFT T11 至 T16 和 T21 至 T26。对于由于图 13 中的像素阵列结构而在 LC 盒中充电的数据电压,它们的极性以水平 2 点和垂直 1 点为单位进行反转。此外,在图 13 中的像素阵列 10 的部分 LC 盒中充电的数据电压的极性以水平 1 点和垂直 1 点(1×1 点)为单位进行反转。因此,在图 13 所示的像素阵列中,具有向 LC 盒中充电的数据电压的极性以水平 2 点、垂直 1 点为单位进行反转和以水平 1 点、垂直 1 点为单位进行反转的 LC 盒的混合。

[0141] 源驱动 IC12 向数据线 D1 至  $D_{m+1}$  输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第  $2n$  栅线 G1 至  $G_{2n}$  提供栅脉冲。第一栅脉冲被提供到第一栅线 G1,接着第 2 至第  $2n$  栅脉冲被提供到第 2 至第  $2n$  栅线 G2 至  $G_{2n}$ 。

[0142] 在第 N 帧周期中,源驱动 IC12 仅将正数据电压提供给奇数数据线 D1, D3, ...,  $D_{m-1}$  和  $D_{m+1}$ ,仅将负数据电压提供给偶数数据线 D2, D4, ..., 和  $D_m$ 。在第 N+1 帧周期中,源驱动 IC12 仅将负数据电压提供给奇数数据线 D1, D3, ...,  $D_{m-1}$  和  $D_{m+1}$ ,仅将正数据电压提供给偶数数据线 D2, D4, ..., 和  $D_m$ 。

[0143] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE# $n-1$  中,奇数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。奇数水平显示行中的第一 LC

盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。奇数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 13 中,参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。

[0144] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中,奇数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。奇数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。奇数水平显示行中的第四 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 13 中,参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。

[0145] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中,奇数水平显示行中的第五和第六 LC 盒被设置于第 i+2 数据线和第 i+3 数据线之间。奇数水平显示行中的第五 LC 盒在第 N 帧周期中由第 i+3 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+3 数据线提供的正数据电压向其中充电。奇数水平显示行中的第六 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 13 中,参考数字“PIX15”表示形成在奇数水平显示行中的第五 LC 盒中的第五像素电极,参考数字“PIX16”表示形成在奇数水平显示行中的第六 LC 盒中的第六像素电极。

[0146] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中,偶数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。偶数水平显示行中的第一 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。偶数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。在图 13 中,参考数字“PIX21”表示形成在偶数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX22”表示形成在偶数水平显示行中的第二 LC 盒中的第二像素电极。

[0147] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中,偶数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。偶数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。偶数水平显示行中的第四 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 13 中,参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。

[0148] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中,偶数水平显示行中的第

五和第六 LC 盒被设置于第  $i+2$  数据线和第  $i+3$  数据线之间。偶数水平显示行中的第五 LC 盒在第  $N$  帧周期中由第  $i+2$  数据线提供的正数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+2$  数据线提供的负数据电压向其中充电。偶数水平显示行中的第六 LC 盒在第  $N$  帧周期中由第  $i+3$  数据线提供的负数据电压向其中充电,随后在第  $N+1$  帧周期中由第  $i+3$  数据线提供的正数据电压向其中充电。在图 13 中,参考数字“PIX25”表示形成在偶数水平显示行中的第五 LC 盒中的第五像素电极,参考数字“PIX26”表示形成在偶数水平显示行中的第六 LC 盒中的第六像素电极。

[0149] 从图 13 可以看出,奇数水平显示行中的第二、第三 LC 盒和偶数水平显示行中的第一、第四 LC 盒由第  $i+1$  数据线提供的极性相同的数据电压向其中充电。向奇数水平显示行中的第二、第三 LC 盒和偶数水平显示行中的第一、第四 LC 盒中充电的数据电压的极性,与向奇数水平显示行中的第一、第四 LC 盒和偶数水平显示行中的第二、第三 LC 盒中充电的数据电压的极性相反。向奇数水平显示行中的第一至第四 LC 盒和偶数水平显示行中的第一至第四 LC 盒中充电的数据电压的极性以水平 2 点和垂直 1 点为单位进行反转。另一方面,向奇数水平显示行中的第三至第六 LC 盒和偶数水平显示行中的第三至第六 LC 盒中充电的数据电压的极性以水平 1 点和垂直 1 点为单位进行反转。

[0150] 在图 13 所示的像素阵列 10 中,将第一水平显示行 LINE#1 中的第一至第六 LC 盒和第二水平显示行 LINE#2 中的第一至第六 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0151] 第一水平显示行 LINE#1 中的第二 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第一 LC 盒由第一数据线 D1 提供的的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第二栅线 G2 的第二栅脉冲给第一像素电极 PIX11 输送来自第一数据线 D1 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第二栅线 G2 连接。第一 TFT T11 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第一栅线 G1 的第一栅脉冲给第二像素电极 PIX12 输送来自第二数据线 D2 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第一栅线 G1 连接。第二 TFT T12 的漏极端与第二数据线 D2 连接,源极端与第二像素电极 PIX12 连接。

[0152] 第一水平显示行 LINE#1 中的第四 LC 盒由第三数据线 D3 提供的的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第三 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第二栅线 G2 的第二栅脉冲给第三像素电极 PIX13 输送来自第二数据线 D2 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第二栅线 G2 连接。第三 TFT T13 的漏极端与第二数据线 D2 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第一栅线 G1 的第一栅脉冲给第四像素电极 PIX14 输送来自第三数据线 D3 的数据电压。在约  $1/2$  的水平周期期间,该数据电压向第四像素电极 PIX14 中充电。第四 TFT T14 的栅极端与第一栅线 G1 连接。第四 TFT T14 的漏极端与第三数据线 D3 连接,源极端与第四像素电极 PIX14 连接。

[0153] 第一水平显示行 LINE#1 中的第五 LC 盒由第四数据线 D4 提供的的数据电压向其中

充电。随后,第一水平显示行 LINE#1 中的第六 LC 盒由第三数据线 D3 提供的数据电压向其中充电。第一水平显示行中的第五 TFT T15 响应于来自第一栅线 G1 的第一栅脉冲给第五像素电极 PIX15 输送来自第四数据线 D4 的数据电压。在约 1/2 的水平周期期间,该数据电压向第五像素电极 PIX15 中充电。第五 TFT T15 的栅极端与第一栅线 G1 连接。第五 TFT T15 的漏极端与第四数据线 D4 连接,源极端与第五像素电极 PIX15 连接。第一水平显示行中的第六 TFT T16 响应于来自第二栅线 G2 的第二栅脉冲给第六像素电极 PIX16 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第六像素电极 PIX16 中充电。第六 TFT T16 的栅极端与第二栅线 G2 连接。第六 TFT T16 的漏极端与第三数据线 D3 连接,源极端与第六像素电极 PIX16 连接。

[0154] 第二水平显示行 LINE#2 中的第一 LC 盒由第二数据线 D2 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第二 LC 盒由第一数据线 D1 提供的数据电压向其中充电。第二水平显示行中的第一 TFT T21 响应于来自第三栅线 G3 的第三栅脉冲给第一像素电极 PIX21 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第三栅线 G3 连接。第一 TFT T21 的漏极端与第二数据线 D2 连接,源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第四栅线 G4 的第四栅脉冲给第二像素电极 PIX22 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第四栅线 G4 连接。第二 TFT T22 的漏极端与第一数据线 D1 连接,源极端与第二像素电极 PIX22 连接。

[0155] 第二水平显示行 LINE#2 中的第三 LC 盒由第三数据线 D3 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第四 LC 盒由第二数据线 D2 提供的数据电压向其中充电。第二水平显示行中的第三 TFT T23 响应于来自第三栅线 G3 的第三栅脉冲给第三像素电极 PIX23 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第三栅线 G3 连接。第三 TFT T23 的漏极端与第三数据线 D3 连接,源极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第四栅线 G4 的第四栅脉冲给第四像素电极 PIX24 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第四栅线 G4 连接。第四 TFT T24 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX24 连接。

[0156] 第二水平显示行 LINE#2 中的第六 LC 盒由第四数据线 D4 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 上的第五 LC 盒由第三数据线 D3 提供的数据电压向其中充电。第二水平显示行中的第五 TFT T25 响应于来自第四栅线 G4 的第四栅脉冲给第五像素电极 PIX25 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第五像素电极 PIX25 中充电。第五 TFT T25 的栅极端与第四栅线 G4 连接。第五 TFT T25 的漏极端与第三数据线 D3 连接,源极端与第五像素电极 PIX25 连接。第二水平显示行中的第六 TFT T26 响应于来自第三栅线 G3 的第三栅脉冲给第六像素电极 PIX26 输送来自第四数据线 D4 的数据电压。在约 1/2 的水平周期期间,该数据电压向第六像素电极 PIX26 中充电。第六 TFT T26 的栅极端与第三栅线 G3 连接。第六 TFT T26 的漏极端与第四数据线 D4 连接,源极端与第六像素电极 PIX26 连接。

[0157] 图 14 是图示像素阵列 10 的第九实施例的电路图。

[0158] 在图 14 中,像素阵列 10 具有数据线 D1 至 D<sub>m+1</sub>、与数据线 D1 至 D<sub>m+1</sub> 交叉的栅线 G1 至 G<sub>2n</sub>、以及响应于栅脉冲对形成在 LC 盒中的像素电极 PIX11 至 PIX16 及 PIX21 至 PIX26 与数据线 D1 至 D<sub>m+1</sub> 之间的电流路径进行切换的 TFT T11 至 T16 和 T21 至 T26。对于由于图 14 中的像素阵列结构而在 LC 盒中充电的数据电压,它们的极性以水平 2 点和垂直 1 点为单位进行反转。此外,在图 14 中的像素阵列 10 的部分 LC 盒中充电的数据电压的极性以水平 1 点和垂直 1 点为单位进行反转。因此,在图 14 所示的像素阵列中,具有向 LC 盒中充电的数据电压的极性以水平 2 点、垂直 1 点为单位进行反转和以水平 1 点、垂直 1 点为单位进行反转的 LC 盒的混合。

[0159] 源驱动 IC12 向数据线 D1 至 D<sub>m+1</sub> 输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第 2n 栅线 G1 至 G<sub>2n</sub> 提供栅脉冲。第一栅脉冲被提供到第一栅线 G1,接着第 2 至第 2n 栅脉冲被提供到第 2 至第 2n 栅线 G2 至 G<sub>2n</sub>。

[0160] 在第 N 帧周期中,源驱动 IC12 仅将正数据电压提供给奇数数据线 D1, D3, ..., D<sub>m-1</sub> 和 D<sub>m+1</sub>,仅将负数据电压提供给偶数数据线 D2, D4, ..., 和 D<sub>m</sub>。在第 N+1 帧周期中,源驱动 IC12 仅将负数据电压提供给奇数数据线 D1, D3, ..., D<sub>m-1</sub> 和 D<sub>m+1</sub>,仅将正数据电压提供给偶数数据线 D2, D4, ..., 和 D<sub>m</sub>。

[0161] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#<sub>n-1</sub> 中,奇数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。奇数水平显示行中的第一 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。奇数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 14 中,参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。

[0162] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#<sub>n-1</sub> 中,奇数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。奇数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。奇数水平显示行中的第四 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 14 中,参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。

[0163] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#<sub>n-1</sub> 中,奇数水平显示行中的第五和第六 LC 盒被设置于第 i+2 数据线和第 i+3 数据线之间。奇数水平显示行中的第五 LC 盒在第 N 帧周期中由第 i+3 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+3 数据线提供的正数据电压向其中充电。奇数水平显示行中的第六 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 14 中,参考数字“PIX15”表示形成在奇数水平显示行中的第五 LC 盒中的第五像素电极,参考数字“PIX16”表示形成在奇数水平显示行中

的第六 LC 盒中的第六像素电极。

[0164] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 偶数水平显示行中的第一和第二 LC 盒被设置于第  $i$  数据线和第  $i+1$  数据线之间。偶数水平显示行中的第一 LC 盒在第  $N$  帧周期中由第  $i+1$  数据线提供的负数据电压向其中充电, 随后在第  $N+1$  帧周期中由第  $i+1$  数据线提供的正数据电压向其中充电。偶数水平显示行中的第二 LC 盒在第  $N$  帧周期中由第  $i$  数据线提供的正数据电压向其中充电, 随后在第  $N+1$  帧周期中由第  $i$  数据线提供的负数据电压向其中充电。在图 14 中, 参考数字“PIX21”表示形成在偶数水平显示行中的第一 LC 盒中的第一像素电极, 参考数字“PIX22”表示形成在偶数水平显示行中的第二 LC 盒中的第二像素电极。

[0165] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 偶数水平显示行中的第三和第四 LC 盒被设置于第  $i+1$  数据线和第  $i+2$  数据线之间。偶数水平显示行中的第三 LC 盒在第  $N$  帧周期中由第  $i+2$  数据线提供的正数据电压向其中充电, 随后在第  $N+1$  帧周期中由第  $i+2$  数据线提供的负数据电压向其中充电。偶数水平显示行中的第四 LC 盒在第  $N$  帧周期中由第  $i+1$  数据线提供的负数据电压向其中充电, 随后在第  $N+1$  帧周期中由第  $i+1$  数据线提供的正数据电压向其中充电。在图 14 中, 参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极, 参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。

[0166] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 偶数水平显示行中的第五和第六 LC 盒被设置于第  $i+2$  数据线和第  $i+3$  数据线之间。偶数水平显示行中的第五 LC 盒在第  $N$  帧周期中由第  $i+2$  数据线提供的正数据电压向其中充电, 随后在第  $N+1$  帧周期中由第  $i+2$  数据线提供的负数据电压向其中充电。偶数水平显示行中的第六 LC 盒在第  $N$  帧周期中由第  $i+3$  数据线提供的负数据电压向其中充电, 随后在第  $N+1$  帧周期中由第  $i+3$  数据线提供的正数据电压向其中充电。在图 14 中, 参考数字“PIX25”表示形成在偶数水平显示行中的第五 LC 盒中的第五像素电极, 参考数字“PIX26”表示形成在偶数水平显示行中的第六 LC 盒中的第六像素电极。

[0167] 从图 14 可以看出, 奇数水平显示行中的第二、第三 LC 盒和偶数水平显示行中的第一、第四 LC 盒由第  $i+1$  数据线提供的极性相同的数据电压向其中充电。向奇数水平显示行中的第二、第三 LC 盒和偶数水平显示行中的第一、第四 LC 盒中充电的数据电压的极性, 与向奇数水平显示行中的第一、第四 LC 盒和偶数水平显示行中的第二、第三 LC 盒中充电的数据电压的极性相反。向奇数水平显示行中的第一至第四 LC 盒和偶数水平显示行中的第一至第四 LC 盒中充电的数据电压的极性以水平 2 点和垂直 1 点为单位进行反转。另一方面, 向奇数水平显示行中的第三至第六 LC 盒和偶数水平显示行中的第三至第六 LC 盒中充电的数据电压的极性以水平 1 点和垂直 1 点为单位进行反转。

[0168] 在图 14 所示的像素阵列 10 中, 将第一水平显示行 LINE#1 中的第一至第六 LC 盒和第二水平显示行 LINE#2 中的第一至第六 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0169] 第一水平显示行 LINE#1 中的第一 LC 盒由第一数据线 D1 提供的的数据电压向其中充电。随后, 第一水平显示行 LINE#1 中的第二 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第一栅线 G1 的第一栅脉冲给第一

像素电极 PIX11 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第一栅线 G1 连接。第一 TFT T11 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第二栅线 G2 的第二栅脉冲给第二像素电极 PIX12 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第二栅线 G2 连接。第二 TFT T12 的漏极端与第二数据线 D2 连接,源极端与第二像素电极 PIX12 连接。

[0170] 第一水平显示行 LINE#1 中的第三 LC 盒由第二数据线 D2 提供的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第四 LC 盒由第三数据线 D3 提供的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第一栅线 G1 的第一栅脉冲给第三像素电极 PIX13 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第一栅线 G1 连接。第三 TFT T13 的漏极端与第二数据线 D2 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第二栅线 G2 的第二栅脉冲给第四像素电极 PIX14 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX14 中充电。第四 TFT T14 的栅极端与第二栅线 G2 连接。第四 TFT T14 的漏极端与第三数据线 D3 连接,源极端与第四像素电极 PIX14 连接。

[0171] 第一水平显示行 LINE#1 中的第六 LC 盒由第三数据线 D3 提供的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第五 LC 盒由第四数据线 D4 提供的数据电压向其中充电。第一水平显示行中的第五 TFT T15 响应于来自第二栅线 G2 的第二栅脉冲给第五像素电极 PIX15 输送来自第四数据线 D4 的数据电压。在约 1/2 的水平周期期间,该数据电压向第五像素电极 PIX15 中充电。第五 TFT T15 的栅极端与第二栅线 G2 连接。第五 TFT T15 的漏极端与第四数据线 D4 连接,源极端与第五像素电极 PIX15 连接。第一水平显示行中的第六 TFT T16 响应于来自第一栅线 G1 的第一栅脉冲给第六像素电极 PIX16 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第六像素电极 PIX16 中充电。第六 TFT T16 的栅极端与第一栅线 G1 连接。第六 TFT T16 的漏极端与第三数据线 D3 连接,源极端与第六像素电极 PIX16 连接。

[0172] 第二水平显示行 LINE#2 中的第二 LC 盒由第一数据线 D1 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第一 LC 盒由第二数据线 D2 提供的数据电压向其中充电。第二水平显示行中的第一 TFT T21 响应于来自第四栅线 G4 的第四栅脉冲给第一像素电极 PIX21 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第四栅线 G4 连接。第一 TFT T21 的漏极端与第二数据线 D2 连接,源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第三栅线 G3 的第三栅脉冲给第二像素电极 PIX22 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第三栅线 G3 连接。第二 TFT T22 的漏极端与第一数据线 D1 连接,源极端与第二像素电极 PIX22 连接。

[0173] 第二水平显示行 LINE#2 中的第四 LC 盒由第二数据线 D2 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第三 LC 盒由第三数据线 D3 提供的数据电压向其

中充电。第二水平显示行中的第三 TFT T23 响应于来自第四栅线 G4 的第四栅脉冲给第三像素电极 PIX23 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第四栅线 G4 连接。第三 TFT T23 的漏极端与第三数据线 D3 连接,源极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第三栅线 G3 的第三栅脉冲给第四像素电极 PIX24 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第三栅线 G3 连接。第四 TFT T24 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX24 连接。

[0174] 第二水平显示行 LINE#2 中的第五 LC 盒由第三数据线 D3 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第六 LC 盒由第四数据线 D4 提供的数据电压向其中充电。第二水平显示行中的第五 TFT T25 响应于来自第三栅线 G3 的第三栅脉冲给第五像素电极 PIX25 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第五像素电极 PIX25 中充电。第五 TFT T25 的栅极端与第三栅线 G3 连接。第五 TFT T25 的漏极端与第三数据线 D3 连接,源极端与第五像素电极 PIX25 连接。第二水平显示行中的第六 TFT T26 响应于来自第四栅线 G4 的第四栅脉冲给第六像素电极 PIX26 输送来自第四数据线 D4 的数据电压。在约 1/2 的水平周期期间,该数据电压向第六像素电极 PIX26 中充电。第六 TFT T26 的栅极端与第四栅线 G4 连接。第六 TFT T26 的漏极端与第四数据线 D4 连接,源极端与第六像素电极 PIX26 连接。

[0175] 图 15 是图示像素阵列 10 的第十实施例的电路图。

[0176] 在图 15 中,像素阵列 10 具有数据线 D1 至  $D_{m+1}$ 、与数据线 D1 至  $D_{m+1}$  交叉的栅线 G1 至  $G_{2n}$ 、以及响应于栅脉冲对形成在 LC 盒中的像素电极 PIX11 至 PIX16 及 PIX21 至 PIX26 与数据线 D1 至  $D_{m+1}$  之间的电流路径进行切换的 TFT T11 至 T16 和 T21 至 T26。对于由于图 15 中的像素阵列结构而在 LC 盒中充电的数据电压,它们的极性以水平 1 点和垂直 1 点为单位进行反转。

[0177] 源驱动 IC12 向数据线 D1 至  $D_{m+1}$  输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第  $2n$  栅线 G1 至  $G_{2n}$  提供栅脉冲。第一栅脉冲被提供到第一栅线 G1,接着第 2 至第  $2n$  栅脉冲被提供到第 2 至第  $2n$  栅线 G2 至  $G_{2n}$ 。

[0178] 在第 N 帧周期中,源驱动 IC12 仅将正数据电压提供给奇数数据线 D1, D3,  $\dots$ ,  $D_{m-1}$  和  $D_{m+1}$ ,仅将负数据电压提供给偶数数据线 D2, D4,  $\dots$ , 和  $D_m$ 。在第 N+1 帧周期中,源驱动 IC12 仅将负数据电压提供给奇数数据线 D1, D3,  $\dots$ ,  $D_{m-1}$  和  $D_{m+1}$ ,仅将正数据电压提供给偶数数据线 D2, D4,  $\dots$ , 和  $D_m$ 。

[0179] 在各条奇数水平显示行 LINE#1, LINE#3,  $\dots$ , 和 LINE# $n-1$  中,奇数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。奇数水平显示行中的第一 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。奇数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。在图 15 中,参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。

[0180] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中, 奇数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。奇数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。奇数水平显示行中的第四 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 15 中, 参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒中的第三像素电极, 参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。

[0181] 在各条奇数水平显示行 LINE#1, LINE#3, ..., 和 LINE#n-1 中, 奇数水平显示行中的第五和第六 LC 盒被设置于第 i+2 数据线和第 i+3 数据线之间。奇数水平显示行中的第五 LC 盒在第 N 帧周期中由第 i+3 数据线提供的负数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+3 数据线提供的正数据电压向其中充电。奇数水平显示行中的第六 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。在图 15 中, 参考数字“PIX15”表示形成在奇数水平显示行中的第五 LC 盒中的第五像素电极, 参考数字“PIX16”表示形成在奇数水平显示行中的第六 LC 盒中的第六像素电极。

[0182] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 偶数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。偶数水平显示行中的第一 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电, 随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。偶数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 15 中, 参考数字“PIX21”表示形成在偶数水平显示行中的第一 LC 盒中的第一像素电极, 参考数字“PIX22”表示形成在偶数水平显示行中的第二 LC 盒中的第二像素电极。

[0183] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 偶数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。偶数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。偶数水平显示行中的第四 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 15 中, 参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极, 参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。

[0184] 在各条偶数水平显示行 LINE#2, LINE#4, ..., 和 LINE#n 中, 偶数水平显示行中的第五和第六 LC 盒被设置于第 i+2 数据线和第 i+3 数据线之间。偶数水平显示行中的第五 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。偶数水平显示行中的第六 LC 盒在第 N 帧周期中由第 i+3 数据线提供的负数据电压向其中充电, 随后在第 N+1 帧周期中由第 i+3 数据线提供的正数据电压向其中充电。在图 15 中, 参考数字“PIX25”表示形成在偶数水平显示行中的第五 LC 盒中的第五像素电极, 参考数字“PIX26”表示形成在偶数水平显示行中的

第六 LC 盒中的第六像素电极。

[0185] 从图 15 可以看出,垂直方向上彼此相邻的 LC 盒以及水平方向上彼此相邻的 LC 盒由极性彼此相反的数据电压向其中充电。因此,极性以水平 1 点和垂直 1 点为单位进行反转的数据电压向图 15 中的像素阵列的 LC 盒中充电。

[0186] 在图 15 所示的像素阵列 10 中,将第一水平显示行 LINE#1 中的第一至第四 LC 盒和第二水平显示行 LINE#2 中的第一至第四 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0187] 第一水平显示行 LINE#1 中的第一 LC 盒由第二数据线 D2 提供的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第二 LC 盒由第一数据线 D1 提供的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第一栅线 G1 的第一栅脉冲给第一像素电极 PIX11 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第一栅线 G1 连接。第一 TFT T11 的漏极端与第二数据线 D2 连接,源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第二栅线 G2 的第二栅脉冲给第二像素电极 PIX12 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第二栅线 G2 连接。第二 TFT T12 的漏极端与第一数据线 D1 连接,源极端与第二像素电极 PIX12 连接。

[0188] 第一水平显示行 LINE#1 中的第四 LC 盒由第三数据线 D3 提供的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第三 LC 盒由第二数据线 D2 提供的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第二栅线 G2 的第二栅脉冲给第三像素电极 PIX13 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第二栅线 G2 连接。第三 TFT T13 的漏极端与第二数据线 D2 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第一栅线 G1 的第一栅脉冲给第四像素电极 PIX14 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX14 中充电。第四 TFT T14 的栅极端与第一栅线 G1 连接。第四 TFT T14 的漏极端与第三数据线 D3 连接,源极端与第四像素电极 PIX14 连接。

[0189] 第二水平显示行 LINE#2 中的第二 LC 盒由第二数据线 D2 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第一 LC 盒由第一数据线 D1 提供的数据电压向其中充电。第二水平显示行中的第一 TFT T21 响应于来自第四栅线 G4 的第四栅脉冲给第一像素电极 PIX21 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第四栅线 G4 连接。第一 TFT T21 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第三栅线 G3 的第三栅脉冲给第二像素电极 PIX22 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第三栅线 G3 连接。第二 TFT T22 的漏极端与第二数据线 D2 连接,源极端与第二像素电极 PIX22 连接。

[0190] 第二水平显示行 LINE#2 中的第三 LC 盒由第三数据线 D3 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第四 LC 盒由第二数据线 D2 提供的数据电压向其

中充电。第二水平显示行中的第三 TFT T23 响应于来自第三栅线 G3 的第三栅脉冲给第三像素电极 PIX23 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第三栅线 G3 连接。第三 TFT T23 的漏极端与第三数据线 D3 连接,源极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第四栅线 G4 的第四栅脉冲给第四像素电极 PIX24 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第四栅线 G4 连接。第四 TFT T24 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX24 连接。

[0191] 图 16 是图示像素阵列 10 的第十一实施例的电路图。

[0192] 在图 16 中,像素阵列 10 具有数据线 D1 至 D<sub>m+1</sub>、与数据线 D1 至 D<sub>m+1</sub> 交叉的栅线 G1 至 G<sub>2n</sub>、以及响应于栅脉冲对形成在 LC 盒中的像素电极 PIX11 至 PIX14 及 PIX21 至 PIX24 与数据线 D1 至 D<sub>m+1</sub> 之间的电流路径进行切换的 TFT T11 至 T14 和 T21 至 T24。对于由于图 16 中的像素阵列结构而在 LC 盒中充电的数据电压,它们的极性以水平 1 点和垂直 2 点为单位进行反转。

[0193] 源驱动 IC12 向数据线 D1 至 D<sub>m+1</sub> 输出极性以列反转方式反转的数据电压。栅驱动器 13 顺序地给第 1 至第 2n 栅线 G1 至 G<sub>2n</sub> 提供栅脉冲。第一栅脉冲被提供到第一栅线 G1,接着第 2 至第 2n 栅脉冲被提供到第 2 至第 2n 栅线 G2 至 G<sub>2n</sub>。

[0194] 在第 N 帧周期中,源驱动 IC12 仅将正数据电压提供给奇数数据线 D1, D3, …, D<sub>m-1</sub> 和 D<sub>m+1</sub>,仅将负数据电压提供给偶数数据线 D2, D4, …, 和 D<sub>m</sub>。在第 N+1 帧周期中,源驱动 IC12 仅将负数据电压提供给奇数数据线 D1, D3, …, D<sub>m-1</sub> 和 D<sub>m+1</sub>,仅将正数据电压提供给偶数数据线 D2, D4, …, 和 D<sub>m</sub>。

[0195] 在各条奇数水平显示行 LINE#1, LINE#3, …, 和 LINE#<sub>n-1</sub> 中,奇数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。奇数水平显示行中的第一 LC 盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。奇数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 16 中,参考数字“PIX11”表示形成在奇数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX12”表示形成在奇数水平显示行中的第二 LC 盒中的第二像素电极。

[0196] 在各条奇数水平显示行 LINE#1, LINE#3, …, 和 LINE#<sub>n-1</sub> 中,奇数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。奇数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。奇数水平显示行中的第四 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 16 中,参考数字“PIX13”表示形成在奇数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX14”表示形成在奇数水平显示行中的第四 LC 盒中的第四像素电极。

[0197] 在各条偶数水平显示行 LINE#2, LINE#4, …, 和 LINE#<sub>n</sub> 中,偶数水平显示行中的第一和第二 LC 盒被设置于第 i 数据线和第 i+1 数据线之间。偶数水平显示行中的第一 LC

盒在第 N 帧周期中由第 i 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i 数据线提供的负数据电压向其中充电。偶数水平显示行中的第二 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 16 中,参考数字“PIX21”表示形成在偶数水平显示行中的第一 LC 盒中的第一像素电极,参考数字“PIX22”表示形成在偶数水平显示行中的第二 LC 盒中的第二像素电极。

[0198] 在各条偶数水平显示行 LINE#2, LINE#4, …, 和 LINE#n 中,偶数水平显示行中的第三和第四 LC 盒被设置于第 i+1 数据线和第 i+2 数据线之间。偶数水平显示行中的第三 LC 盒在第 N 帧周期中由第 i+2 数据线提供的正数据电压向其中充电,随后在第 N+1 帧周期中由第 i+2 数据线提供的负数据电压向其中充电。偶数水平显示行中的第四 LC 盒在第 N 帧周期中由第 i+1 数据线提供的负数据电压向其中充电,随后在第 N+1 帧周期中由第 i+1 数据线提供的正数据电压向其中充电。在图 16 中,参考数字“PIX23”表示形成在偶数水平显示行中的第三 LC 盒中的第三像素电极,参考数字“PIX24”表示形成在偶数水平显示行中的第四 LC 盒中的第四像素电极。

[0199] 从图 16 可以看出,向垂直方向上彼此相邻的 LC 盒中充电的数据电压的极性以 2 点(或 LC 盒)为单位进行反转,向水平方向上彼此相邻的 LC 盒中充电的数据电压的极性以 1 点为单位进行反转。因此,极性以水平 1 点和垂直 2 点(2×1 点)为单位进行反转的数据电压向图 16 中的像素阵列的 LC 盒中充电。

[0200] 在图 16 所示的像素阵列 10 中,将第一水平显示行 LINE#1 中的第一至第四 LC 盒和第二水平显示行 LINE#2 中的第一至第四 LC 盒作为范例来说明 TFT、像素电极和数据线之间的连接关系。

[0201] 第一水平显示行 LINE#1 中的第二 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第一 LC 盒由第一数据线 D1 提供的的数据电压向其中充电。第一水平显示行中的第一 TFT T11 响应于来自第二栅线 G2 的第二栅脉冲给第一像素电极 PIX11 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX11 中充电。第一 TFT T11 的栅极端与第二栅线 G2 连接。第一 TFT T11 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX11 连接。第一水平显示行中的第二 TFT T12 响应于来自第一栅线 G1 的第一栅脉冲给第二像素电极 PIX12 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX12 中充电。第二 TFT T12 的栅极端与第一栅线 G1 连接。第二 TFT T12 的漏极端与第二数据线 D2 连接,源极端与第二像素电极 PIX12 连接。

[0202] 第一水平显示行 LINE#1 中的第四 LC 盒由第二数据线 D2 提供的的数据电压向其中充电。随后,第一水平显示行 LINE#1 中的第三 LC 盒由第三数据线 D3 提供的的数据电压向其中充电。第一水平显示行中的第三 TFT T13 响应于来自第二栅线 G2 的第二栅脉冲给第三像素电极 PIX13 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX13 中充电。第三 TFT T13 的栅极端与第二栅线 G2 连接。第三 TFT T13 的漏极端与第三数据线 D3 连接,源极端与第三像素电极 PIX13 连接。第一水平显示行中的第四 TFT T14 响应于来自第一栅线 G1 的第一栅脉冲给第四像素电极 PIX14 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX14

中充电。第四 TFT T14 的栅极端与第一栅线 G1 连接。第四 TFT T14 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX14 连接。

[0203] 第二水平显示行 LINE#2 中的第二 LC 盒由第二数据线 D2 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第一 LC 盒由第一数据线 D1 提供的数据电压向其中充电。第二水平显示行中的第一 TFT T21 响应于来自第四栅线 G4 的第四栅脉冲给第一像素电极 PIX21 输送来自第一数据线 D1 的数据电压。在约 1/2 的水平周期期间,该数据电压向第一像素电极 PIX21 中充电。第一 TFT T21 的栅极端与第四栅线 G4 连接。第一 TFT T21 的漏极端与第一数据线 D1 连接,源极端与第一像素电极 PIX21 连接。第二水平显示行中的第二 TFT T22 响应于来自第三栅线 G3 的第三栅脉冲给第二像素电极 PIX22 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第二像素电极 PIX22 中充电。第二 TFT T22 的栅极端与第三栅线 G3 连接。第二 TFT T22 的漏极端与第二数据线 D2 连接,源极端与第二像素电极 PIX22 连接。

[0204] 第二水平显示行 LINE#2 中的第四 LC 盒由第二数据线 D2 提供的数据电压向其中充电。随后,第二水平显示行 LINE#2 中的第三 LC 盒由第三数据线 D3 提供的数据电压向其中充电。第二水平显示行中的第三 TFT T23 响应于来自第四栅线 G4 的第四栅脉冲给第三像素电极 PIX23 输送来自第三数据线 D3 的数据电压。在约 1/2 的水平周期期间,该数据电压向第三像素电极 PIX23 中充电。第三 TFT T23 的栅极端与第四栅线 G4 连接。第三 TFT T23 的漏极端与第三数据线 D3 连接,源极端与第三像素电极 PIX23 连接。第二水平显示行中的第四 TFT T24 响应于来自第三栅线 G3 的第三栅脉冲给第四像素电极 PIX24 输送来自第二数据线 D2 的数据电压。在约 1/2 的水平周期期间,该数据电压向第四像素电极 PIX24 中充电。第四 TFT T24 的栅极端与第三栅线 G3 连接。第四 TFT T24 的漏极端与第二数据线 D2 连接,源极端与第四像素电极 PIX24 连接。

[0205] 如上所述,根据本文件内容,向连接到相同数据线的 LC 盒中充电的数据电压的极性被控制为相同的,从而能够降低源驱动 IC 中的功耗,并且还使在各个 LC 盒中充电的数据的量均匀。因此,根据本文件内容,能够防止由于现有技术的反转方法造成的充电的数据量不均匀而导致的图像质量降低,如亮度不均匀、彩色失真等等,而且能够通过减少数据电压极性反转的次数而降低源驱动 IC 中的功耗。此外,根据本文件内容,通过使用水平方向上彼此相邻的 LC 盒彼此共享一条数据线的 TFT 连接关系,能够减少数据线和源驱动 IC 通道的数量。

[0206] 尽管参考多个图解实施例描述了实施方式,应理解本领域技术人员可以设计出多种落入本公开内容的原理范围内的其它修改形式和实施方式。尤其是,在本公开内容、附图和随附权利要求范围内的物体结合布置的组成部件和 / 或排列中可允许多种修改形式和实施方式。除了组成部件和 / 或排列中的修改和变更,替代使用对于本领域技术人员也将是显而易见的。

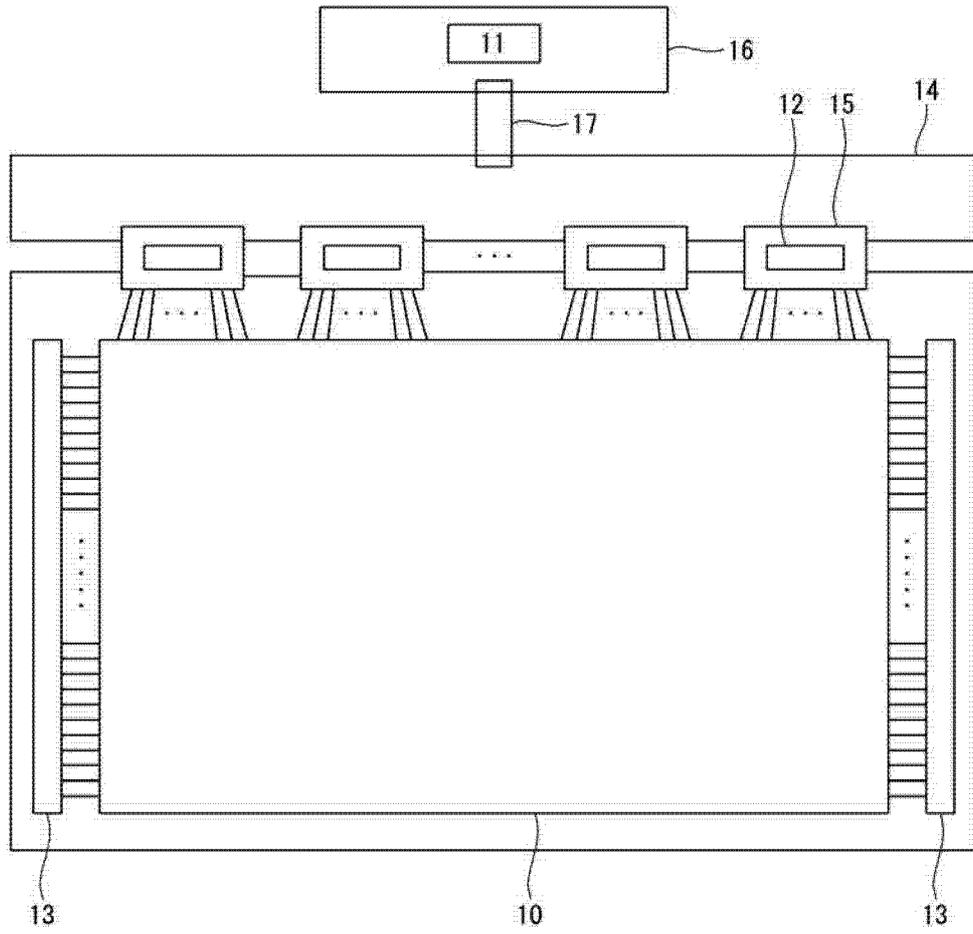


图 1

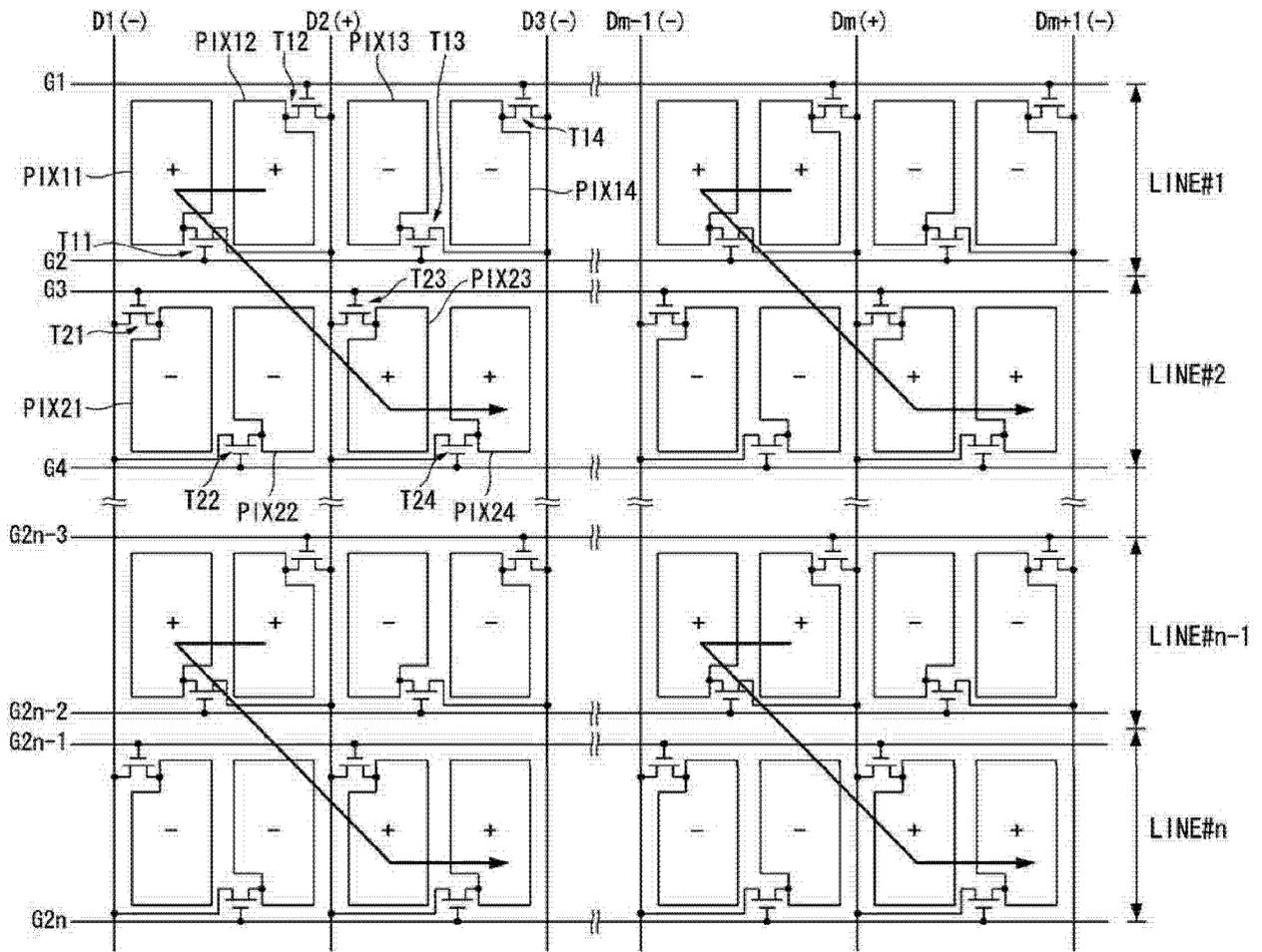


图 2

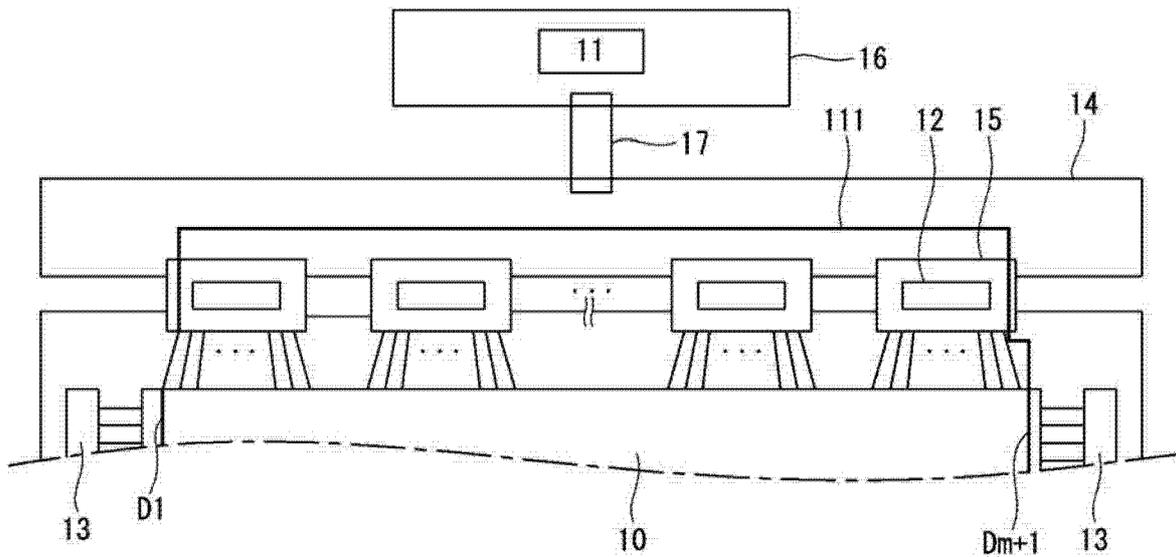


图 3

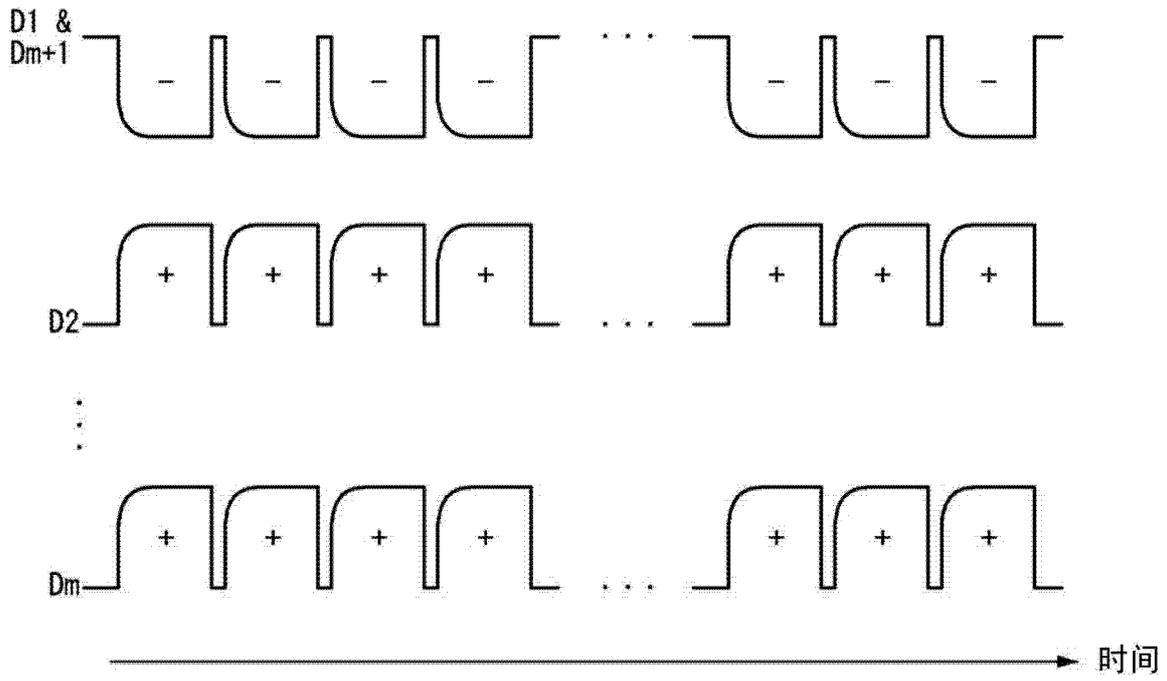


图 4

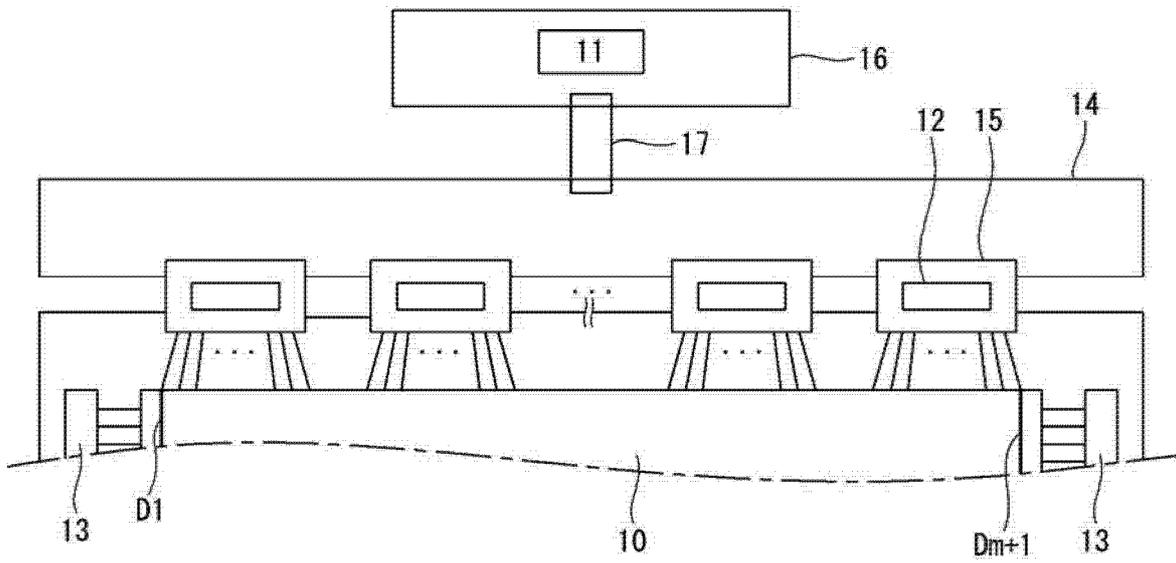


图 5

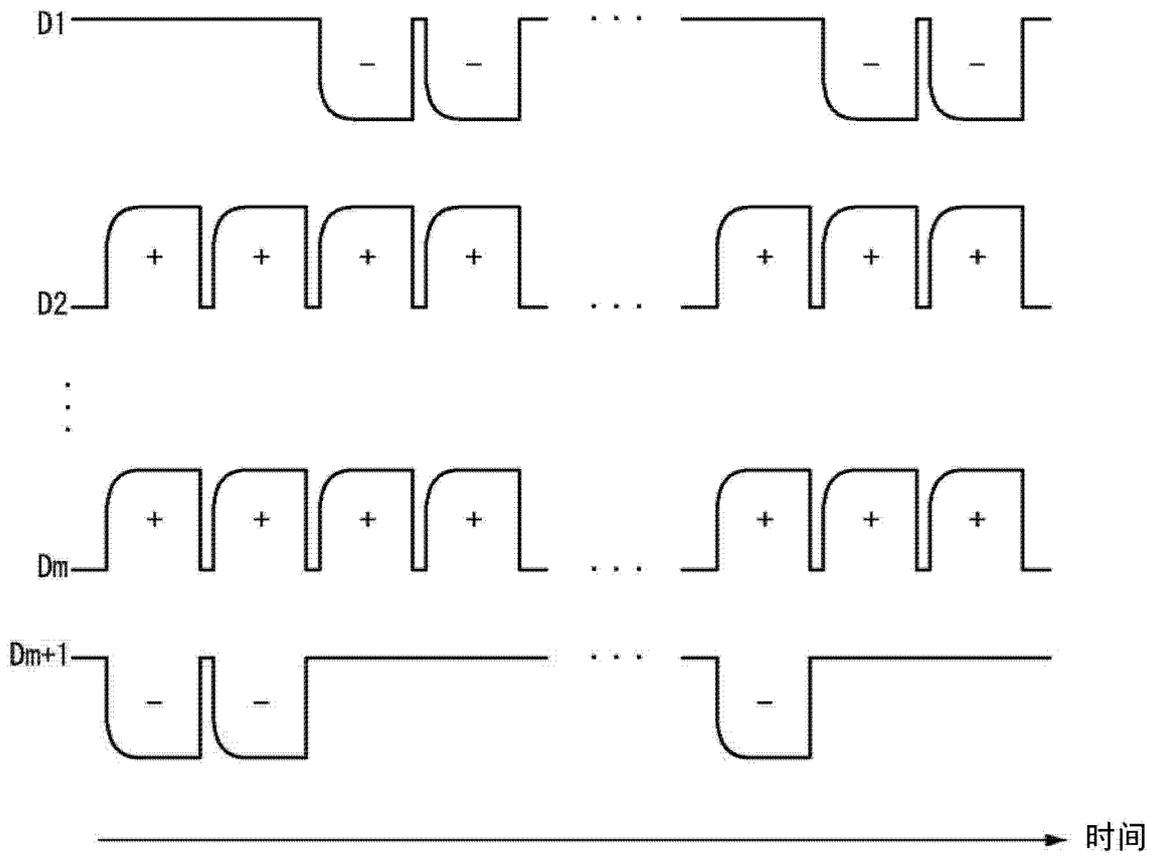


图 6

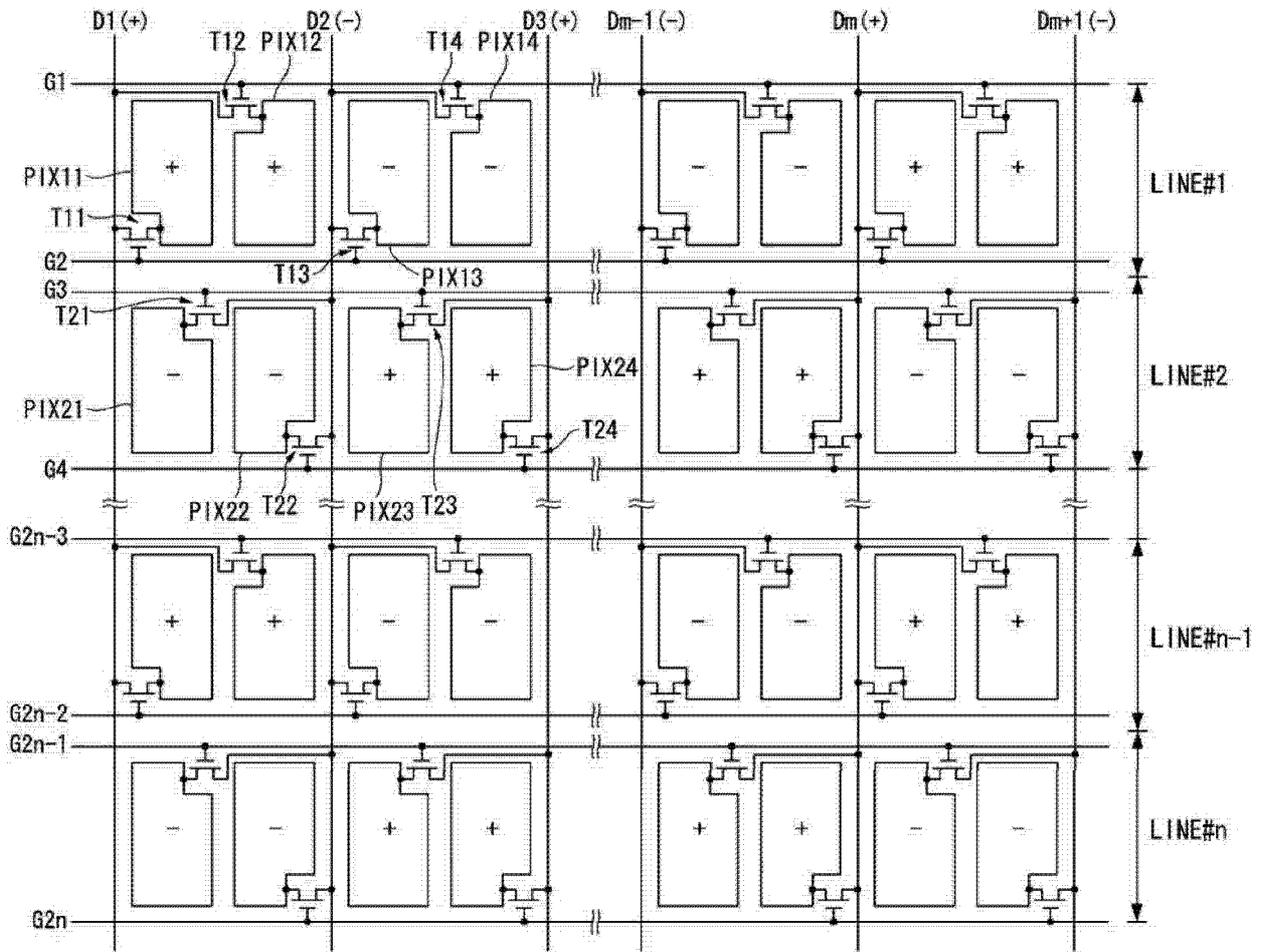


图 7

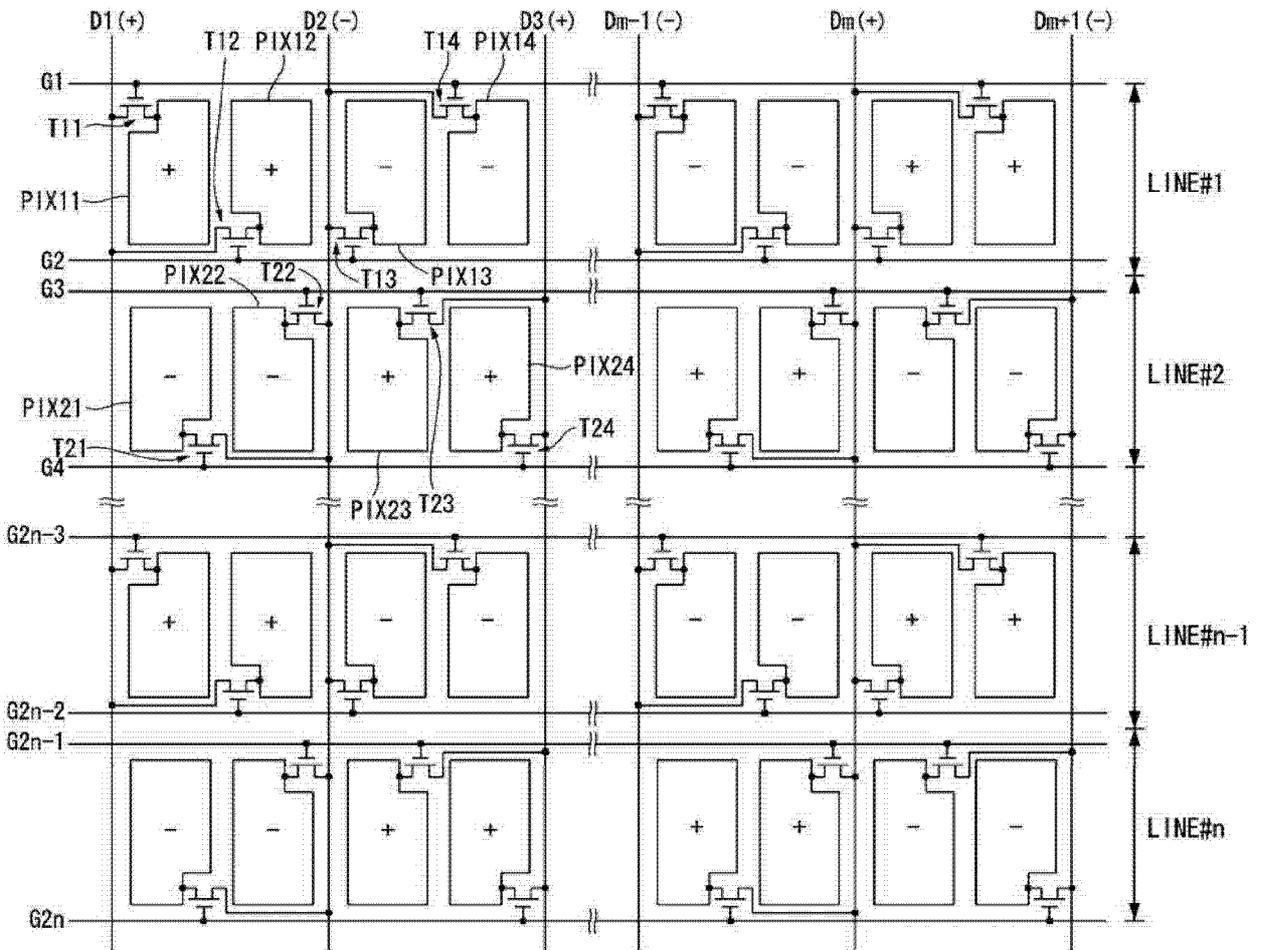


图 8

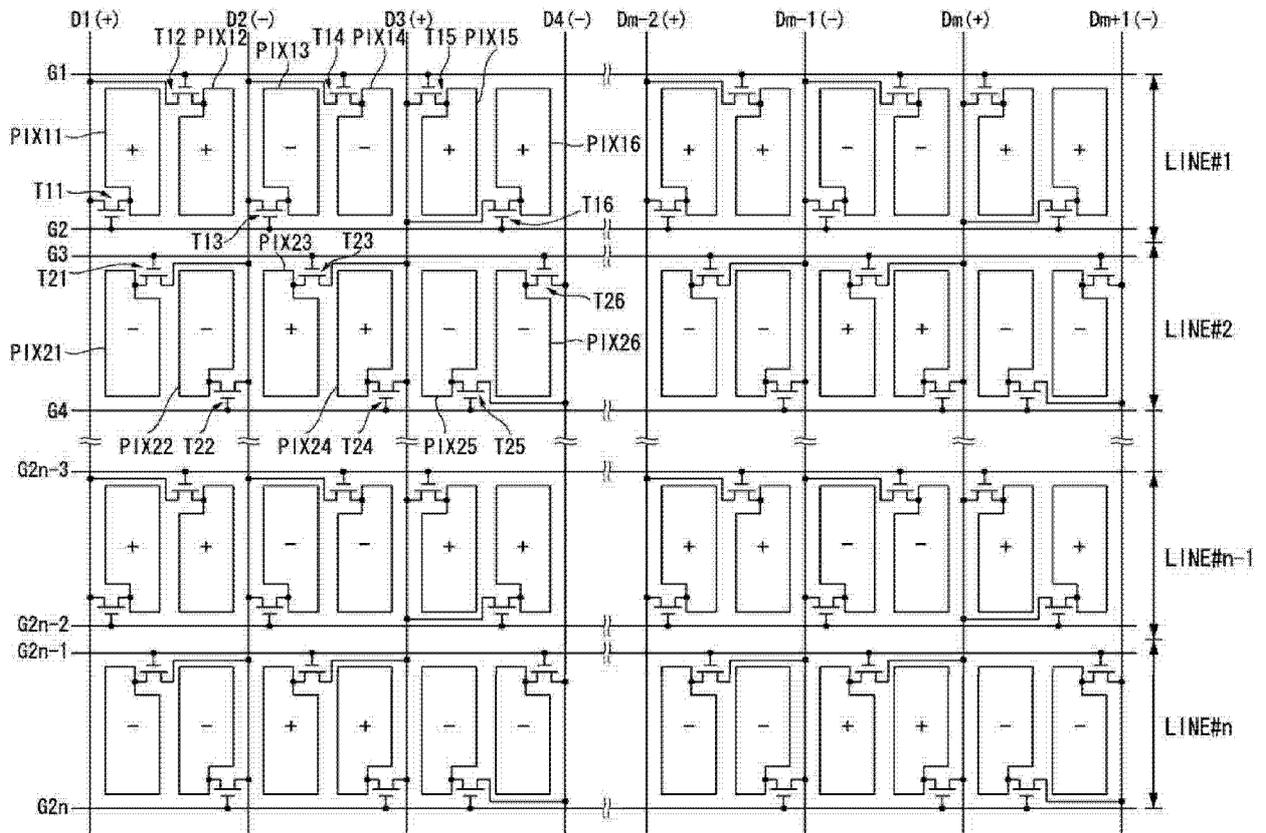


图 9

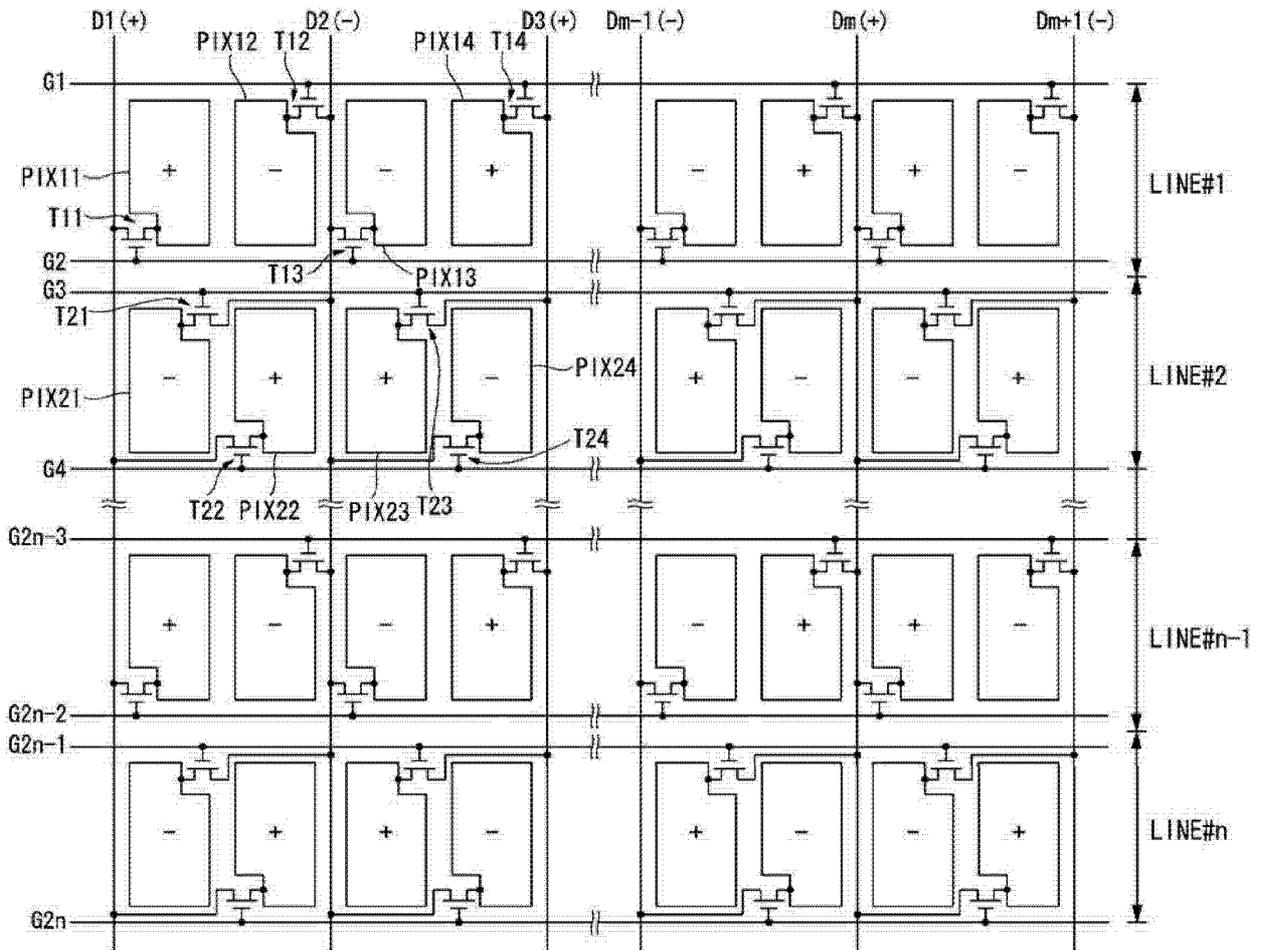


图 10

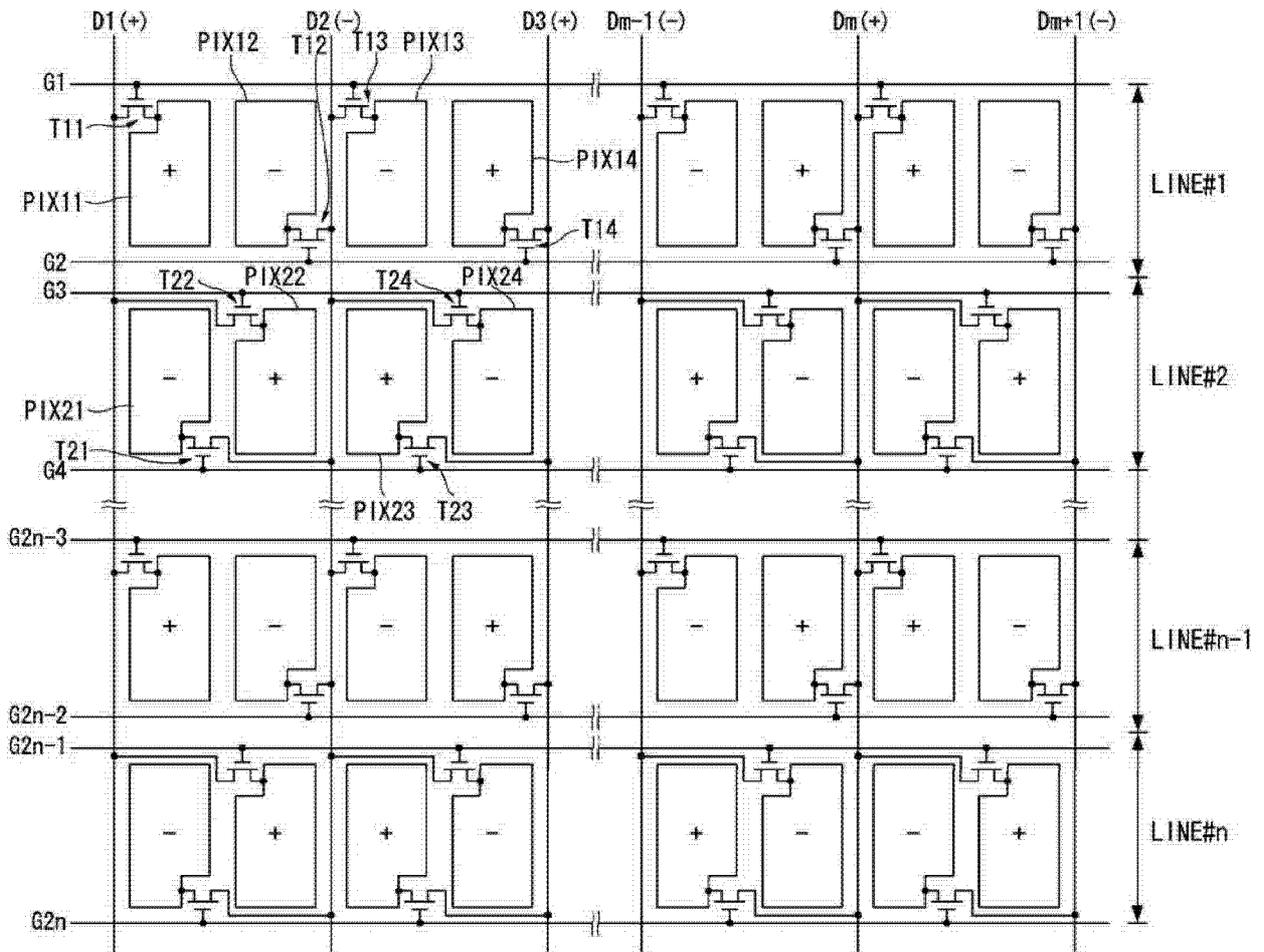


图 11

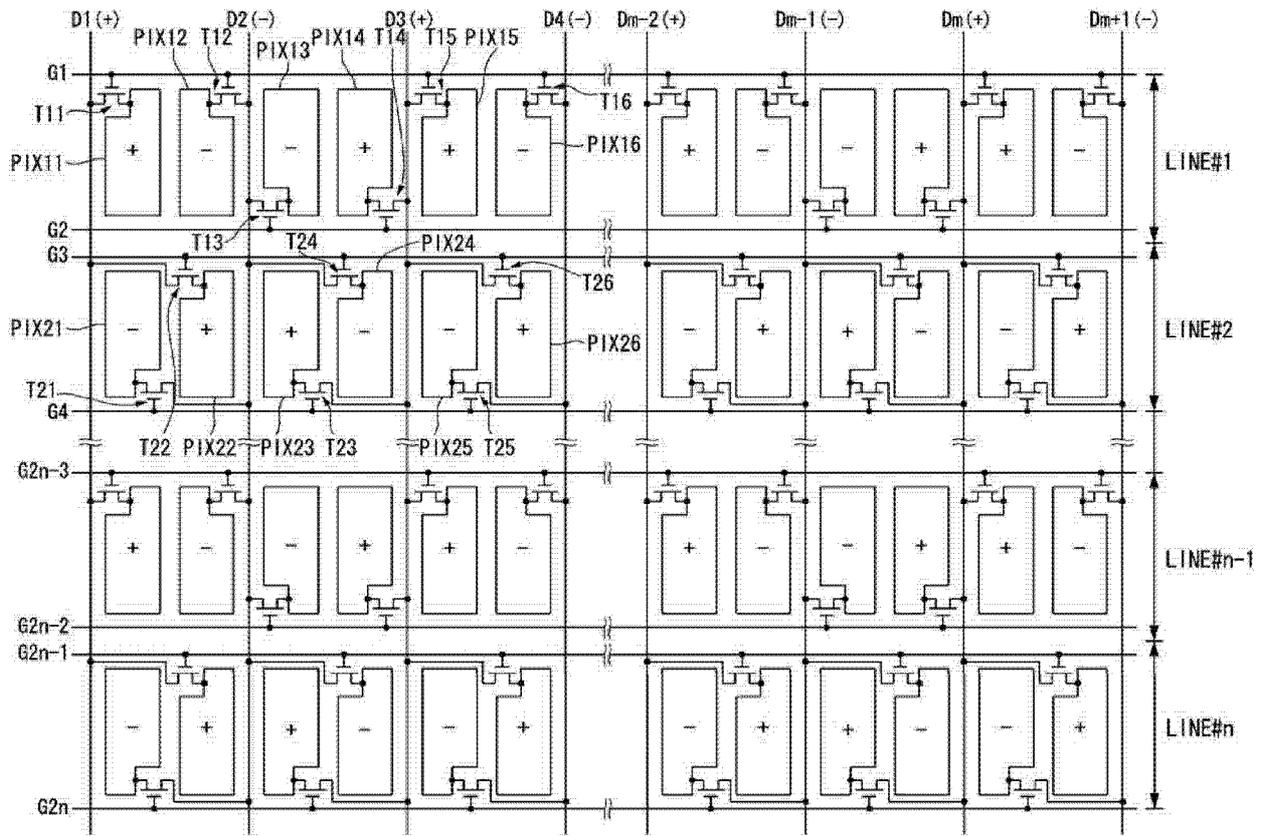


图 12

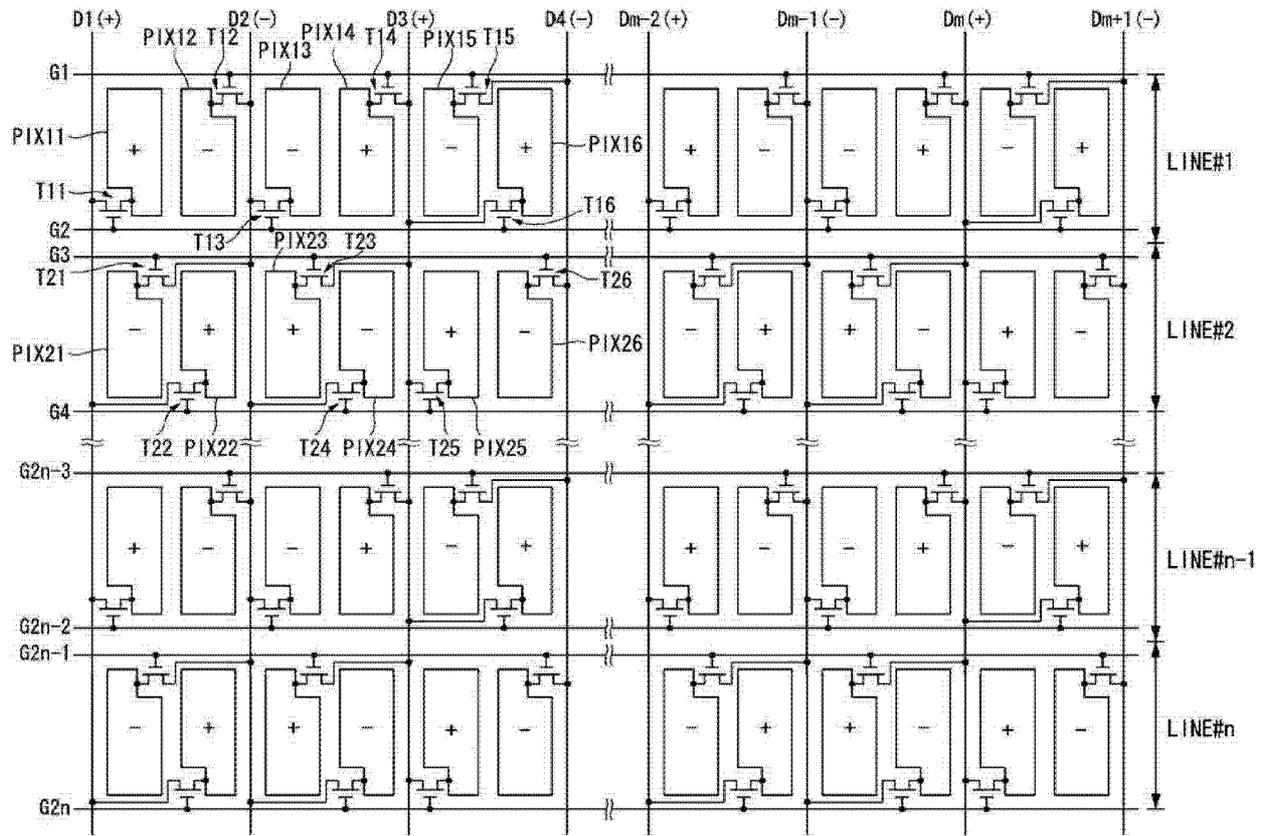


图 13

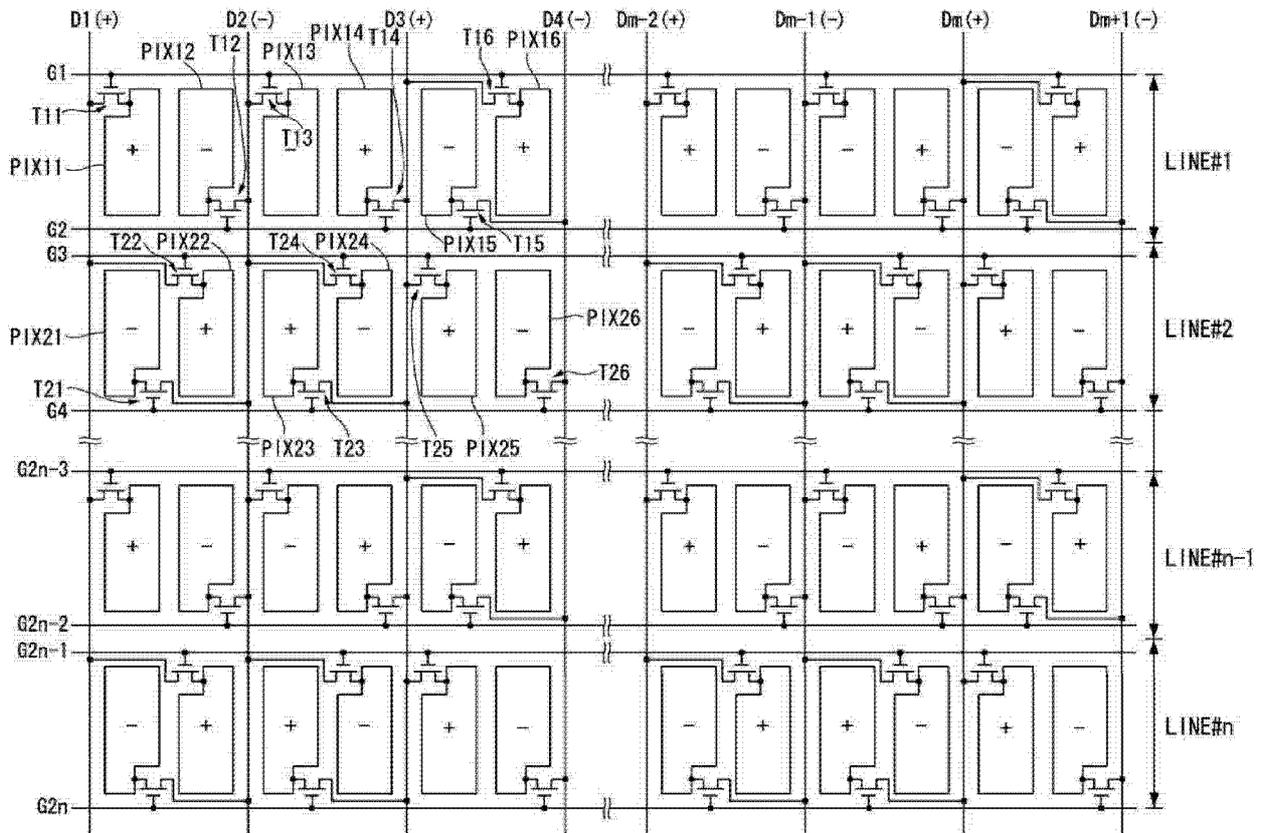


图 14

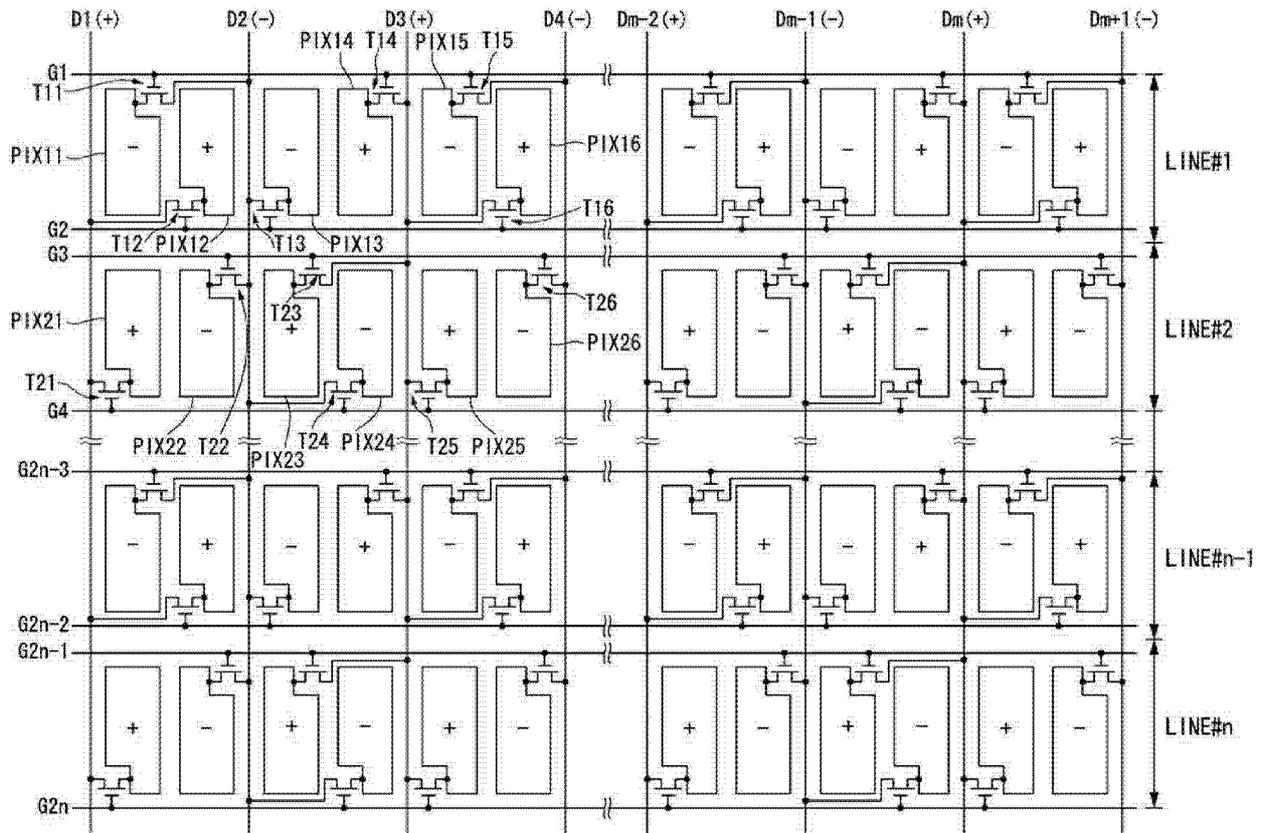


图 15

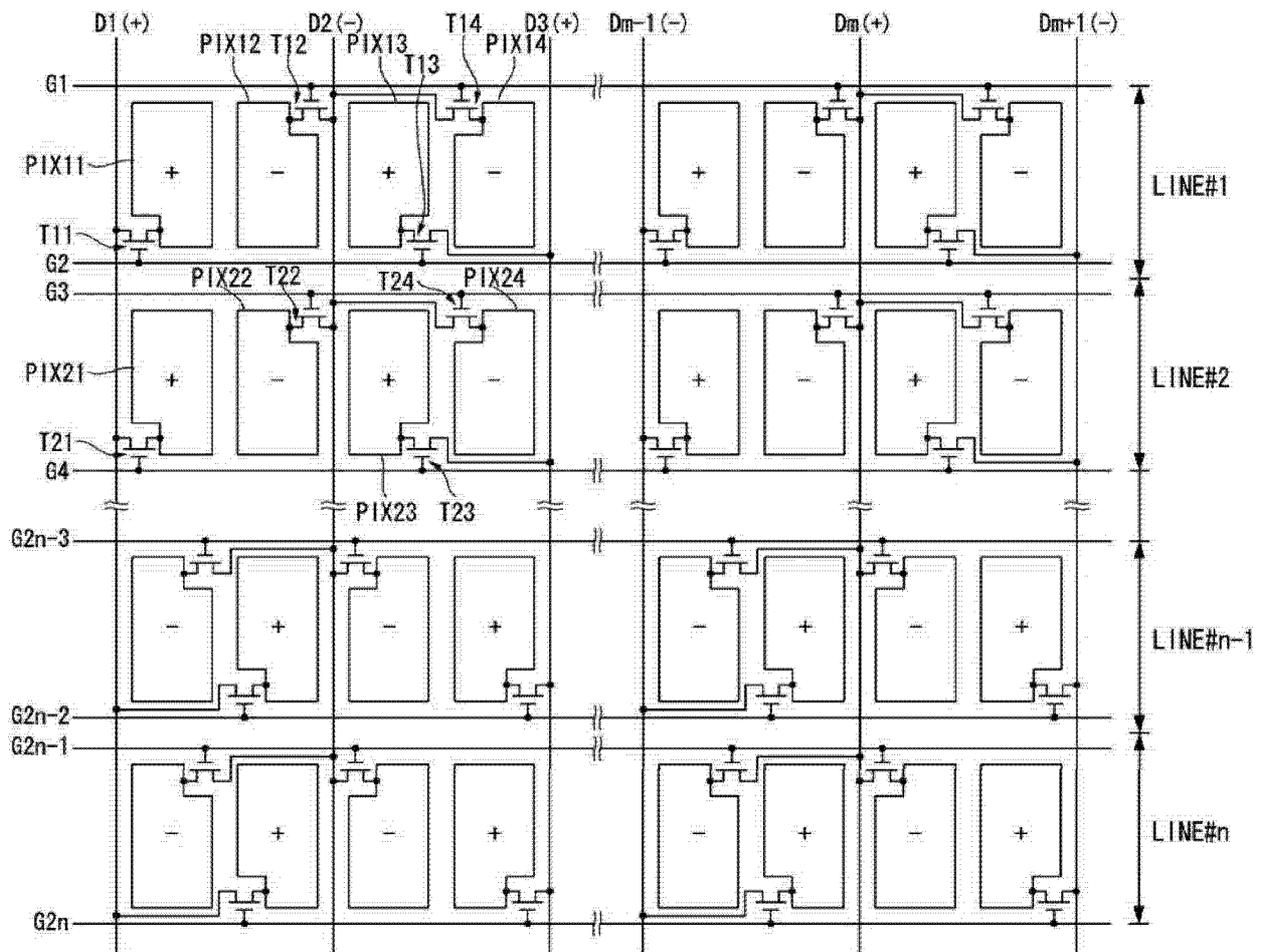


图 16

专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">CN103065596A</a>	公开(公告)日	2013-04-24
申请号	CN201210567500.4	申请日	2010-12-03
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	乐金显示有限公司		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	南维成 尹世昌 朴俊浩 李昌德 许胜皓 吴大惜		
发明人	南维成 尹世昌 朴俊浩 李昌德 许胜皓 吴大惜		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3607 G09G3/3614 G09G2300/0426 G09G3/3648		
代理人(译)	徐金国 钟强		
优先权	1020090119398 2009-12-03 KR		
其他公开文献	CN103065596B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

一种液晶显示器包括：显示面板，具有多条数据线、与所述数据线交叉的多条栅线、以矩阵形式排列的液晶盒、和设置在所述栅线和数据线的交叉处的TFT；配置为给所述数据线提供数据电压的源驱动IC，其中数据电压的极性以列反转方式反转；以及配置为顺序地给所述栅线提供栅脉冲的栅驱动电路，其中在显示面板内的液晶盒中充电的数据电压的极性以点为单位进行反转，显示面板的至少一部分包括设置于第m+1（其中m是奇数）水平显示行中彼此相邻的数据线之间的两个LC盒，以便与设置于第m水平显示行中彼此相邻的数据线之间的两个LC盒间隔开，第m水平显示行中的两个LC盒和第m+1水平显示行中的两个LC盒由相同数据线提供的极性相同的数据电压顺序地向其中充电。

