



(12) 发明专利

(10) 授权公告号 CN 102375278 B

(45) 授权公告日 2014. 09. 03

(21) 申请号 201110253672. X

(22) 申请日 2011. 08. 24

(30) 优先权数据

2010-186864 2010. 08. 24 JP

(73) 专利权人 JVC 建伍株式会社

地址 日本神奈川县

(72) 发明人 岩佐隆行

(74) 专利代理机构 北京银龙知识产权代理有限公司

公司 11243

代理人 许静 郭凤麟

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/133 (2006. 01)

G09G 3/36 (2006. 01)

(56) 对比文件

US 2009032849 A1, 2009. 02. 05,

CN 1825507 A, 2006. 08. 30,

US 6985201 B2, 2006. 01. 10,

审查员 李闻

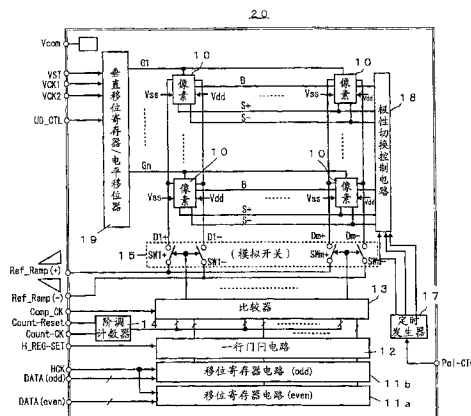
权利要求书2页 说明书13页 附图10页

(54) 发明名称

液晶显示装置

(57) 摘要

本发明提供一种液晶显示装置,其通过相对于假想的像素中心线,以线对称配置构成在各像素内的正极性信号侧像素电路部和负极性信号侧像素电路部中相互成为对的电路结构要素和布线,不增大像素间距地对液晶元件施加正常的驱动电压。Vdd 布线 (102)、Cs1 连接布线 (104)、数据线 Di+ 用布线 (106) 等正极性信号侧像素电路部的布线和、Vdd 布线 (103)、Cs2 连接布线 (105)、数据线 Di+ 用布线 (107) 等负极性信号侧像素电路部的布线是配置在线对称位置上的相对像素中心线 II-II' 彼此对应的布线,因此起到抑制来自左右相邻的像素的Cs1 连接布线、或者Cs2 连接布线的交调失真的作用。在像素的中心部附近配置数据线 Di+ 用布线 (106) 以及数据线 Di- 用布线 (107)。



1. 一种液晶显示装置,其特征在于,

设置在以两条数据线为一组的多组数据线和多条行扫描线分别交叉的交叉部的多个像素分别具备:

液晶元件,其在对置的像素电极和公共电极之间夹持有液晶层;

正极性侧信号像素电路部,其通过第一晶体管对正极性影像信号进行采样并在第一保持电容中保持一定期间,并使保持在所述第一保持电容中的正极性影像信号电压通过构成源极跟随器的第二晶体管和第一开关晶体管施加在所述像素电极上;以及

负极性侧信号像素电路部,其通过第三晶体管对负极性影像信号进行采样并在第二保持电容中保持一定期间,并使保持在所述第二保持电容中的负极性影像信号电压通过构成源极跟随器的第四晶体管和第二开关晶体管施加在所述像素电极上,

在隔着层间膜层压在半导体衬底上的多个金属层上形成的所述正极性侧信号像素电路部和所述负极性侧信号像素电路部的相互成对的电路结构要素以及布线,相对于与所述金属层上的多个像素的列方向平行的第一像素中心线以及与所述多个金属层的截面方向平行的第二像素中心线的一方或者双方彼此以线对称配置,并且预定的一个所述金属层上的所述第二晶体管的电源布线和所述第四晶体管的电源布线与所述第一像素中心线平行,且形成在所述像素的外周位置,

以比垂直扫描周期短的预定周期切换所述第一以及第二开关晶体管,把所述第一以及第二保持电容中保持的所述正极性影像信号电压以及所述负极性影像信号电压交替地施加到所述像素电极上,来交流驱动所述液晶元件。

2. 根据权利要求1所述的液晶显示装置,其特征在于,

在一组的所述两条数据线中,供给所述第一晶体管所述正极性影像信号的第一数据线作为所述正极性侧信号像素电路部的布线、供给所述第三晶体管所述负极性影像信号的第二数据线作为所述负极性侧信号像素电路部的布线,分别与预定的一个所述金属层上的所述第一像素中心线平行,且形成在像素的大致中央位置。

3. 根据权利要求1或2所述的液晶显示装置,其特征在于,

像素电极布线电气连接所述像素电极和所述半导体衬底上的所述第一以及第二开关晶体管的输出端子,把用于所述像素电极布线的、形成在所述多个金属层的各层中的第一通孔以及接触点位置配置在所述第一像素中心线以及所述第二像素中心线上的位置,并且,

在由所述多个金属层中相邻的第一以及第二金属层和该第一以及第二金属层间的所述层间膜形成的所述第一以及第二保持电容中,所述第一保持电容和所述半导体衬底上的所述第一以及第二晶体管由第一电容连接布线电气连接,所述第二保持电容和所述半导体衬底上的所述第三以及第四晶体管由第二电容连接布线电气连接,把用于所述第一电容连接布线的、分别形成在预定的两个以上的金属层上的所述正极性侧信号像素电路部内的第二通孔以及接触点位置和、用于所述第二电容连接布线的、分别形成在预定的两个以上的金属层上的所述负极性侧信号像素电路部内的第三通孔以及接触点位置相对于所述第一像素中心线以线对称、并接近所述第一通孔以及接触点位置地配置在像素的大致中央位置,

在所述第一以及第二金属层中的、与所述半导体衬底接近的侧的一方的金属层中,仅

在至少除去了所述第一～第三的通孔以及接触点位置的像素中央部分设置开口部。

4. 根据权利要求 1 所述的液晶显示装置,其特征在于,

所述像素具有与所述第一以及第二开关晶体管一起,漏极被连接在所述像素电极上的恒定电流负载晶体管,在所述多个金属层中的与所述半导体衬底最接近的金属层的像素中央部形成连接线的通孔以及接触点,其用于电气连接所述半导体衬底上的所述恒定电流负载晶体管的漏极和所述像素电极。

5. 根据权利要求 2 所述的液晶显示装置,其特征在于,

所述像素具有与所述第一以及第二开关晶体管一起,漏极被连接在所述像素电极上的恒定电流负载晶体管,在所述多个金属层中的与所述半导体衬底最接近的金属层的像素中央部形成连接线的通孔以及接触点,其用于电气连接所述半导体衬底上的所述恒定电流负载晶体管的漏极和所述像素电极。

6. 根据权利要求 3 所述的液晶显示装置,其特征在于,

所述像素具有与所述第一以及第二开关晶体管一起,漏极被连接在所述像素电极上的恒定电流负载晶体管,在所述多个金属层中的与所述半导体衬底最接近的金属层的像素中央部形成连接线的通孔以及接触点,其用于电气连接所述半导体衬底上的所述恒定电流负载晶体管的漏极和所述像素电极。

液晶显示装置

技术领域

[0001] 本发明涉及液晶显示装置,特别涉及分别对各像素中正极性影像信号和负极性影像信号进行采样保持在两个保持电容中后,把其保持电压交替地施加在像素电极上,交流驱动液晶元件的液晶显示装置。

背景技术

[0002] 近年来,在投影仪装置、投影电视机中,作为投影图像的中心部件,大多使用 LCOS(Liquid Crystal on Silicon) 型的液晶显示装置。作为该 LCOS 型的液晶显示装置,本申请人之前提出了如下液晶显示装置:在由两条数据线(列信号线)为一组的多组数据线和多条栅极(gate)线(行扫描线)的各交叉部分别把像素配置成阵列(matrix)状,在这些各像素中,分别对正极性影像信号和负极性影像信号进行采样保持在两个保持电容中后,交替地对像素电极施加这些电压,交流驱动液晶元件(例如参照专利文献 1)

[0003] 图 9 是表示该液晶显示装置的一个像素的一个例子的等价电路图。在该图中,一个像素 10 由用于写入正极性的影像信号以及负极性的影像信号的像素选择晶体管 Q1 以及 Q2、并行地保持各极性的影像信号电压的独立的两个保持电容 Cs1 以及 Cs2、晶体管 Q3 ~ Q7、以及液晶元件 LC 构成。另外,在图 9 的例子中晶体管 Q1 ~ Q7 全部是 N 沟道场效应晶体管(FET),但是并不限于此。液晶元件 LC 是在相互对置的像素电极 PE 和公共电极 CE 之间夹持液晶层(显示体)LCM 的公知的构造。晶体管 Q3 和 Q7、以及晶体管 Q4 和 Q7 分别是所谓的源极跟随缓冲器(follower buffer),晶体管 Q3 和 Q4 是信号输入晶体管,晶体管 Q7 作为恒定电流负载工作。晶体管 Q7 配置在极性切换开关晶体管 Q5、Q6 的后部,即像素电极 PE 节点上,为共同作为正极性、负极性的源极跟随缓冲器双方的负载工作的结构。MOS 晶体管的源极跟随缓冲器的输入电阻几乎无限大,保持电容 Cs1 以及 Cs2 的积蓄电荷不会发生泄漏地保持直到一个垂直扫描期间后新写入信号。

[0004] 另外,像素部数据线针对各像素由正极性用数据线 Di+、负极性用数据线 Di- 的两条一组构成,通过未图示的数据线驱动电路供给采样后的相互间极性不同的影像信号。像素选择晶体管 Q1、Q2 的各漏极端子分别与正极性用数据线 Di+、负极性用数据线 Di- 连接,各栅极端子在同一行与行扫描线(栅极线)Gj 连接。另外,布线 B 与晶体管 Q7 的栅极连接。另外,布线 S+、S- 通过栅极控制信号用的布线分别于晶体管 Q5、Q6 的栅极连接。另外,行扫描线 Gj 分别共同连接相同行的多个像素的晶体管 Q1 以及 Q2。

[0005] 接下来,关于该像素 10 的交流驱动控制的概要,与图 10 的定时图表一起说明。图 10(A) 表示垂直同步信号 VD,图 10(B) 表示施加到图 9 的像素 10 的晶体管 Q7 的栅极的布线 B 的负载特性控制信号。另外,图 10(C) 表示施加在上述像素 10 中的转送正极性侧驱动电压的开关晶体管 Q5 的栅极上的布线 S+ 的栅极控制信号的波形,该图(D) 表示施加在上述像素 10 中的转送负极性侧驱动电压的开关晶体管 Q6 的栅极上的布线 S- 的栅极控制信号的波形。

[0006] 另外,图 11 表示写入到像素的正极性影像信号 a 和负极性影像信号 b 的从黑电平

到白电平的关系。正极性影像信号 a 是电平最小时最小阶调的黑电平、电平最大时最大阶调的白电平,与此相对,负极性影像信号 b 是电平最小时最大阶调的白电平、电平最大时最小阶调的黑电平。由 c 表示正极性影像信号 a 和负极性影像信号 b 的反转中心。

[0007] 在图 9 中,图 10(C) 所示的布线 S+ 的栅极控制信号在高电平的期间,正极性侧开关晶体管 Q5 导通,当在该期间中供给布线 B 的负载特性控制信号如图 10(B) 那样成为高电平时,源极跟随缓冲器激活,像素驱动电极 PE 节点被充电到正极性的影像信号电平。在像素驱动电极 PE 的电位成为被完全充电的状态的时刻,布线 B 的负载特性控制信号为低电平,并且当此时的布线 S+ 的栅极控制信号也切换到低电平时,像素驱动电极 PE 成为浮动(floating),在液晶电容中保持正极性驱动电压。

[0008] 另一方面,图 10(D) 表示的布线 S- 的栅极控制信号在高电平期间,负极性侧开关晶体管 Q6 导通,当在该期间中供给布线 B 的负载特性控制信号如图 10(B) 所示那样为高电平时,源极跟随缓冲器激活,像素驱动电极 PE 节点被充电到负极性的影像信号电平。在像素驱动电极 PE 的电位成为被完全充电的状态的时刻,布线 B 的负载特性控制信号为低电平,并且当此时的布线 S- 的栅极控制信号也切换到低电平时,像素驱动电极 PE 成为浮动(floating),在液晶电容中保持负极性驱动电压。

[0009] 以下,与交替导通上述的开关晶体管 Q5 以及 Q6 的开关同步,重复通过布线 B 的负载特性控制信号间歇地激活晶体管 Q7 的动作,由此,如图 10(E) 所示那样,在液晶元件 LC 的像素电极 PE 上施加通过正极性和负极性的各影像信号而交流化的驱动电压 VPE。像素 10 不直接向像素电极 PE 转送保持电荷,而是经由源极跟随缓冲器供给电压的结构,因此,即使进行在正负极性的重复充放电,也没有电荷的中和问题,从而能够实现没有电压电平衰减的驱动。

[0010] 另外,图 10(F) 所示的 Vcom 表示施加在形成于液晶显示装置的对置衬底上的公共电极 CE 上的电压。液晶层 LCM 的实质的交流驱动电压是该公共电极 CE 的施加电压 Vcom 与像素电极 PE 的施加电压的电压差。如图 10(F) 所示,公共电极 CE 的施加电压 Vcom 相对于与像素电极电位的反向基准电平 Vc 大致相等的基准电平,与像素极性切换同步发生反转。由此,公共电极 CE 的施加电压 Vcom 和像素驱动电极 PE 的施加电压的电位差的绝对值始终相同,在液晶层 LCM 上施加图 10(G) 所示那样的没有直流成分的交流电压 VLC。如此,在像素 10 中,通过与像素电极 PE 反向切换公共电极 CE 的施加电压,能够使供给像素电极 PE 侧的电压的振幅变小,因此,能够降低驱动电路侧的晶体管耐压与消耗电力。

[0011] 另外,采样保持在保持电容 Cs1、Cs2 中的正极性、负极性的各影像信号电压分别被经由作为高输入电阻的源极跟随器电路的晶体管 Q3、Q4 读出,如图 10(C)、(D) 所示,交替地通过交替地供给布线 S+、S- 的栅极控制信号而导通的开关晶体管 Q5、Q6 选择,作为正极性、负极性反转的图 10(E) 所示的驱动电压 VPE 施加到像素电极 PE 上。该图 9 表示的像素 10 如果在一个垂直扫描期间(一帧)内写入一次正极性、负极性的各影像信号电压到保持电容 Cs1、Cs2 中,则能够在下一帧的影像信号电压被保持之前的一帧期间,从保持电容 Cs1、Cs2 中读出几次影像信号电压,交替地切换晶体管 Q5、Q6,交流驱动液晶元件 LC。因此,像素 10 能够与影像信号的写入周期独立地通过没有垂直扫描周期频率制约的高的驱动频率交流驱动液晶元件 LC。

[0012] 该交流驱动频率能够与垂直扫描频率无关地通过像素电路中的反向控制周期自

由地设定。例如,假设垂直扫描频率由一般的电视机影像信号中使用的60Hz、高清电视机的垂直周期扫描线数1125行构成。如果以15行期间左右的周期进行像素电路的极性切换,则液晶元件的交流驱动频率为 $2.25\text{kHz} (= 60(\text{Hz}) \times 1125 \div (15 \times 2))$,与现有的液晶显示装置比较,可以飞越地提高液晶驱动频率。由此,液晶元件的交流驱动频率与低频的情形相比,能够防止余像,另外,能够大幅改善可靠性/稳定性或者摆动(shimmy)等引起的显示品质降低等。

[0013] 专利文献1:日本特开2009-223289号公报

发明内容

[0014] 但是,上述的液晶显示装置,如图9所示那样,在一个像素10内需要7个晶体管,因此,用于提供给各晶体管Q1~Q7的信号的布线数较多。这是因为像素电路本身中具备极性反转功能,通过以高速对其进行控制,能够实现没有垂直扫描频率制约的高频的交流驱动,因此,在像素10内配置信号写入的布线、用于控制极性切换晶体管的导通和关断的布线。该信号写入布线、用于控制极性切换晶体管的导通和关断的布线是通过把GND和电源电压作为振幅的逻辑(logic)进行驱动的布线(即逻辑布线)。

[0015] 另一方面,在极性切换期间,图9所示的像素10内的正极性用保持电容Cs1和负极性用保持电容Cs2需要固定保持用于驱动液晶元件LC的正负的两极性的模拟电压。当上述的保持的模拟电压中例如有数mV的电位变动时,会在所显示的图中观测到电位变动的部分的图案。因此,保持电容Cs1以及Cs2需要固定成为浮动的正负的两极性的保持电压预定的保持时间(例如一帧)。

[0016] 但是,在保持电容Cs1以及Cs2中存在附随逻辑布线的寄生电容,该寄生电容的值特别在一个像素内布线数较多的像素10内较大。因此,在该像素10内,正负的两极性的保持电压由于逻辑布线和保持电容之间的寄生电容而在预定的保持时间内发生数mV变动。理论上该寄生电容无法去除。另外,当保持电容Cs1和逻辑布线之间的第一寄生电容与保持电容Cs2和逻辑布线之间的第二寄生电容中有相对的不同时,伴随逻辑布线的信号电平变化,正负的两极性的保持电压分别发生变化,结果,液晶驱动电压的动态范围变小,发生闪烁(flicker)或亮度下降、余像这样的问题。

[0017] 关于该问题,与图12一起说明。图12是表示在图9所示的一个像素的电路包含了上述寄生电容后表现的等价电路。对图12中与图9相同的结构部分赋予相同的标号,并省略其说明。在图12中,C11、C12、C13、C14表示正极性用保持电容Cs1与布线B、Gj、S+、S-之间的寄生电容,C21、C22、C23、C24表示负极性用保持电容Cs2与布线B、Gj、S+、S-之间的寄生电容。

[0018] 在图12中,布线B、S+、S-、Gj是逻辑布线,通过该布线传输的信号在关断时为0V、在导通时为5V。在上述信号为断开、保持电容Cs1和Cs2的保持电压确定的定时,在伴随保持电容Cs1的寄生电容C11~C14与伴随保持电容Cs2的寄生电容C21~C24的值不同的情况下,通过施加到像素电极PE上的正负的两极性的影像信号而交流化的像素电极驱动电压VPE的振幅不同于标准的振幅。

[0019] 在此,作为一个例子,当伴随保持电容Cs1的寄生电容C11~C14的值比伴随保持电容Cs2的寄生电容C21~C24的值小时,像素电极驱动电压VPE如图13(E)所示,通过与

保持电容 Cs2 的晶体管 Q4 的栅极连接的节点与逻辑布线的交调失真 (crosstalk), 从保持电容 Cs2 读出的负极性影像信号的保持电压较大地向 VDD 方向变动。另一方面, 上述的像素电极驱动电压 VPE, 与保持电容 Cs1 的晶体管 Q3 的栅极连接的节点与逻辑布线的交调失真小, 因此从保持电容 Cs2 读出的正极性影像信号的保持电压点位不怎么变动。因此, 发生像素电极驱动电压 VPE 的振幅与标准的振幅相比变小, 动态范围也变小这样的问题。

[0020] 另外, 特别在振幅大的逻辑布线和保持电容之间形成的寄生电容中, 如果在保持电容 Cs1 侧的寄生电容与保持电容 Cs2 侧的寄生电容值不同, 则成为公共电极的施加电压 Vcom 偏离的主要原因, 发生闪烁或亮度下降、余像。另外, 图 13(A) ~ (G) 的信号波形分别与图 10(A) ~ (G) 的信号波形对应。

[0021] 因此, 为了保持正常的动态范围, 防止发生闪烁或亮度下降、余像, 考虑使伴随保持电容 Cs1 以及 Cs2 的寄生电容变小的方法。

[0022] 在此, 例如, 只要防止传输振幅大的逻辑信号的逻辑布线和传输作为保持在保持电容 Cs1 以及 Cs2 中的模拟信号的影像信号电压的像素电极布线之间的交调失真, 就可以大致正确地在像素电极 PE 上施加两极性的保持电压, 因此, 与减少伴随保持电容 Cs1 以及 Cs2 的寄生电容实质上相同。因此, 本发明者根据与在日本特许第 4135547 号公报中公开的发明相同的原理, 通过在各像素内, 在逻辑布线与像素电极布线之间配置固定电位线, 降低逻辑布线与像素电极布线之间的交调失真, 考虑防止保持电容电压的摆动。但是, 在各像素内, 在像素电极布线与全部逻辑布线之间配置固定电位线, 因为布线数进一步变大, 因此存在招致像素间距增大的问题。

[0023] 另一方面, 保持在各像素内的两个保持电容中的正极性和负极性的影像信号电压即使由于伴随在逻辑布线、像素电极布线、保持电容的寄生电容发生变动, 在两极性的保持电压分别偏移相同电压 (绝对值) 的情况下, 通过调整公共电极施加电压 Vcom, 能够对液晶元件 LC 施加正常的驱动电压。

[0024] 本发明是鉴于上述问题而提出的, 其目的在于提供一种液晶显示装置, 该液晶显示装置通过把在各像素内的正极性信号侧像素电路部与负极性信号侧像素电路部中相互成为对的电路结构要素以及布线相对假想的像素中心线以线对称配置的结构, 能够不增大像素间距地对液晶元件施加正常的驱动电压。

[0025] 本发明为了达成上述的目的, 设置在以两条数据线为一组的多组数据线和多条行扫描线分别交叉的交叉部的多个像素分别具备: 液晶层被夹持在对置的像素电极与公共电极之间的液晶元件; 通过第一晶体管对正极性影像信号进行采样, 并在第一保持电容中保持一定期间, 并使保持在第一保持电容中的正极性影像信号电压通过构成源极跟随器的第二晶体管和第一开关晶体管施加到像素电极上的正极性侧信号像素电路部; 以及通过第三晶体管对负极性影像信号进行采样, 并在第二保持电容中保持一定期间, 并使保持在第二保持电容中的负极性影像信号通过构成源极跟随器的第四晶体管和第二开关晶体管施加在像素电极上的负极性侧信号像素电路部,

[0026] 在隔着层间膜层压在半导体衬底上的多个金属层上形成的正极性侧信号像素电路部和负极性侧信号像素电路部的相互成对的电路结构要素以及布线, 相对于与金属层上的多个像素的列方向平行的第一像素中心线以及与多数金属层的截面方向平行的第二像素中心线的一方或者双方, 彼此以线对称配置, 并且预定的一个金属层上的第二晶体管的

电源布线和第四晶体管的电源布线与第一像素中心线平行且形成在像素的外周位置,以比垂直扫描周期短的预定的周期切换第一以及第二开关晶体管,把第一以及第二保持电容中保持的正极性影像信号电压以及负极性影像信号电压交替地施加到对像素电极上,来交流驱动液晶元件。

[0027] 另外,为了实现上述目的,本发明的特征在于,在一组的两条数据线中,供给第一晶体管正极性影像信号的第一数据线作为正极性侧信号像素电路部的布线、供给第三晶体管负极性影像信号的第二数据线作为负极性侧信号像素电路部的布线,分别与预定的一个金属层上的第一像素中心线平行且形成在像素的大致中央位置。

[0028] 另外,为了实现上述目的,本发明的特征在于,像素电极布线电气连接像素电极和半导体衬底上的第一以及第二开关晶体管的输出端子,把用于像素电极布线的、形成在多个金属层的各层中的第一通孔以及接触点位置配置在第一像素中心线以及第二像素中心线上的位置,并且,在由多个金属层中相邻的第一以及第二金属层和该第一以及第二金属层间的层间膜形成的第一以及第二保持电容中,第一保持电容和半导体衬底上的第一以及第二晶体管由第一电容连接布线电气连接,第二保持电容和半导体衬底上的第三以及第四晶体管由第二电容连接布线电气连接,把用于第一电容连接布线的、分别形成在预定的两个以上的金属层上的正极性侧信号像素电路部内的第二通孔以及接触点位置和、用于第二电容连接布线的、分别形成在预定的两个以上的金属层上的负极性侧信号像素电路部内的第三通孔以及接触点位置相对于所述第一像素中心线以线对称、并接近第一通孔以及接触点位置地配置在像素的大致中央位置,在第一以及第二金属层中的、与半导体衬底接近的侧的一方的金属层中,仅在至少除去了第一~第三的通孔以及接触点位置的像素中央部分设置开口部。

[0029] 另外,为了实现上述目的,本发明的特征在于,像素具有与第一以及第二开关晶体管一起,漏极被连接在像素电极上的恒定电流负载晶体管,在多个金属层中的与半导体衬底最接近的金属层的像素中央部形成连接线的通孔以及接触点,其用于电气连接半导体衬底上的恒定电流负载晶体管的漏极和像素电极。

[0030] 根据本发明,通过相对于假想的像素中心线彼此以线对称配置在各像素内的正极性信号侧像素电路部和负极性信号侧像素电路部中相互成对的电路结构要素以及布线,均等地形成两个像素电路部的保持电容的寄生电容,另外,在两个像素电路部中也能够均等地获得布线电阻、晶体管特性,由此,可以实现没有失衡的特性,能够不增大像素间距地对液晶元件施加正常的驱动电压。

附图说明

[0031] 图1是本发明的液晶显示装置的一个实施方式的整体结构图。

[0032] 图2是图1表示的液晶显示装置的动作说明用定时图表。

[0033] 图3是本发明的液晶显示装置的一个像素的一个实施方式的构造截面图。

[0034] 图4是图3表示的像素的第一金属层的一个实施方式的平面布局图。

[0035] 图5是图3表示的像素的第二金属层的一个实施方式的平面布局图。

[0036] 图6是图3表示的像素的第三以及第四金属层的一个实施方式的平面布局图。

[0037] 图7是图3表示的像素的第五金属层的一个实施方式的平面布局图。

- [0038] 图 8 是图 3 表示的像素的第六金属层的一个实施方式的平面布局图。
- [0039] 图 9 是本发明的液晶显示装置的一个像素的一个例子的等价电路图。
- [0040] 图 10 是图 9 的像素的动作说明用定时图表。
- [0041] 图 11 是关于图 9 的像素的驱动信号电平和信号反转的说明图。
- [0042] 图 12 是用于说明现有的液晶显示装置的像素中的寄生电容的一个例子的等价电路图。
- [0043] 图 13 是图 12 的像素的动作说明用定时图表。
- [0044] 符号说明
- [0045] 10、50 像素
- [0046] 20 液晶显示装置
- [0047] 101、205、306、406、504 像素电极布线
- [0048] 102、103、202、301Vdd 布线
- [0049] 106Di+ 用布线
- [0050] 107Di- 用布线
- [0051] 110 接触点以及通孔
- [0052] 203、303、403、501Cs1 连接布线
- [0053] 204、304、404、502Cs2 连接布线
- [0054] 206Gj 布线
- [0055] 207、405、503、Vss 布线
- [0056] 208B 布线
- [0057] 209S+ 布线
- [0058] 210S- 布线
- [0059] 310、505 开口部
- [0060] 401 正侧保持电容 Cs1 用电极
- [0061] 402 负侧保持电容 Cs2 用电极
- [0062] Q1、Q2 像素选择晶体管
- [0063] Q3、Q4 信号输入晶体管
- [0064] Q5、Q6 开关晶体管
- [0065] Q7 恒定电流负载晶体管
- [0066] Cs1 以及 Cs2 保持电容
- [0067] LC 液晶元件
- [0068] PE 像素电极
- [0069] CE 公共电极
- [0070] LCM 液晶层（显示体）
- [0071] Di+ 正极性用数据线
- [0072] Di- 负极性用数据线
- [0073] Gj 行扫描线
- [0074] S+ 正极性栅极控制信号用布线
- [0075] S- 负极性栅极控制信号用布线

- [0076] B 负载特性控制信号用布线
- [0077] 1M ~ 6M 金属层
- [0078] g3、g4、g5、g6 栅极电极
- [0079] 51 阱
- [0080] 52 ~ 56 扩散层
- [0081] 57PN 结二极管
- [0082] 60 层间膜
- [0083] 503Vss 布线
- [0084] 151、152 由于光泄漏而特性恶化的保持电容扩散部

具体实施方式

[0085] 以下,参照附图详细说明本发明的实施方式。

[0086] 首先,说明本发明的液晶显示装置的整体结构的一个实施方式。本发明的液晶显示装置的整体结构本身可以与所述专利文献 1 中记载的液晶显示装置相同。本发明的特征在于该液晶显示装置的像素的构造。

[0087] 图 1 表示本发明的液晶显示装置的一个实施方式的整体结构图。在该图中,液晶显示装置 20 由移位寄存器电路 11a 以及 11b、一行门电路 12、比较器 13、阶调计数器 14、模拟开关 15、在水平方向上 m 个、垂直方向上 n 个,分别配置成阵列状的图 9 表示的等价电路的像素 10、定时发生器 17、极性切换控制电路 18、垂直移位寄存器以及电平移位器(level shifter)19 构成。

[0088] 移位寄存器电路 11a 以及 11b、一行门电路 12、比较器 13、以及阶调计数器 14 构成水平驱动电路。另外,比较器 13 在图 1 中,为方便图示,用一个框来表示,但是,实际上,设置在每个像素列中。模拟开关 15 是针对每个像素列配置有正极性用以及负极线用的两个一组的采样用模拟开关的结构。像素 10 被配置在两系统的数据线(D1+ 和 D1-、...、Dm+ 和 Dm-) 和行扫描线(G1、... Gn) 的交叉部。

[0089] 极性切换控制电路 18 根据来自定时发生器 17 的定时信号,分别向所述的布线 S+ 输出正极性栅极控制信号,向布线 S- 输出负极线栅极控制信号,向布线 B 输出负载特性控制信号。垂直移位寄存器以及电平移位器 19 依次在一个水平扫描周期对行扫描线 G1 ~ Gn 输出行扫描选择信号,在一个水平扫描周期以各行扫描线单位依次选择行扫描线 G1 ~ Gn。

[0090] 接下来,关于图 1 的动作,一起参照图 2 的定时图表进行说明。与图 2(A) 表示的水平同步信号 HD 同步的、把该图 (B) 表示的多位的像素数据按时间序列合成而得数字影像信号在移位寄存器电路 11a、11b 中作为一行量的数据被依次展开,在一行量的展开结束的时刻,通过一行门电路 12 进行锁定。

[0091] 另外,图 2(B) 表示的像素数据(DATA) 中,间隔一个放置的白地表示的水平方向的偶数列像素数据 DATA(even) 被供给移位寄存器电路 11a、间隔一个放置的带有斜线的表示的水平方向的奇数列像素数据 DATA(odd) 被供给移位寄存器电路 11b。这是因为容易对应于高分辨率板的高速动作。

[0092] 一行门电路 12 在如图 2(D) 所示意的那样保持由从移位寄存器电路 11a 输出的奇数列像素数据 DATA(odd) 和从移位寄存器电路 11b 输出的偶数列像素数据 DATA(even)

构成的相同行的一行期间的像素数据 DATA 后,供给各像素列的比较器 13 的第一数据输入部。

[0093] 阶调计数器 14 对图 12(E) 表示的时钟 Count-CK 进行计数,如该图 (F) 所示那样,在每个水平扫描期间,输出多个阶调值在水平扫描周期内从最小值到最大值进行一周的计数值(基准阶调数据)C-out,供给到各像素列的比较器 13 的第二数据输入部。比较器 13 比较第一数据输入部的输入像素数据 DATA 的值和第二数据输入部的输入基准阶调数据 C-out 的值(阶调值),当在两者的值一致的定时生成一致脉冲输出。

[0094] 构成模拟开关 15 的正极性用以及负极性用的两个一组的采样用模拟开关中的、正极性用的采样用模拟开关从未图示的照明(lamp)信号发生器对输入侧公共布线施加作为正极性用照明信号的基准照明电压 Ref_Ramp(+). 另外,负极性用的采样用模拟开关从未图示的照明(lamp)信号发生器对输入侧公共布线施加作为负极性用照明信号的基准照明电压 Ref_Ramp(-)。

[0095] 在上述的基准照明电压 Ref_Ramp(+) 和 Ref_Ramp(-) 中,Ref_Ramp(+) 是如图 2(I) 所示那样,在水平扫描期间周期,从影像的黑电平到白电平、朝电平上升的方向变化的周期的正极性扫描信号。另外,上述的基准照明电压 Ref_Ramp(-) 是如图 2(J) 所示那样,在水平扫描期间周期,从影像的黑电平到白电平、朝电平下降的方向变化的周期的负极性扫描信号。因此,基准照明电压 Ref_Ramp(+) 和 Ref_Ramp(-) 与预定的基准电位成反向关系。

[0096] 模拟开关 15 接受图 2(G) 所示的 SW-Start 信号,在各水平扫描期间的开始时刻,一齐导通后,使得在从对应的像素的比较器 13 接受了一致脉冲的时刻转移到关断地以像素单位进行开关控制。

[0097] 在图 2 的定时图表中,作为一个例子,图示了把与阶调电平 k 的像素数据 DATA 对应的像素列的模拟开关 15 的开关定时作为该图 (H) 表示的波形 Spk。结果,构成上述像素列的模拟开关 15 的正极性用以及负极性用的两个一组的采样用模拟开关对在接受上述一致脉冲后同时关断的时刻的基准照明电压 Ref_Ramp(+) 和 Ref_Ramp(-) 的对应电平(图 2(I)、(J) 的点 P、点 Q) 同时进行采样,分别作为所述的正极性影像信号、负极性影像信号输出到该像素列的像素数据线 Di+、Di-。该图 2(I)、(J) 的点 P、点 Q 的基准照明电压电平是把阶调电平 k 的像素数据 DATA 变换为数字-模拟变换后得到的模拟电压。

[0098] 模拟开关 15 在各水平扫描期间开始全部一齐导通,但是,成为关断的定时,即采样保持基准照明电压的定时,根据此时要显示的图案而对应设置的每个像素而不同,有全部同时的时候也有不同的时候。关断的顺序也并非固定,根据图案其每次关断的顺序不同。在这样的液晶显示装置 20 中,根据使用了照明信号的 DA 变换方式的动作具有良好的直线性等特长。

[0099] 接下来,说明作为本发明的特征的液晶显示装置 20 的像素 10 的构造。

[0100] 图 3 表示本发明的液晶显示装置的一个像素的一个实施方式的构造截面图,图 4~图 8 分别表示图 3 的各层的一个实施方式的平面布局图。图 3 是沿着图 4~图 8 表示的各层的 A-A' 线的构造截面图。图 3~图 8 中,对与图 9 相同结构部分赋予相同标号,并省略其说明。另外,在图 4 中,白色四角表示通孔,黑色四角表示接触点。

[0101] 图 3 的构造截面图中表示的一个像素 50(相当于图 1 的一个像素 10) 通过与图 9

表示的像素 10 相同的等价电路来表示。该一个像素 50 是在形成于半导体衬底的阱 51 上的晶体管的上方层压了各层间隔着层间膜 60 的第一金属层 1M、第二金属层 2M、第三金属层 3M、第四金属层 4M、第五金属层 5M 以及第六金属层 6M 的构造。另外,第六金属层 6M 构成像素电极 PE,在与该像素电极 PE 离开一段距离相对的位置上形成公共电极 CE,在像素电极 PE 和公共电极 CE 之间夹持有液晶层 LCM,构成液晶元件。

[0102] 图 3 表示的截面的像素 50,相对于垂直(截面)方向的假想的像素中心线 I-I',彼此以线对称配置构成在像素 50 内的正极性信号侧像素电路部和负极性信号侧像素电路部内相互间成对的电路结构要素以及布线(换言之,以镜像反转进行布局配置)。上述的正极性信号侧像素电路部,在图 9 的像素 10 的情况下,由晶体管 Q1、Q3 以及 Q5、保持电容 Cs1 以及数据线 Di+ 构成。另外,上述的负极性信号侧像素电路部,在图 9 的像素 10 的情况下,由晶体管 Q2、Q4 以及 Q6、保持电容 Cs2 以及数据线 Di- 构成。但是,如后述那样,晶体管 Q1 ~ Q6 形成在半导体衬底的阱 51 上,在金属层 1M ~ 6M 上配置其以外的电路结构要素以及布线。

[0103] 在阱 51 中,晶体管 Q3 以及 Q5 的各栅极电极 g3 以及 g5 与晶体管 Q4 以及 Q6 的各栅极电极 g4 以及 g6 以像素中心线 I-I' 左右对称地配置形成。这些栅极电极 g3、g5、g4、g6 由多晶硅形成。另外,在阱 51 中,在栅极电极 g3 和 g5 之间形成成为晶体管 Q3 的源极和晶体管 Q5 的漏极的扩散层 52,另外,在栅极电极 g4 和 g6 之间形成成为晶体管 Q4 的源极和晶体管 Q6 的漏极的扩散层 53。另外,在阱 51 中形成成为晶体管 Q3、Q4 的漏极的扩散层 55、56 和成为晶体管 Q4、Q5 的各源极的扩散层 54。上述的扩散层 54 经接触点和通孔与第一金属层 1M 的像素电极布线 101 电气连接。另外,上述的扩散层 55、56 分别与第一金属层 101 的 Vdd 布线 102、103 电气连接。

[0104] 另外,在图 3 中,在金属层 1M、2M、3M、5M 的各上面和下面、以及金属层 6M 的下面,分别形成以粗实线表示的反射防止膜。该反射防止膜由 Ti、或者 TiN 等金属膜形成,作为金属层的一部分起作用。反射防止膜吸收从像素电极的间隙照射的光,反射未吸收的成分。因此,反射光的光路长度越长(越重复反射),反射光越衰减。

[0105] 图 4 表示第一金属层 1M 的一个实施方式的平面布局图。该图中,对与图 3 相关结构部分赋予相同标号。在图 4 中,像素 50 的第一金属层 1M,在像素平面中相对与数据线 Di 的较长方向(即,配置成阵列状的像素组的列方向)平行的假想的像素中心线 II-II',彼此以线对称配置构成在像素 50 内的正极性信号侧电路部和负极性信号侧电路部中互相成对的电路结构要素以及布线。

[0106] 即,在图 4 中,关于 Vdd 布线 102、Cs1 连接布线 104、数据线 Di+ 用布线 106 等的正极性信号侧电路部的布线和、Vdd 布线 103、Cs2 连接布线 105、数据线 Di- 用布线 107 等的负极性信号侧电路部的布线,相对像素中心线 II-II' 对应的布线彼此被配置在线对称位置。另外,正极性信号侧电路部和负极性信号侧电路部中公共的像素电极布线 101 和晶体管 Q7 被配置在像素中心线 II-II' 上的位置。

[0107] 另外,数据线 Di+ 用布线 106 与形成在图 3 的阱 51 上的晶体管 Q1 的漏极电极电气连接。同样地,数据线 Di- 用布线 107 与形成在图 3 的阱 51 上的晶体管 Q2 的漏极电极电气连接。另外,像素电极布线 101 与晶体管 Q5、Q6、Q7 的漏极电极电气连接。

[0108] 在此,如图 4 所示,Vdd 布线 102 和 Vdd 布线 103 被配置在一个像素内的左右两端,

因此发挥抑制来自左右两个相邻的像素的第一金属层 1M 构成的 Cs1 连接布线或 Cs2 连接布线的交调失真的保护模式的功能。由此,保持电容 Cs1 和 Cs2 不会受不要的电压摆动,能够保持稳定的电压。另外,Vdd 布线 102 和 Vdd 布线 103 用于连接上下两个相邻的像素的 Vdd 布线。另外,如图 4 所示,数据线 Di+ 用布线 106 以及数据线 Di- 用布线 107 被配置在像素的中心部附近,由此,使从外部或者相邻的像素的 Vdd 布线向数据线 Di+、Di- 的交调失真的影响最小。

[0109] 图 5 表示第二金属层 2M 的一个实施方式的平面布局图。该图中,对与图 3、图 4 相同的结构部分赋予相同标号。如图 3 所示那样,第二金属层 2M 隔着层间膜 60 形成在图 4 所示的平面布局的第一金属层 1M 上。在图 5 中,第二金属层 2M,相对与图 4 相同的假想的像素中心线 II-II',彼此以线对称配置构成像素 50 内的正极性信号侧电路部和负极性信号侧电路部中相互成对的像素结构要素以及布线。

[0110] 即,在图 5 中,关于 Vdd 布线 201、Cs1 连接布线 203 等正极性信号侧电路部的布线和、Vdd 布线 202、Cs2 连接布线 204 等负极性信号侧电路部的布线,相对像素中心线 II-II' 对应的布线彼此被配置在线对称位置。另外,正极性信号侧电路部和负极性信号侧电路部中公共的像素电极布线 205 被线对称地配置在像素中心线 II-II' 的位置。

[0111] 另外,行扫描线 Gj 用布线 206、正极性栅极控制信号用布线 S+ 用的布线(以下称 S+ 布线)209、负极性栅极控制信号布线 S- 用的布线(以下称 S- 布线)210 在与像素组的行方向(即与像素中心线 II-II' 正交的方向)平行的方向上使较长的方向延长地形成。另外,负载特性控制信号线 B 用的布线(以下称为 B 布线)208 在与像素组的行方向平行的方向上使较长的方向延长地形成,但是,在第二金属层 2M 的中心附近一部分断续地形成。另外,Vss 布线 207 形成 T 字状,其一边以线对称配置在像素中心线 II-II' 的位置。

[0112] 另外,考虑布线的情形,把 S+ 布线 209 的通孔 t1 和 S- 布线 210 通孔 t2 配置在相对像素中心线 II-II' 非线对称的位置上。通孔也配置未图示的接触点。因此,S+ 布线 209 经由通孔 t1 与第一金属层 1M 的晶体管 Q5 的栅极电极 g5 电气连接,S- 布线 210 经由通孔 t2 与第一金属层 1M 的晶体管 Q6 的栅极电极 g6 电气连接。

[0113] 另外,Gj 布线 206 经由通孔与晶体管 Q1 以及 Q2 的栅极电极 g1、g2 电气连接,Vss 布线 207 经由通孔与晶体管 Q7 的漏极电气连接,B 布线 208 经由通孔与晶体管 Q7 的栅极电极 g7 电气连接,Cs1 连接布线 203 经由通孔与晶体管 Q3 的栅极电极 g3 和晶体管 Q1 的源极电气连接,Cs2 连接布线 204 经由通孔与晶体管 Q4 的栅极电极 g4 和晶体管 Q2 的源极电气连接。另外,像素电极布线 205 如图 3 所示那样,经由通孔与第一金属层 1M 的像素电极布线 101 电气连接。

[0114] 图 6 表示第三金属层 3M 和第四金属层 4M 的一个实施方式的平面布局图。该图中,对与图 3、图 5 相同结构部分赋予相同标号。第三金属层 3M 如图 3 所示那样,隔着层间膜 60 形成在图 5 表示的平面布局的第二金属层 2M 上。另外,第四金属层 4M,如图 3 所示那样,隔着层间膜 60 形成在图 5 表示的平面布局的第三金属层 3M 上。另外,图 6 省略层间膜 60 的图示,表示通过上侧的第四金属层 4M,能够看见下侧的第三金属层 3M 的平面图。

[0115] 在图 6 中,第三、第四金属层 3M、4M,相对与图 4 以及图 5 同样的假想的像素中心线 II-II',彼此以线对称配置构成像素 50 内的正极性信号侧像素电路部和负极性信号侧像素电路部中相互成对的电路结构要素以及布线。

[0116] 即,第四金属层 4M,把正侧保持电容 Cs1 用电极 401、Cs1 连接布线 403 等的正极性信号侧像素电路部和、负侧保持电容 Cs2 用电极 402、Cs2 连接布线 404 等的负极性信号侧像素电路部相对中心线 II-II' 配置在线对称位置。另外,在正极性信号侧像素电路部和负极性信号侧像素电路部中,公共的 Vss 布线 405 以及像素电极布线 406 被以线对称配置像素中心线 II-II' 的位置。

[0117] 另外,关于第三金属层 3M,表面是形成大致整面图案的 Vdd 布线,在一个像素内的中央下部位置具有开口部 310,位于正侧保持电容 Cs1 用电极 401 的下侧部分的区域部分通过非导电体层间膜 60 和正侧保持电容 Cs1 用电极 401 构成正极性信号侧像素电路部的电路结构要素的正侧保持电容 Cs1。另外,关于第三金属层 3M,位于负侧保持电容 Cs2 用电极 402 的下侧部分的区域部分通过非导电体层间膜 60 和负侧保持电容 Cs2 用电极 402 构成负极性信号侧像素电路部的电路结构要素的正侧保持电容 Cs2。另外,第三金属层 3M 和第四金属层 4M 之间的层间膜 60 的膜厚,例如形成 100nm 程度,能够形成使保持电容 Cs1、Cs2 变大的值。

[0118] 另外,在图 6 中,通过第四金属层 4M 隐藏起来,看不见,但是,第三金属层 3M,在第四金属层 4M 的像素电极布线 406 的下侧的对应的位置形成像素电极布线(图 3 的 306)。另外,第三金属层 3M,在第四金属层 4M 的 Cs1 连接布线 403、Cs2 连接布线 404 的下侧的对应的各位置上形成 Cs1 连接布线(图 3 的 303)、Cs2 连接布线(图 3 的 304)。像素电极布线 406 和 306 电气连接。同样地,Cs1 连接布线 403 以及 303 之间、Cs2 连接布线 404 以及 304 之间也电气连接。另外,第三金属层 3M 在 Vss 布线 405 下侧的对应的位置形成 Vss 布线。

[0119] 图 7 表示第五金属层 5M 的一个实施方式的平面布局图。该图中,对与图 3、图 6 相同结构部分赋予相同标号。第五金属层 5M,如图 3 所示,隔着层间膜 60 形成在图 6 所示的平面布局的第四金属层 4M 上。在图 7 中,第五金属层 5M,相对与图 4~图 6 相同的假想的像素中心 II-II',彼此以线对称配置形成在像素 50 内的正极性信号侧像素电路部和负极性信号侧像素电路部中相互成对的电路结构要素以及布线。

[0120] 即,在图 7 中,第五金属层 5M 在中心具有开口部 505,外周边缘部由 Vss 布线 503 构成,另外,Cs1 连接布线 501 等正极性信号侧像素电路部的布线和 Cs2 连接布线 502 等负极性信号侧像素电路部的布线配置在相对像素中心线 II-II' 的位置。另外,在正极性信号侧像素电路部和负极性信号侧像素电路部中,公共的像素电极布线 504 被以线对称地配置在像素中心线 II-II' 的位置。

[0121] 另外,Vss 布线 503,其一部分被以线对称地配置在像素中心线 II-II' 的位置。另外,像素电极布线 504 如图 3 所示那样,与第四金属层 4M 的像素电极布线 406 电气连接。同样地,Cs1 连接布线 501 与 Cs1 连接布线 403 连接,并且与正侧保持电容 Cs1 用电极 401 电气连接,Cs2 连接布线 502 与 Cs2 连接布线 404 连接,并且与负侧保持电容 Cs2 用电极 402 电气连接。

[0122] 图 8 表示第六金属层 6M 的一个实施方式的平面布局图。该图中,对与图 9 相同结构部分赋予相同标号。第六金属层 6M,如图 3 所述那样,隔着层间膜 60 形成在图 7 所示的平面布局的第五金属层 5M 上。

[0123] 如图 8 所示,第六金属层 6M 通过从一个像素去除间隙部的稍微小的大小的矩形状

的电极构成所述的图 9 的像素电极 PE。第六金属层 6M 经由通孔 70, 与第五金属层 5M 的像素电极布线 504 电气连接。该第六金属层 6M 的像素电极 PE 与相邻的像素电极之间分别具有间隙部。

[0124] 如此, 根据本实施方式, 如与图 3 ~ 图 8 一起说明的那样, 在各像素 10 (50) 内的正极性信号侧像素电路部和负极性信号侧像素电路部中相互成对的电路结构要素以及布线在截面方向以及水平方向也都以线对称配置构成, 因此, 正极性和负极性的两个像素电路部为相同截面构造、相同图案形状, 因此两个保持电容 Cs1 以及 Cs2 的寄生电容在两个像素电路部中均等地形成, 另外, 在两个像素电路部中也能够均等地获得布线电阻, 晶体管特性, 由此能够实现没有失衡的特性。具体来讲, 在制造上的工序中, 刻蚀或光刻, 铝布线或层间膜等的形状在正极性和负极性的两个像素电路部中能够形成相同, 布线电阻、寄生电容也能够形成相同。

[0125] 另外, 在本实施方式中, 布线 B、S+、S-、Gj 的逻辑布线如图 5 所示那样, 在一个像素内, 在水平方向 (行方向) 上布线, 进行布局使得在两极性的保持电压中均等地交调失真。因此, 根据本实施方式的像素 50, 两极性的保持电容电压, 来自逻辑布线的交调失真相同, 因此根据逻辑信号发生电压偏移相同 (shift)。

[0126] 因此, 根据本实施方式, 通过以上的像素 50 的结构, 即使两极性的保持电压由于伴随逻辑布线以及像素电极布线或者保持电容的寄生电容而发生变动, 也能够对液晶元件施加正常的驱动电压, 能够不增大像素间距地对液晶元件施加正常的驱动电压。

[0127] 接着, 关于像素内部中的无用光和其引起的问题以及通过本实施方式的解决方法, 参照图 3 的截面图进行说明。

[0128] 如图 3 箭头所示, 透过公共电极 CE 以及液晶层 LCM 的入射光, 其大部分通过像素电极 PE 反射, 相对入射光路反方向返回。但是, 第六金属层 6M 的像素电极 PE 被以像素单位设置, 在与相邻的像素的像素电极之间具有间隙部, 因此, 上述的入射光的一部分通过该间隙部以及层间膜 60 入射到第五金属层 5M。入射到该第五金属层 5M 的光在第五金属层 5M 的上面的反射防止膜和像素电极 PE (第六金属层 6M) 的下面的反射防止膜之间, 重复发生漫反射而逐渐衰减, 但是, 没有衰减的一部分的反射光透过各金属层 5M、4M、3M、2M、1M 之间, 作为无用光入射到阱 51 上的晶体管 Q1 ~ Q7。

[0129] 在此, 如图 3 所示, 成为晶体管 Q3、Q5、Q4、Q6 的漏极、源极的扩散层 52、53 与阱 51 的接合部成为 PN 结二极管 57。虽然在图 3 中未图示, 但是, 成为晶体管 Q1 以及 Q2 的漏极、源极的扩散层和阱 51 的接合部也同样成为 PN 结二极管。因此, 当上述的无用光照射成为图 9 表示的晶体管 Q1 以及 Q2 的漏极、源极的扩散层时, 上述的扩散层和阱 51 的 PN 结二极管发挥光二极管的功能, 蓄积在保持电容 Cs1 以及 Cs2 的电荷发生泄漏。

[0130] 对像素电极 PE 施加驱动电压的保持电容 Cs1 以及 Cs2 为了实现比液晶元件的垂直扫描频率高的频率的交流驱动, 需要保持两种保持电压一帧周期。因此, 保持电容 Cs1 以及 Cs2 即使有微小漏电流, 保持时间长的漏电流流量变多, 因此可以说对泄漏敏感。当有漏电流时, 两种保持电压都向阱电压方向偏移 (bias), DC 偏移, 因此发生闪烁、余像的问题。因此, 布置 (layout) 电路部和布线等使无用光不照射到晶体管 Q1 和 Q2 就非常重要。

[0131] 因此, 在本实施方式中, 如图 3 以及图 6 所示, 使第三金属层 3M 的开口部 310 远离图 4 所示的晶体管 Q1 以及 Q2 的位置, 配置在像素中心部。另外, 在本实施方式中, 如图 3

以及图 6 所示,在开口部 310 内,通过把 Cs1 连接布线(图 3 的 303)、Cs2 连接布线(图 3 的 304)、像素电极布线(图 3 的 306)以及第四金属层 4M 的 Vss 布线 405 对应的位置的第三金属层 3M 的布线集中配置在一个部位,以小面积形成第三金属层 3M 的开口部 310。

[0132] 另外,在本实施方式中,如图 3 以及图 6 所示,在第三金属层 3M 中,尽量使 Cs1 连接布线 303 和像素电极布线 306 之间、像素电极布线 306 和 Cs2 连接布线 304 之间、像素电极布线 306 和与 Vss 布线 405 对应的位置的 Vss 布线之间的各间隙减小,并且使 Cs1 连接布线 303、像素电极布线 306、Cs2 连接布线 304、以及与 Vss 布线 405 对应的位置的第三金属层 3M 的 Vss 布线与 Vdd 布线 301 之间的间隙尽量变小,从而极力减小使第三金属层 3M 的开口部 310 的面积。

[0133] 根据以上所述,根据本实施方式,通过开口部 310 的面积被极力减小的第三金属层 3M,无用光被大幅限制,另外,通过把用于导通第三金属层 3M 的上下的布线的通孔汇集在一个部位,来限制无用光的光路,能够使从第三金属层 3M 以下的布线几乎不被无用光照射。另外,在本实施方式中,第三金属层 3M 的金属布线间隙,能够通过以刻蚀实现的最小尺寸(例如 $0.4\mu\text{m}$) 设计布局来抑制光的入侵。该第三金属层 3M 不仅在供给保存电容电极 Vdd 电位的 Vdd 布线 301 中使用,还用作遮光膜。

[0134] 另外,无用光入射到成为晶体管 Q1 以及 Q2 的漏极、源极的扩散层而产生特性恶化的是图 4 中 151 所示的晶体管 Q1、Q3 的各源极和 Cs1 连接布线 104 的连接部位,以及晶体管 Q2、Q4 的各源极和 Cs2 连接布线 105 的连接部位。因此,在本实施方式中,通过把由于上述的光泄漏而特性恶化的保持电容扩散部 151,如图 4 以及图 6 所示那样,配置在远离开口部 310 的位置上,防止上述的无用光引起的晶体管 Q1 以及 Q2 的特性恶化。

[0135] 另外,在本实施方式中,为使像素 50(图 1 以及图 9 的一个像素 10) 本身具备极性反转功能,通过高速对其进行控制,实现没有垂直扫描频率制约的高频的液晶元件的交流驱动,液晶元件的像素电极 PE 与成为晶体管 Q7 的漏极的扩散层连接。因此,当无用光入射到成为晶体管 Q7 的漏极的扩散层时,在晶体管 Q7 中发生漏电流,液晶元件的交流驱动在正极性侧和负极性侧成为非对称,成为余像、闪烁的原因。当无用光入射到成为晶体管 Q7 的漏极的扩散层部分时,该扩散层部分起到发光二极管的作用,蓄积在像素电极 PE 和公共电极 CE 之间的液晶层 LCM 中的电荷发生泄漏。

[0136] 上述的无用光是因为通过相邻的像素电极 PE 的间隙部入射的入射光由于图 4 中 152 所表示的光泄漏而从特性恶化的保持电容扩散部入射到晶体管 Q7 而产生的。因此,在本实施方式中,如图 4 所示,通过把连接第一金属层 1M 的像素电极布线 101 和成为晶体管 Q7 的漏极的扩散层的接触点以及通孔 110 配置在像素 50 内位于与相邻的像素的像素电极 PE 之间的间隙部最远的位置的像素中心,来大幅防止无用光入射到晶体管 Q7。

[0137] 另外,本发明并不限于上述实施方式,在以上的实施方式中,例如,各金属层 1M ~ 5M 的图案(pattern) 形状,在一个像素内以镜像反转来布局,但是,也不必做成把全部金属层 1M ~ 5M 设计成左右反转的布局配置,仅把主要金属层设计成镜像反转即可。重要的是在一个像素内把晶体管的各配置、对晶体管供给电压的布线、保持电容等设计成镜像反转。

[0138] 另外,在本实施方式中,以 N 沟道场效应晶体管为例进行了说明,但是,并不限于此,也可以把本发明应用到 P 沟道场效应晶体管。此时,例如,作为电源布线的 Vdd 布线成为 GND(接地) 布线。

20

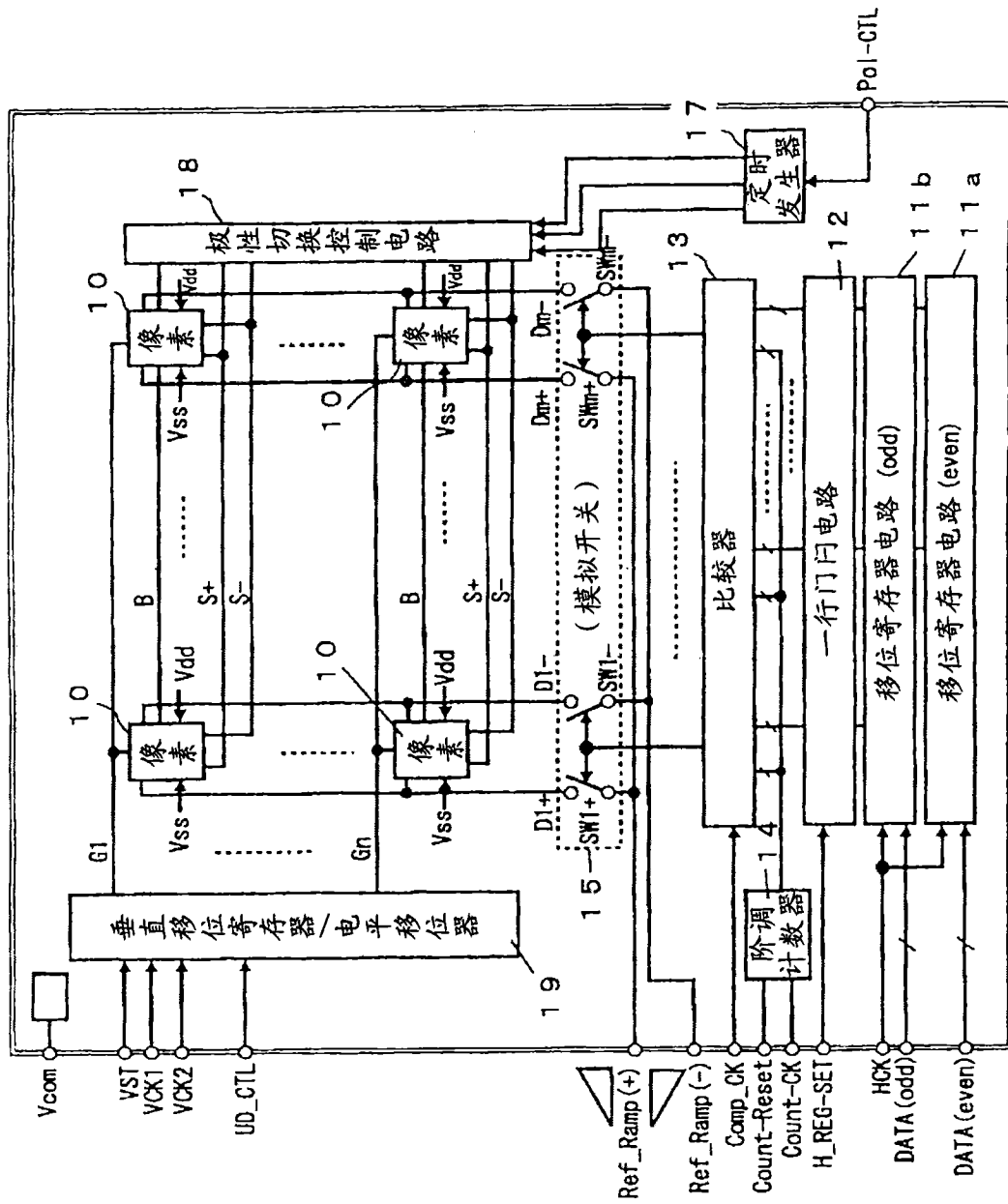
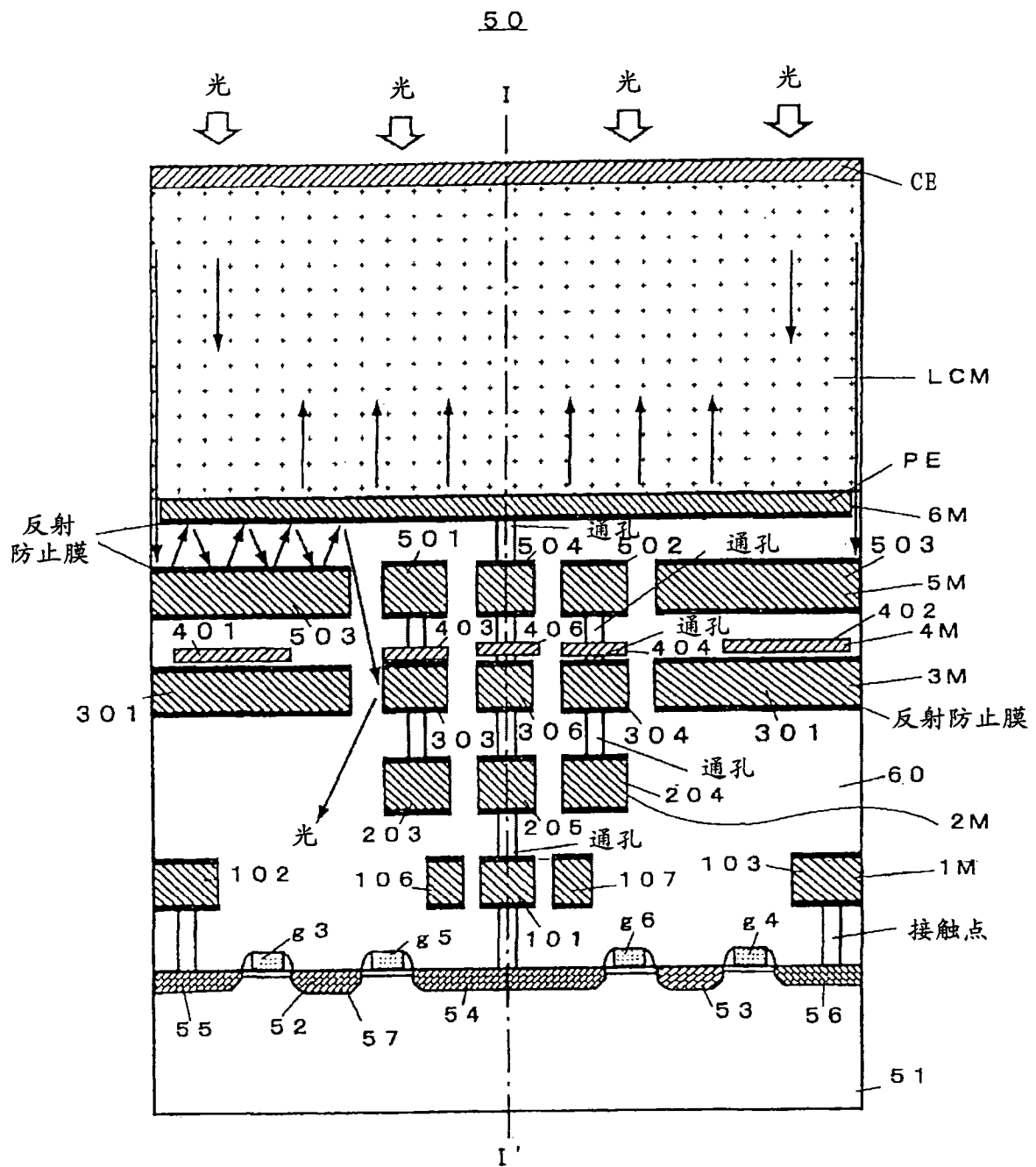


图 1



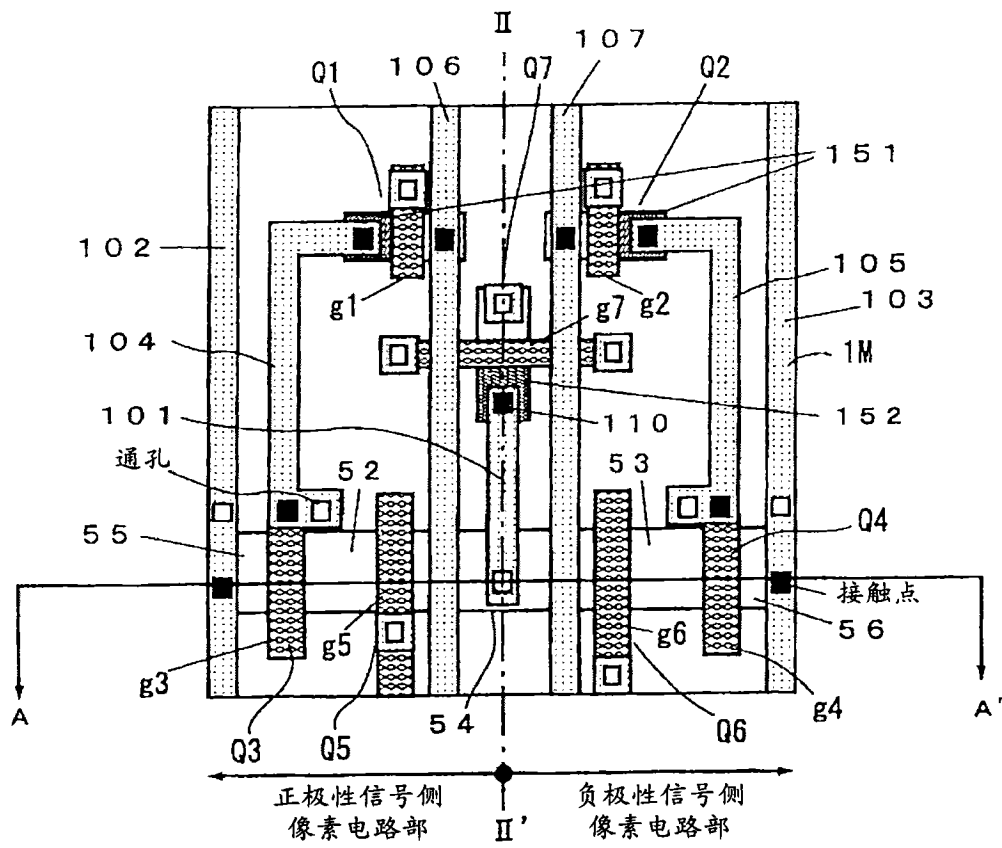


图 4

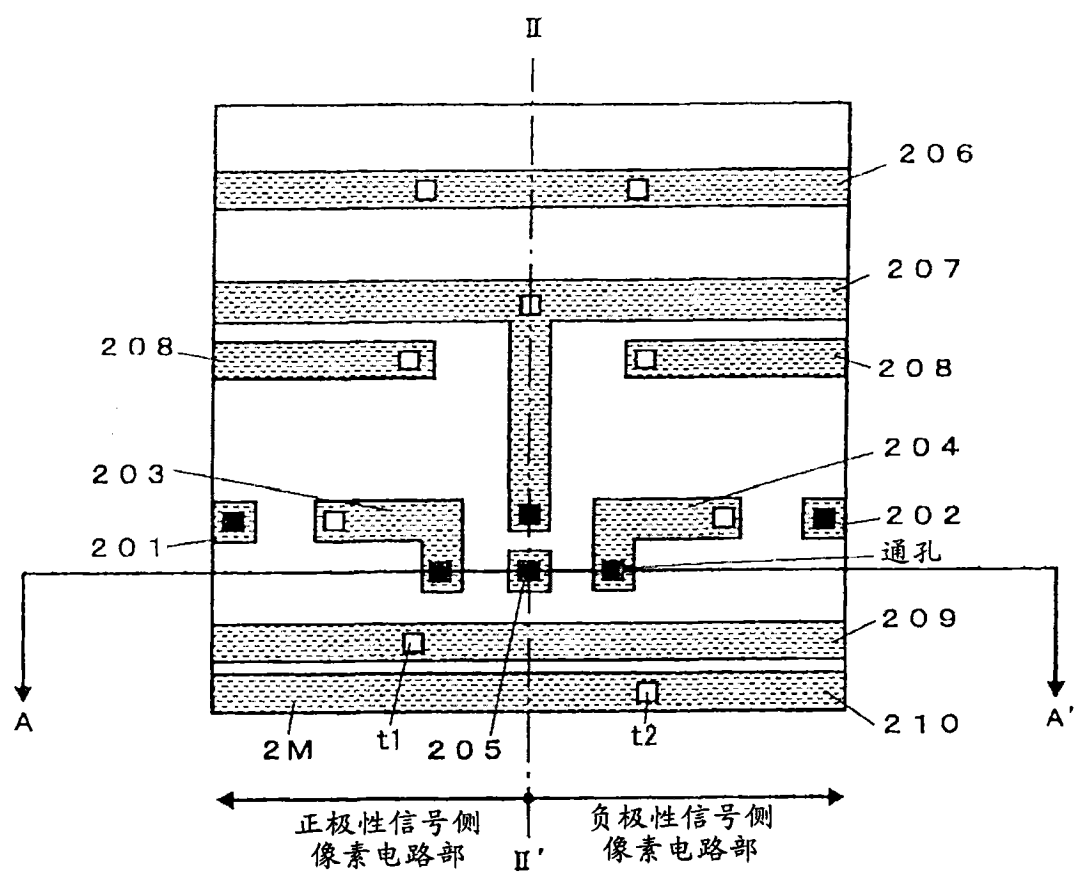


图 5

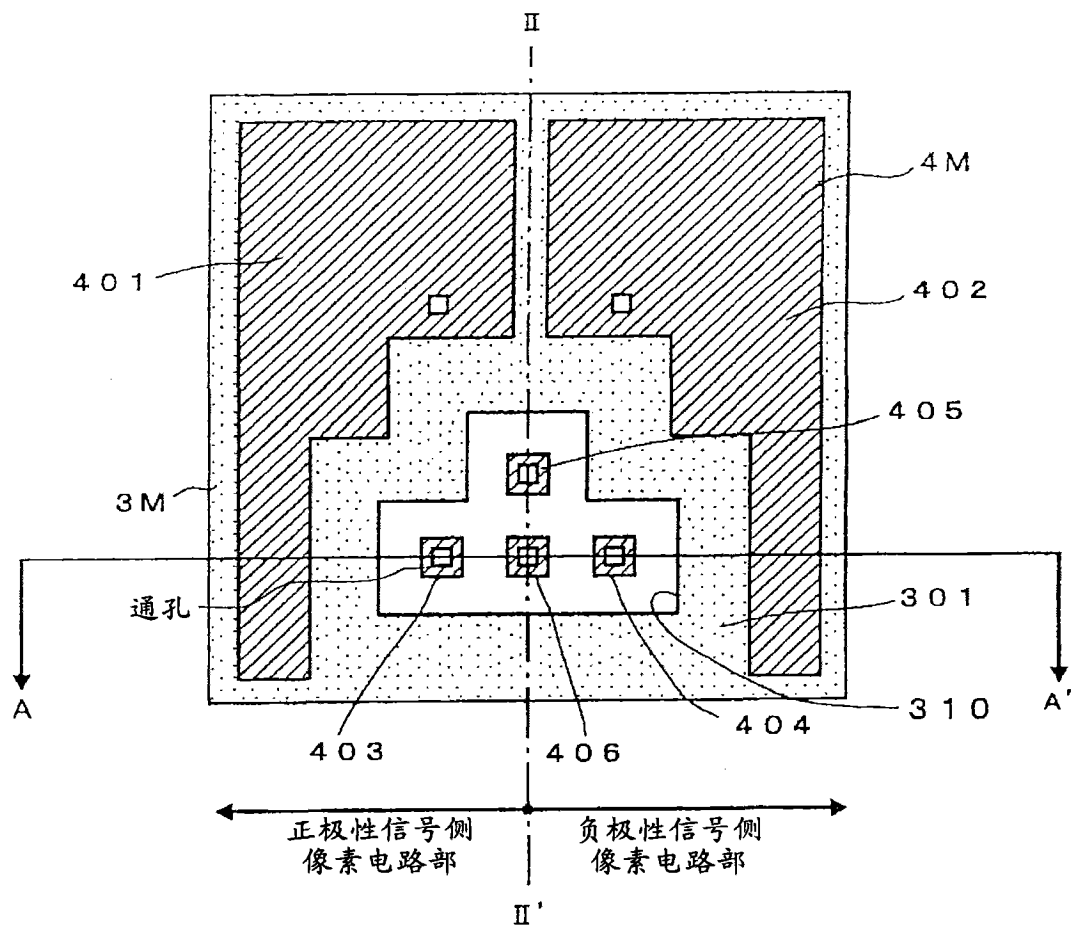


图 6

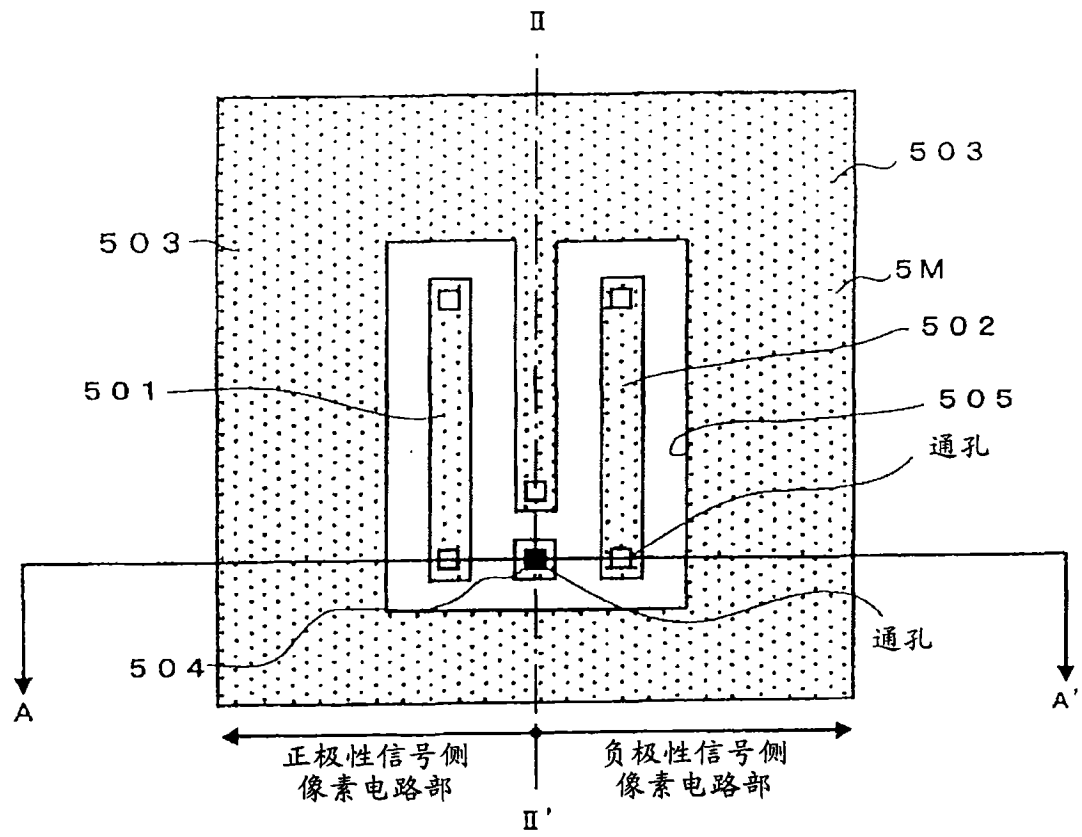


图 7

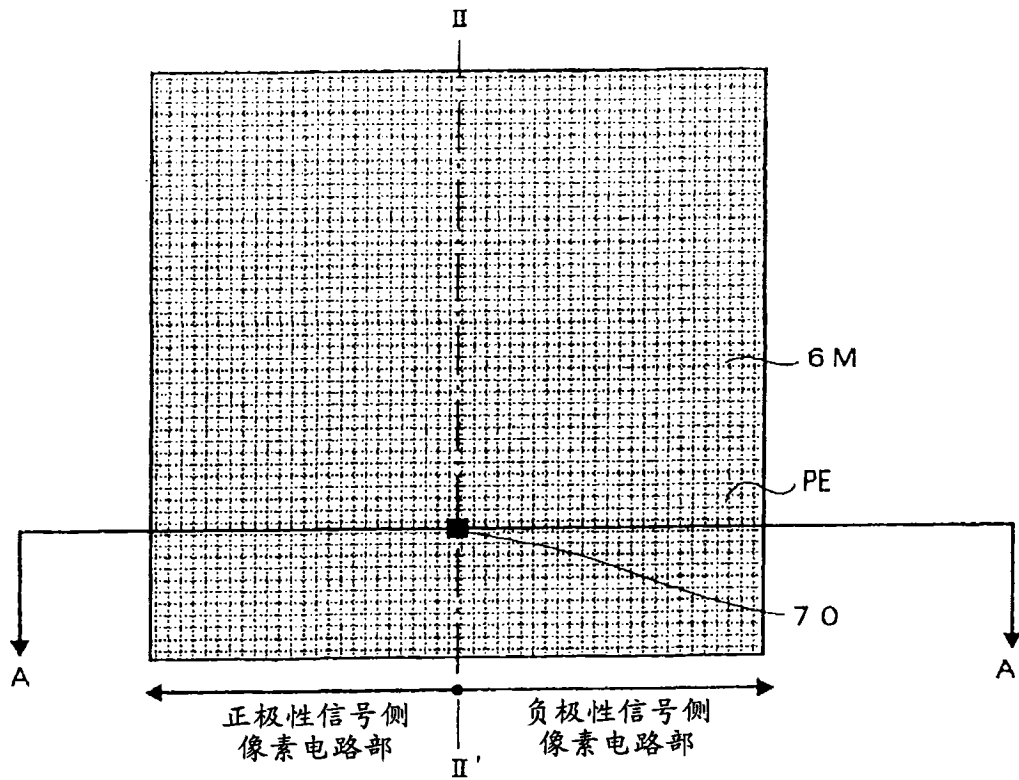


图 8

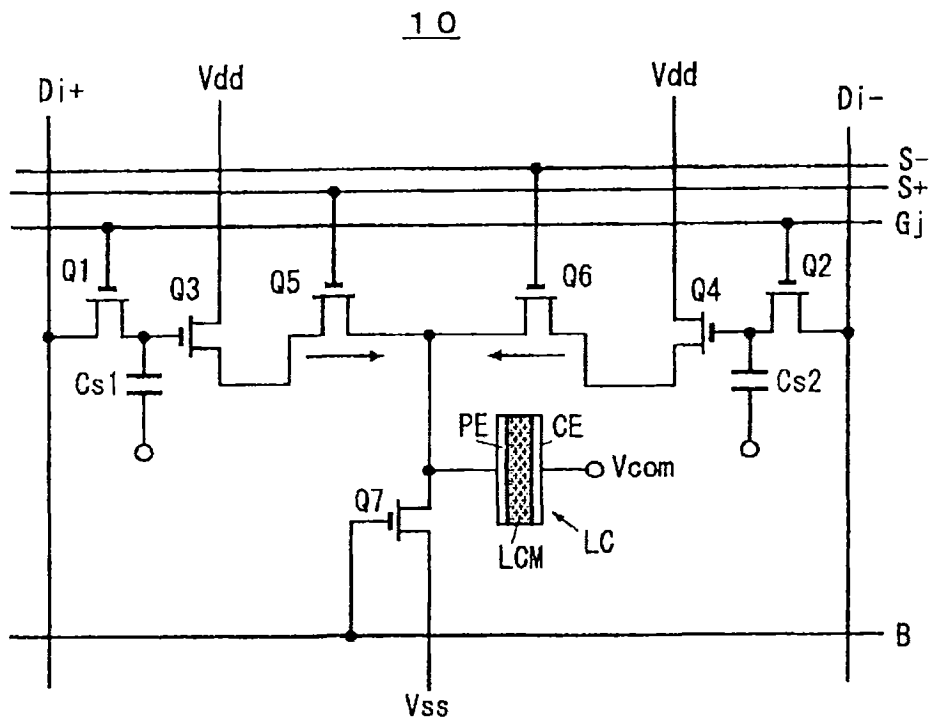


图 9

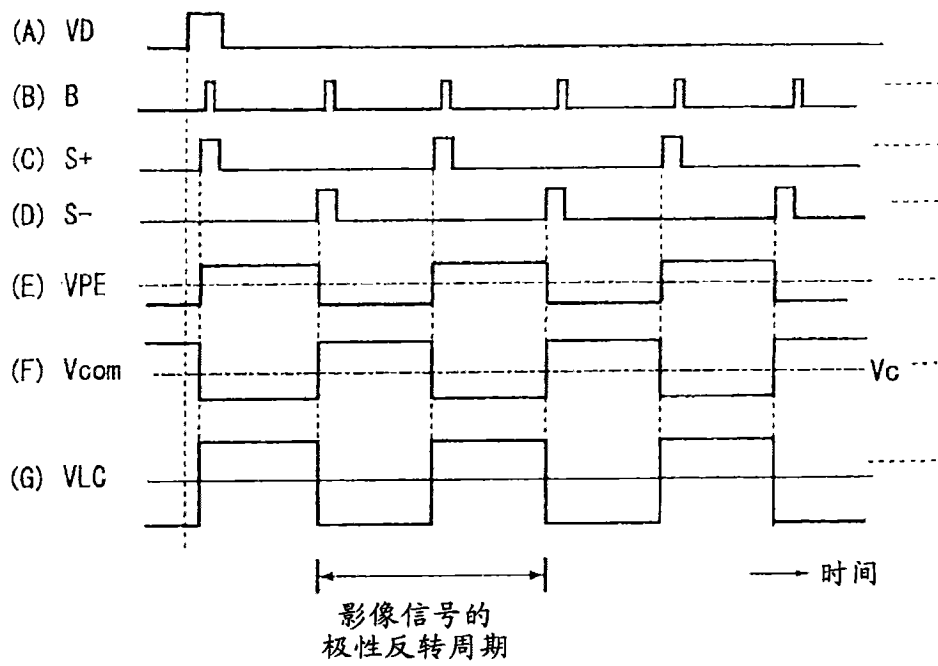


图 10

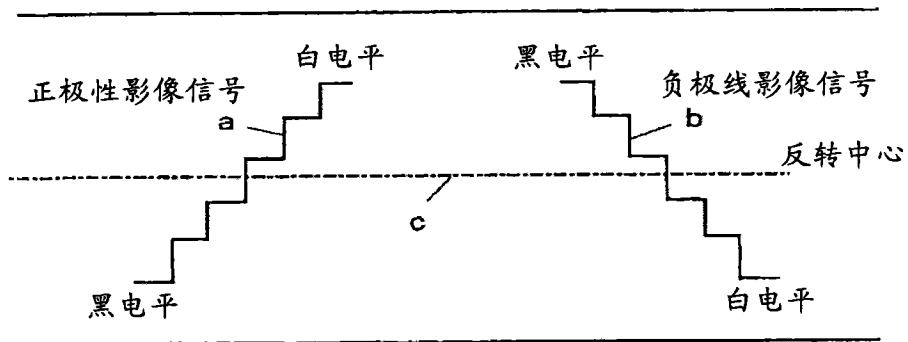


图 11

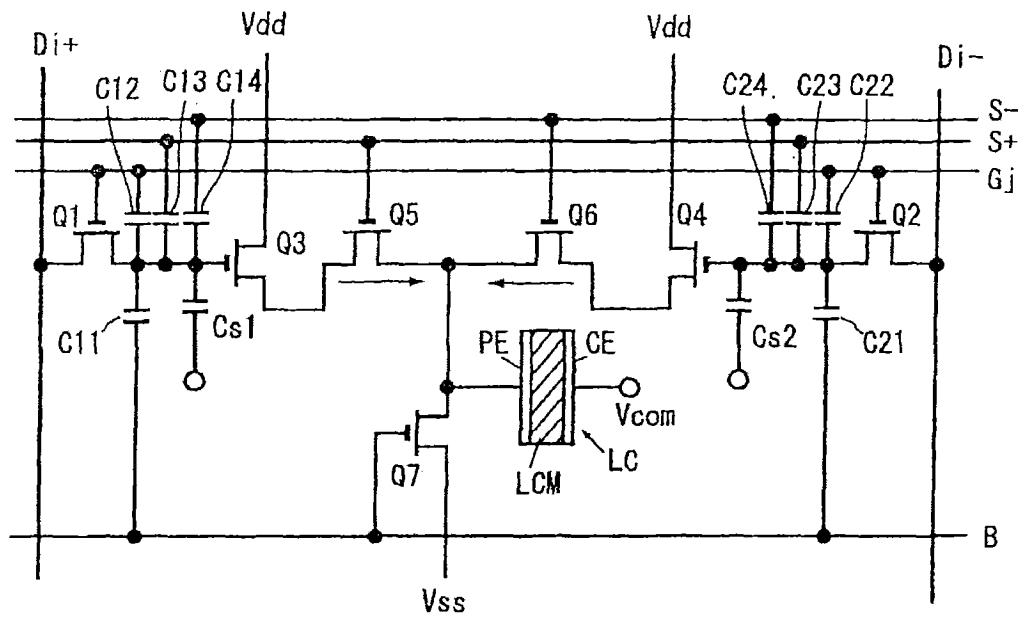


图 12

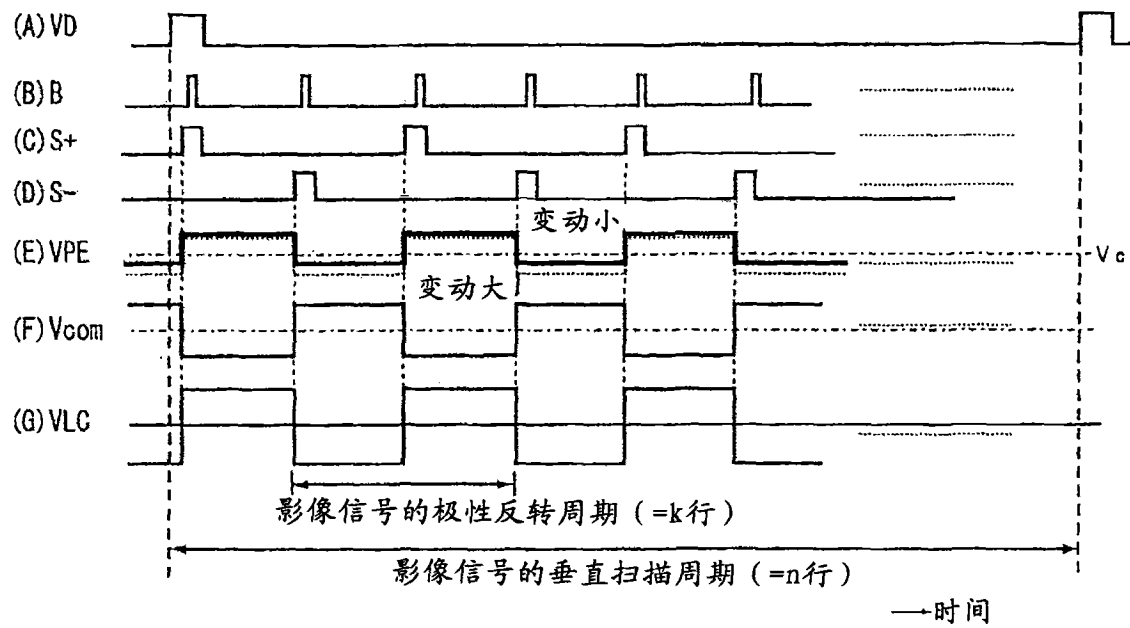


图 13

专利名称(译)	液晶显示装置		
公开(公告)号	CN102375278B	公开(公告)日	2014-09-03
申请号	CN201110253672.X	申请日	2011-08-24
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	JVC建伍株式会社		
当前申请(专利权)人(译)	JVC建伍株式会社		
[标]发明人	岩佐隆行		
发明人	岩佐隆行		
IPC分类号	G02F1/1362 G02F1/133 G09G3/36		
CPC分类号	G09G2300/0814 G09G3/3614 G09G2320/0209 G09G3/3655 G09G3/3688 G09G2300/0823 G09G2300/0852 G09G3/3659 G09G2310/0259 G09G3/002		
代理人(译)	许静		
审查员(译)	李闻		
优先权	2010186864 2010-08-24 JP		
其他公开文献	CN102375278A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种液晶显示装置，其通过相对于假想的像素中心线，以线对称配置构成在各像素内的正极性信号侧像素电路部和负极性信号侧像素电路部中相互成为对的电路结构要素和布线，不增大像素间距地对液晶元件施加正常的驱动电压。Vdd布线(102)、Cs1连接布线(104)、数据线Di+用布线(106)等正极性信号侧像素电路部的布线和、Vdd布线(103)、Cs2连接布线(105)、数据线Di+用布线(107)等负极性信号侧像素电路部的布线是配置在线对称位置上的相对像素中心线II-II'彼此对应的布线，因此起到抑制来自左右相邻的像素的Cs1连接布线、或者Cs2连接布线的交调失真的作用。在像素的中心部附近配置数据线Di+用布线(106)以及数据线Di-用布线(107)。

