



(12) 发明专利

(10) 授权公告号 CN 102298916 B

(45) 授权公告日 2014. 06. 04

(21) 申请号 201110171248. 0

审查员 聂莹莹

(22) 申请日 2011. 06. 23

(30) 优先权数据

2010-143187 2010. 06. 23 JP

(73) 专利权人 夏普株式会社

地址 日本大阪府大阪市

(72) 发明人 铃木贵光 小林胜敏

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 马永利 王忠忠

(51) Int. Cl.

G09G 3/36(2006. 01)

G02F 1/133(2006. 01)

(56) 对比文件

JP 2003-66888 A, 2003. 03. 05, 全文.

US 6433766 B1, 2002. 08. 13, 全文.

CN 1534586 A, 2004. 10. 06, 全文.

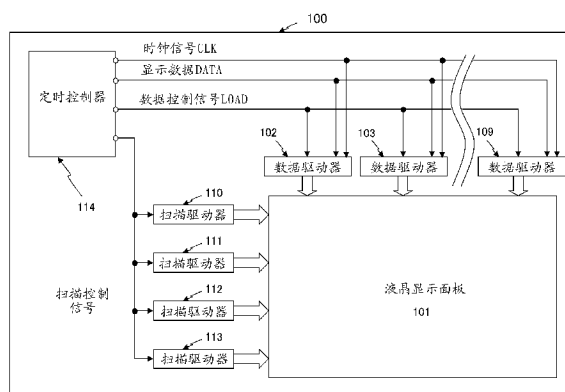
权利要求书3页 说明书15页 附图15页

(54) 发明名称

驱动电路、液晶显示装置和电子信息设备

(57) 摘要

本发明公开了驱动电路、液晶显示装置和电子信息设备。根据本发明的一种基于显示数据和控制信号来驱动显示装置的驱动电路包括:用于延迟输入控制信号的延迟电路;以及用于在由所述经过延迟的控制信号生成的定时下将输入显示数据加载到所述显示装置的数据加载部分。其中,所述延迟电路延迟所述控制信号,从而使得将所述显示数据加载到所述显示装置的加载定时根据由恒定周期确定的固定定时而发生改变。



1. 一种用于基于显示数据和控制信号来驱动显示装置的驱动电路,包括:
用于延迟控制信号以获得经过延迟的控制信号的延迟电路;以及
用于在由所述经过延迟的控制信号生成的加载定时下将输入显示数据加载到所述显示装置的数据加载部分,

其中,所述控制信号是用于在恒定周期下生成固定定时的信号,

其中,所述恒定周期是基于所述视频信号的水平同步时间段,

其中,所述延迟电路以这样的方式来延迟所述控制信号,该方式为:将所述显示数据加载到所述显示装置的所述加载定时相对于由所述控制信号生成的所述固定定时而发生改变,并且所述加载定时形成相对于所述水平同步时间段而改变的周期。

2. 根据权利要求1的驱动电路,其中,所述延迟电路重复对于所述控制信号的延迟处理,其中在所述加载定时的延迟时间段的极限内,每当经过所述恒定周期的整数倍,就把所述加载定时从所述固定定时延迟给定的延迟时间段。

3. 根据权利要求2的驱动电路,其中,所述显示数据和所述控制信号被包括在提供给所述显示装置的视频信号中。

4. 根据权利要求1的驱动电路,其中,所述延迟电路包括:

用于对由所述控制信号生成的固定定时进行计数的计数电路;以及

用于对所述计数电路的计数输出进行译码的译码器,

其中,所述控制信号的延迟量是基于所述译码器的输出而确定的。

5. 根据权利要求4的驱动电路,其中,所述延迟电路包括:

串联连接的多个延迟元件;以及

用于切换所述控制信号的信号路径的多个开关,从而基于所述译码器的输出,由所述多个延迟元件当中的给定数目的串联连接的延迟元件来延迟所述控制信号。

6. 根据权利要求1的驱动电路,其中,所述延迟电路包括:

用于基于由所述控制信号生成的固定定时来执行移位操作的移位寄存器;

串联连接的多个延迟元件;以及

用于切换所述控制信号的信号路径的多个开关,从而基于所述移位寄存器的输出,由所述多个延迟元件当中的给定数目的串联连接的延迟元件来延迟所述控制信号。

7. 根据权利要求3的驱动电路,包括:

用于驱动作为所述显示装置的液晶显示面板的多条数据线的数据驱动器;

用于驱动所述液晶显示面板的多条扫描线的扫描驱动器;以及

用于基于输入视频信号生成被提供给所述数据驱动器的显示数据以及生成作为控制信号被提供给所述数据驱动器的数据控制信号和被提供给所述扫描驱动器的扫描控制信号的定时控制器,

其中:

所述数据驱动器包括所述延迟电路;并且

所述延迟电路延迟输入到所述数据驱动器的控制信号,从而使得将所述显示数据从所述数据驱动器输出到所述液晶显示面板的数据线的定时根据固定定时对于每一条水平扫描线而发生改变,其中所述固定定时是基于水平同步信号而确定的。

8. 根据权利要求3的驱动电路,包括:

用于驱动作为所述显示装置的液晶显示面板的多条数据线的数据驱动器；

用于驱动所述液晶显示面板的多条扫描线的扫描驱动器；以及

用于基于输入视频信号生成被提供给所述数据驱动器的显示数据以及生成作为控制信号被提供给所述数据驱动器的数据控制信号和被提供给所述扫描驱动器的扫描控制信号的定时控制器，

其中：

所述定时控制器包括所述延迟电路；并且

所述延迟电路延迟由所述定时控制器基于所述视频信号而生成的控制信号，从而使得将所述显示数据从所述数据驱动器输出到所述液晶显示面板的数据线的定时根据固定定时对于每一条水平扫描线而发生改变，其中所述固定定时是基于水平同步信号而确定的。

9. 根据权利要求 1 的驱动电路，包括用于驱动作为所述显示装置的液晶显示面板的多条数据线的数据驱动器，

其中：

所述数据驱动器包括所述延迟电路，用于延迟在所述数据驱动器中输入的控制信号；并且

所述数据驱动器包括：

为所述液晶显示面板的每一条数据线提供的多个组当中的多个驱动器电路，用于驱动对应的数据线，所述多个驱动器电路被分成多个组；以及

用于延迟被提供给每一个组中的各驱动器电路的控制信号的信号延迟部分，从而使得相同组中的驱动器电路在相同定时下将显示数据提供到数据线，并且不同组中的驱动器电路在不同定时下将显示数据提供到数据线。

10. 根据权利要求 9 的驱动电路，其中：

所述信号延迟部分包括串联连接在多级上的多个延迟部分；

第一级中的延迟部分延迟从所述延迟电路输出的控制信号；并且

第二级和后面各级中的延迟部分延迟从前一级中的延迟部分输出的控制信号。

11. 根据权利要求 10 的驱动电路，其中，构成所述信号延迟部分的各延迟部分分别将控制信号延迟预定量。

12. 根据权利要求 10 的驱动电路，其中，所述多个延迟电路包括：

用于对由所述控制信号生成的固定周期的定时进行计数的计数电路；以及

用于对所述计数电路的计数输出进行译码的译码器，

以及所述控制信号的延迟量是基于所述译码器的输出而确定的。

13. 根据权利要求 12 的驱动电路，其中，所述多个延迟部分包括：

串联连接的多个延迟元件；以及

用于切换所述控制信号的信号路径的多个开关，从而基于所述译码器的输出，由所述多个延迟元件当中的给定数目的串联连接的延迟元件来延迟所述控制信号。

14. 根据权利要求 10 的驱动电路，其中，所述多个延迟电路包括：

用于基于由所述控制信号生成的固定周期定时来执行移位操作的移位寄存器；

串联连接的多个延迟元件；以及

用于切换所述控制信号的信号路径的多个开关，从而基于所述移位寄存器的输出，由

所述多个延迟元件当中的给定数目的串联连接的延迟元件来延迟所述控制信号。

15. 一种包括液晶显示面板的液晶显示装置,用于基于视频信号来在所述液晶显示面板上显示图像,所述液晶显示装置还包括:

用于基于所述视频信号来驱动所述液晶显示面板的驱动装置,其中所述驱动装置包括根据权利要求 1 到 14 中的任一项所述的驱动电路。

16. 一种包括液晶显示装置的电子信息设备,其中所述液晶显示装置是根据权利要求 15 所述的液晶显示装置。

驱动电路、液晶显示装置和电子信息设备

技术领域

[0001] 本发明涉及驱动电路、液晶显示装置以及电子信息设备,并且更具体来说,本发明涉及:用于驱动被配置成分散峰值电流的显示面板(比如液晶显示面板)的驱动电路;配备有这种驱动电路的液晶显示装置;以及包括这种液晶显示装置的电子信息设备。

背景技术

[0002] 本非临时申请在 35 U. S. C. § 119(a) 下要求 2010 年 6 月 23 日在日本提交的专利申请 No. 2010-143187 的优先权,其全部内容由此通过引用被结合。

[0003] 诸如液晶显示装置之类的平面显示装置在常规上已经包括诸如液晶显示器之类的显示面板、用于驱动所述显示面板的驱动器、以及用于控制所述驱动器的控制电路。

[0004] 近年来,随着这些显示装置变得更大、具有更高清晰度并且被更快地驱动,将要作为显示数据输出到显示面板的显示信号(分级(gradation)电压)的输出频率变得更高,并且将要输出的显示信号的数目增多。结果,在用于驱动这种显示面板的数据驱动器中,在数据输出期间所导致的不必要的辐射已经变得成问题。

[0005] 在下文中将提供针对用于驱动显示面板的常规数据驱动器的实例的详细描述。

[0006] 图 14 是描述常规数据驱动器的配置的框图。

[0007] 图 14 中所示的数据驱动器 901 具有 n 个信号输出端子 911-1 到 911-n,并且数据驱动器 901 能够输出显示信号以用于向显示面板的数据线表明来自每一个所述输出端子的具有 p 分级的显示数据(分级数据)。

[0008] 总之,作为从外部向其输入信号的信号输入端子,数据驱动器 901 包括时钟输入端子 902、多个分级数据输入端子 903、控制信号输入端子 904、以及参考电压端子 905 到 909。数据驱动器 901 还包括 n 个信号输出端子 911-1 到 911-n,信号从该处被输出到液晶显示面板。

[0009] 作为内部提供的电路,数据驱动器 901 包括参考电压校正电路 921、用于基于时钟信号 CLK 进行操作的指针移位寄存器部分 923、用于对显示数据进行锁存并采样的锁存电路部分 924、用于对锁存并采样的显示数据进行锁存并保持的保持电路部分 925、用于对锁存并保持的显示数据执行 D/A 转换的 D/A 转换器(数字模拟转换器)部分 926、以及用于输出经过 D/A 转换的显示数据的输出缓冲器部分 927。

[0010] 在这里,指针移位寄存器部分 923 包括 n 级移位寄存器 923-1 到 923-n。锁存电路部分 924 包括 n 个锁存电路 924-1 到 924-n。保持电路部分 925 包括 n 个保持电路 925-1 到 925-n。D/A 转换器部分 926 包括 n 个 D/A 转换器电路 926-1 到 926-n。输出缓冲器部分 927 包括 n 个输出缓冲器 927-1 到 927-n,每一个由运算放大器构成。

[0011] 接下来将描述上面所描述的装置的操作。

[0012] 在具有这种配置的数据驱动器 901 中,来自用于控制该驱动器 901 的控制电路(未示出)的显示数据 DATA、数据控制信号 LOAD 和时钟信号 CLK 的输入允许指针移位寄存器部分 923 根据输入到时钟输入端子 902 的时钟信号 CLK 来选择锁存电路 924-1 到 924-n 的其

中之一。在这种情况下,来自分级数据输入端子 903 的分级数据 DATA 的输入使得所述分级数据的采样值被存储在锁存电路部分 924 内的所选锁存电路中。

[0013] 另外,从指针移位寄存器部分 923 输出的锁存电路选择信号使得第一级锁存电路 924-1 到第 n 级锁存电路 924-n 通过从时钟输入端子 902 输入的时钟信号被相继选择。因此,n 个时钟的输入使得能够在所有锁存电路 924-1 到 924-n 中存储所述分级数据。另外,通过控制信号 LOAD 将存储在锁存电路 924-1 到 924-n 中的分级数据转移到对应的 n 个保持电路 925-1 到 925-n,以作为 D/A 转换器 926-1 到 926-n 的数字输入数据。

[0014] D/A 转换器 926-1 到 926-n 根据上面的数字输入数据来选择并输出 p 种类型的分级电压的其中一种以供输入。由参考电压校正电路 921 基于从相应的参考电压端子 905 到 909 输入的参考电压 V0 到 V4 生成 p 种类型的分级电压。

[0015] 此外,输出缓冲器部分 927 对从 D/A 转换器 926-1 到 926-n 输出的分级电压执行阻抗转换,并且所述分级电压被输出到液晶显示面板(未示出)的各条数据线,以作为从每一个信号输出端子 911-1 到 911-n 去往所述液晶显示面板的驱动信号。

[0016] 在具有这种配置的常规数据驱动器 901 中,由于数据转移是按照上面所描述的那样通过控制信号 LOAD 从保持电路 925-1 到 925-n 向 D/A 转换器电路 926-1 到 926-n 一起执行的,因此从 D/A 转换器电路 926-1 到 926-n 输出的分级电压同时发生改变。因此,在数据驱动器 901 中瞬时生成大量电流。由于信号输出端子 911-1 到 911-n 的数目的增多以及输出缓冲器部分 927 的驱动性能的提高,该电流的值极大。由于这一事实,不仅由数据驱动器 901 消耗更多电流,而且由所述电流导致的不必要的辐射也变得成问题。

[0017] 相应地,提出了在参考文献 1 中所公开的方法以作为用于防止峰值电流由于集中电流而增大的方法。

[0018] 图 15 是描述在参考文献 1 中所公开的数据驱动器的配置的图。

[0019] 在图 15 中的数据驱动器 300 中,电路块 CB1 到 CB4 对应于图 14 中所示的数据驱动器 901 中的保持电路、D/A 转换器电路和输出缓冲器,并且电路块 CB1 到 CB4 的相应集合被分成多个组 CG1 到 CGm。总之,每一个组中的电路块 CB1 到 CB4 对应于液晶显示面板的相应数据线,并且它们向对应的数据线输出显示数据。

[0020] 此外,在数据驱动器 300 中,控制信号 LOAD 输入经由输入保护电路 E (30) 被直接输入到第一电路组 CG1。来自输入保护电路 E (30) 的控制信号 LOAD 经由第一延迟电路 31a1 被输入到第二电路组 CG2。控制信号 LOAD 经由第一延迟电路 31a1 和第二延迟电路 31a2 被输入到第三电路组 CG3。总之,控制信号 LOAD 经由第一到第 m-1 延迟电路 31a1 到 31am-1 被输入到第 m 电路组 CGm。

[0021] 因此,在配备有这种数据驱动器的液晶显示装置中,由于在各电路组 CG 之间提供有延迟电路 D,因此从相应的电路组 CG 输出显示输出信号(分级电压),其中每一个显示输出信号被偏移每一个延迟电路 D 的延迟时间段(period)。

[0022] 由于这种配置,显示输出信号对于相应的电路组 CG 被分散以供输出。因此,即使在由于更高的清晰度和更宽的屏幕而导致信号数目增多的情况下,流经电源线的峰值电流也被分散,并且还可以减少不必要的辐射。

[0023] 参考文献 2 公开了使得用于将分级数据取入到保持电路中的定时在各数据驱动器之间不同的主题。

[0024] 参考文献 1 :日本特许公开公布 No. 8-22267。

[0025] 参考文献 2 :日本特许公开公布 No. 2008-262132。

发明内容

[0026] 如上所述,在参考文献 1 中所描述的数据驱动器中,从相应的电路组 CG 输出显示输出信号(分级电压),其中每一个显示输出信号被偏移每一个延迟电路 D 的延迟时间段,同时从相应的电路组输出显示信号的间隔是恒定的。因此出现下述问题:驱动信号的各频率分量不够分散,并且当显示装置的屏幕更大、清晰度更高并且被更快地驱动时,不必要的辐射增多。

[0027] 在参考文献 2 中所公开的液晶显示装置中,也存在与参考文献 1 中所描述的数据驱动器类似的问题。

[0028] 本发明意图解决上面所描述的常规问题。本发明的目的是提供:一种能够分散用于驱动显示装置(比如液晶显示装置)的驱动信号的各频率分量的驱动电路,以便减少不必要的辐射;一种配备有这种驱动电路的液晶显示装置;以及一种包括这种液晶显示装置的电子信息设备。

[0029] 根据本发明的一种基于显示数据和控制信号来驱动显示装置的驱动电路包括:用于延迟输入控制信号的延迟电路;以及用于在由所述经过延迟的控制信号生成的定时下将输入显示数据加载到所述显示装置的数据加载部分,其中所述延迟电路延迟所述控制信号,从而使得将所述显示数据加载到所述显示装置的加载定时根据由恒定周期确定的固定定时而发生改变,从而实现上面所描述的目的。

[0030] 优选的是,在根据本发明的驱动电路中,所述输入控制信号是用于在所述恒定周期下生成所述固定定时的信号,并且所述延迟电路重复对于所述控制信号的延迟处理,其中在所述加载定时的延迟时间段的极限内,每当经过所述恒定周期的整数倍,就把所述加载定时从所述固定定时延迟给定的延迟时间段。

[0031] 另外优选的是,在根据本发明的驱动电路中,所述显示数据和所述控制信号被包括在提供给显示装置的视频信号中,并且所述恒定周期是基于所述视频信号的水平同步时间段。

[0032] 另外优选的是,在根据本发明的驱动电路中,所述延迟电路包括:用于对由所述输入控制信号生成的固定定时进行计数的计数电路;以及用于对所述计数电路的计数输出进行译码的译码器,其中所述控制信号的延迟量是基于所述译码器的输出而确定的。

[0033] 另外优选的是,在根据本发明的驱动电路中,所述延迟电路包括:串联连接的多个延迟元件;以及用于切换所述控制信号的信号路径的多个开关,从而基于所述译码器的输出,由所述多个延迟元件当中的给定数目的串联连接的延迟元件来延迟所述控制信号。

[0034] 另外优选的是,在根据本发明的驱动电路中,所述延迟电路包括:用于基于由所述输入控制信号生成的固定定时来执行移位操作的移位寄存器;串联连接的多个延迟元件;以及用于切换所述控制信号的信号路径的多个开关,从而基于所述移位寄存器的输出,由所述多个延迟元件当中的给定数目的串联连接的延迟元件来延迟所述控制信号。

[0035] 另外优选的是,根据本发明的驱动电路包括:用于驱动作为所述显示装置的液晶显示面板的多条数据线的数据驱动器;用于驱动所述液晶显示面板的多条扫描线的扫描驱

动器；以及用于基于输入视频信号生成被提供给所述数据驱动器的显示数据以及生成作为控制信号被提供给所述数据驱动器的数据控制信号和被提供给所述扫描驱动器的扫描控制信号的定时控制器，其中：所述延迟电路构成所述数据驱动器；并且所述延迟电路延迟输入到所述数据驱动器的控制信号，从而使得将所述显示数据从所述数据驱动器输出到所述液晶显示面板的数据线的定时根据固定定时而对于每一条水平扫描线发生改变，其中所述固定定时是基于水平同步信号而确定的。

[0036] 另外优选的是，根据本发明的驱动电路包括：用于驱动作为所述显示装置的液晶显示面板的多条数据线的数据驱动器；用于驱动所述液晶显示面板的多条扫描线的扫描驱动器；以及用于基于输入视频信号生成被提供给所述数据驱动器的显示数据以及生成作为控制信号被提供给所述数据驱动器的数据控制信号和被提供给所述扫描驱动器的扫描控制信号的定时控制器，其中：所述延迟电路构成所述定时控制器；并且所述延迟电路延迟由所述定时控制器基于所述视频信号而生成的控制信号，从而使得将所述显示数据从所述数据驱动器输出到所述液晶显示面板的数据线的定时根据固定定时而对于每一条水平扫描线发生改变，其中所述固定定时是基于水平同步信号而确定的。

[0037] 另外优选的是，根据本发明的驱动电路包括用于驱动作为所述显示装置的液晶显示面板的多条数据线的的数据驱动器，其中，所述延迟电路构成所述数据驱动器，其用于延迟输入到所述数据驱动器中的控制信号，并且所述数据驱动器包括：为所述液晶显示面板的每一条数据线提供的多个组当中的多个驱动器电路，其用于驱动对应的数据线，所述多个驱动器电路被分组成多个组；以及用于延迟被提供给每一个组中的各驱动器电路的控制信号的信号延迟部分，从而使得相同组中的驱动器电路在相同定时下将显示数据提供到数据线，并且不同组中的驱动器电路在不同定时下将显示数据提供到数据线。

[0038] 另外优选的是，在根据本发明的驱动电路中，所述信号延迟部分包括串联连接在多级上的多个延迟部分；第一级中的延迟部分延迟从所述延迟电路输出的控制信号；并且第二级和后面各级中的延迟部分延迟从前一级中的延迟部分输出的控制信号。

[0039] 另外优选的是，在根据本发明的驱动电路中，构成所述信号延迟部分的各延迟部分分别将输入控制信号延迟预定量。

[0040] 另外优选的是，在根据本发明的驱动电路中，所述多个延迟部分包括：用于对由所述输入控制信号生成的固定周期的定时进行计数的计数电路；以及用于对所述计数电路的计数输出进行译码的译码器，其中所述控制信号的延迟量是基于所述译码器的输出而确定的。

[0041] 另外优选的是，在根据本发明的驱动电路中，所述多个延迟部分包括：串联连接的多个延迟元件；以及用于切换所述控制信号的信号路径的多个开关，从而基于所述译码器的输出由所述多个延迟元件当中的给定数目的串联连接的延迟元件来延迟所述控制信号。

[0042] 另外优选的是，在根据本发明的驱动电路中，所述多个延迟部分包括：用于基于由所述输入控制信号生成的固定周期定时来执行移位操作的移位寄存器；串联连接的多个延迟元件；以及用于切换所述控制信号的信号路径的多个开关，从而基于所述移位寄存器的输出，由所述多个延迟元件当中的给定数目的串联连接的延迟元件来延迟所述控制信号。

[0043] 根据本发明的一种液晶显示装置包括液晶显示面板，以用于基于视频信号来在所述液晶显示面板上显示图像，所述液晶显示装置还包括：用于基于所述视频信号来驱动所

述液晶显示面板的驱动装置,其中所述驱动装置包括根据本发明的驱动电路,从而实现上面描述的目的。

[0044] 根据本发明的一种电子信息设备包括液晶显示装置,其中所述液晶显示装置是根据本发明的液晶显示装置,从而实现上面描述的目的。

[0045] 下文中将描述本发明的各项功能。

[0046] 在本发明中包括用于延迟输入控制信号的延迟电路和用于在生成经过延迟的控制信号的定时下将输入显示数据加载到显示装置的数据加载部分。所述控制信号被延迟的方式使得用于将显示数据加载到显示装置的加载定时根据由恒定周期确定的固定定时而发生改变。结果,获得在常规技术中无法充分获得的减少不必要辐射的效果变得有可能。

[0047] 在本发明中,由于参照固定定时的针对控制信号的加载定时是通过延迟控制信号而在一个时间序列中多次生成的,因此可以防止用于多次生成所述控制信号的加载定时的电路尺寸过大,这导致成本降低。

[0048] 在本发明中,所述驱动电路包括用于对控制信号的脉冲上升进行计数的计数器电路,从而可以在不增大电路尺寸的情况下配置能够对于每一个水平时间段改变加载定时的延迟电路,这导致成本降低。

[0049] 在本发明中,对应于每一条数据信号线的多个对应的电路块形成一个组,其具有作为单元的预定数目的数据信号线,其中每一个所述电路块构成一个驱动电路。因此,参照所述固定定时在一个时间序列中多次生成所述控制信号的加载定时。结果,不仅可以分散在所述驱动电路中生成的驱动信号各频率分量并且可以减少不必要的辐射,而且还可以对于多个电路组当中的每一个偏移用于加载的定时,从而实现不必要辐射的进一步减少。

[0050] 根据如上所述的本发明,获得下述变得有可能:一种能够分散用于驱动显示装置(比如液晶显示装置)的驱动信号各频率分量的驱动电路,从而减少不必要的辐射;一种配备有这种驱动电路的液晶显示装置;以及一种包括这种液晶显示装置的电子信息设备。

[0051] 通过阅读并理解下面参照附图所做的详细描述,本发明的这些和其他优点对于本领域技术人员将变得显而易见。

附图说明

[0052] 图1是示出包括根据本发明的实施例1的驱动电路的显示装置的配置的图。

[0053] 图2是示出作为根据本发明的实施例1的驱动电路的数据驱动器的框图。

[0054] 图3是示出构成根据本发明的实施例1的驱动电路(数据驱动器)的延迟电路的框图。

[0055] 图4是描述根据本发明的实施例1的延迟电路的操作的图,其在时序图中示出经过延迟的加载信号(控制信号)。

[0056] 图5是示出包括根据本发明的实施例2的定时控制器的显示装置的配置的图。

[0057] 图6是示出根据本发明的实施例2的定时控制器的框图。

[0058] 图7是示出包括根据本发明的实施例3的驱动电路的显示装置的配置的图。

[0059] 图8是示出作为根据本发明的实施例3的驱动电路的数据驱动器的框图。

[0060] 图9是示出构成根据本发明的实施例3的驱动电路(数据驱动器)的延迟电路的框图。

- [0061] 图 10 是示出包括根据本发明的实施例 4 的驱动电路的显示装置的配置的图。
- [0062] 图 11 是示出作为根据本发明的实施例 4 的驱动电路的数据驱动器的框图。
- [0063] 图 12 是示出构成根据本发明的实施例 4 的驱动电路(数据驱动器)的延迟电路的框图。
- [0064] 图 13 是示出根据本发明的实施例 5 的驱动电路(数据驱动器)的框图。
- [0065] 图 14 是描述一个常规数据驱动器的配置的实例的框图。
- [0066] 图 15 是描述作为另一个常规驱动电路的配置的实例的在参考文献 1 中所公开的配置的框图。

- [0067] 14a 控制部分
- [0068] 14b、120、120b、220、D 延迟电路
- [0069] 20a1-20am 电路块
- [0070] 24a1-24am、24b1-24bm 块延迟电路
- [0071] 100、100a、100b、200 液晶显示装置
- [0072] 101、201、901 液晶显示面板
- [0073] 102-109、102a-109a、102b-109b、202-209 LS1 数据驱动器
- [0074] 110-113、210-213 扫描驱动器
- [0075] 114、114a、214 定时控制器
- [0076] 115、215、923 移位寄存器部分
- [0077] 115-1 到 115-n、215-1 到 215-k 移位寄存器
- [0078] 116、216、924 锁存电路部分
- [0079] 116-1 到 116-n、216-1 到 216-n 锁存电路
- [0080] 117、217、925 保持电路部分
- [0081] 117-1 到 117-n、217-1 到 217-k 保持电路
- [0082] 118、218、926 D/A 转换器部分
- [0083] 118-1 到 118-n、218-1 到 218-k D/A 转换器
- [0084] 119、219、927 输出缓冲器部分
- [0085] 119-1 到 119-n、219-1 到 219-k 输出缓冲器
- [0086] 121、221 参考电压校正电路
- [0087] 122、222、902 时钟输入端子
- [0088] 123、223、903 数据输入端子
- [0089] 124、224、904 控制输入端子
- [0090] 125-129、225-229、905-909 参考电压输入端子
- [0091] 130、230、911 输出端子部分
- [0092] 130-1 到 130-n 输出端子
- [0093] 131、231 计数器
- [0094] 132、232 译码器
- [0095] 133-1 到 133-4 开关
- [0096] 134a、134b、134c 延迟部分
- [0097] De 延迟元件。

具体实施方式

[0098] 下文中将描述本发明的各实施例。

[0099] 图 1 是示出包括根据本发明的实施例 1 的驱动电路的液晶显示装置的配置的图。

[0100] 根据实施例 1 的液晶显示装置 100 包括：用于基于视频信号执行图像显示的液晶显示面板 101；用于驱动所述液晶显示面板的数据信号线的多个数据驱动器 102 到 109；用于驱动所述液晶显示面板的扫描信号线的多个扫描驱动器 110 到 113；以及定时控制器 114，用于从视频信号生成显示数据、数据控制信号和扫描控制信号，用于利用所述显示数据和所述数据控制信号控制数据驱动器 102 到 109，以及用于利用所述扫描控制信号控制扫描驱动器 110 到 113。

[0101] 更具体来说，数据驱动器 102 到 109 被连接到液晶显示面板 101 的数据信号线，并且基于来自定时控制器 114 的显示数据和数据控制信号来驱动所述数据信号线。数据驱动器 102 到 109 是通过将驱动器芯片实施为诸如由膜衬底上的半导体集成电路构成的 COF（膜上芯片）之类的实施结构而形成的。扫描驱动器 110 到 113 被连接到液晶显示面板 101 的扫描信号线，并且利用来自定时控制器 114 的扫描控制信号来驱动所述扫描信号线。扫描驱动器 110 到 113 也是通过将驱动器芯片实施为诸如由膜衬底上的半导体集成电路构成的 COF（膜上芯片）之类的实施结构而形成的。定时控制器 114 通过信号线被连接到数据驱动器 102 到 109 中的至少一个和扫描驱动器 110 到 113 中的至少一个。通过控制数据驱动器 102 到 109 中的至少一个和扫描驱动器 110 到 113 中的至少一个，定时控制器 114 在液晶显示面板 101 上显示视频数据。总之，定时控制器 114 可以通过数据总线与每一个数据驱动器和每一个扫描驱动器直接相连。可选择地，定时控制器 114 可以被连接到第一级数据驱动器和第一级扫描驱动器，并且来自定时控制器 114 的信号可以被从第一级数据驱动器和第一级扫描驱动器传送到后面各级中的数据驱动器和扫描驱动器。

[0102] 图 2 是示出数据驱动器 102 的配置的图。数据驱动器 103 到 109 分别包括与数据驱动器 102 相同的配置，因此将省略对其的解释性描述。

[0103] 如图 2 中所示，数据驱动器 102 包括：用于基于时钟信号 CLK 来执行移位操作的指针移位寄存器电路部分 115，用于对显示数据 DATA 进行锁存并采样的锁存电路部分 116，用于对锁存并采样的显示数据进行锁存并持有的保持电路部分 117，用于对锁存并持有的显示数据执行 D/A 转换的 D/A 转换器部分 118，以及用于输出经过 D/A 转换的显示数据的输出缓冲器部分 119。

[0104] 在这里，指针移位寄存器电路部分 115 包括 n 级移位寄存器 115-1 到 115-n。锁存电路部分 116 包括 n 个锁存电路 116-1 到 116-n。保持电路部分 117 包括 n 个保持电路 117-1 到 117-n。D/A 转换器 118 包括 n 个 D/A 转换器电路 118-1 到 118-n。输出缓冲器部分 119 包括 n 个输出缓冲器 119-1 到 119-n，每一个由运算放大器构成。

[0105] 数据驱动器 102 还包括用于延迟数据控制信号的延迟电路 120、以及用于基于将被输入的参考电压 V0 到 V4 来生成 m 种类型的分级电压的参考电压校正电路 121。

[0106] 至于输入端子，数据驱动器 102 还包括时钟输入端子 122、显示数据输入端子 123、控制信号输入端子 124、以及参考电压端子 125 到 129。

[0107] 至于为把信号输出到液晶显示面板 101 而提供的输出端子，数据驱动器 102 还包

括 n 个信号输出端子 130-1 到 130-n。信号输出端子 130-1 到 130-n 被分别连接到前面提到的液晶显示面板 101 的数据信号线。

[0108] 在这里,提供时钟输入端子 122 以便输入给到指针移位寄存器电路部分 115 的时钟信号 CLK。显示数据输入端子 123 包括对应于由多个比特构成的分级数据的相应比特的多个信号输入端子。控制信号输入端子 124 通过延迟电路 120 被连接到保持电路部分 117, 并且被提供以用于允许输入数据加载信号 LOAD。所述数据加载信号被用作控制信号,以用于允许保持电路部分 117 保留锁存在锁存电路部分 116 处的显示数据。参考电压端子 125 到 129 分别被提供以用于输入给到参考电压校正电路 121 的参考电压 V0 到 V4。

[0109] 信号输出端子 130-1 到 130-n 被提供以用于将从构成输出缓冲器部分 119 的 n 个输出缓冲器 119-1 到 119-n 输出的分级电压输出到液晶显示面板 101。

[0110] 接下来将描述上面所描述的装置的操作。

[0111] 在根据实施例 1 的液晶显示装置 100 中,在从外部输入视频信号之后,定时控制器 114 从所述视频信号生成显示数据 DATA、数据控制信号 LOAD、扫描控制信号和时钟信号 CLK。当显示数据 DATA、数据控制信号 LOAD 和时钟信号 CLK 被提供到数据驱动器 102 到 109 时,数据驱动器 102 到 109 基于所述显示数据和数据控制信号来驱动所述数据信号线。另外,当扫描控制信号被提供到扫描驱动器 110 到 113 时,扫描驱动器 110 到 113 基于所述扫描控制信号来驱动所述扫描信号线。从而可以根据所述视频信号来在液晶显示面板上显示图像。

[0112] 与此同时,在数据驱动器 102 中,当来自定时控制器 114 的显示数据 DATA、数据控制信号 LOAD 和时钟信号 CLK 被提供到相应的输入端子时,指针移位寄存器电路部分 115 利用相应的各级移位寄存器 115-1 到 115-n 对于在时钟输入端子 122 中输入的时钟信号 CLK 进行移位,以便从每一级的移位寄存器输出锁存电路选择信号。总之,利用所述锁存电路选择信号,指针移位寄存器电路部分 115 相继选择构成锁存电路部分 116 的第一级锁存电路 116-1 到第 n 级锁存电路 116-n。

[0113] 在输入所述锁存电路选择信号之后,锁存电路部分 116 中的 n 个锁存电路 116-1 到 116-n 改变到激活状态,这允许存储从显示数据输入端子 123 输入的显示数据 DATA。在这一状态下,有可能在锁存电路 116-1 到 116-n 中存储具有不同值的数据。因此,当所述时钟信号的 n 个时钟被输入到指针移位寄存器电路部分 115 中时,所有的锁存电路 116-1 到 116-n 都可以存储与相应的数据线对应的显示数据。当在每一个锁存电路都可以存储数据的状态下从显示数据输入端子 123 输入显示数据 DATA 时,对应于每一条数据线的显示数据 DATA 的值被选择并且被存储在每一个对应的锁存电路 116-1 到 116-n 中。

[0114] n 个保持电路 117-1 到 117-n 在加载信号(数据控制信号)LOAD 变为激活(例如 H 电平)的定时下统一检索并保留存储在对应的锁存电路 116-1 到 116-n 中的数据。保留在保持电路 117-1 到 117-n 中的数据被改变成 D/A 转换器 118-1 到 118-n 中的数字数据输入。

[0115] 在这一阶段,数据控制信号 LOAD 被从定时控制器 114 输出并且通过信号线被输入到控制信号输入端子 124,随后数据控制信号 LOAD 通过延迟电路 120 被输入到保持电路部分 117 中。因此,数据控制信号 LOAD 在延迟电路 120 中被延迟预定时间,并且随后被输入到保持电路部分 117 中。

[0116] D/A 转换器 118-1 到 118-n 基于上面所描述的数字数据选择并输出从参考电压校

正电路 121 输入的 p 种类型的分级电压的其中之一。这种 D/A 转换器 118-1 到 118-n 的细节例如在日本特许公开公布 No. 2003-130921 中进行了描述,因此将省略对其的解释。

[0117] 输出缓冲器 119-1 到 119-n 对从相应的 D/A 转换器 118-1 到 118-n 输出的分级电压执行阻抗转换并且将其输出。从输出缓冲器 119-1 到 119-n 输出的分级电压被输出到液晶显示面板 101 的对应的数据信号线,以作为来自相应的信号输出端子 130-1 到 130-n 的分级数据(驱动数据)。

[0118] 虽然上面解释的操作是数据驱动器 102 的操作,但是剩余的数据驱动器 103 到 109 按照与数据驱动器 102 相同的方式操作。

[0119] 接下来将详细描述根据实施例 1 的驱动电路(数据驱动器)102 中的延迟电路 120。

[0120] 图 3 是示出构成根据实施例 1 的驱动电路(数据驱动器)102 的延迟电路的框图。

[0121] 延迟电路 120 包括:连接到控制输入端子 124 的 2 比特计数器 131,用于对计数器 131 的输出进行译码的 4 输出译码器 132,连接到译码器 132 的四个开关 133 (133-0 到 133-3),以及连接到各开关 133 的延迟元件 D_e 。

[0122] 更具体来说,延迟电路 120 包括:第一到第四开关 133-0 到 133-3,由串联连接的三个延迟元件构成的延迟部分 134a,由串联连接的两个延迟元件构成的延迟部分 134b,以及由一个延迟元件构成的延迟部分 134c。第四开关 133-3 与各延迟部分按照 134a 到 134c 的顺序从输入节点一侧串联连接,并且处在延迟电路 120 的输入节点(控制输入端子 124)与输出节点之间。

[0123] 在这里,第三开关 133-2 与第四开关 133-3 和延迟部分 134a 的串联连接体并联连接。第二开关 133-1 与第四开关 133-3、延迟部分 134a 和延迟部分 134b 的串联连接体并联连接。第一开关 133-0 与第四开关 133-3、延迟部分 134a、延迟部分 134b 和延迟部分 134c 的串联连接体并联连接。

[0124] 在如上所述的延迟电路 120 中,计数器 131 对作为脉冲信号从外部输入到控制输入端子 124 的控制信号 LOAD (输入)(参见图 4)的脉冲的数目进行计数。译码器 132 根据计数数目将其输出 Y0 到 Y3 相继变成激活状态。在这里,所述控制信号是与视频信号的同步信号同步的脉冲信号。因此,每当经过一个水平同步时间段时,第一到第四开关 133-0 到 133-3 被相继接通,并且所述开关的切换对于每四个水平同步时间段被重复。

[0125] 总之,根据所述计数数目,对应于控制信号 LOAD 的路径被切换到以下路径的其中之一:通过三个延迟部分 134a 到 134c 的路径,通过两个延迟部分 134b 和 134c 的路径,通过延迟部分 134c 的路径,以及不通过延迟部分的路径。根据所述计数数目通过这种路径,控制信号 LOAD 随后被输入到保持电路 117 中。

[0126] 因此,经过第一开关 133-0 的控制信号被从输出节点输出而没有延迟。经过第二开关 133-1 的控制信号通过一个延迟元件 D_e 被输出。经过第三开关 133-2 的控制信号通过三个延迟元件 D_e 被输出。经过第四开关 133-3 的控制信号通过六个延迟元件 D_e 被输出。

[0127] 因此,通过把一个水平同步时间段定义为 $1H$ 并且把一个延迟元件 D_e 的延迟时间段定义为 α ,关于以一个水平同步时间段为参考由固定周期确定的定时,在保持电路部分 117 中被输入的控制信号 LOAD 的脉冲上升的定时对于每一个水平时间段被延迟的延迟时间段分别是 $1H+\alpha$ 、 $1H+2\alpha$ 、 $1H+3\alpha$ 或 0。换句话说,所述控制信号中的每一个脉冲在从紧接在前的脉冲上升定时开始经过 $1H+\alpha$ 、 $1H+2\alpha$ 、 $1H+3\alpha$ 和 $1H-6\alpha$ 之后上升,并且可以说存在

四种类型的周期,比如 $1H+\alpha$ 、 $1H+2\alpha$ 、 $1H+3\alpha$ 和 $1H-6\alpha$,如图 4 中所示。

[0128] 结果,所述数据驱动器电路中的控制信号的频率被分散,从而减少不必要的辐射。

[0129] 根据如上所述的实施例 1,基于所述显示数据和控制信号来驱动液晶显示面板 101 的数据驱动器(驱动电路)102 到 109 包括:用于延迟输入控制信号的延迟电路 120 以及作为数据加载部分的保持电路部分 117、D/A 转换器电路部分 118 和输出缓冲器部分 119,所述数据加载部分用于在由所述经过延迟的控制信号生成的定时下将输入显示数据加载到液晶显示面板 101。此外,延迟电路 120 延迟所述控制信号,从而使得将显示数据加载到液晶显示面板 101 的加载定时关于固定定时而发生改变,其中所述固定定时由恒定周期(一个水平同步时间段)确定。因此对于每一个水平同步时间段周期性地改变所述驱动电路加载数据的输出定时变得有可能。从而分散输出到所述液晶显示面板的显示数据的各频率分量并且减少不必要的辐射变得有可能。

[0130] 在实施例 1 中,对于每一个水平同步时间段周期性地改变所述驱动电路加载数据的输出定时;然而,也可以对于两个或更多个水平同步时间段当中的每一个周期性地改变所述驱动电路加载数据的输出定时。

[0131] (实施例 2)。

[0132] 图 5 是示出包括根据本发明的实施例 2 的定时控制器的液晶显示装置的配置的图。

[0133] 根据实施例 2 的液晶显示装置 100a 包括配备有延迟电路 14b 的定时控制器 114a 而不是根据实施例 1 的液晶显示装置 100 中的定时控制器 114,其中延迟电路 14b 具有与实施例 1 中的延迟电路 120 相同的配置。在根据实施例 2 的液晶显示装置 100a 中,数据驱动器 102a、103a 和 109a 具有的配置与常规数据驱动器 901 的配置相同。根据实施例 2 的液晶显示装置 100a 中的配置的剩余部分与根据实施例 1 的液晶显示装置 100 配置的剩余部分相同。

[0134] 图 6 是示出根据本发明的实施例 2 的定时控制器的图。

[0135] 根据实施例 2 的定时控制器 114a 包括:用于基于从液晶显示装置 100a 外部提供的视频信号生成显示数据、数据控制信号、时钟信号和扫描控制信号的控制部分 14a,以及用于延迟从控制部分 14a 输出的数据控制信号 LOAD 的延迟电路 14b。延迟电路 14b 具有与包括在根据实施例 1 的数据驱动器 102 中的延迟电路 120 相同的配置。

[0136] 在具有如上所述的配置的根据实施例 2 的液晶显示装置 100a 中,定时控制器 114a 被配置成包括用于延迟数据控制信号的延迟电路 14b。因此,从延迟电路 14b 提供到数据驱动器(驱动电路)102a 到 109a 的控制信号被延迟,从而使得将所述显示数据加载到所述显示装置的加载定时根据由恒定周期(一个水平同步时间段)确定的固定定时发生改变。结果,对于每一个水平同步时间段周期性地改变所述驱动电路将数据加载到液晶显示面板的输出定时变得有可能。从而分散输出到所述液晶显示面板的显示数据的各频率分量并且减少不必要的辐射变得有可能。

[0137] (实施例 3)。

[0138] 图 7 是示出包括根据本发明的实施例 3 的驱动电路的液晶显示装置的配置的图。图 8 是示出作为根据本发明的实施例 3 的驱动电路的数据驱动器的图。

[0139] 根据实施例 3 的液晶显示装置 100b 包括分别包括延迟电路 120b 的数据驱动器

102b 到 109b,而不是根据实施例 1 的液晶显示装置 100 中的具有延迟电路 120 的数据驱动器 102 到 109,其中延迟电路 120b 的电路配置不同于延迟电路 120 的电路配置。根据实施例 3 的液晶显示装置 100b 中的配置的剩余部分与根据实施例 1 的液晶显示装置 100 的配置的剩余部分相同。

[0140] 图 9 是示出构成根据本发明的实施例 3 的驱动电路(数据驱动器)的延迟电路 120b 的框图。

[0141] 延迟电路 120b 包括移位寄存器 132a 以取代构成根据实施例 1 的数据驱动器 102 的延迟电路 120 中的计数器 131 和译码器 132。配置的剩余部分与实施例 1 中的延迟电路 120 的配置的剩余部分相同。

[0142] 总之,根据实施例 3 的数据驱动器 102b 中的延迟电路 120b 包括:用于基于从输入控制信号 LOAD 生成的固定定时来执行移位操作的移位寄存器 132a;串联连接的多个延迟元件 De;以及用于基于所述移位寄存器的输出来切换所述控制信号的信号路径的多个开关 133-0 到 133-3,从而使得由所述多个延迟元件当中的预定数目的串联连接的延迟元件来延迟所述控制信号。所述延迟元件 De 和开关 133-0 到 133-3 与根据实施例 1 的延迟电路 120 中的那些完全相同。

[0143] 在具有如上所述的配置的延迟电路 120b 中,每当控制信号 LOAD(输入)(参见图 4)的脉冲上升时,移位寄存器 132a 就将其输出 Y0 到 Y3 相继变成激活状态,其中控制信号 LOAD(输入)是从外部输入到控制输入端子 124 的脉冲信号。在这里,所述控制信号是与视频信号的水平同步信号同步的脉冲信号。因此,每当经过一个水平同步时间段时,第一到第四开关 133-0 到 133-3 被相继接通,并且所述开关的切换对于每四个水平同步时间段被重复。

[0144] 因此,与根据实施例 1 的延迟电路 120 类似,经过第一开关 133-0 的控制信号被从输出节点输出而没有延迟。经过第二开关 133-1 的控制信号通过一个延迟元件 De 被输出。经过第三开关 133-2 的控制信号通过三个延迟元件 De 被输出。经过第四开关 133-3 的控制信号通过六个延迟元件 De 被输出。

[0145] 因此,通过把一个水平同步时间段定义为 1H 并且把一个延迟元件 De 的延迟时间段定义为 α ,关于以一个水平同步时间段为参考由固定周期确定的定时,在保持电路部分 117 中被输入的控制信号 LOAD 的脉冲上升的定时对于每一个水平时间段被延迟的延迟时间段分别是 $1H+\alpha$ 、 $1H+2\alpha$ 、 $1H+3\alpha$ 或 0。

[0146] 结果,所述数据驱动器电路中的控制信号的频率被分散,从而减少不必要的辐射。

[0147] (实施例 4)。

[0148] 图 10 是示出包括根据本发明的实施例 4 的驱动电路的显示装置的配置的图。

[0149] 根据实施例 4 的液晶显示装置 200 包括数据驱动器 202 到 209 而不是根据实施例 1 的液晶显示装置 100 中的数据驱动器 102 到 109,其中数据驱动器 202 到 209 的配置不同于数据驱动器 102 到 109 的配置。

[0150] 图 11 是示出作为根据本发明的实施例 4 的驱动电路的数据驱动器的框图,其示出数据驱动器 202 的配置。

[0151] 更具体来说,除了根据实施例 1 的数据驱动器 102 的配置之外,对于所有 n 条数据信号线当中的预定数目(这里是 k)的数据信号线中的每一条数据信号线,根据实施例 4 的

数据驱动器 202 还包括形成由 m 个组 20a1 到 20am 构成的一个组的移位寄存器、锁存电路、保持电路、D/A 转换器电路和缓冲器电路。数据驱动器 202 还包括分别与相应的组对应的具有固定延迟时间段的延迟电路 24a1 到 24am, 其中延迟电路 24a1 到 24am 被提供在相应组的前一级。

[0152] 延迟电路 24a1 到 24am 串联连接, 从而使得来自延迟电路 220 的控制信号被相继延迟给定时间段。延迟电路 220 具有与根据实施例 1 的延迟电路 120 相同的配置, 并且也能够改变延迟量。来自具有固定延迟量并且被提供在每一个组的前一级的延迟电路 24a1 到 24am 的输出被提供到每一个所述组 20a1 到 20am 中的每一个保持电路。

[0153] 因此, 根据实施例 4 的液晶显示装置 200 中的定时控制器 214、扫描驱动器 210 到 213 和液晶显示面板 201 与根据实施例 1 的液晶显示装置 100 中的定时控制器 114、扫描驱动器 110 到 113 和液晶显示面板 101 完全相同。

[0154] 总之, 数据驱动器 202 到 209 被连接到液晶显示面板 201 的数据信号线, 并且驱动所述数据信号线。另外, 数据驱动器 202 到 209 是通过将驱动器芯片实施为诸如由膜衬底上的半导体集成电路构成的 COF (膜上芯片) 之类的实施结构而形成的。扫描驱动器 210 到 213 被连接到显示面板 201 的扫描信号线, 并且驱动所述扫描信号线。扫描驱动器 210 到 213 也是通过将驱动器芯片实施为诸如由膜衬底上的半导体集成电路构成的 COF (膜上芯片) 之类的实施结构而形成的。定时控制器 214 通过信号线被连接到数据驱动器 202 到 209 中的至少一个和扫描驱动器 210 到 213 中的至少一个。通过控制数据驱动器 202 到 209 中的至少一个和扫描驱动器 210 到 213 中的至少一个, 定时控制器 214 使得液晶显示面板 201 显示视频数据。

[0155] 在下文中将描述数据驱动器 202。

[0156] 数据驱动器 203 到 209 分别包括与数据驱动器 202 相同的配置, 因此将省略对其的解释性描述。

[0157] 与根据实施例 1 的数据驱动器 102 类似, 数据驱动器 202 包括指针移位寄存器电路部分 215、锁存电路 216、保持电路 217、D/A 转换器部分 218 和输出缓冲器部分 219。

[0158] 然而, 在数据驱动器 202 中, 构成指针移位寄存器电路部分 215 的移位寄存器 215-1 到 215-n 对于每 k 条数据信号线被分组成一个组。另外, 构成锁存电路 216 的锁存电路 216-1 到 216-n、构成保持电路部分 217 的保持电路 217-1 到 217-n、构成 D/A 转换器部分 218 的 D/A 转换器 218-1 到 218-n、以及构成输出缓冲器部分 219 的输出缓冲器 219-1 到 219-n 按照类似的方式被分组。

[0159] 总之, 相应的组 20a1 到 20am 分别包括: 构成指针移位寄存器电路部分 215 的移位寄存器 215-1 到 215-k, 构成锁存电路 216 的锁存电路 216-1 到 216-k, 构成保持电路部分 217 的保持电路 217-1 到 217-k, 构成 D/A 转换器部分 218 的 D/A 转换器 218-1 到 218-k, 以及构成输出缓冲器部分 219 的输出缓冲器 219-1 到 219-k。

[0160] 数据驱动器 202 还包括具有可变延迟量的延迟电路 220 以及参考电压校正电路 221。至于输入端子, 数据驱动器 202 还包括时钟输入端子 222、显示数据输入端子 223、控制信号输入端子 224 和参考电压端子 225 到 229。另外, 至于为把信号输出到液晶显示面板 201 而提供的输出端子, 数据驱动器 202 还包括 n 个信号输出端子 230-1 到 230-n。信号输出端子 230-1 到 230-n 被分别连接到前面提到的液晶显示面板 201 的数据信号线。

[0161] 提供时钟输入端子 222 以便输入给到指针移位寄存器电路部分 215 的时钟信号 CLK。显示数据输入端子 223 包括对应于由多个比特构成的分级数据的相应比特的多个信号输入端子。控制信号输入端子 224 通过具有可变延迟量的延迟电路 220 被连接到保持电路部分 217, 并且允许输入控制信号。所述控制信号被用于允许保持电路部分 217 保留锁存在锁存电路部分 216 处的显示数据的信号。参考电压端子 225 到 229 分别被提供以用于输入给到参考电压校正电路 221 的参考电压 V0 到 V4。

[0162] 信号输出端子 230-1 到 230-n 被提供以用于将从构成输出缓冲器部分 219 的输出缓冲器 219-1 到 219-n 输出的分级电压输出到液晶显示面板 201。

[0163] 图 12 是示出构成根据实施例 4 的驱动电路(数据驱动器)的具有可变延迟量的延迟电路的框图。

[0164] 根据实施例 4 的具有可变延迟量的延迟电路 220 具有与如图 3 中所示的根据实施例 1 的延迟电路 120 相同的配置。

[0165] 延迟电路 220 由连接到控制输入端子 224 的 2 比特计数器 231、连接到计数器 231 的 4 输出译码器 232、连接到译码器 232 的四个开关 233 (233-0 到 233-3)、以及连接到各开关 233 的延迟元件 De 形成。在这里, 包括 2 比特计数器 231、4 输出译码器 232、开关 233 以及延迟元件 De 的延迟部分 234a 到 234c 与根据实施例 1 的延迟电路中的那些完全相同。

[0166] 接下来将描述上面所描述的装置的操作。

[0167] 在根据实施例 4 的液晶显示面板 200 中, 在从外部输入视频信号之后, 定时控制器 214 从所述视频信号生成显示数据 DATA、数据控制信号 LOAD、扫描控制信号和时钟信号 CLK。当显示数据 DATA、数据控制信号 LOAD 和时钟信号 CLK 被提供到数据驱动器 202 到 209 时, 数据驱动器 202 到 209 基于所述显示数据和数据控制信号来驱动所述数据信号线。另外, 当扫描控制信号被提供到扫描驱动器 210 到 213 时, 扫描驱动器 210 到 213 基于所述扫描控制信号来驱动所述扫描信号线。从而可以根据所述视频信号在液晶显示面板上显示图像。

[0168] 与此同时, 在数据驱动器 202 中, 当来自定时控制器 214 的显示数据 DATA、数据控制信号 LOAD 和时钟信号 CLK 被提供到相应的输入端子时, 指针移位寄存器电路部分 215 利用相应的各级移位寄存器 215-1 到 215-n 对输入到时钟输入端子 222 的时钟信号 CLK 进行移位, 以便从每一级的移位寄存器输出锁存电路选择信号。利用所述锁存电路选择信号, 指针移位寄存器电路部分 215 相继选择构成锁存电路部分 216 的第一级锁存电路 216-1 到第 n 级锁存电路 216-n。

[0169] 在输入所述锁存电路选择信号之后, 锁存电路 216-1 到 216-n 改变到激活状态, 这允许存储从显示数据输入端子 223 输入的显示数据 DATA。在这一状态下, 有可能在锁存电路 216-1 到 216-n 中存储具有不同值的数据。因此, 当所述时钟信号的 n 个时钟被输入到指针移位寄存器电路部分 215 中时, 所有的锁存电路 216-1 到 216-n 都可以存储与相应的数据线对应的显示数据。当在这一状态下从显示数据输入端子 223 输入显示数据 DATA 时, 所述显示数据 DATA 被选择并且被存储在每一个对应的锁存电路 216-1 到 216-n 中。

[0170] 保持电路部分 217 由 n 个保持电路 217-1 到 217-n 构成, 其被划分成多个组(m 个)。所述组的数目不特别受到限制; 然而, 具体来说可以有 4 个或 8 个组。

[0171] 另外, 所划分的每一个组的各保持电路(其构成保持电路部分 217) 与具有固定延

迟量的延迟电路 24a1 到 24am 相连,从而使得输入控制信号所经过的具有固定延迟量的延迟电路 24a1 到 24am 的数目根据每一个组而不同。结果,可以对于每一个组的每一个保持电路将所述控制信号延迟预定的延迟时间段。

[0172] 对于每一个组,构成保持电路部分 217 的保持电路 217-1 到 217-n 在所述控制信号被延迟了为每一个组设定的预定延迟时间段之后变为激活(例如 H 电平)的定时下检索并保留存储在对应的锁存电路 216-1 到 216-n 中的数据。保留在保持电路 217-1 到 217-n 中的数据被改变成 D/A 转换器 218-1 到 218-n 中的数字数据输入。

[0173] 所述控制信号被从定时控制器 214 输出并且通过信号线被输入到控制信号输入端子 224,随后所述控制信号通过具有可变延迟量的延迟电路 220 和具有固定延迟量的延迟电路 24a1 到 24am 被输入到每一个组的保持电路部分 217(保持电路 217-1 到 217-k)。因此,所述控制信号在延迟电路 220 和延迟电路 24a1 到 24am 中被延迟预定时间,并且随后被输入到每一个组的保持电路部分 217(保持电路 217-1 到 217-k)。因此,关于从定时控制器 214 输出所述控制信号的定时,每一个组的保持电路部分 217(保持电路 217-1 到 217-k)的数据检索定时被延迟的量是在具有可变延迟量的延迟电路 220 中被延迟的时间与在具有固定延迟量的延迟电路 24a1 到 24am 当中的预定数目(该数目对应于每一个组)的延迟电路中被延迟的时间的总和。

[0174] 另外,D/A 转换器 218-1 到 218-n 基于上面所描述的数字数据选择并输出从参考电压校正电路 221 输入的 p 种类型的分级电压的其中之一。这种 D/A 转换器 218-1 到 218-n 的细节例如在日本特许公开公布 No. 2003-130921 中进行了描述,因此将省略对其的解释。

[0175] 输出缓冲器 219-1 到 219-n 对从相应的 D/A 转换器 218-1 到 218-n 输出的分级电压执行阻抗转换。所述分级电压被从输出缓冲器 219-1 到 219-n 输出到液晶显示面板 201,以作为来自相应的信号输出端子 230-1 到 230-n 的分级数据(驱动数据)。

[0176] 另外,在具有可变延迟量的延迟电路 220 中,由计数器 231 对从外部输入到控制输入端子的信号进行计数,以及根据计数数目在延迟元件 De 处延迟所述控制信号并且将其输入到保持电路部分 217。在这一阶段,经过开关 233-0 的控制信号被从输出节点输出而没有延迟。经过开关 233-1 的控制信号通过一个延迟元件 De 被输出。经过开关 233-2 的控制信号通过三个延迟元件 De 被输出。经过开关 233-3 的控制信号通过六个延迟元件 De 被输出。因此,通过把一个水平同步时间段定义为 1H 并且把一个延迟元件 De 的延迟时间段定义为 α ,则有被输入到保持电路部分 217 的四种类型的信号周期,比如 $1H+\alpha$ 、 $1H+2\alpha$ 、 $1H+3\alpha$ 和 $1H-6\alpha$,如图 4 中所示。

[0177] 结果,所述控制信号的频率被分散,并且所述数据加载定时对于每一个组是不同的,从而进一步减少不必要的辐射。

[0178] 在实施例 4 中,由数据驱动器中的延迟电路延迟从定时控制器输出的控制信号,以便利用多个周期生成定时以作为所述控制信号的加载定时,并且分散在驱动电路中生成的驱动信号各频率分量。然而,如实施例 2 中所述,在延迟电路被提供于定时控制器中的情况下还可以使用一种其中在数据驱动器中没有延迟的方法,并且通过对控制信号 LOAD(输入)进行延迟处理,可以生成其脉冲上升定时关于通过恒定周期确定的固定定时而发生改变的信号以作为控制信号 LOAD(输出),并且进一步从定时控制器输出经过这种延迟处理的控制信号。

[0179] 在实施例 4 中描述了这样的配置 : 所述数据驱动器中的锁存电路 216-1 到 216-n、保持电路 217-1 到 217-n、D/A 转换器 218-1 到 218-n 以及输出缓冲器 219-1 到 219-n 都被划分成组 ; 然而, 所述数据驱动器也可以具有其中仅保持电路 217-1 到 217-n 被划分成组的结构。

[0180] (实施例 5)。

[0181] 图 13 是示出根据本发明的实施例 5 的驱动电路(数据驱动器)的框图。

[0182] 根据实施例 5 的驱动电路是通过以下方式获得的 : 利用图 12 中所示的基于所述控制信号的计数数目来改变延迟量的延迟电路来替代具有固定延迟量的延迟电路, 其中所述固定延迟量对应于根据实施例 4 的数据驱动器中的每一个组。配置的剩余部分与根据实施例 4 的数据驱动器的配置的剩余部分完全相同。

[0183] 除了实施例 4 中的效果之外, 具有这种配置的根据实施例 5 的数据驱动器还可以实现以下效果 : 对于每一个组, 更加精确地改变控制信号的延迟量。

[0184] 在实施例 4 和 5 中, 在通过将一个数据驱动器中的各个电路进行分组而获得的多个组之间, 用于将显示数据加载到液晶显示面板的定时是不同的。然而, 也有可能在多个数据驱动器之间不同地设定用于将显示数据加载到液晶显示面板的定时。

[0185] 因此, 在多个驱动电路(数据驱动器)之间偏移显示数据的加载定时从而减少不必要的辐射, 因此可以进一步减少整个显示设备中不必要的辐射。

[0186] 在实施例 5 中描述了通过利用图 12 中所示的具有可变延迟量的延迟电路替代具有固定延迟量的延迟电路而获得的驱动电路, 其中所述固定延迟量对应于根据实施例 4 的数据驱动器中的每一个组。然而, 也可以通过利用如图 9 中所示的使用了移位寄存器的、具有可变延迟量的延迟电路来替代具有对应于根据实施例 4 的数据驱动器中的每一个组的固定延迟量的延迟电路。

[0187] 另外, 包括如在实施例 1 到 5 中所描述的驱动电路的液晶显示装置可以被用作电子信息设备(比如蜂窝电话设备、个人计算机、以及电视机)的显示装置。

[0188] 如上所述, 通过使用其优选实施例例示了本发明。然而, 不应当仅仅基于上面描述的实施例来解释本发明。应当理解的是, 应当仅仅基于权利要求书来解释本发明的范围。还应当理解的是, 基于对本发明的描述以及来自本发明的详细优选实施例的描述的常识, 本领域技术人员可以实施等效的技术范围。此外还应当理解的是, 在本说明书中所引用的任何专利、任何专利申请以及任何参考文献应当按照与在其中内容被具体描述的相同方式通过引用被结合在本说明书中。

[0189] 工业适用性。

[0190] 本发明可以被应用在驱动电路、液晶显示装置和电子信息设备的领域内。根据本发明, 有可能提供 : 一种能够减少不必要的辐射的驱动电路, 这是通过对于每一个水平同步时间段或者对于每多个水平同步时间段改变所述驱动电路的输出定时以分散频率而实现的 ; 一种配备有这种驱动电路的液晶显示装置 ; 以及一种包括这种液晶显示装置的电子信息设备。

[0191] 在不偏离本发明的范围和精神的情况下, 各种其他修改对于本领域技术人员而言将是显而易见的, 并且可以被本领域技术人员容易地作出。相应地, 附于此的权利要求书的范围不打算限于在此所做的描述, 而是应当广泛地解释权利要求书。

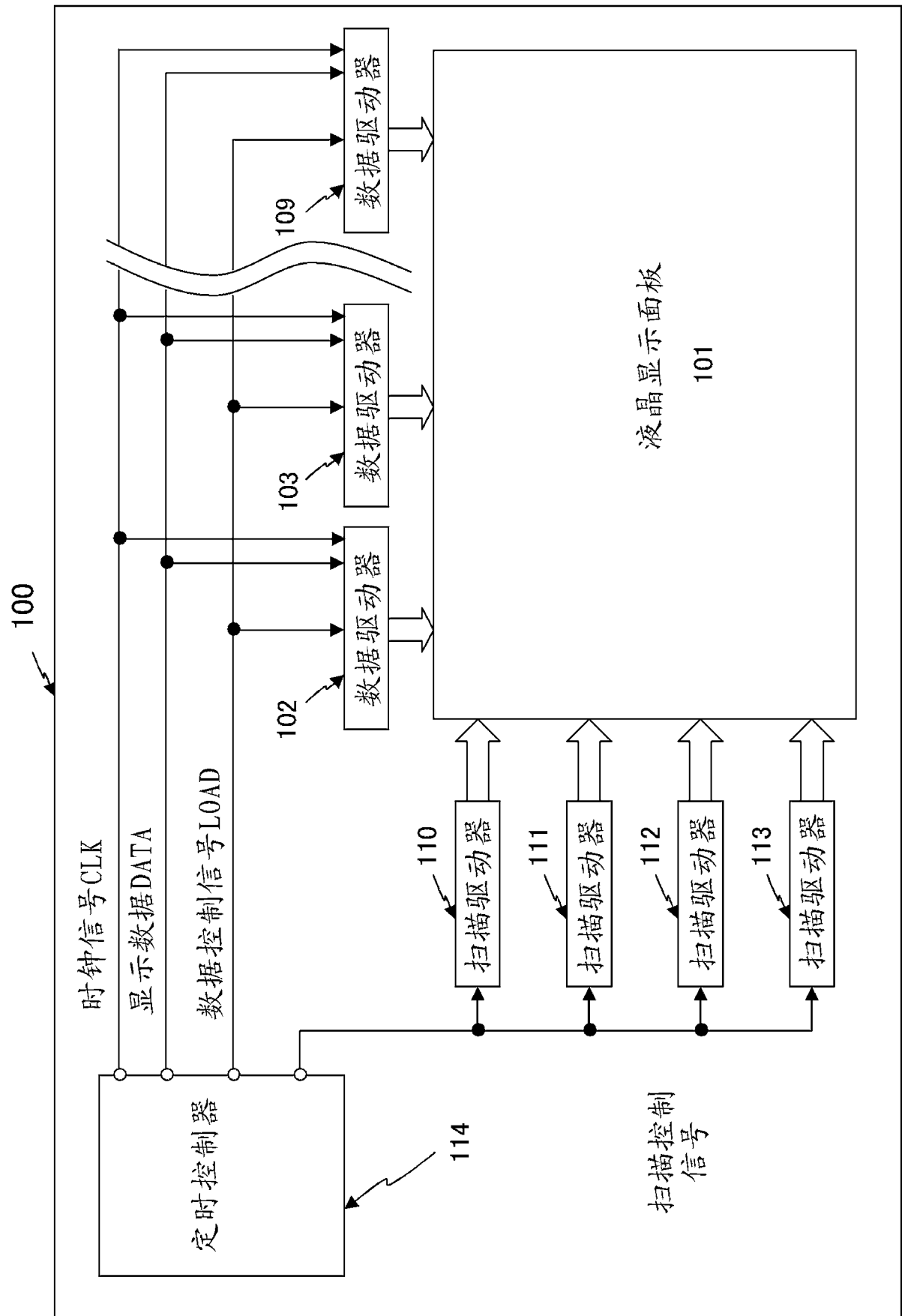


图 1

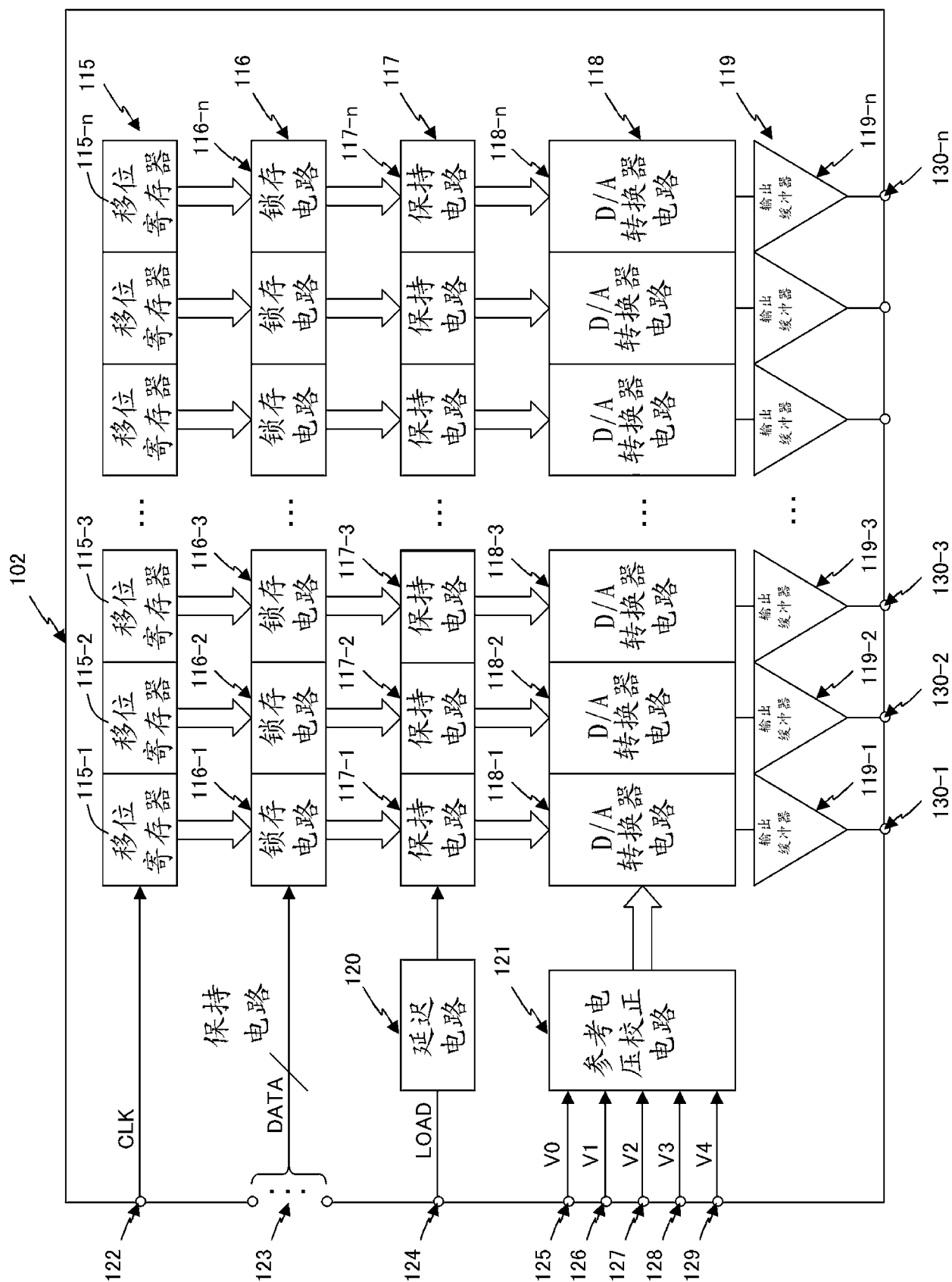


图 2

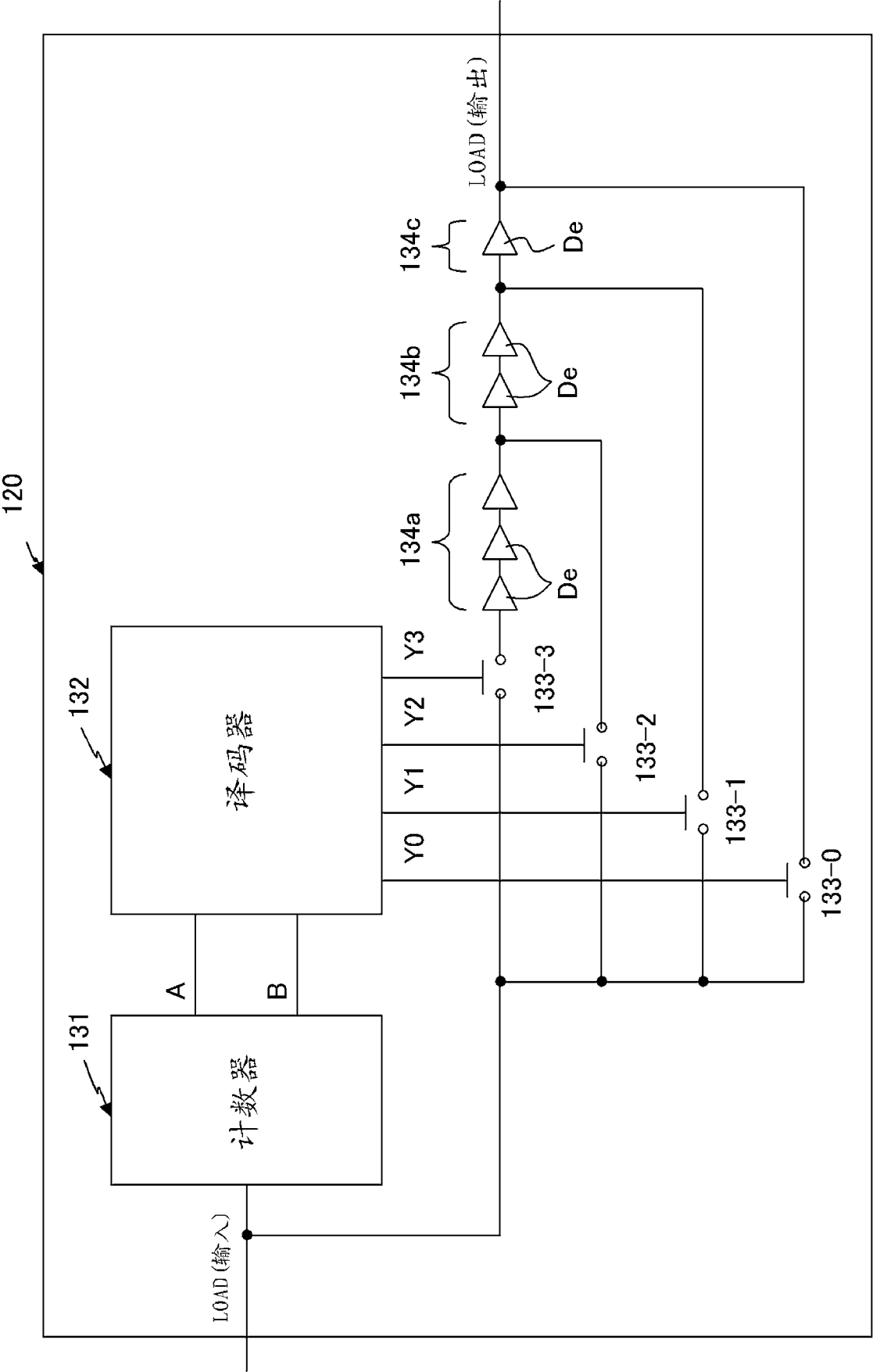


图 3

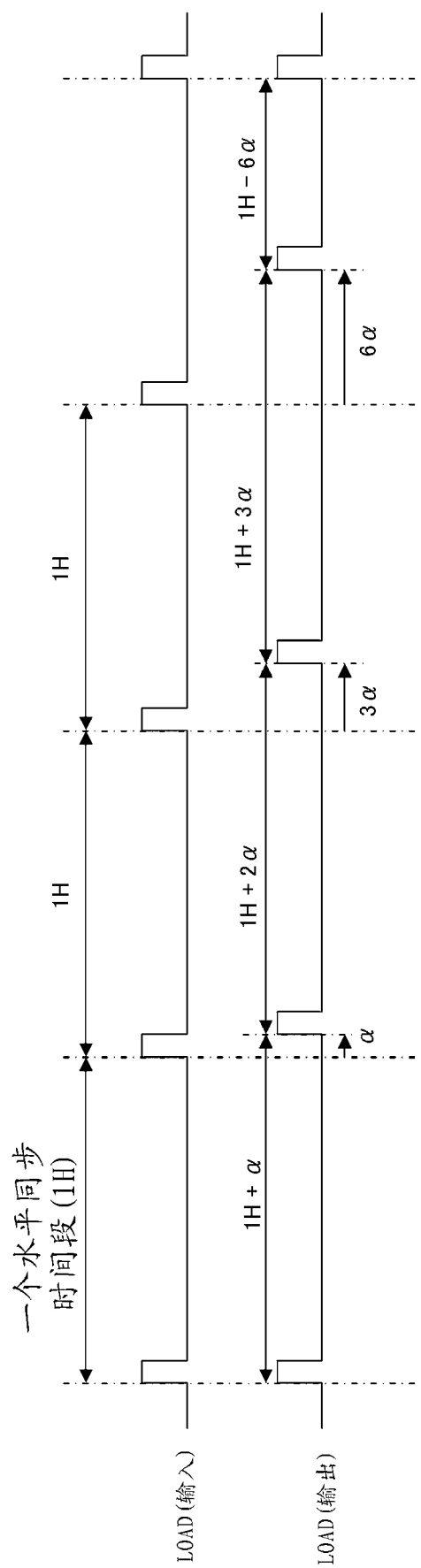


图 4

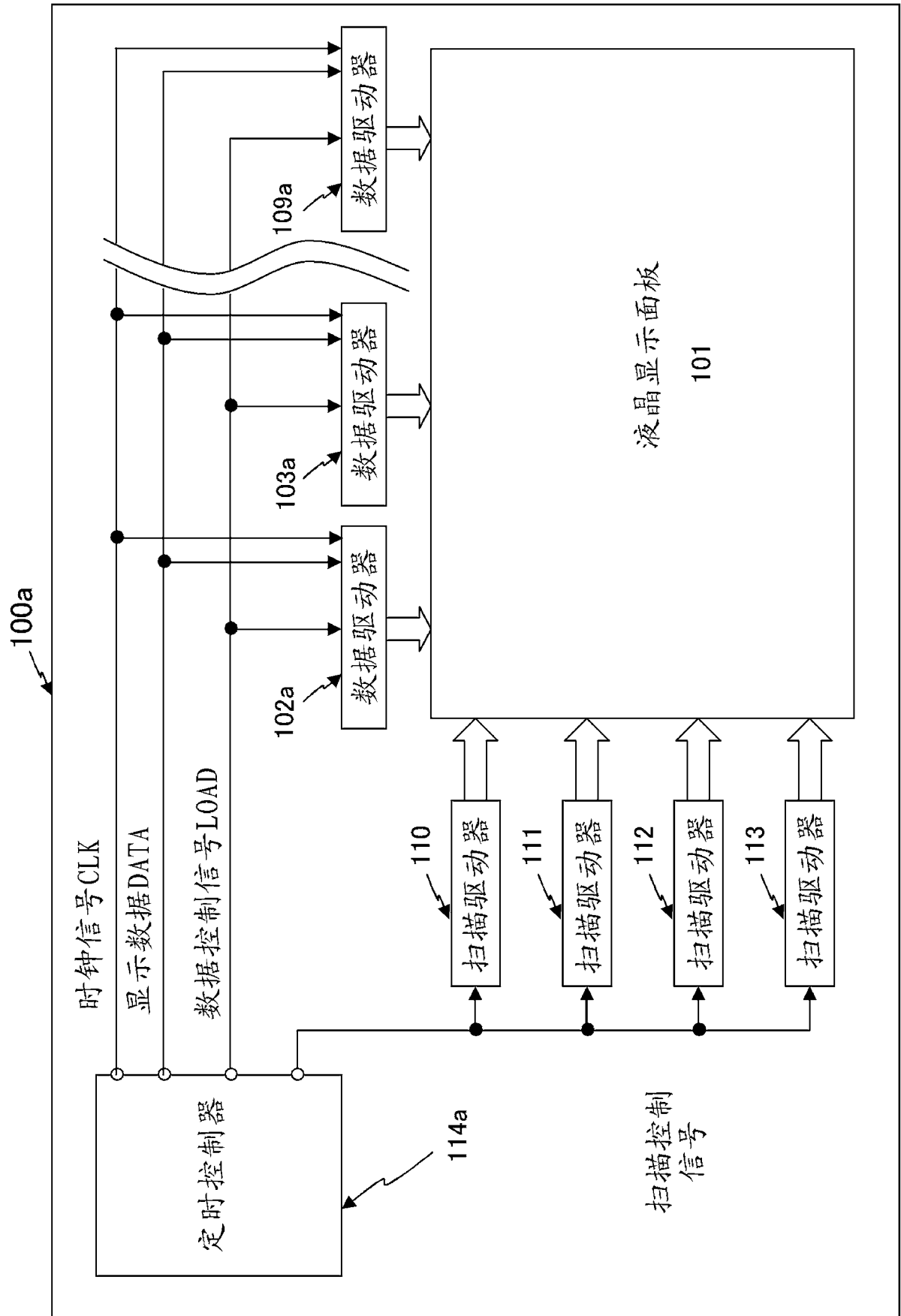


图 5

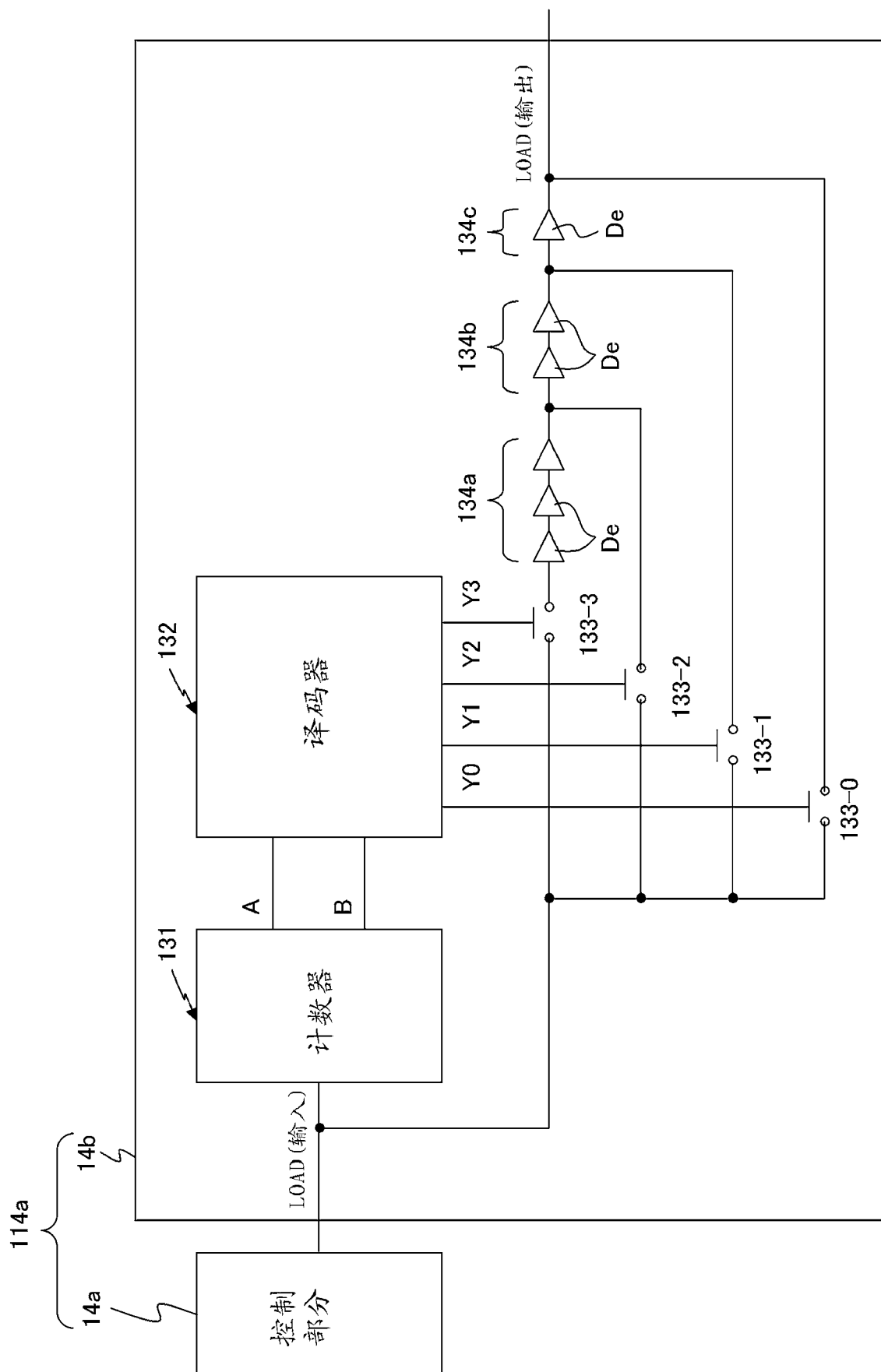


图 6

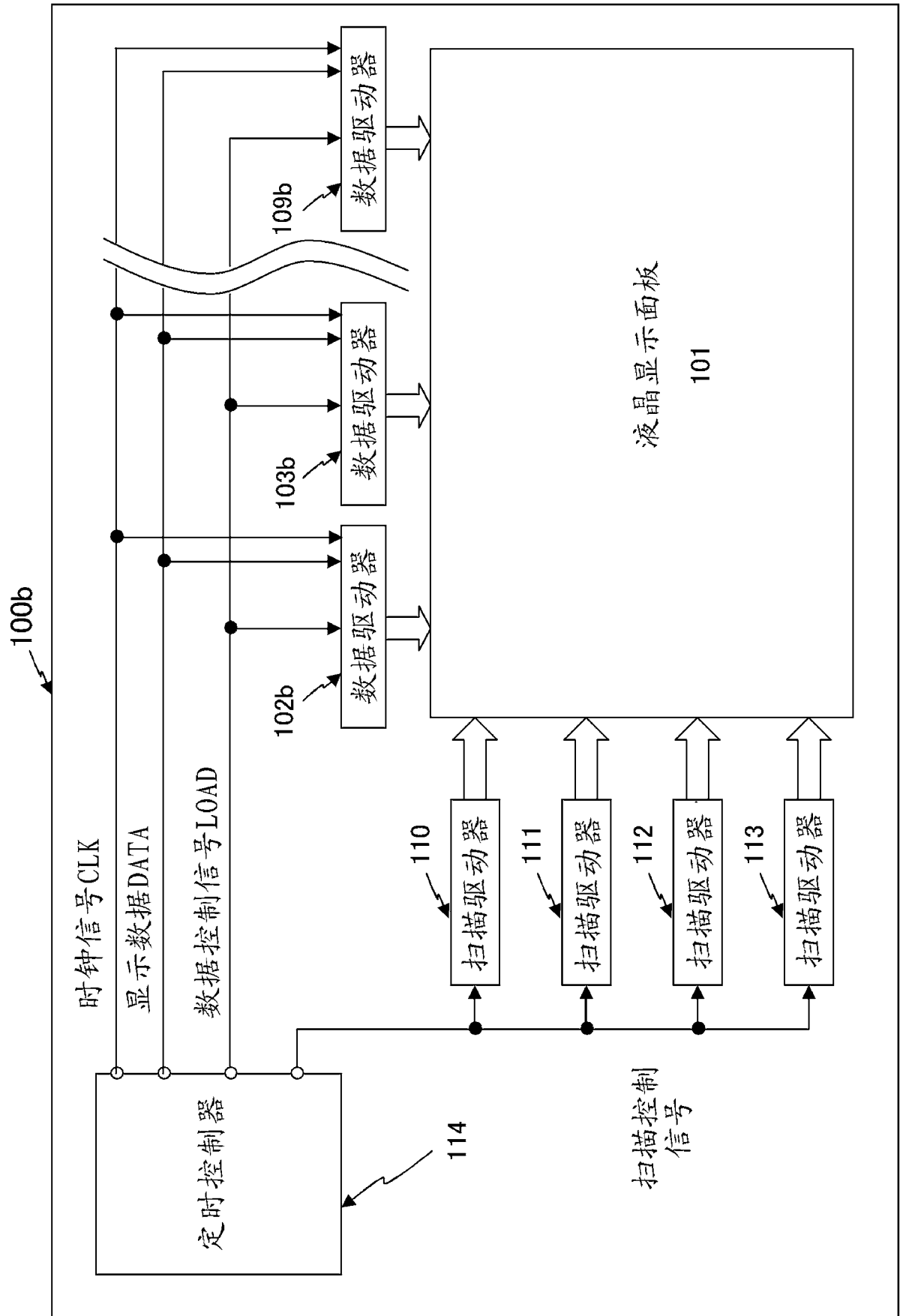


图 7

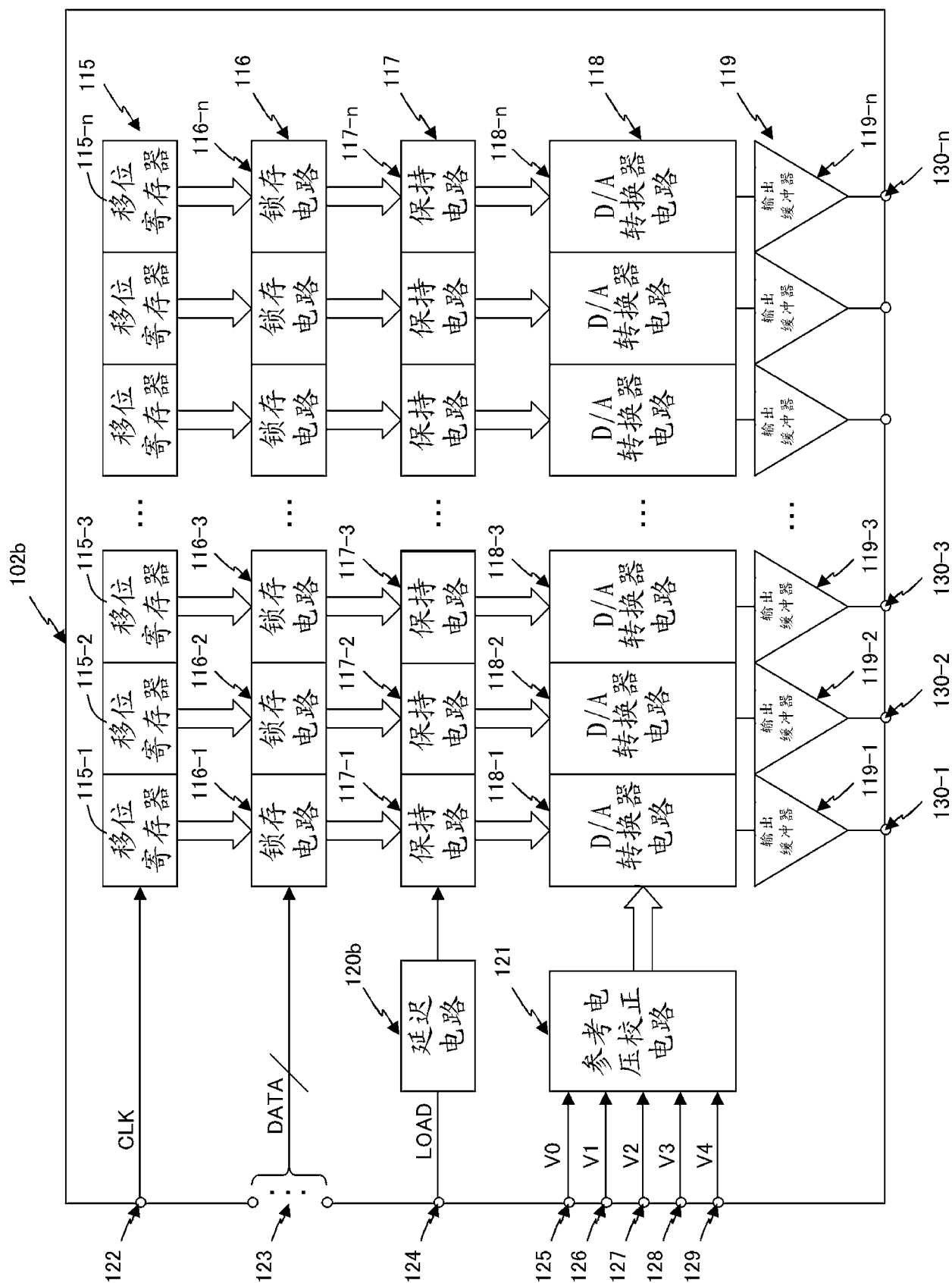


图 8

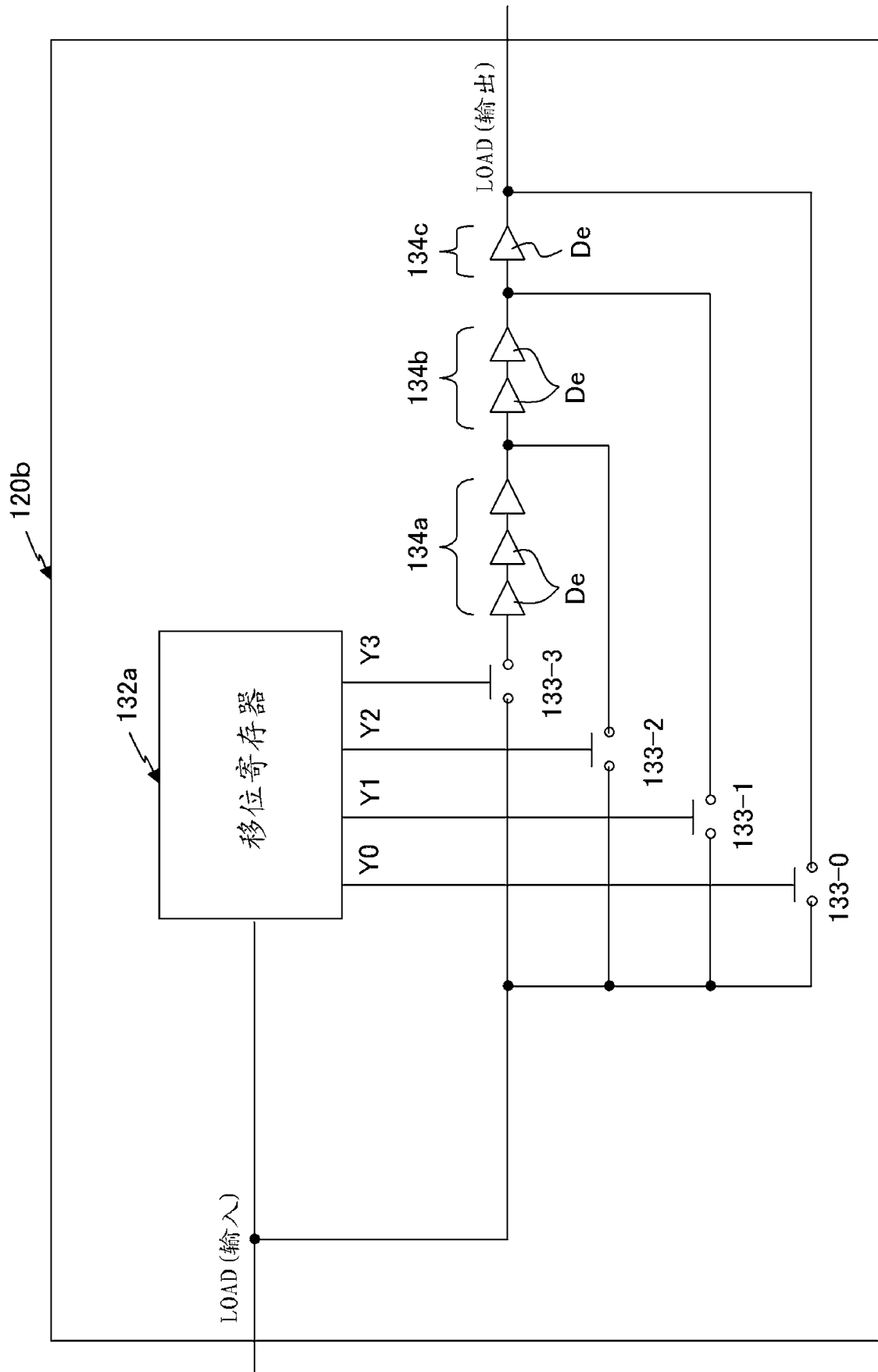


图 9

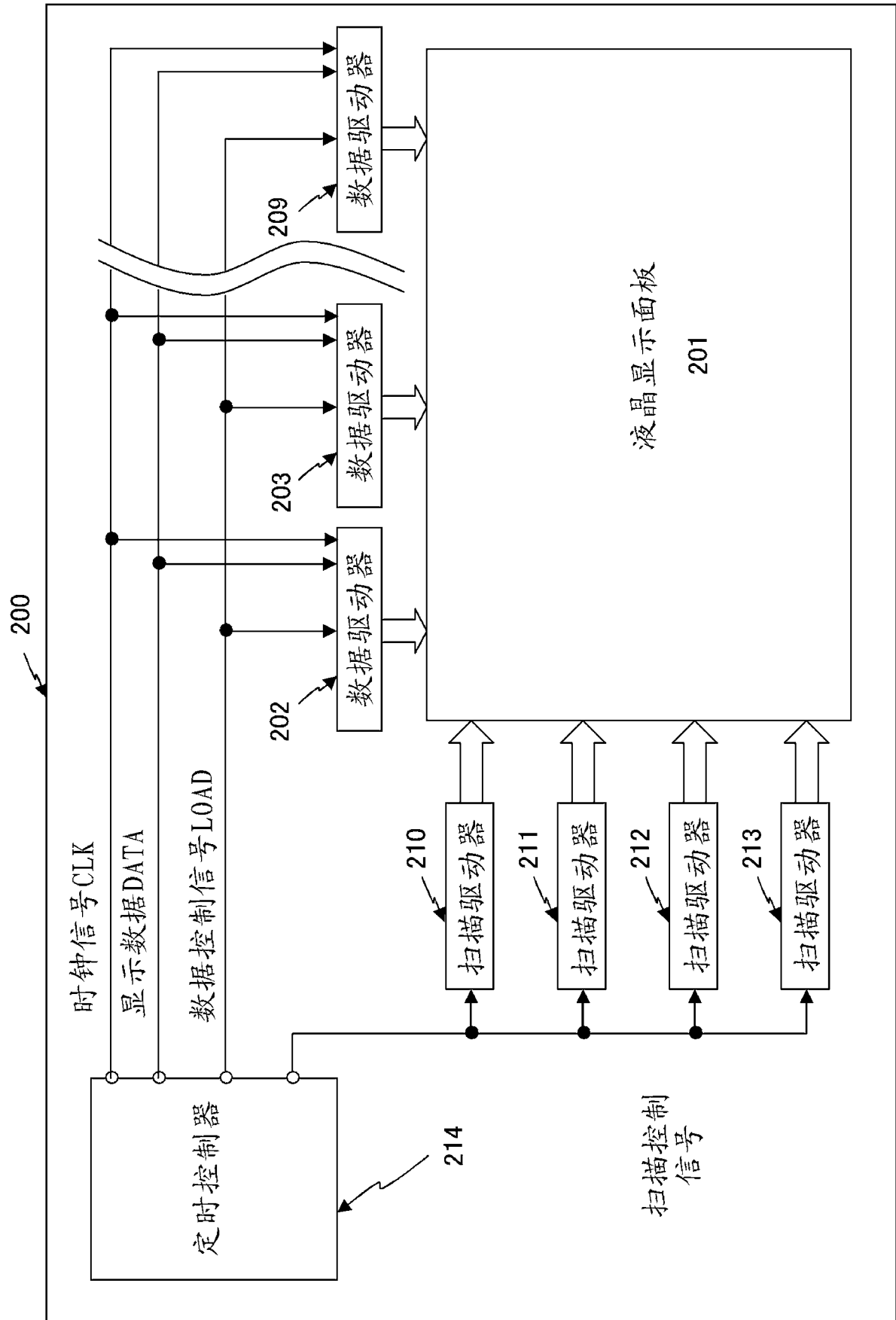


图 10

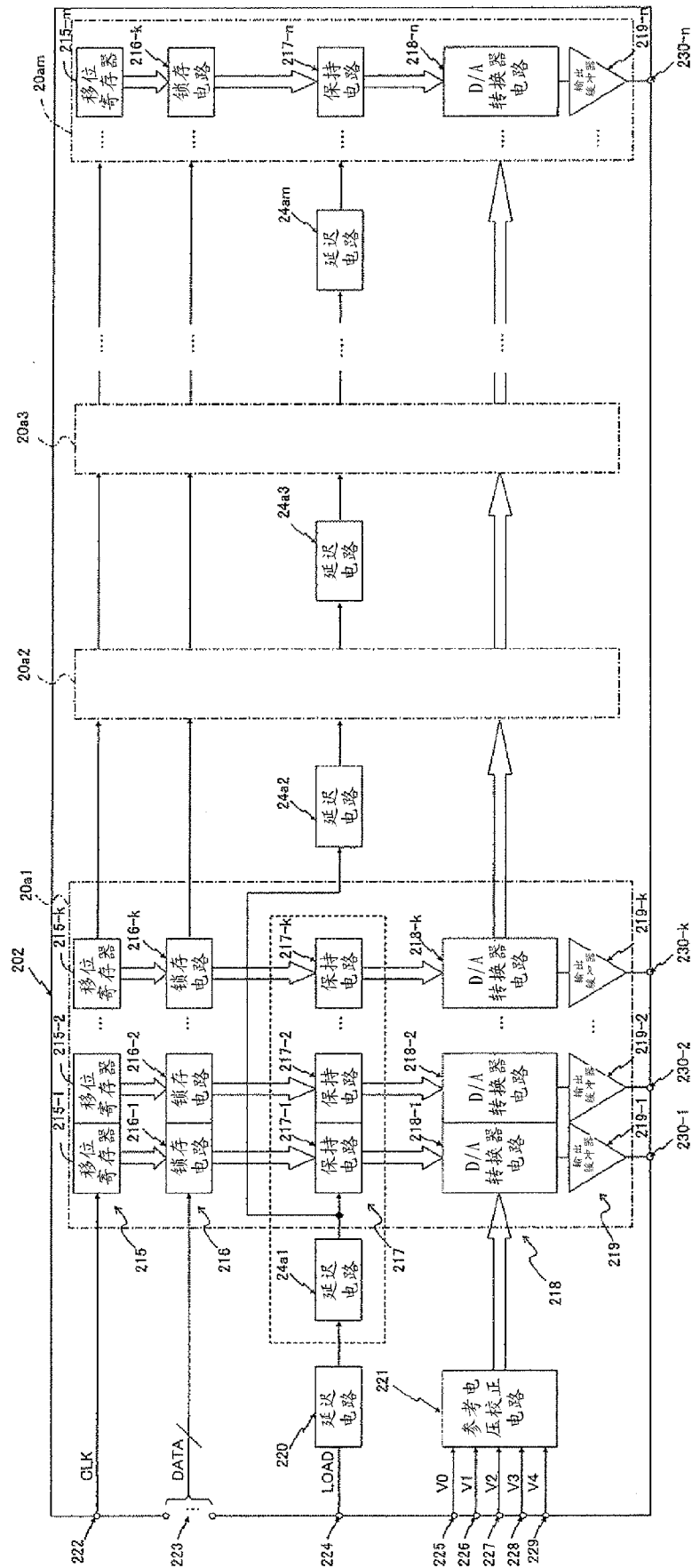


图 11

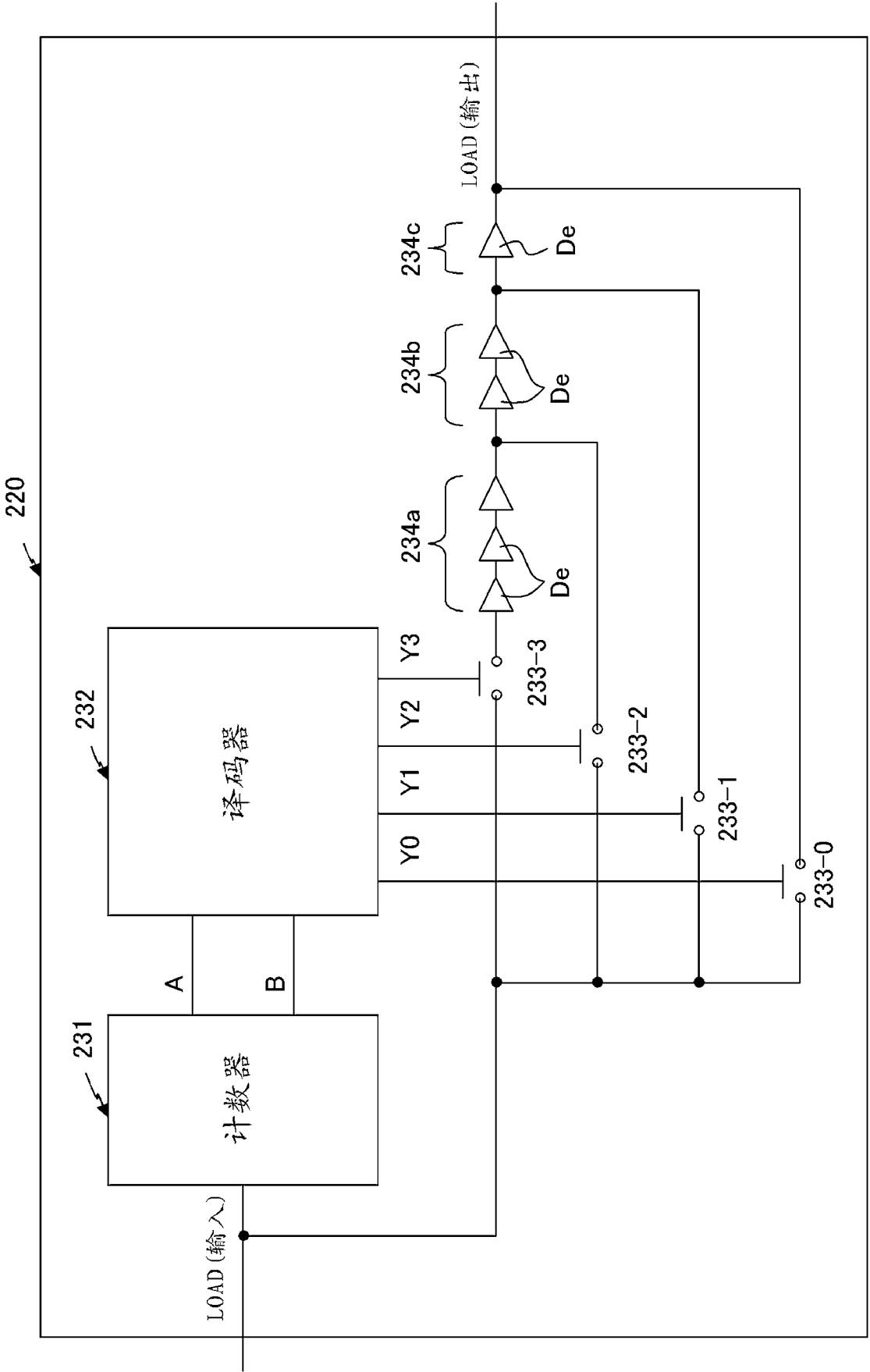


图 12

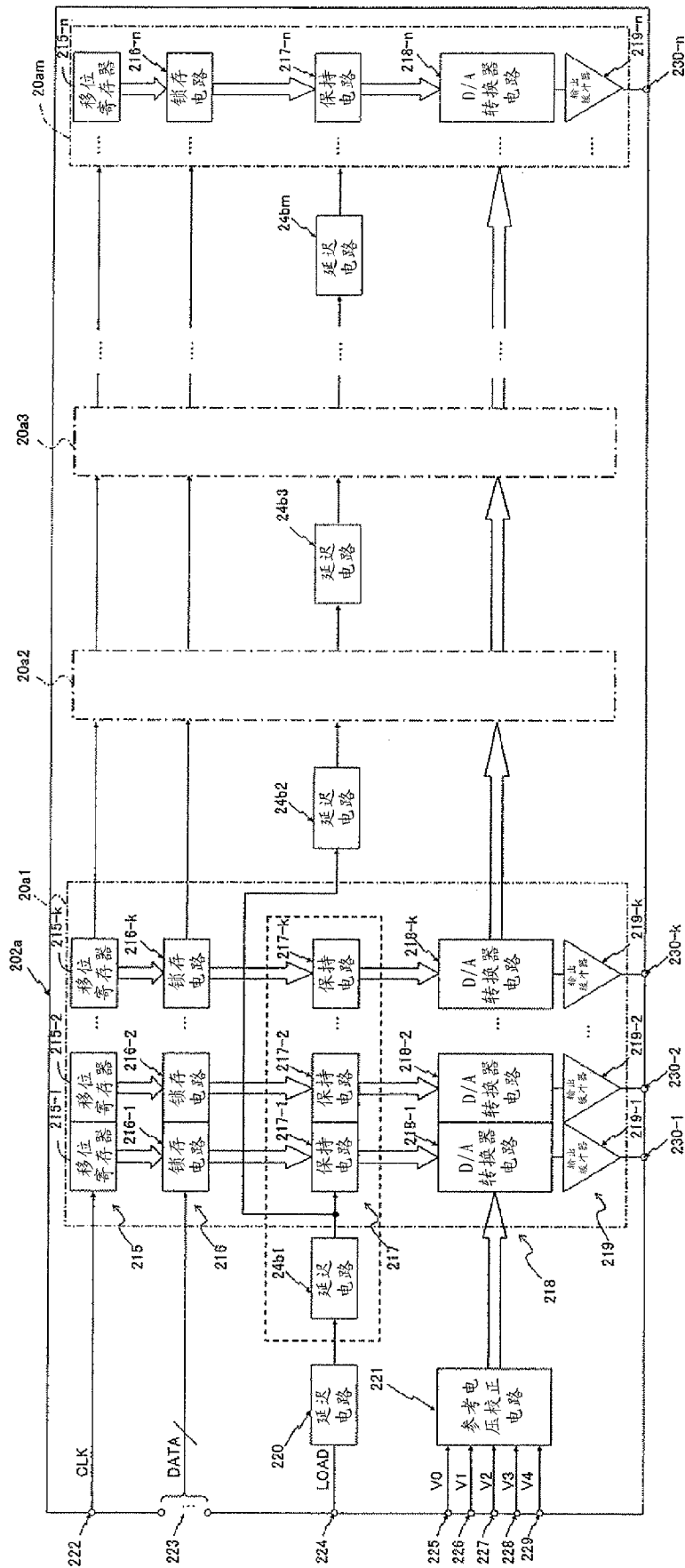


图 13

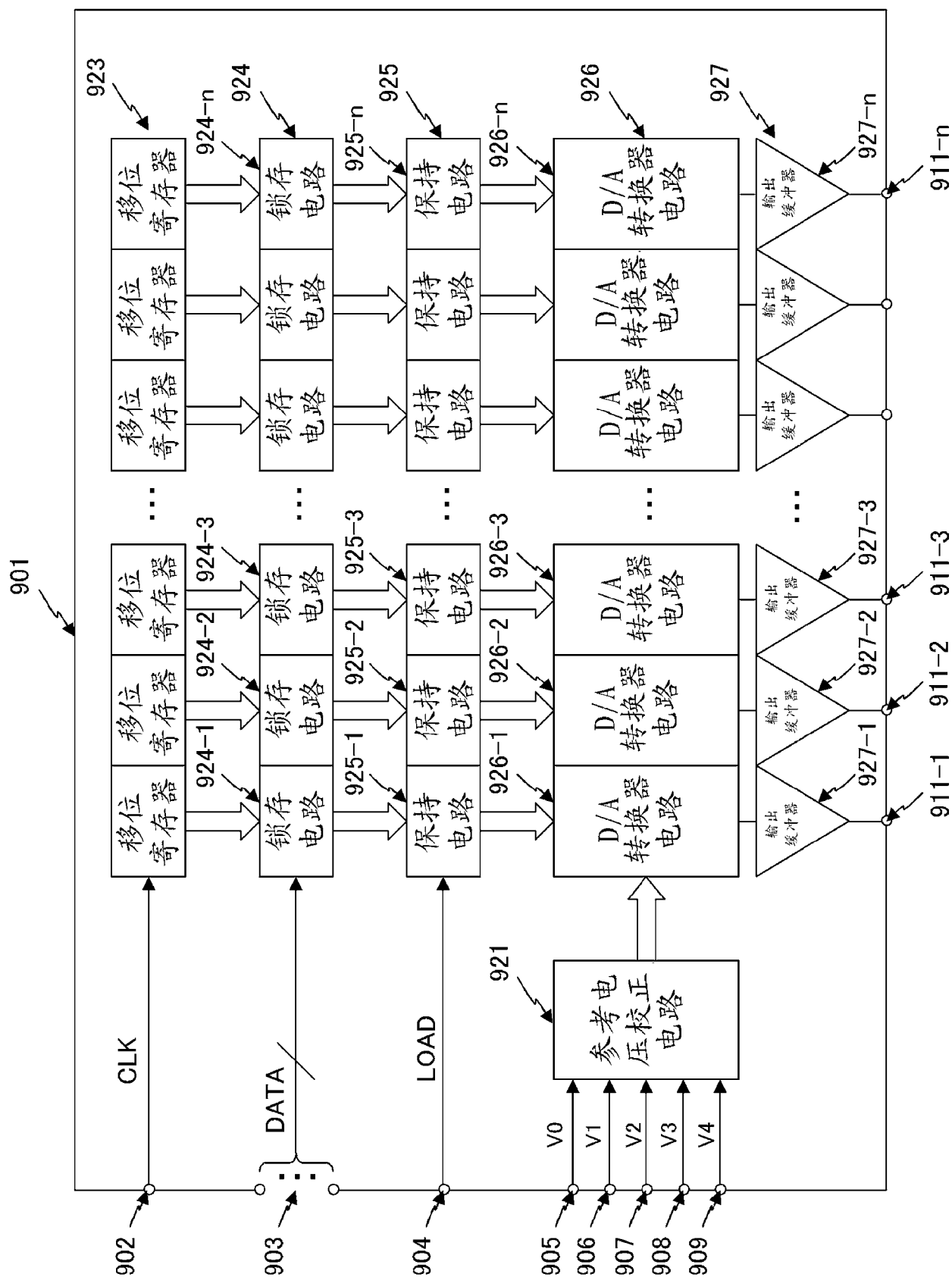


图 14

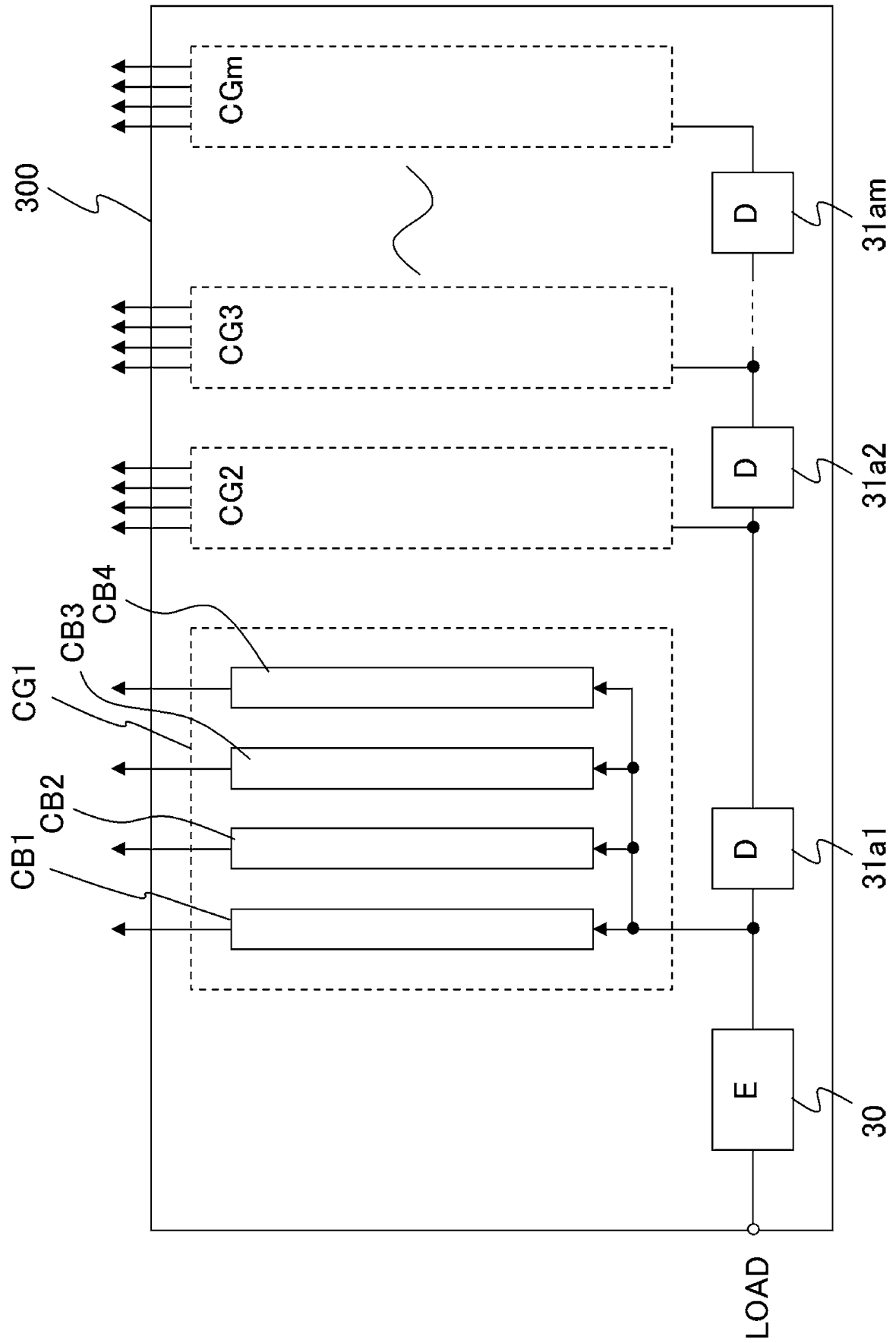


图 15

专利名称(译)	驱动电路、液晶显示装置和电子信息设备		
公开(公告)号	CN102298916B	公开(公告)日	2014-06-04
申请号	CN201110171248.0	申请日	2011-06-23
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普株式会社		
当前申请(专利权)人(译)	夏普株式会社		
[标]发明人	铃木贵光 小林胜敏		
发明人	铃木贵光 小林胜敏		
IPC分类号	G09G3/36 G02F1/133		
CPC分类号	G09G2330/06 G09G3/3688 G09G2310/027 G09G2310/08 G09G2330/025		
代理人(译)	马永利 王忠忠		
审查员(译)	聂莹莹		
优先权	2010143187 2010-06-23 JP		
其他公开文献	CN102298916A		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了驱动电路、液晶显示装置和电子信息设备。根据本发明的一种基于显示数据和控制信号来驱动显示装置的驱动电路包括：用于延迟输入控制信号的延迟电路；以及用于在由所述经过延迟的控制信号生成的定时下将输入显示数据加载到所述显示装置的数据加载部分。其中，所述延迟电路延迟所述控制信号，从而使得将所述显示数据加载到所述显示装置的加载定时根据由恒定周期确定的固定定时而发生改变。

