

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200410054443.5

[51] Int. Cl.

G02F 1/136 (2006.01)

H01L 29/786 (2006.01)

H01L 21/00 (2006.01)

[45] 授权公告日 2008 年 2 月 20 日

[11] 授权公告号 CN 100370349C

[22] 申请日 2004. 7. 22

[21] 申请号 200410054443.5

[30] 优先权

[32] 2003. 7. 22 [33] JP [31] 277459/2003

[32] 2004. 7. 21 [33] JP [31] 212977/2004

[73] 专利权人 NEC 液晶技术株式会社

地址 日本神奈川县川崎市

[72] 发明人 田中宏明 安田亨宁 铃木圣二

[56] 参考文献

US6122025A 2000. 9. 19

US5530573A 1996. 6. 25

US6188176B1 2001. 2. 13

US6433842B1 2002. 8. 13

JP11259016A 1999. 9. 24

审查员 张梦欣

[74] 专利代理机构 中原信达知识产权代理有限公司

代理人 穆德骏 陆 弋

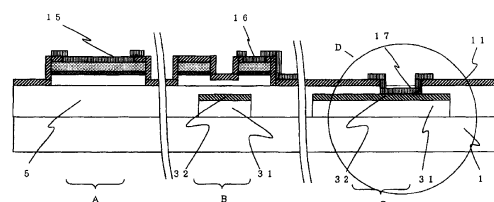
权利要求书 4 页 说明书 25 页 附图 30 页

[54] 发明名称

薄膜晶体管电路器件及其制造方法、以及液晶显示设备

[57] 摘要

对于薄膜晶体管电路器件来说需要一种薄膜晶体管电路器件及其制造方法，其中该器件包括的布线结构是在下层中为铝合金和在上层中为钼合金，其中钼合金在空气中的腐蚀不易进行。薄膜晶体管电路器件暴露出被绝缘膜所覆盖的布线部分和在所暴露的表面上包含有由引脚电极金属所形成的引脚，该器件在暴露的表面上包含引脚，该引脚是由引脚电极金属形成的，其中的绝缘膜将形成于衬底的中心部分的主电路区的薄膜晶体管与形成于衬底外围的保护电路区连接起来，并且其中布线的最上层表面是含铌的钼合金。



1. 一种薄膜晶体管电路器件，其包括：

在朝着形成在衬底外围上的引脚的方向延伸的形成在衬底中心部分上的主电路区的薄膜晶体管的布线，

其中所述布线包括钼合金，该钼合金包括 5atom%至 20atom%的铌，并且被绝缘膜覆盖，

其中所述引脚包括形成在所述布线上的引脚电极，所述引脚电极是通过暴露由所述绝缘膜覆盖的布线的一部分而形成的，以及

其中至少所述布线表面的所述暴露部分包括形成在所述钼合金上的薄铌氧化层，由此使得该薄铌氧化层配置在所述布线和所述引脚电极之间。

2. 如权利要求 1 所述的薄膜晶体管电路器件，其中钼合金包含 5~10atom%的铌。

3. 如权利要求 1 所述的薄膜晶体管电路器件，其中钼合金包含 10~15atom%的铌。

4. 如权利要求 1 所述的薄膜晶体管电路器件，其中钼合金包含 15~20atom%的铌。

5. 如权利要求 1 所述的薄膜晶体管电路器件，其中布线只由所述钼合金组成。

6. 如权利要求 1 所述的薄膜晶体管电路器件，其中布线包括叠层结构，其中至少最上层包括含铌的所述钼合金层，并且钼合金层的下层由与钼合金层相比具有较低电阻的低电阻金属组成。

7. 如权利要求 6 所述的薄膜晶体管电路器件，其中布线形成于硅

膜上且进一步包括形成作为布线下层的钼层或钼合金层。

8. 如权利要求 6 所述的薄膜晶体管电路器件，其中该低电阻金属使用以铝作为主要成分的金属、以铜作为主要成分的金属或以银作为主要成分的金属中的任意一种。

9. 如权利要求 8 所述的薄膜晶体管电路器件，其中以铝作为主要成分的金属为纯铝或含钹的铝合金。

10. 如权利要求 8 所述的薄膜晶体管电路器件，其中引脚电极由透明的导电膜组成。

11. 如权利要求 10 所述的薄膜晶体管电路器件，其中透明的导电膜是 ITO（铟锡氧化物）、IZO（铟锌氧化物）或 IZTO（铟锡锌氧化物）。

12. 一种薄膜晶体管电路器件，包括

在衬底中心上形成的主电路区和衬底外围上形成的外部电路区中形成的布线和薄膜晶体管，其中

其中薄膜晶体管的电极和由主电路区和外部区域形成的布线被绝缘膜所覆盖，并且

其中在绝缘膜上提供有通路孔径，并且薄膜晶体管的电极的最上表面和布线中的至少其中之一被暴露在通路孔径上，

其中布线和薄膜晶体管的电极中的至少其中之一连接到金属膜，

其中在布线和电极所暴露的最上层表面上形成钼合金膜，该钼合金膜包括 5~20atom%的铌，以及

其中在该钼合金表面上形成薄铌氧化层，该钼合金包含最上层表面的铌。

13. 如权利要求 12 所述的薄膜晶体管电路器件，其中该薄铌氧化层的厚度为 1~5nm。

14. 如权利要求 12 所述的薄膜晶体管电路器件，其中钼合金包含 5~10atom%的铌。

15. 如权利要求 12 所述的薄膜晶体管电路器件，其中钼合金包含 10~15atom%的铌。

16. 如权利要求 12 所述的薄膜晶体管电路器件，其中钼合金包含 15~20atom%的铌。

17. 如权利要求 12 所述的薄膜晶体管电路器件，其中布线或薄膜晶体管电极只由含铌的钼合金组成。

18. 如权利要求 13 所述的薄膜晶体管电路器件，其中布线或薄膜晶体管电极是叠层结构，在这种结构中，至少最上层是所述含铌的钼合金层，并且钼合金层的下层由与钼合金相比具有低电阻值的低电阻金属组成。

19. 如权利要求 18 所述的薄膜晶体管电路器件，其中布线或薄膜晶体管的电极形成在硅膜上，且进一步包括形成作为电极或布线的底层的钼层或钼合金层。

20. 如权利要求 18 所述的薄膜晶体管电路器件，其中低电阻金属是以铝作为主要成分的金属、以铜作为主要成分的金属或以银作为主要成分的金属的任意一个。

21. 如权利要求 20 所述的薄膜晶体管电路器件，其中以铝作为主要成分的金属为纯铝或含钹的铝合金。

22. 如权利要求 12 所述的薄膜晶体管电路器件，其中金属膜由透

明的导电膜组成。

23. 如权利要求 22 所述的薄膜晶体管电路器件，其中透明导电膜是 ITO（铟锡氧化物）、IZO（铟锌氧化物）或 IZTO（铟锡锌氧化物）。

24. 一种薄膜晶体管电路器件的制造方法，该器件包括在衬底中心上形成的主电路区和衬底外围上形成的外部电路区形成的布线和薄膜晶体管，该方法包括如下步骤：

在薄膜晶体管电极或布线上形成绝缘膜；

在薄膜晶体管或布线处的绝缘膜上形成的通路孔径处将薄膜晶体管电极或布线的最上层表面暴露出来；

在通路孔径之间形成布线，

其中所述薄膜晶体管的所述电极或所述布线包括钼合金，该钼合金包含 5~20atom% 的铌，以及

其中在薄膜晶体管或布线处的绝缘膜上形成的通路孔径处将薄膜晶体管电极或布线的最上层表面暴露出来之后，所述布线或所述薄膜晶体管的所述电极的最上层的所述暴露表面被氧化，从而形成铌氧化层。

25. 如权利要求 24 所述的薄膜晶体管电路器件的制造方法，其中在通路孔径之间形成布线是使用含有大气的氧气来进行溅射。

26. 一种液晶显示设备，其中如权利要求 1 至 23 任意一项所述的薄膜晶体管电路器件包括单个衬底，该衬底被安排面对着另一个衬底，在该另一个衬底上至少形成有共用布线，

其中液晶显示设备是通过在隙缝之间施加液晶来形成的。

薄膜晶体管电路器件及其制造方法、 以及液晶显示设备

技术领域

本发明涉及薄膜晶体管电路器件及其制造方法，以及使用薄膜晶体管电路器件的液晶显示设备。

背景技术

最近，薄膜晶体管（TFT）液晶显示设备成为液晶显示设备的主流，薄膜晶体管被用作薄膜晶体管电路器件的开关元件，其中由于将 TFT 液晶显示设备制作得更大，并且 TFT 液晶显示设备的像素制作得更小，因此 TFT 液晶显示设备得到了显著改进。除了只是用作开关元件来驱动 TFT 液晶显示设备的像素以外，在液晶显示设备中使用的薄膜晶体管电路器件现在还作为用于驱动液晶的驱动电路的晶体管，以及作为用于静电保护电路的晶体管，被制造在衬底上。

因此，对于在薄膜晶体管电路器件晶体管的电极之间进行连接所使用的布线的需求变得更为强烈。

现有情况下，为了减少在薄膜晶体管电路器件中形成的布线中的布线电阻，使用了诸如铝（Al）或铝合金等铝布线。

不过，铝布线的缺点是根据受热时间长短，容易形成小丘。这种小丘具有锥形尖端，因此容易造成破坏表面衬底的问题。有一种叠层布线方法可以解决这种问题，在该方法中，将难熔金属薄膜叠加在铝布线上。日本专利未决公开申请 11-259016 公开了一种用于在铝布线上叠加难熔金属（例如，钼（Mo））薄膜以便在铝布线上防止出现小丘的技术。

日本专利未决公开申请 11-259016 所公开的叠层布线，在下层使用铝钕合金 (Al-Nd)，在上层使用难熔金属。日本专利未决公开申请 11-259016 公开了一种金属作为难熔金属，这种金属可以从 Cr、Mo、W、Ti、Zr、Hf、V、Nb 和 Ta 这一组金属或其合金中选取。

上述叠层布线被氮化物膜所覆盖，以便在当通过干蚀去除氮化物膜来使引脚暴露出来时，必须使用氮化物膜和钼合金的蚀刻选择性，以防止钼合金被蚀刻。日本专利未决公开申请 2000-284326 公开了通过向钼中添加大约 17atom% (下面写作 at%) 或更多的铌 (Nb) 来使 Mo-Nb 蚀刻率为氮化物蚀刻率的 1/4 或更低的一种技术。

不过，钼布线容易受到空气中湿气的腐蚀。因此，对于钼布线，暴露于空气的引脚部分的表面容易发生钼腐蚀，使外部连接的可靠性更差。另外，当使用 Cr、W、Ti、Zr、Hf、V、Nb 或 Ta 而不是使用钼来作为难熔金属时，对铝合金薄片的湿蚀刻比较难，因为栅极布线侧的锥形会得到恶化，这样形成的夹在栅极布线上层上的层间绝缘膜之间的漏极和源极布线就会断开连接。

另外，日本专利未决公开申请 2000-284326 公开指出，优选情况下向钼中添加大约 17atom% 或更多的铌，以提高覆盖着布线的氮化物和组成布线上层的钼合金的干蚀选择率，因为钼合金蚀刻率可以降低到氮化物膜蚀刻率的 1/4 或更低。不过，对于钼合金的抗腐蚀性没有更为深入的研究。

本发明的目标是增加空气中用于薄膜晶体管电路器件的钼合金的抗腐蚀性，其中薄膜晶体管电路器件包括使用钼合金来至少用于布线的布线结构。

发明内容

本发明是一种薄膜晶体管电路器件，它具有在朝着形成在衬底外围上的引脚的方向延伸的形成在衬底中心部分上的主电路区的薄膜晶体管的布线，所述薄膜晶体管电路器件的特征在于：所述引脚暴露由绝缘膜覆盖的布线的一部分，以及引脚的所述暴露表面由引脚电极金属形成，其中至少所述布线的所述暴露表面是含铌的钼合金。

钼合金在优选情况下含有的铌占 5~20atom%。

布线可以只由含铌的钼合金层组成。另外，布线可以是叠层结构，其中至少最上层为含铌的钼合金层，并且钼合金层的下层由与钼合金层相比具有较低电阻的低电阻金属组成。当布线是在硅膜上形成时，钼合金层在优选情况下进一步形成于下层上。

低电阻金属层可以使用以铝作为主要成分的金属、以铜作为主要成分的金属或以银作为主要成分的金属之一。

以铝作为主要成分的金属在优选情况下为纯铝或含钽的铝合金。引脚电极在优选情况下是透明的电极，其中可以使用 ITO（铟锡氧化物）、IZO（铟锌氧化物）或 IZTO（铟锡锌氧化物）来作为透明电极。

本发明还提出了一种薄膜晶体管电路器件，它包括薄膜晶体管和通过在衬底中心形成的主电路区和在衬底外围形成的外部电路区来形成的布线；形成于薄膜晶体管的电极或布线上的绝缘膜；形成于绝缘膜上的孔径，它暴露出薄膜晶体管电极或布线的至少一部分；以及连接布线，它将孔径与电极，或电极与电极连接起来，其中组成由孔径所暴露出的薄膜晶体管电极或布线的金属是含铌的钼合金膜。

进而，铌氧化物层优选情况下形成于由孔径所暴露出的含铌的钼合金的表面上。

由孔径所暴露出的铝合金在优选情况下含有的铌占 5~20atom%。

另外，本发明的特征是，布线或薄膜晶体管电极的组成只由含铌的铝合金层。布线或薄膜晶体管电极可以是叠层结构，在这种结构中，至少最上层是含铌的铝合金层，并且铝合金层的下层包括与铝合金相比具有低电阻的低电阻金属。布线或薄膜晶体管电极还可以进一步具有形成于底层上的铝合金层。

低电阻金属层可以是以铝作为主要成分的金属、以铜作为主要成分的金属或以银作为主要成分的金属之一，其中以铝作为主要成分的金属在优选情况下为纯铝或含钨的铝合金。

电极或连接布线在优选情况下是透明的电极，其中可以使用 ITO（铟锡氧化物）、IZO（铟锌氧化物）或 IZTO（铟锡锌氧化物）来作为透明电极。

另外，本发明提出了一种包含薄膜晶体管的薄膜晶体管电路器件的制造方法，它是通过在衬底中心部分形成的主电路区和在衬底外围形成的外部电路区来形成的，以及布线，它包括用于在至少薄膜晶体管电极或布线上形成绝缘膜的绝缘膜形成处理；孔径形成处理，它暴露出薄膜晶体管电极或形成于绝缘膜上的下层布线的至少一部分，用于形成孔径；以及导电膜形成处理，用于形成导电膜，它包括将电极与孔径或电极与电极连接起来的布线，其特征是，由孔径所暴露出的组成薄膜晶体管电极的或布线的金属膜是含铌的铝合金。

另外，在孔径形成之后，优选地使用氧化处理，其中由孔径所暴露出的导电膜表面被氧化。

在这期间，导电膜形成处理和氧化处理还可以是在含氧的环境下使用金属溅射。

另外, 上述薄膜电路器件可以装配有所形成的衬底, 该衬底面对着另一个其上至少形成有共用布线的衬底, 其中液晶显示设备是通过在隙缝中夹着液晶来形成的。

根据本发明, 在钼中掺入 5~20at% 的铌可以显著改进钼合金在空气中的抗腐蚀性。将该布线结构应用于漏极布线, 可以提高栅极引脚/布线和漏极引脚/布线的可靠性。

附图说明

图 1 为部分平面图, 示意性地给出了薄膜晶体管衬底的内部电路和引脚附近的布线;

图 2 为剖面图, 根据 TFT 衬底的制造过程顺序中所示的第一个例子, 示意性地给出了漏极引脚、薄膜晶体管和栅极引脚的每一个截面;

图 3 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 2, 继续示出了制造过程;

图 4 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 3, 继续示出了制造过程;

图 5 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 4, 继续示出了制造过程;

图 6 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 5, 继续示出了制造过程;

图 7 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 6, 继续示出了制造过程;

图 8 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 7, 继续示出了制造过程;

图 9 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 8, 继续示出了制造过程;

图 10 示出了在改变钼合金中的 Nb 含量比例时, 合金在抗高温高湿测试中随时间的变化;

图 11 示出了当使用磷酸:硝酸:醋酸来湿蚀刻钼合金时, 因钼合金中的 Nb 含量比例而改变的蚀刻率;

图 12 为剖面图, 根据本发明的第二个例子, 示意性地示出了位于薄膜晶体管衬底上的栅极引脚电极, 其中对第一个例子的栅极引脚电极结构部分进行了修改;

图 13 为剖面图, 根据在 TFT 衬底的制造过程顺序中所示的本发明的第三个例子, 示意性地示出了漏极引脚、薄膜晶体管和栅极引脚的每一个截面;

图 14 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 13, 继续示出了制造过程;

图 15 为剖面图, 根据在 TFT 衬底的制造过程顺序中所示的本发明的第四个例子, 示意性地示出了漏极引脚、薄膜晶体管和栅极引脚的每一个截面;

图 16 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 15, 继续示出了制造过程;

图 17 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 16, 继续示出了制造过程;

图 18 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 17, 继续示出了制造过程;

图 19 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 18, 继续示出了制造过程;

图 20 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 19, 继续示出了制造过程;

图 21 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 20, 继续示出了制造过程;

图 22 为剖面图, 根据在 TFT 衬底的制造过程顺序中所示的本发明的第五个例子, 示意性地示出了漏极引脚、薄膜晶体管和栅极引脚的每一个截面;

图 23 为剖面图, 示意性地示出了薄膜晶体管衬底, 它接着图 22, 继续示出了制造过程;

图 24 为剖面图，示意性地示出了薄膜晶体管衬底，它接着图 23，继续示出了制造过程；

图 25 为剖面图，示意性地示出了薄膜晶体管衬底，它接着图 24，继续示出了制造过程；

图 26 为剖面图，示意性地示出了薄膜晶体管衬底，它接着图 25，继续示出了制造过程；

图 27 为剖面图，示意性地示出了薄膜晶体管衬底，它接着图 26，继续示出了制造过程；

图 28 为剖面图，示意性地示出了薄膜晶体管衬底，它接着图 27，继续示出了制造过程；

图 29 为剖面图，示意性地示出了薄膜晶体管衬底，它接着图 28，继续示出了制造过程；

图 30 为剖面图，示意性地示出了薄膜晶体管衬底，它接着图 29，继续示出了制造过程；以及

图 31 为根据本发明用于连接晶体管的图形图形。

标号 1 表示透明衬底，

标号 2 和 22 表示栅极布线，

标号 3 表示栅极引脚，

标号 4 表示静电保护电路，

标号 5 表示氮化物膜，

标号 7 表示漏极布线，

标号 8 表示漏极引脚，

标号 10 表示薄膜晶体管，

标号 11 表示保护膜，

标号 12、13 和 14 表示各个孔径，

标号 15 表示漏极引脚电极，

标号 16 表示像素电极，

标号 17 表示漏极引脚电极，

标号 18 表示铌氧化物膜，

标号 19 表示静电保护元件，
标号 31 和 122 表示各个铝合金层，
标号 32、121 和 123 表示各个钼合金层，
标号 70 表示铬（Cr）膜，
标号 57、58、59、88、89 和 90 表示各个抗蚀图形，
标号 61 表示非晶硅（a-Si）膜，
标号 62 表示 n+型 a-Si 膜，
标号 73 表示漏极引脚，
标号 74 表示漏极电极，
标号 75 表示源极电极，以及
标号 100 表示 TFT 电路器件。

具体实施方式

本发明的一个目标是提高在空气中用于薄膜晶体管电路器件的钼合金的抗腐蚀性，该器件包括使用至少用于布线的钼合金的布线结构。本发明的进一步目标是在当湿蚀刻由至少钼合金和铝或铝合金组成的薄膜时获取蚀刻形状，该形状为前向锥形。

根据本发明的薄膜晶体管电路器件包括第一衬底；位于第一衬底上的栅极布线，该栅极布线在显示区域的外围组成了栅极引脚；位于第一衬底上的第一绝缘膜，它覆盖着栅极布线；位于第一绝缘膜上的半导体层，它用作为薄膜晶体管有源层；漏极布线，它与栅极布线相交，并且在显示区域的外围处组成了漏极引脚；位于第一绝缘膜上的第二绝缘膜，它覆盖漏极布线；栅极布线电极和漏极引脚电极分别覆盖着栅极引脚孔径和漏极引脚孔径，它们位于栅极引脚和漏极引脚的绝缘膜上，其特征是，栅极布线自底向上包括低电阻金属和含铌的钼合金，其中低电阻金属的电阻值比钼合金的电阻值低。

在上述薄膜晶体管电路器件中，源电极是与漏极布线在同一层上形成的，漏极布线和源极布线分别连接到半导体层，其中漏极布线和

源极布线自底向上包括钼或钼合金、中间层中的低电阻金属、以及含铌的钼合金，并且其中低电阻金属的电阻值比下层中的钼或钼合金，或上层中的钼合金之一的电阻值要低。

接触孔进一步位于源电极上的第二绝缘膜上，其中使用与栅极引脚电极和漏极引脚电极具有相同材料的像素电极经由接触孔连接到源电极。

另外，在上层钼/铌和组成栅极引脚电极和漏极引脚电极的材料之间有铌氧化物，它能够使与外部连接的可靠性得到改善。

在上述薄膜晶体管电路器件中，组成栅极引脚电极和漏极引脚电极的材料是 ITO（铟锡氧化物）、IZO（铟锌氧化物）或 IZTO（铟锡锌氧化物）。

在薄膜晶体管电路器件中，低电阻金属可以是以铝作为主要成分的金属、以铜作为主要成分的金属或以银作为主要成分的金属中之一。进而，以铝作为主要成分的金属在优选情况下为纯铝或含铍的铝合金。

另外，根据本发明的薄膜晶体管电路器件的制造方法是薄膜晶体管衬底的制造方法，它包括栅极布线形成处理，用于在第一衬底上形成栅极布线，在显示区域的外围处组成栅极引脚；第一绝缘膜形成处理，用于在覆盖着栅极布线的的第一衬底上形成第一绝缘膜；半导体形成处理，用于在第一绝缘膜上形成具有栅极布线一部分的薄膜晶体管半导体，以作为栅极电极；漏极布线形成处理，用于形成漏极布线，该布线在第一绝缘膜上与栅极布线相交，并且在显示区域的外围处组成漏极引脚和连接到半导体层；第二绝缘膜形成处理，用于在覆盖着漏极布线的的第一绝缘膜上形成第二绝缘膜；孔径形成处理，用于在栅极引脚和漏极引脚的绝缘膜上形成栅极引脚孔径和漏极引脚孔径；以

及引脚电极形成处理，用于分别形成覆盖着栅极引脚孔径和漏极引脚孔径的栅极引脚电极和漏极引脚电极，其特征是，栅极布线自底向上包括低电阻金属和含铌的钼合金，其中低电阻金属的电阻值比钼合金的电阻值低。

在上述薄膜晶体管电路器件的制造方法中，在漏极布线形成处理中，漏极布线是与源电极同时形成的，源极布线连接到半导体层，并且漏极布线和源极布线自底向上包括钼或钼合金、中间层中的低电阻金属、以及含铌的钼合金，其中低电阻金属与下层中的钼或钼合金，或者上层中的钼合金任一相比具有较低的电阻。

在上述薄膜晶体管电路器件的制造方法中，在引脚孔径形成处理中，在源电极上的第二绝缘膜中有接触孔，其中使用与栅极引脚电极和漏极引脚电极具有相同材料的像素电极经由接触孔连接到源电极。

另外，在上述薄膜晶体管电路器件的制造方法中，在上层钼/铌和组成栅极引脚电极和漏极引脚电极的材料之间有铌氧化物，它能够使与外部连接的可靠性得到改善。

在上述薄膜晶体管电路器件的制造方法中，组成栅极引脚电极和漏极引脚电极的材料是 ITO、IZO 或 IZTO。

在上述薄膜晶体管电路器件的制造方法中，以铝作为主要成分的金属在优选情况下为纯铝或含钽的铝合金。

根据本发明的钼合金是优化的钼合金，其中在钼中掺入了 5~20at% 的铌。在湿蚀刻由钼合金和铝或铝合金组成的薄膜的过程中，当要获得前向锥形的蚀刻形状时，钼合金与铝合金的蚀刻速率比在优选情况下为 1.5~0.5，并且更为优选情况下为 1.25~0.75。这些条件可以通过在钼合金中包含 5~15at% 的 Nb 含量，或者包含 5~10at% 的 Nb 含量而

得到。蚀刻速率比也可以通过对磷酸:硝酸:醋酸进行组分调整而得到。当尤其要优先考虑抗腐蚀性时,在钼合金中有 20at%的 Nb 含量也是可以的。

为了获得前向锥形蚀刻形状,则在 Mo 中掺入 5~10at%的 Nb 是最优的,当要优先考虑抗腐蚀性时,则在 Mo 中掺入 10~15at%的 Nb 是最优的,并且当尤其要优先考虑抗腐蚀性时,则在 Mo 中掺入 15~20at%的 Nb 是最优的。

根据本发明使用钼合金的布线是用于在薄膜晶体管电路器件的表面进行布线的最优结构,其中暴露出表面的引脚的结构与连接到该引脚的布线结构是一样的。布线结构在优选情况下是钼合金单层结构布线或多层结构布线,其中下层是钼合金并且上层是钼合金。当形成布线的基本物质(衬底或形成于衬底上的薄膜)是硅衬底时,多层布线结构是更为优选的,其中下层是钼或钼合金,中间层是钼合金,并且最上层是钼合金。

根据本发明的薄膜晶体管电路器件可以将第一衬底安排在面对例如由共用布线所形成的第二衬底的位置,其中液晶显示设备是通过在隙缝中夹住液晶来形成的。

[例子]

(第一个例子)

现在来讲述液晶显示像素形成于其上的衬底侧,作为根据本发明的一个例子。图 1 示意性地给出了液晶显示像素形成于其上的衬底侧的薄膜晶体管电路器件的整个结构的一部分。图 2~9 为处理剖面图,示意性地给出了薄膜晶体管电路器件(TFT 电路器件)的整个结构的一部分。

不用说,本发明也可以应用于除了液晶显示设备之外的薄膜晶体

管电路器件。

如图 1 所示, TFT 电路器件 100 在水平方向上有栅极布线 2 和栅极引脚 3, 并且静电保护布线 4 形成于衬底的最外围。栅极布线 2 穿过栅极引脚 3 之后成为栅极布线 22, 并且经由静电保护元件 19 与静电保护布线 4 相连。漏极布线 7 被放置于 TFT 电路器件 100 上, 与栅极布线 2 垂直。漏极布线 7 穿过漏极引脚 8 之后成为漏极布线 27, 并且经由静电保护元件 19 与静电保护布线 4 相连。薄膜晶体管 10 位于栅极布线 2 和漏极布线 7 相交的区域中。薄膜晶体管 10 的栅极引脚与栅极布线 2 相连, 并且薄膜晶体管 10 的漏极引脚与漏极布线 7 相连, 由此源极引脚与像素电极(图中未示出)相连。组成静电保护元件 19 的晶体管结构与薄膜晶体管 10 的结构相同。

在图 1 中, 由线 I-I' 定界的内部区域为主电路区, 其中对于液晶显示设备中所使用的薄膜晶体管电路器件来说, 该区域成为显示区域。

根据图 1 所示的薄膜晶体管电路器件形成了液晶显示设备的衬底。在生产薄膜晶体管电路器件的过程中, 静电保护元件 19 用于静电保护, 其中在生产液晶显示设备的处理过程中, 沿着线 II-II' 剪切衬底。在有些情况下, 诸如静电保护电路或驱动电路等电路额外地形成于栅极引脚 3、漏极引脚 4 和显示元件区之间, 不过图 1 中没有将其显示出来。这些静电保护电路或驱动电路统称为外部电路区。与静电保护元件 19 类似, 形成于电路区中的薄膜晶体管是由具有与形成于主电路区中的薄膜晶体管 10 具有相同结构的晶体管制成的。

图 2~12 为处理剖面图, 示意性地给出了在薄膜晶体管电路器件的生产处理序列中漏极布线 7 和漏极引脚 8、薄膜晶体管 10、布线 2 和栅极 3 的各自截面。每一个图的序列从左到右依次是漏极布线和漏极引脚形成区 A、薄膜晶体管形成区 B 以及栅极布线和栅极引脚形成

区 C。

首先，薄膜厚度为 200~400nm 并且包含有 2 at%的钽的铝合金以及薄膜厚度为 50~100nm 并且包含有 5~15at%的铌的铝合金依次淀积在由玻璃组成的透明衬底 1 上，以形成叠层膜，其中下层为铝合金，上层为铝合金。栅极布线 2、栅极引脚 3 和静电保护布线 4（图中未示出）是通过使用湿蚀刻技术来形成的（第一照相平版处理），这种湿蚀刻技术使用了磷酸:硝酸:醋酸蚀刻剂，并且使用通过对叠层膜进行普通照相平版处理而形成的光致抗蚀剂来作为掩膜。栅极布线 2、栅极引脚 3 和静电保护布线 4（图中未示出）具有叠层结构，其中下层为铝合金层 31，并且上层为铝合金层 32（如图 2 所示）。

作为透明衬底中所使用的玻璃，当使用高温多晶硅技术来形成薄膜晶体管时，使用的是诸如石英等耐热玻璃；而当使用低温多晶硅技术或非晶硅技术时，可以使用碱性或非碱性玻璃。由于本实施例是通过使用非晶硅技术来形成用于彩色 TFT 显示器件的薄膜晶体管的例子，因此使用了非碱性玻璃。

接下来，膜的厚度为 200nm~600nm 的氮化物膜 5、膜的厚度为 100nm~300nm 的非晶硅膜 61（下面称为“a-Si”）、膜的厚度为 20nm~70nm 的 n⁺型非晶硅膜 62（下面称为“n⁺型 a-Si”）和膜的厚度为 200nm~500nm 的铬（Cr）膜 7 按照这种顺序被淀积（如图 3 所示）。

可以使用诸如氮化物膜、氧氮化物膜和氧化膜等绝缘膜作为氮化物膜 5，起到用于薄膜晶体管的栅极绝缘体的作用。

接下来，通过照相平版技术，使用半色掩膜来使抗蚀图形 58、59 在 Cr 膜 7 上形成。抗蚀图形 58 形成于包括有漏极引脚的漏极布线的形成区 A 上，并且抗蚀图形 59 形成于薄膜晶体管的形成区 B 上。

在该步骤中，优选情况下通过使用半色或灰色掩膜来形成抗蚀图形 58 和 59。

除了完全暴露的部分和阴影部分，半色或灰色掩膜是具有对应于薄膜晶体管的沟道区域的半透射区域的图形。结果，形成于薄膜晶体管（下面称为“TFT”）形成区 B 上的抗蚀图形 59 的膜厚度在通过薄膜晶体管沟道形成的区域中为 $0.5\mu\text{m}\sim 1.0\mu\text{m}$ ，并且在其他区域中为 $1.5\mu\text{m}\sim 2.0\mu\text{m}$ 。

接下来，通过使用混合溶液，例如硝酸氟锑和硝酸，可以通过蚀刻将 Cr 膜 7 除去（如图 4 所示）。

接下来，通过干蚀，以抗蚀图形 58、59 作为掩膜，连续不断地将 n^+ 型 a-Si 膜 62 和 a-Si 膜 61 除去（如图 5 所示）。

接下来，仅仅在除去了与抗蚀图形 59 内的薄膜晶体管沟道区域对应的薄部分的这段时间中，通过氧等离子体灰化处理在厚度方向上对抗蚀图形 58 和 59 进行蚀刻。因此，抗蚀图形 58、59 变成抗蚀图形 88、89 和 90，每一个层的膜厚度均为 $0.5\mu\text{m}\sim 1.0\mu\text{m}$ （如图 6 所示）。

接下来，通过有选择性地干蚀，以抗蚀图形 88、89 和 90 作为掩膜，将 Cr 膜 7 除去，以形成漏极引脚隐蔽电极 73、TFT 漏极电极 74 和源极电极 75（如图 7 所示）。

接下来，一旦除去抗蚀图形 88、89 和 90，然后通过使用干蚀，以漏极引脚 73、TFT 漏极电极 74 和源极电极 75 作为掩膜，将薄膜晶体管 10 的沟道区域的 n^+ 型 a-Si 膜 62 和 a-Si 膜 61 的一部分除去（第二照相平版阶段）。接下来，由膜厚度为 $100\sim 300\text{nm}$ 的氮化物膜组成的保护膜 11 形成于衬底表面上，然后通过使用照相平版处理，通过蚀刻将漏极引脚、薄膜晶体管 10 的源极电极 75 和栅极引脚上的绝缘

膜除去，以形成孔径 12、13 和 14。此时，通过对保护膜 11 进行蚀刻，形成了与漏极引脚 8 和薄膜晶体管 10 的源极电极 75 对应的孔径 12 和 13，同时通过对保护膜 11 和氮化物膜 5 进行蚀刻，形成了与栅极引脚 3 对应的孔径 14（第三照相平版阶段）（如图 8 所示）。

不用说，除了氮化物膜之外，保护膜 11 可以采用由氧化物膜、氧氮化物膜等制成的绝缘膜。

最后，在通过使用照相平版处理来形成用作蚀刻掩膜的光致抗蚀图形之后，通过使用溅射技术来淀积膜厚度为 30~100nm 的 ITO（铟锡氧化物）膜。接下来，通过干蚀来对 ITO 膜形成图形，以形成漏极引脚电极 15、像素电极 16 和栅极引脚电极 17（第四照相平版处理）（如图 9 所示）。

如上所述形成了 TFT 电路器件。如图 9 所示，栅极引脚 3 的结构自底向上依次为铝合金、钼合金和 ITO，其中钼合金的 Nb 含量优选地为 5~20at%（原子重量比）。

进而，即使使用 IZO（铟锌氧化物）或 IZTO（铟锡锌氧化物）来替代 ITO，也可以获得同样的效果。

将钼合金夹在 ITO、IZO 或 IZTO 和铝合金之间防止在 ITO、IZO 或 IZTO 和 Al 之间发生导电，并且降低了与 ITO、IZO 或 IZTO 的接触电阻。不过，ITO、IZO 或 IZTO 很容易让湿气通过，使得甚至对于钼合金是由 ITO、IZO 或 IZTO 所覆盖的这样一种结构，也需要防潮的钼合金。这里，通过使用图形讲述了在钼中包含有 5~20at% 的 Nb 的显著效果。

图 10 示出了在改变钼合金中 Nb 的比例时，合金在抗高温高湿测试中随时间的变化（横轴和纵轴均为对数刻度）。对于不包含任何 Nb

的纯钼来说, 30 小时过去之后合金抵抗力开始上升。对于分别包含有 5、10 和 15 at%的合金, 虽然对于 5 at%含量的合金来说在 30 个小时之后可以观察到上升的迹象, 但是对于 10 和 15 at%含量的合金来说还看不到合金抵抗力有任何的变化。大约 100 小时过去之后就可以观察到 10 和 15 at%含量的合金的抵抗力在上升。因此, 可以看出对于湿气抵抗力来说, 钼合金中的 Nb 含量优选地为 5 at%或更多, 并且 10 at%或更多是更为优选的。

当 Nb 含量大于 15 at%时, 抵抗力的变化与含量为 10 at%或 15 at%所观察到的没有什么不同。

图 11 示出了当使用磷酸:硝酸:醋酸来湿蚀刻钼合金时, 由于钼合金中所包含的 Nb 含量比例而导致的钼合金和铝合金蚀刻率的比率的变化。理想情况下, 由于要对钼合金和铝合金的叠层进行湿蚀刻, 因此为了获得较好的蚀刻形状, 优选情况下钼合金和铝合金蚀刻率几乎是相等的。因此, 钼合金和铝合金蚀刻率的比率优选地为 1.5~0.5, 并且更为优选地为 1.25~0.75。在这些条件下, 在钼合金中 Nb 含量为 5~15 at%或者含量为 5~10 at%是可以实现的。通过对磷酸:硝酸:醋酸溶液的组成进行调整, 蚀刻率的比率也是可以调整的。当尤其要优先考虑抗腐蚀性时, 在钼合金中 Nb 含量为 20 at%也是可以的。

从图 10 和 11 的结果来看, 在钼合金中 Nb 含量为 5~20 at%的钼合金是最优的。对于采用了本发明的液晶显示设备, 当优先考虑蚀刻形状时, 钼中的 Nb 含量为 5~10 at%是最优的, 同时当优先考虑抗腐蚀性时, 钼中的 Nb 含量为 10~15 at%是最优的。当尤其要优先考虑抗腐蚀性时, 钼中的 Nb 含量为 15~20 at%是最优的。

在本实例中, 由于通过使用最简单的结构来解释了显示设备的结构, 因此使用了形成于同一层上的结构来解释显示设备区中的栅极布线和漏极布线。不过, 还有一些情况, 如当为了保护组成显示设备和

驱动电路的晶体管免受应用于栅极引脚 3 和漏极引脚 3 的静电干扰而提供静电保护电路时，或者当像素部分的结构很复杂，诸如为面内类型时，或者当栅极电极和栅极布线/漏极电极和漏极布线建于单独的层上时。图 31 示意性地给出了用于一个薄膜晶体管的栅极布线与另一薄膜晶体管的边缘相连的例子。图 31 (a) 示出了这一结构的平面图，并且图 31 (b) 示出了沿着图 31 (a) 的线 III-III' 的剖面图。

在图 31 (a) 中，平行地形成了两个薄膜晶体管，其中一个薄膜晶体管的栅极布线 2 与另一个薄膜晶体管的一个电极相连，并且另一个薄膜晶体管的栅极布线与第一个薄膜晶体管的一个电极相连。图 31 (b) 是沿着图 31 (a) 的线 III-III' 的剖面图。铝合金层 31 和钼合金层 32 的叠层结构栅极布线形成于衬底 1 上。在栅极布线上形成了氮化物膜 5，以用作栅极绝缘膜；薄膜晶体管的主体，它是由 a-Si 膜 61 和 n⁺型 a-Si 膜 62 构成的叠层结构；以及叠层电极，由形成于主体之上的钼合金层 121、铝合金层 122 和钼合金层 123 组成。形成了保护膜 11，用以覆盖整个表面，其中用于暴露电极的第一孔径形成于电极上的保护膜 11 上。进而，在保护膜 11 和氮化物膜 5 上，形成的第二孔径用于暴露布线的表面。通过第一孔径和第二孔径形成的连接布线 77 用于将栅极布线和电极连接起来。

(第二个例子)

接下来，在图 12 中将解释根据本发明的第二个例子。图 12 为图 9 的部件 D 的放大图，其中铌氧化膜 18 形成于栅极引脚 ITO 和钼合金的分界面上。

当溅射淀积 ITO 时，通过在氩气 (Ar) 中添加氧气 (O₂) 可以得到铌氧化膜 18。

在第二个例子中，ITO 所淀积的厚度为 30nm~100nm。

压力为 0.3~0.6 Pa、DC 电源为 1~2KW、O₂ 流为 Ar 流的 0.1~2% 是比较优选的条件，尽管根据设备，其它值可以是更优的。不用说，可以正确地将这些条件确定下来。

在溅射开始后，在 Ar 中添加少量的 O₂ 可以直接在铝合金的表面上形成厚度约为 1~5nm 的薄铌氧化膜 18。由于铌氧化膜为非迁移性物质，因此它起到阻挡膜的作用，并且能够防止其下的 Mo 和 Al 受到腐蚀。

不用说，在含氧的大气中进行加热之后，通过溅射 ITO 也可以形成铌氧化膜 18。当在溅射 ITO 之前加热衬底时，通过在不减小溅射设备内部压力的情况下在氩气中添加空气或氧气，加热衬底，然后减小压力和实施溅射，可以在不增加处理数目的情况下形成铌氧化膜 18。

（第三个例子）

接下来，通过使用图 13 和 14 来解释根据本发明的第三个例子。在第一个例子中，由铝合金和钼合金组成的叠层结构仅应用于栅极布线，而在本实例中该结构也应用于漏极布线。在这种情况下，由于漏极布线的下表面与非晶硅膜相接触，因此为了防止在铝膜和硅膜之间发生共晶反应，在铝合金之下提供了钼合金，形成了一个三层结构。

虽然在本实例中使用非晶硅作为硅膜，但是不用说，单晶或多晶硅也可以达到同样效果。

在第一个例子的图 3 中，淀积了铬膜 7，而在本实例中依次淀积了膜厚度为 50nm~100nm 并且铌含量为 5~15 at%的钼合金膜 121、膜厚度为 200nm~400nm 并且钽含量为 2 at%的铝合金膜 122，以及膜厚度为 50nm~100nm 并且铌含量为 5~15 at%的钼合金膜 123（如图 13 所示）。

接下来，与图 4 中的方式相同，通过在钼合金膜 123 上使用灰色调掩膜，通过照相平版技术在每一个包括有漏极引脚的漏极布线形成区 A 和薄膜晶体管形成区 B 上形成了抗蚀图形。如图 4 中的解释所述，优选情况下通过使用使对应于薄膜晶体管沟道区域的区域成为半透射区域的半色或灰色调掩膜，来形成这些抗蚀图形。在该实施例中，在抗蚀图形所形成的区域中，通过薄膜晶体管沟道形成的区域的膜厚度为 $0.5\mu\text{m}\sim 1.0\mu\text{m}$ ，并且在其他区域中膜厚度为 $1.5\mu\text{m}\sim 2.0\mu\text{m}$ 。

接下来，通过湿蚀刻技术，例如使用磷酸:硝酸:醋酸蚀刻剂，以抗蚀图形 58、59 作为掩膜，可以对不被抗蚀图形覆盖的钼合金膜 121、铝合金膜 122 和钼合金膜 123 进行蚀刻。

之后，通过连续不断地干蚀处理，以抗蚀图形 58、59 作为掩膜，可以将 n+型 a-Si 膜 62 和 a-Si 膜 61 除去。

接下来，与图 6 的方式相同，仅仅在除去了与抗蚀图形内的薄膜晶体管沟道区域对应的薄部分的这段时间中，通过氧等离子体灰化处理在厚度方向上对抗蚀图形进行蚀刻。因此，除去了形成薄膜晶体管沟道区域的区域的抗蚀图形。

接下来，与图 7 的方式相同，通过蚀刻处理，以剩余抗蚀图形作为掩膜，将薄膜晶体管的沟道形成区域的钼合金膜 121、铝合金膜 122 和钼合金膜 123 除去。

接下来，与图 8 的方式相同，一旦除去抗蚀图形，就在厚度方向上，以漏极引脚和源极电极作为掩膜，将 n⁺型 a-Si 膜 62 和 s-Si 膜 62 的一部分除去（第二照相平版处理）。接下来，由膜厚度为 100~300nm 的氮化物膜组成的保护膜 11 形成于衬底表面上，然后通过使用照相平版处理，通过蚀刻将漏极引脚、薄膜晶体管 10 的源极电极和栅极引脚上的绝缘膜除去，以形成孔径。此时，通过对保护膜 11 进行蚀

刻，形成了与漏极引脚和薄膜晶体管的源极电极对应的孔径，同时通过对保护膜 11 和氮化物膜 5 进行蚀刻，形成了与栅极引脚对应的孔径 14（第三照相平版处理）。

最后，通过使用溅射技术，来淀积膜厚度为 30~100nm 的 ITO（铟锡氧化物）膜，然后通过使用照相平版技术形成图形，以形成漏极引脚电极 15、像素电极 16 和栅极引脚电极 17（第四照相平版处理）（如图 14 所示）。

因此，以这种方式就形成了 TFT 电路器件。如图 14 所示，漏极布线和引脚、栅极布线和引脚，以及源极和漏极电极的结构自底向上依次为钼合金、铝合金、钼合金和 ITO，其中优选情况下钼合金的 Nb 含量为 5~20 at%（原子重量比）。

（第四个例子）

图 15~22 为处理剖面图，示意性地示出了根据本实例用于 TFT 电路器件的生产处理顺序的漏极引脚 8、薄膜晶体管 10 和栅极引脚 3 的各自截面。在每一幅图中，从左到右依次展示了漏极布线和漏极引脚形成区 A、薄膜晶体管形成区 B，以及栅极布线和栅极引脚形成区 C。

首先，膜厚度为 200~400nm 并且包含有 2 at% 的铈的铝合金以及膜厚度为 50~100nm 并且包含有 5~15at% 的铈的钼合金依次淀积在透明衬底 1 上，由玻璃制成的透明衬底 1 形成了叠层膜，其中下层为铝合金（Al-Nd），上层为钼合金。栅极布线 2、栅极引脚 3 和静电保护布线 4（图中未示出）是通过使用湿蚀刻技术在叠层膜上形成的（第一照相平版处理）（如图 15 所示），这种湿蚀刻技术使用了磷酸:硝酸:醋酸蚀刻剂，并且使用通过对叠层膜进行普通照相平版处理而形成的光致抗蚀剂来作为掩膜。栅极布线 2、栅极引脚 3 和静电保护布线 4（图中未示出）具有叠层结构，其中下层为铝合金层 31，并且上层为

钼合金层 32。

与第一个例子的方式相同，由于本实例是形成用于彩色 TFT 显示设备的薄膜晶体管的例子，因此使用了非碱性玻璃。

接下来，依次淀积膜厚度为 200nm~600nm 的氮化物膜 5、膜厚度为 100nm~300nm 的非晶硅膜 61 (a-Si)、膜厚度为 20nm~70nm 的 n⁺型非晶硅膜 62 (n⁺型 a-Si) 以及膜厚度为 200nm~500nm 并且铌含量为 5~15 at% 的钼合金膜 40 (如图 16 所示)。

接下来，通过照相平版技术，使用了灰色调掩膜，在钼合金膜 40 上形成抗蚀图形 58、59。抗蚀图形 58 形成于包括有漏极引脚的漏极布线的形成区 A 上，并且抗蚀图形 59 形成于薄膜晶体管的形成区 B 上。

在该步骤中，优选情况下通过使用半色或灰色调掩膜来形成抗蚀图形 58 和 59。

除了完全暴露的部分和阴影部分，半色或灰色调掩膜具有与薄膜晶体管的沟道区域对应的半透射区域。结果，形成于薄膜晶体管（下面称为“TFT”）形成区 B 上的抗蚀图形 59 的膜厚度在通过薄膜晶体管沟道形成的区域中为 0.5μm~1.0μm，并且在其他区域中膜厚度为 1.5μm~2.0μm。

接下来，通过使用蚀刻剂，例如磷酸:硝酸:醋酸，来进行蚀刻，以抗蚀图形 58、59 作为掩膜，可以将钼合金 (Mo-Nb) 膜 40 除去 (如图 17 所示)。

接下来，以抗蚀图形 58、59 作为掩膜，通过干蚀可以连续不断地将 n⁺型 a-Si 膜 62 和 a-Si 膜 61 除去 (如图 18 所示)。

接下来，仅仅在除去了与抗蚀图形 59 内的薄膜晶体管沟道区域对应的薄部分的这段时间中，通过氧等离子体灰化处理在厚度方向上对抗蚀图形 58 和 59 进行蚀刻（如图 19 所示）。因此，抗蚀图形 58、59 变成抗蚀图形 88、89 和 90，每一个所具有的膜厚度为 $0.5\mu\text{m}\sim 1.0\mu\text{m}$ 。

接下来，通过有选择性地干蚀，以抗蚀图形 88、89 和 90 作为掩膜，将暴露在薄膜晶体管沟道区域中的钼合金膜 40 除去，以形成漏极引脚隐蔽电极 73、TFT 漏极电极 74 和源极电极 75（如图 20 所示）。

接下来，一旦除去抗蚀图形 88、89 和 90，通过使用干蚀，以 TFT 漏极电极 74 和源极电极 75 作为掩膜，将薄膜晶体管 10 的沟道区域的 n^+ 型 a-Si 膜 62 和 s-Si 膜 62 的一部分除去（第二照相平版处理）。接下来，由膜厚度为 $100\sim 300\text{nm}$ 的氮化物膜组成的保护膜 11 形成于衬底表面上，然后通过使用照相平版处理，对漏极引脚、薄膜晶体管 10 的源极电极 75 和栅极引脚上的绝缘膜进行蚀刻，以形成孔径 12、13 和 14。此时，通过对保护膜 11 进行蚀刻，形成了与漏极引脚 8 和薄膜晶体管 10 的源极电极 75 对应的孔径 12 和 13，同时通过对保护膜 11 和氮化物膜 5 进行蚀刻，形成了与栅极引脚 3 对应的孔径 14（第三照相平版处理）（如图 21 所示）。

最后，在通过使用照相平版处理来形成用作蚀刻掩膜的光致抗蚀图形之后，通过使用溅射技术来淀积膜厚度为 $30\sim 100\text{nm}$ 的 ITO（铟锡氧化物）膜。接下来，通过干蚀来对 ITO 膜形成图形，以形成漏极引脚电极 15、像素电极 16 和栅极引脚电极 17（第四照相平版处理）（如图 22 所示）。

（第五个例子）

在通过使用 4PR 来实施上述实例的同时，也可以通过使用 5PR 来实施这些实例。

图 23~30 为处理剖面图，示意性地示出了根据本实例用于 TFT 电路器件的生产处理顺序的漏极引脚 8、薄膜晶体管 10 和栅极引脚 3 的各自截面。在每一幅图中，从左到右依次图示了漏极布线和漏极引脚形成区 A、薄膜晶体管形成区 B，以及栅极布线和栅极引脚形成区 C。

首先，膜厚度为 200~400nm 并且包含有 2 at% 的钕的铝合金膜 21 以及膜厚度为 50~100nm 并且包含有 5~15at% 的铈的铝合金依次淀积在透明衬底 1 上，由玻璃制成的透明衬底 1 形成了叠层膜，其中下层为铝合金 (Al-Nd)，上层为铝合金。栅极布线 2、栅极引脚 3 和静电保护布线 4 (图中未示出) 是通过使用湿蚀刻技术在叠层膜上形成的 (第一照相平版处理) (如图 23 所示)，这种湿蚀刻技术使用了磷酸:硝酸:醋酸蚀刻剂，并且使用通过普通照相平版处理而形成的光致抗蚀剂来作为掩膜。栅极布线 2、栅极引脚 3 和静电保护布线 4 (图中未示出) 具有叠层结构，其中下层为铝合金层 31，并且上层为钼合金层 32。

与第一个例子的方式相同，由于本实例是形成用于彩色 TFT 显示设备的薄膜晶体管的例子，因此使用了非碱性玻璃。

接下来，依次淀积膜厚度为 200nm~600nm 的氮化物膜 5、膜厚度为 100nm~300nm 的非晶硅膜 61 (a-Si)、以及膜厚度为 20nm~70nm 的 n⁺型非晶硅膜 62 (n⁺型 a-Si)。

接下来，通过照相平版技术在非晶硅 (n⁺型 a-Si) 膜 62 上形成抗蚀图形 57。通过干蚀，以抗蚀图形 57 作为掩膜，将 n⁺型非晶硅 (n⁺型 a-Si) 膜 62 上和非晶硅膜 61 除去 (第二 PR 阶段)。

接下来，在除去抗蚀图形 57 后，形成了膜厚度为 200nm~500nm

并且铌含量为 5~15 at%的钼合金 (Mo-Nb) 膜 40 (如图 25 所示)。

接下来, 通过照相平版技术在钼合金膜 40 上形成抗蚀图形 88、89 和 90。抗蚀图形 88 形成于包括有漏极引脚的漏极布线区 A, 并且抗蚀图形 89 和 90 形成于薄膜晶体管形成区 B 上 (如图 26 所示)。

接下来, 通过使用蚀刻剂, 例如磷酸:硝酸:醋酸来进行蚀刻, 以抗蚀图形 89 和 90 作为掩膜, 将钼合金膜 40 除去 (如图 27 所示)。

接下来, 通过有选择性地干蚀, 以抗蚀图形 88、89 和 90 作为掩膜, 将暴露在薄膜晶体管沟道区域中的钼合金膜 40 除去, 以形成漏极引脚隐蔽电极 73、TFT 漏极电极 74 和源极电极 75 (第三照相平版处理) (如图 28 所示)。

接下来, 除去抗蚀图形 88、89 和 90, 然后以漏极引脚、漏极电极和源极电极作为掩膜, 在厚度方向上将 n^+ 型 a-Si 膜 61 和 a-Si 膜 62 的一部分除去。接下来, 由膜厚度为 100~300nm 的氮化物膜组成的保护膜 11 形成于衬底表面上, 然后通过使用照相平版处理, 对漏极引脚、薄膜晶体管 10 的源极电极 75 和栅极引脚上的绝缘膜进行蚀刻, 以形成孔径 12、13 和 14 (第四照相平版处理) (如图 29 所示)。此时, 通过对保护膜 11 进行蚀刻, 形成了与漏极引脚 8 和薄膜晶体管 10 的源极电极 75 对应的孔径 12 和 13, 同时通过对保护膜 11 和氮化物膜 5 进行蚀刻, 形成了与栅极引脚 3 对应的孔径 14。

最后, 在通过使用照相平版处理来形成用作蚀刻掩膜的光致抗蚀图形后, 通过使用溅射技术, 来淀积膜厚度为 30~100nm 的 ITO (铟锡氧化物) 膜。接下来, 通过干蚀来对 ITO 膜形成图形, 以形成漏极引脚电极 15、像素电极 16 和栅极引脚电极 17 (第五照相平版处理) (如图 30 所示)。

（第六个例子）

在进行湿蚀刻的处理中，需要将铝合金完全地除去。因此，当通过干蚀可以将含硅的 Al-Si 合金完全地除去时，对残留在表面上的薄层进行湿蚀刻就不是优选的做法。

不用说，除了钹之外，也可以包含通过湿蚀刻就可以被完全地除去其他杂质。

优选情况下使用纯铝或钹的原因是，它们可以通过湿蚀刻被完全地除去。

不用说，除了纯铝或铝合金之外，只要它们可以通过湿蚀刻被完全地除去，也可以使用以银作为主要组成成分的银合金或者以铜作为主要组成成分的铜合金。

另外，虽然参照面外类型的液晶显示设备的 TFT 结构来讲述上述实例，但是即使对于具有不同的液晶控制方法的 TFT 结构，诸如使用了面内类型等结构来说，也可以获得与上述实例相同的效果。

通过根据本发明的薄膜晶体管电路器件形成的第一衬底可以面对例如由普通布线制成的第二衬底，在普通布线中液晶显示设备是通过将液晶夹在缝隙中来形成的。

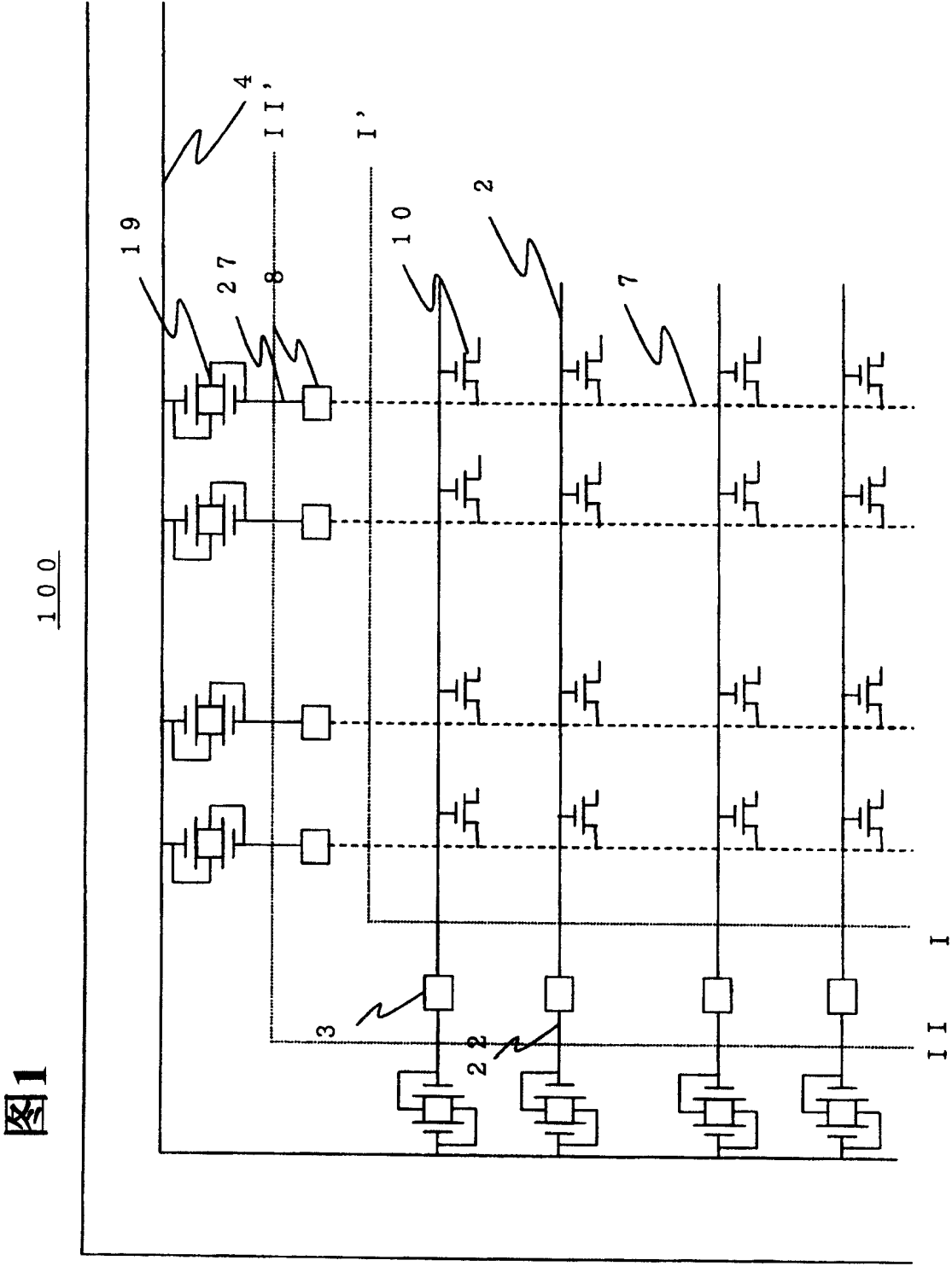
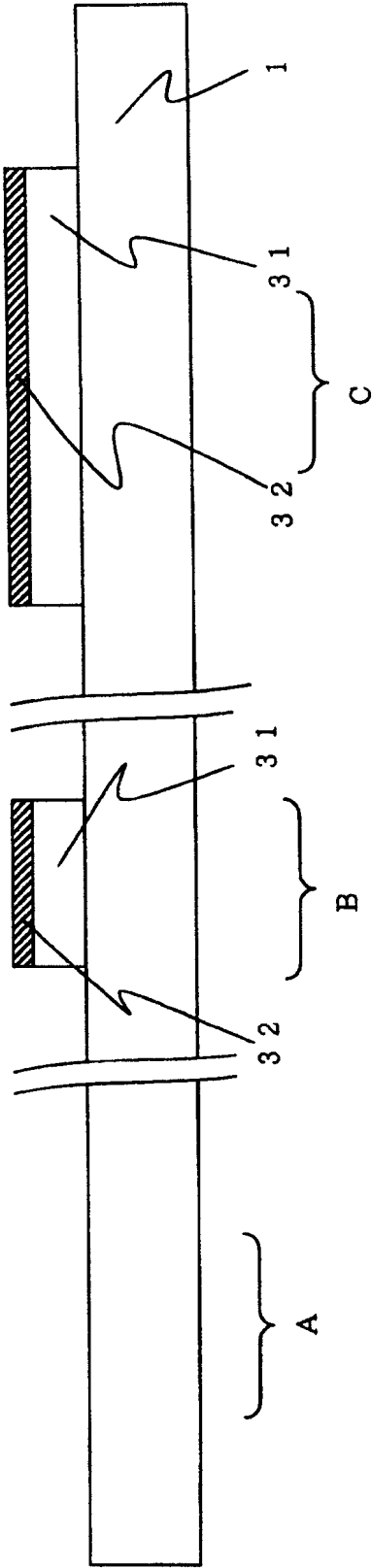


图2



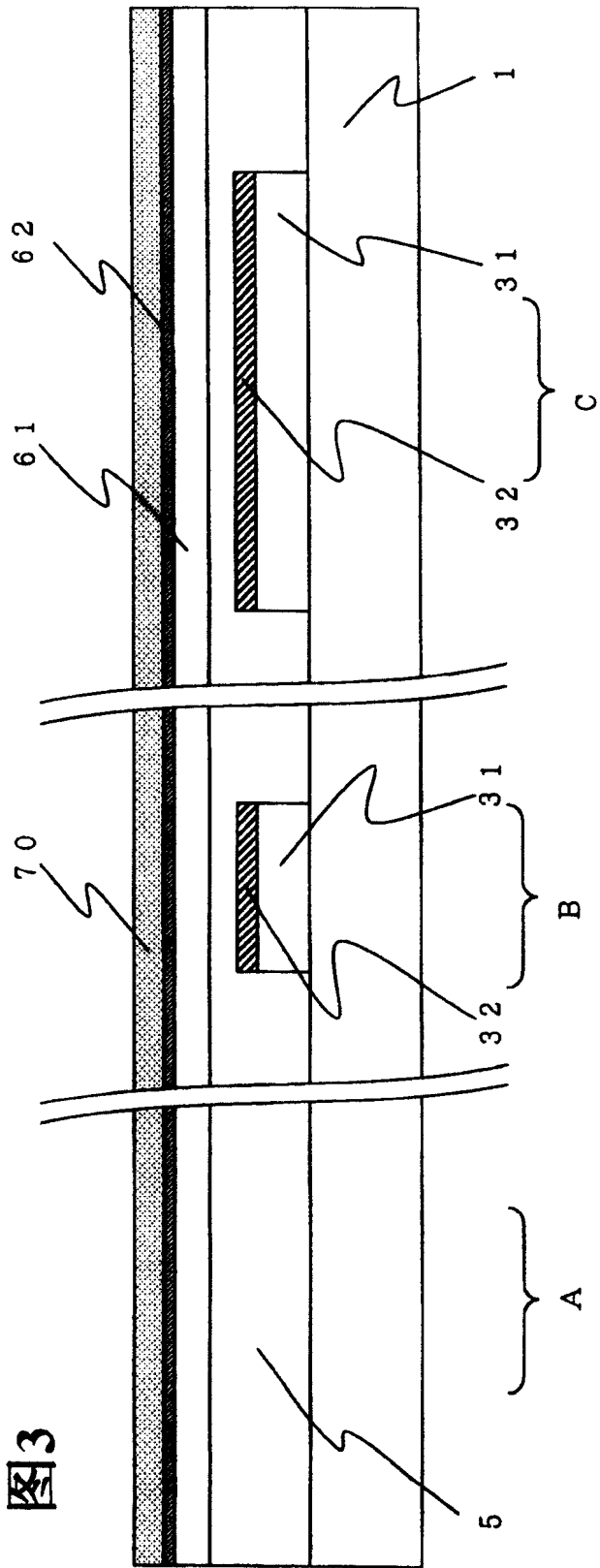
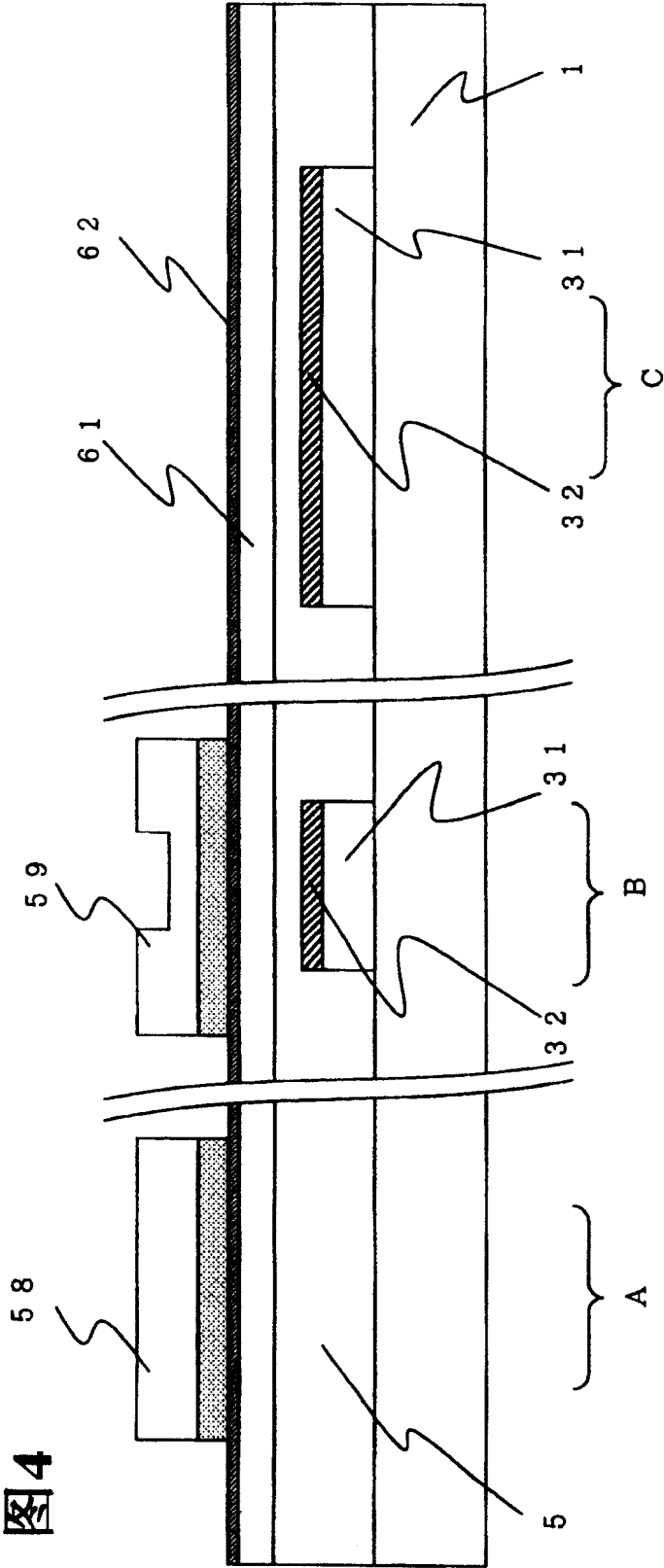
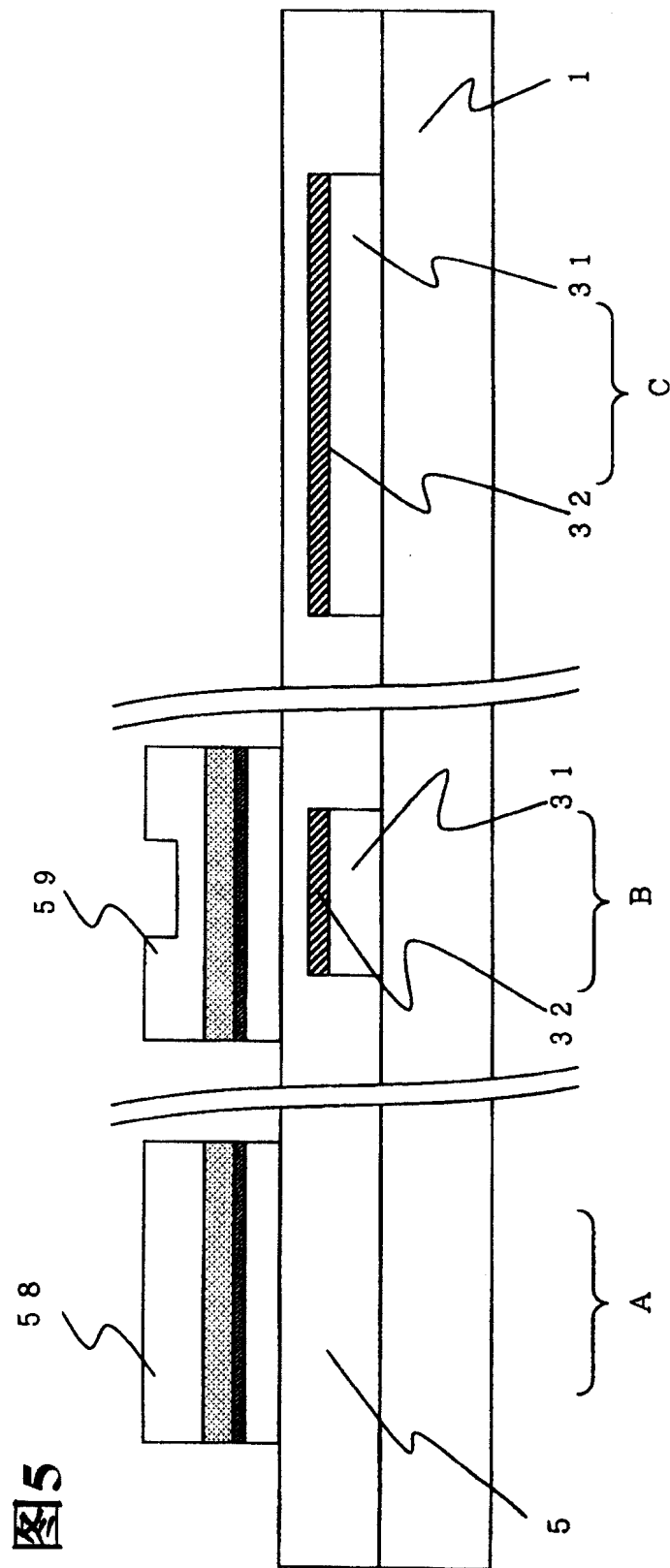


图3





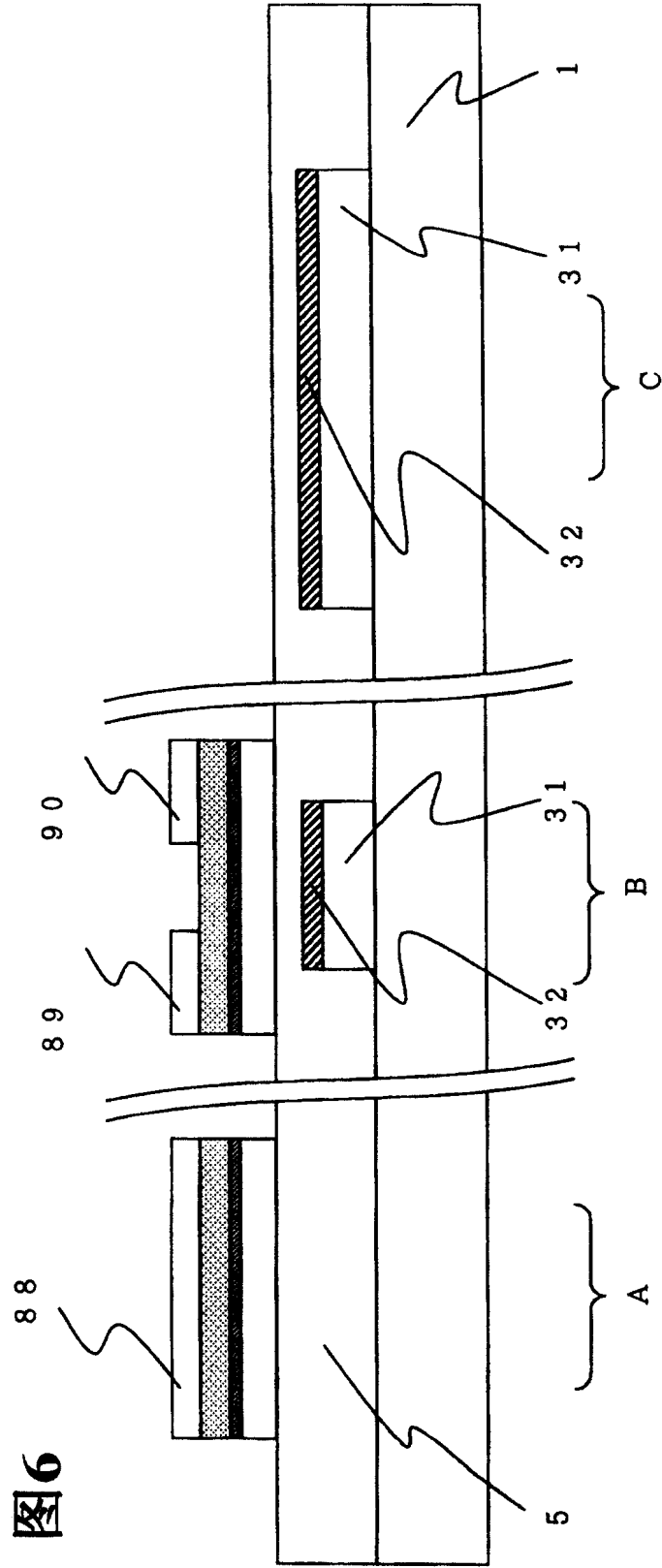


图7

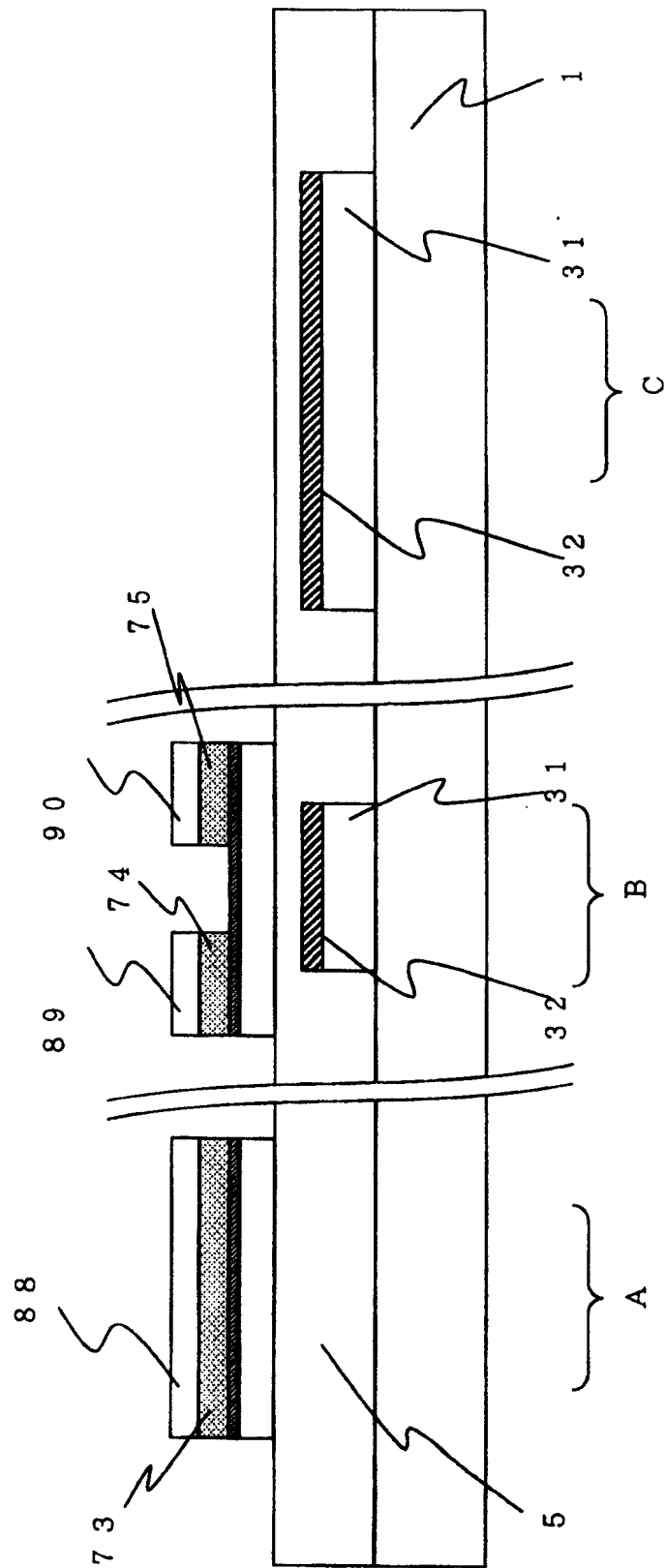


图8

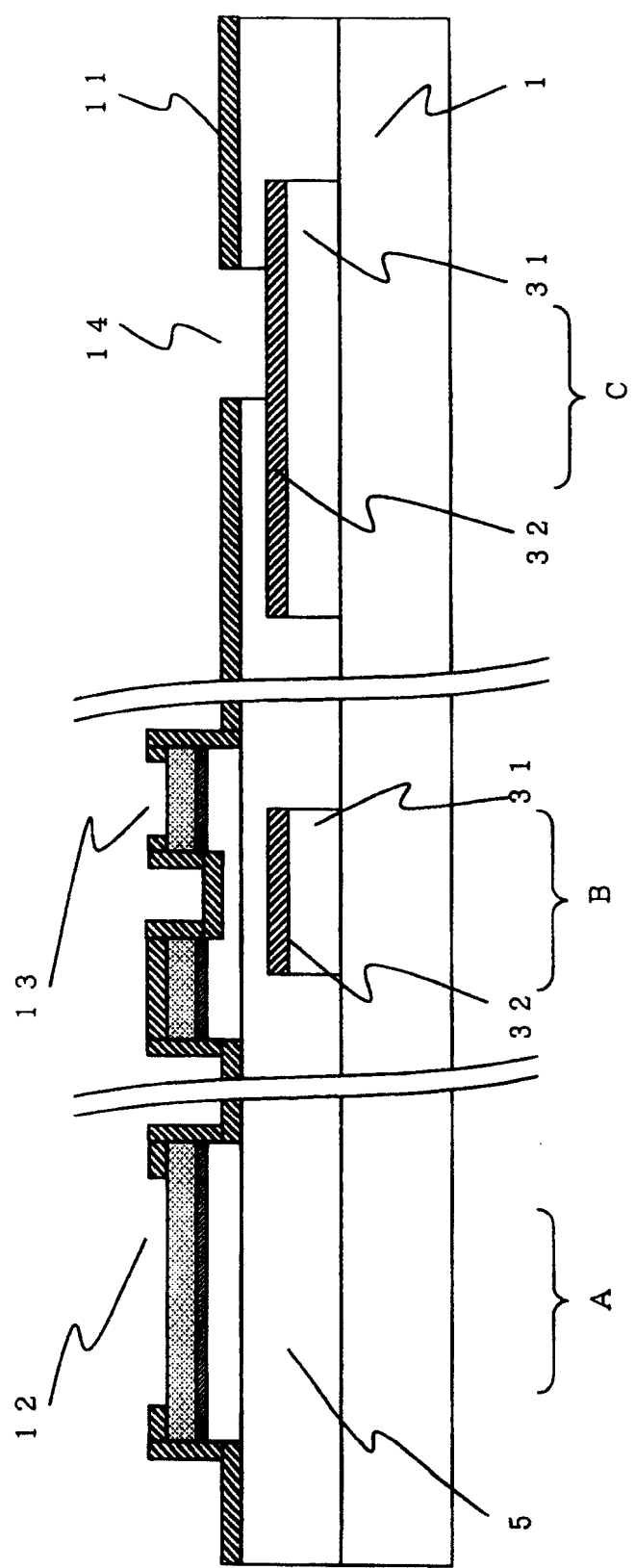


图9

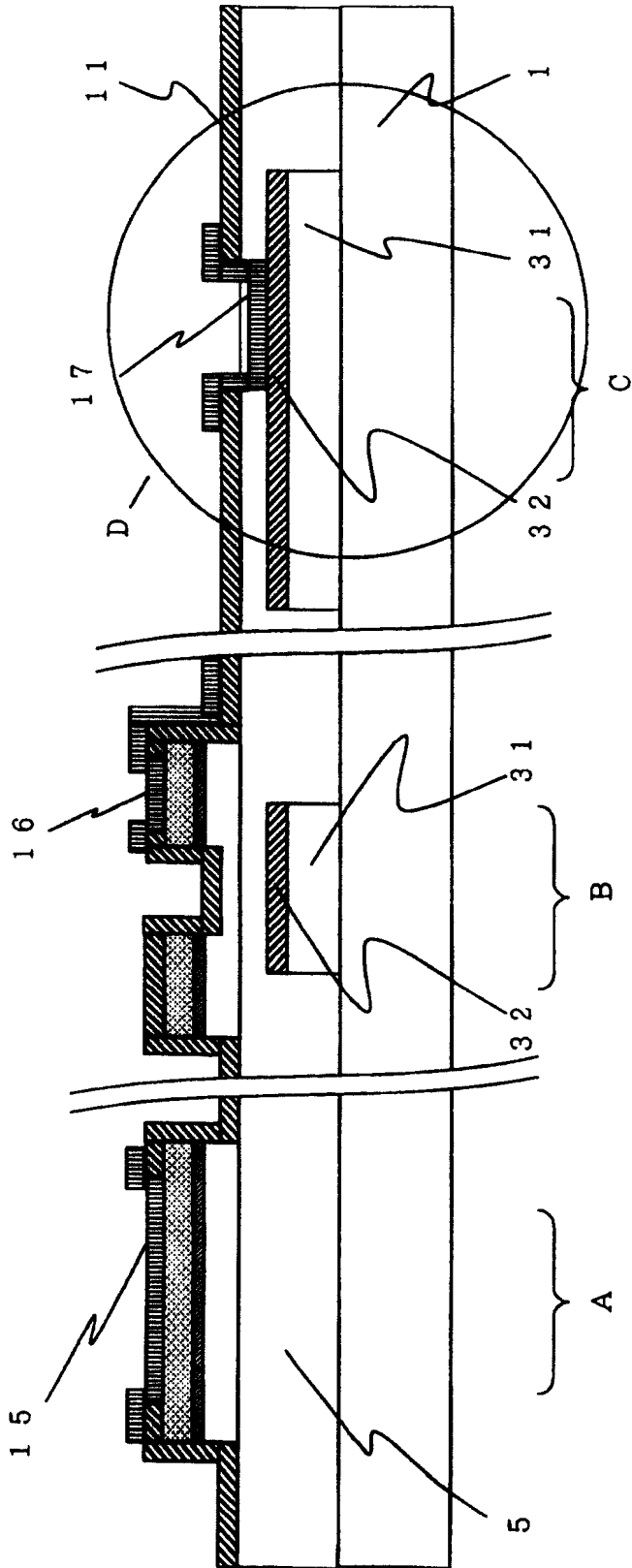


图10

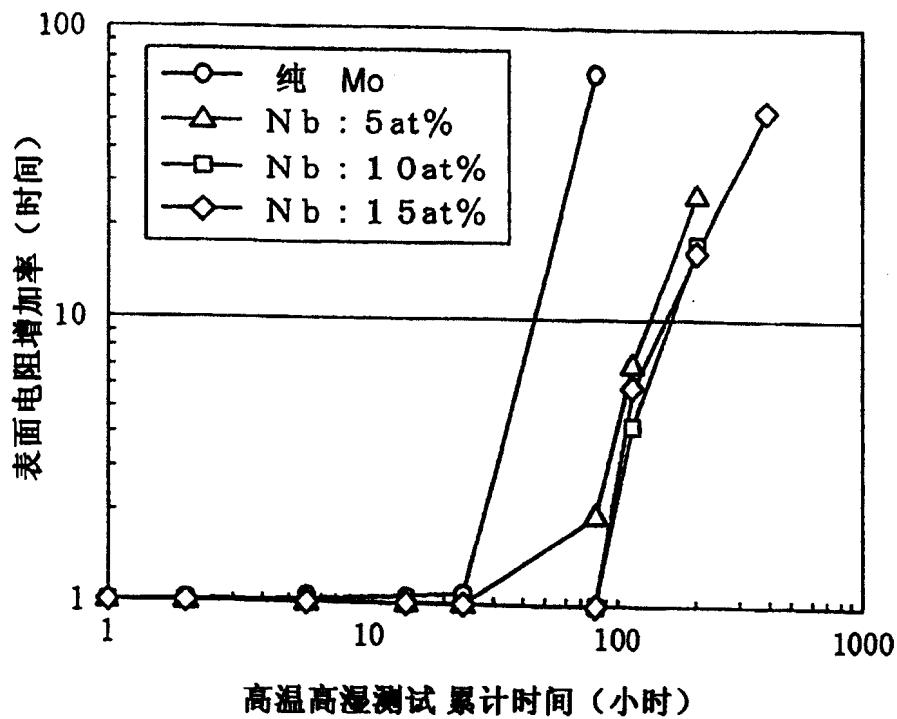


图11

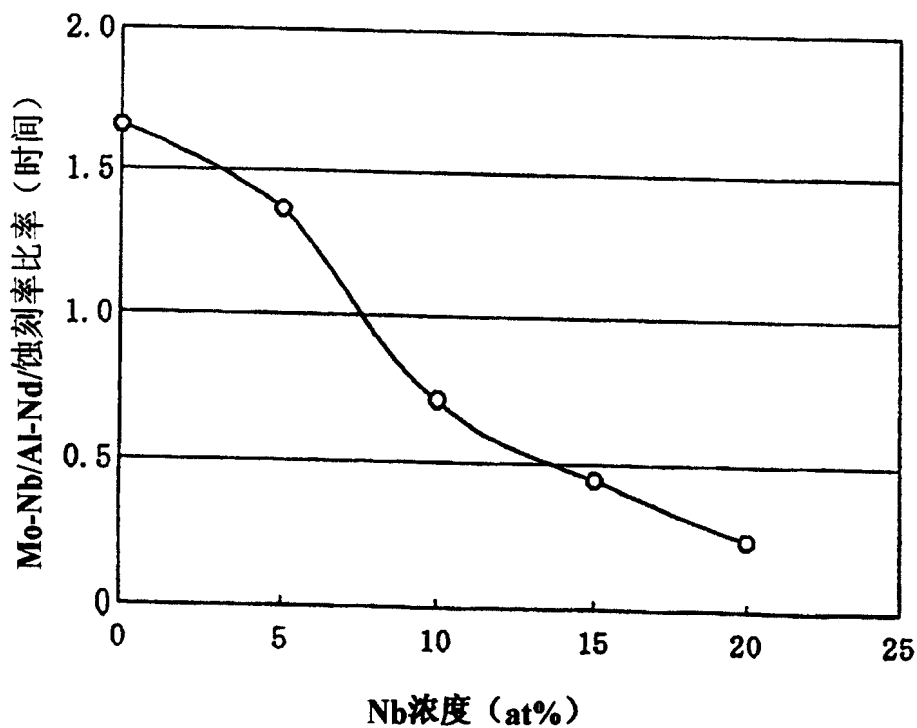


图12

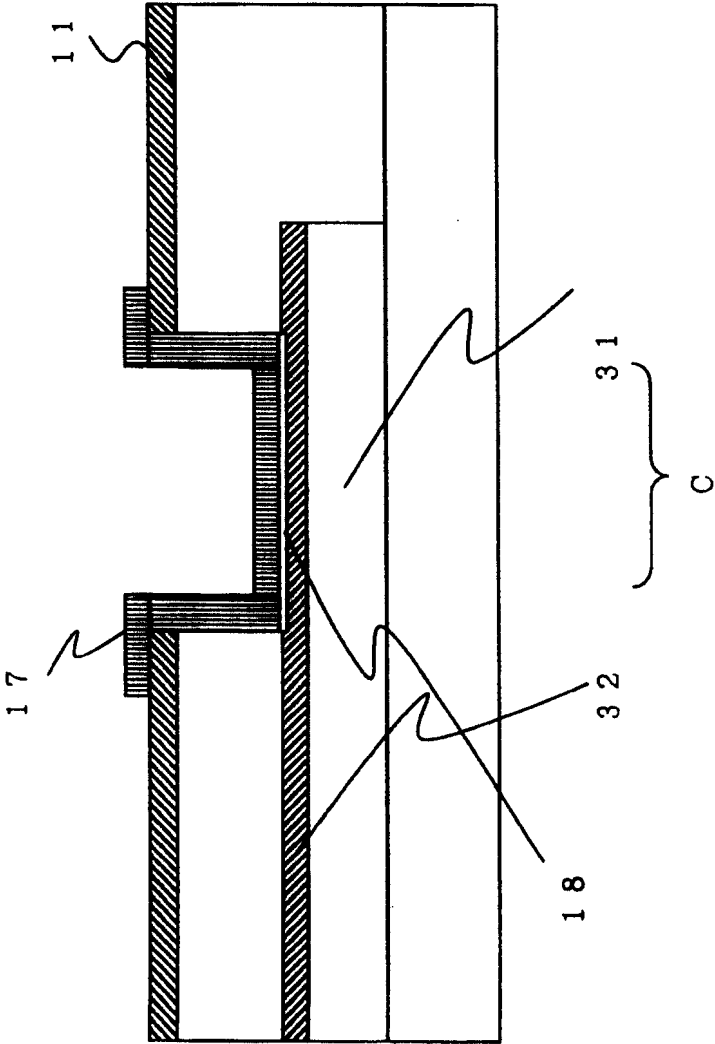


图13

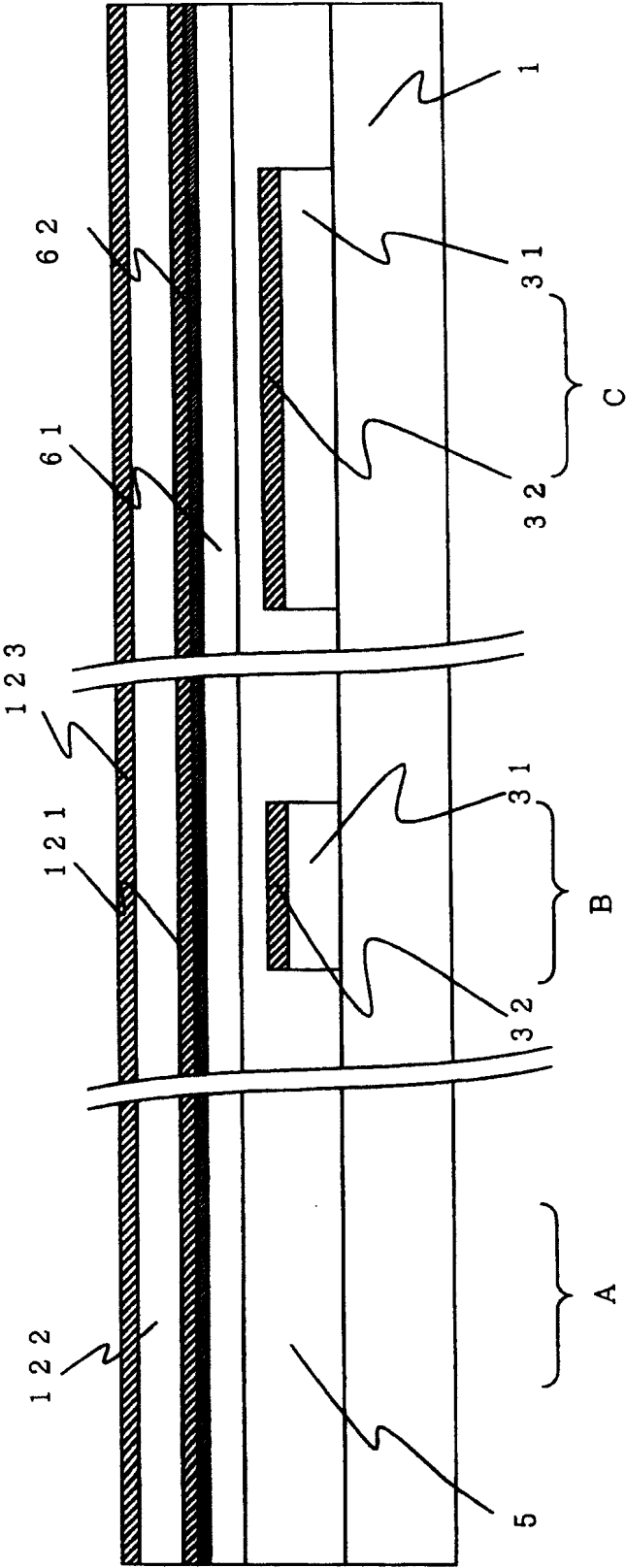


图14

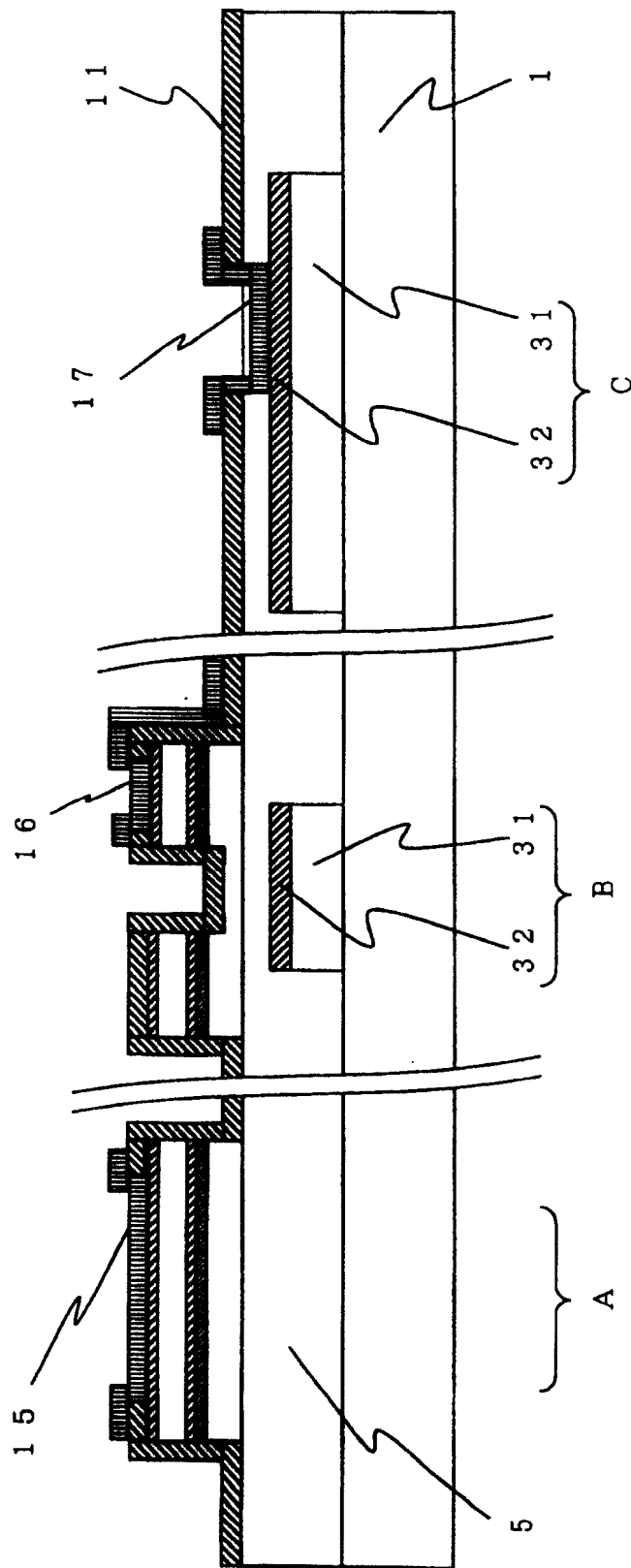
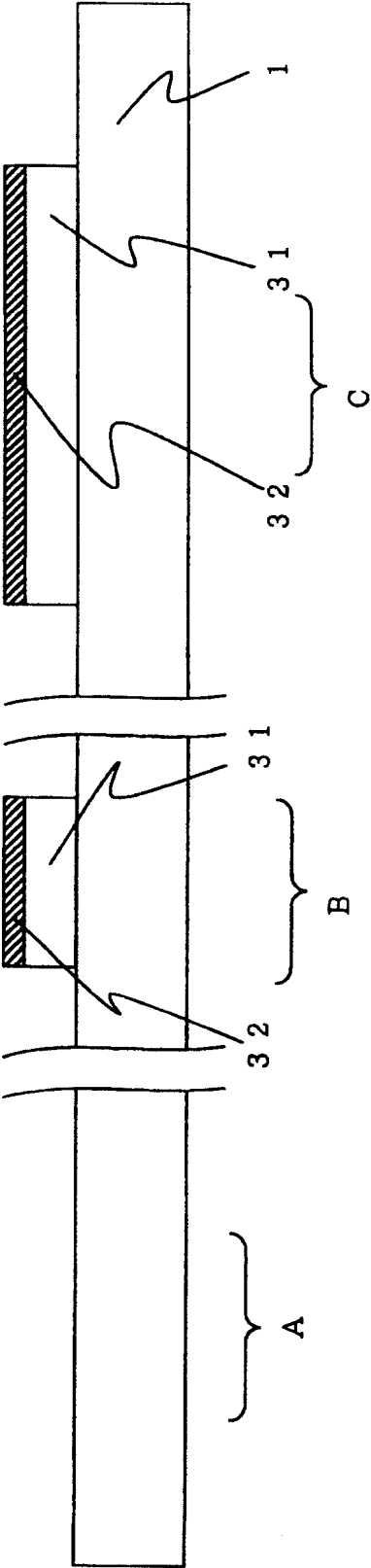
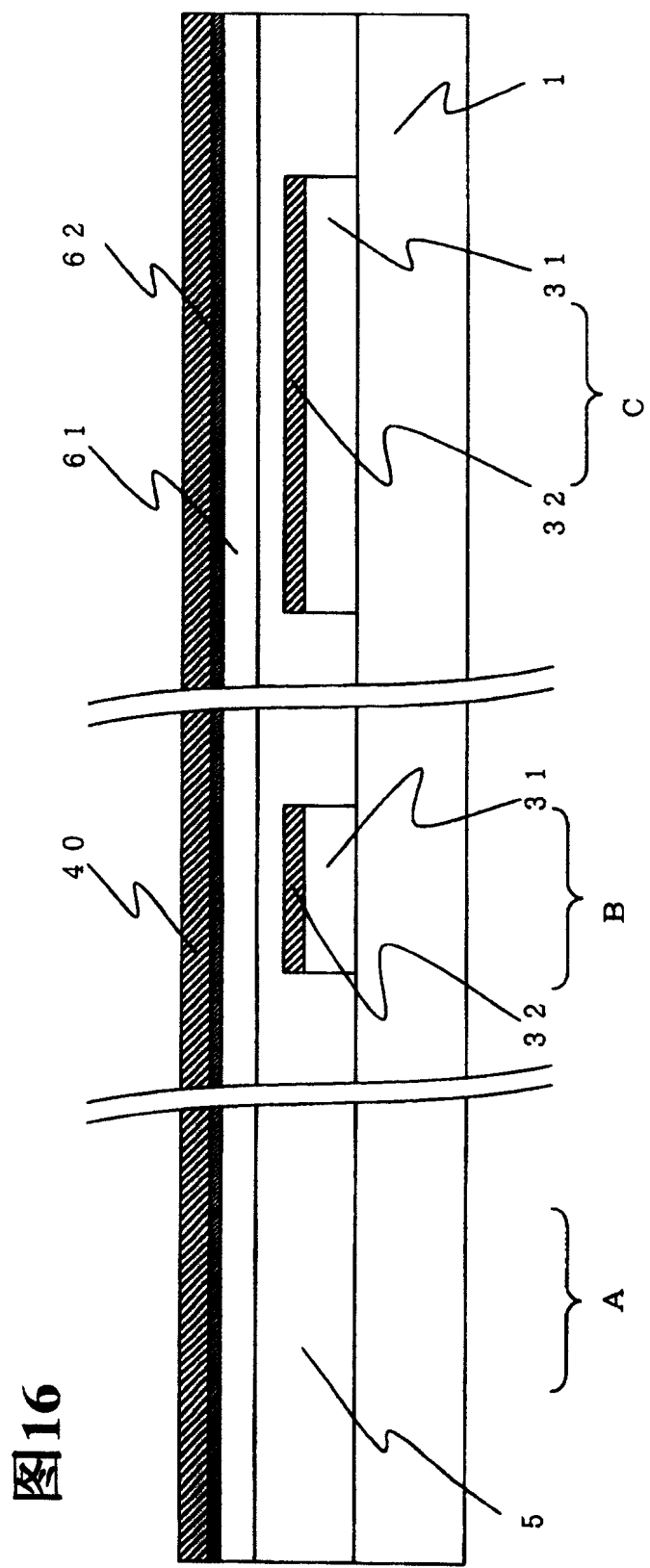
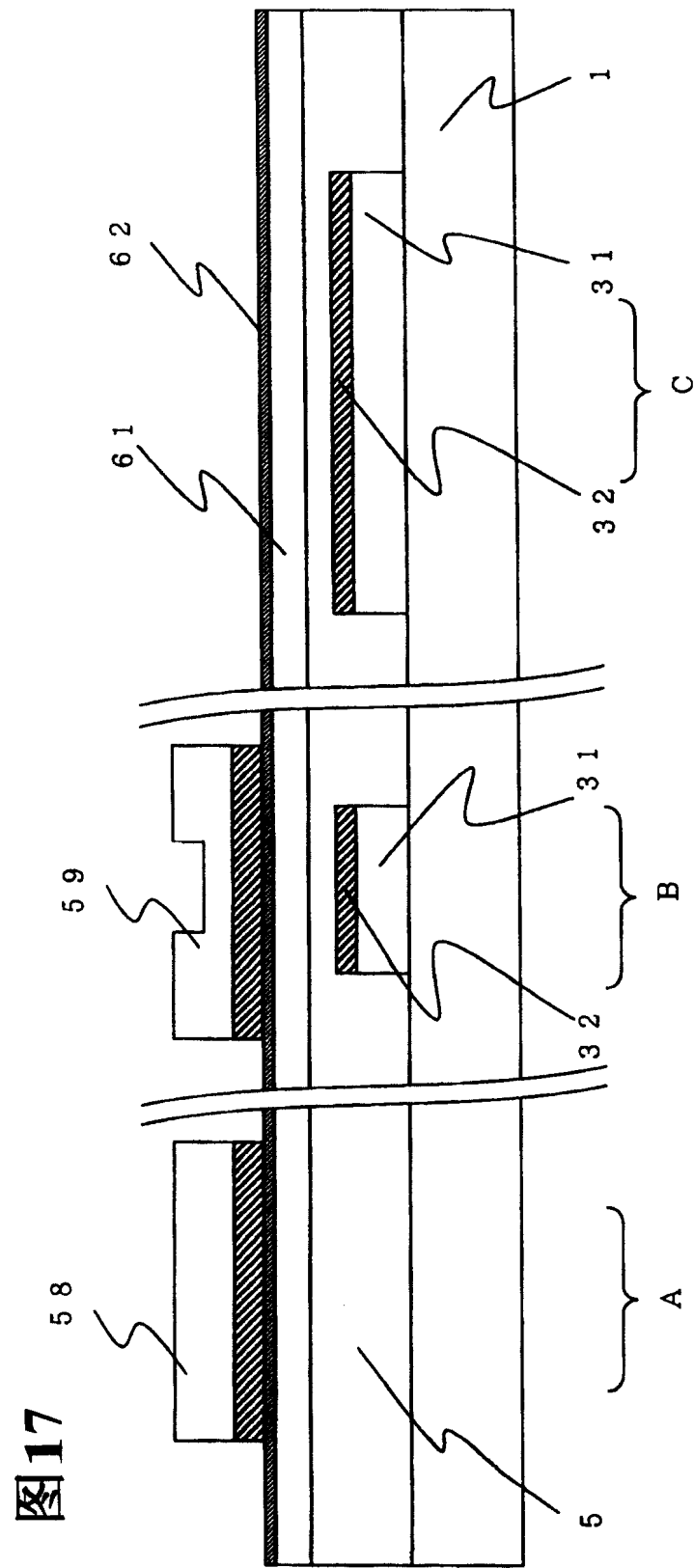
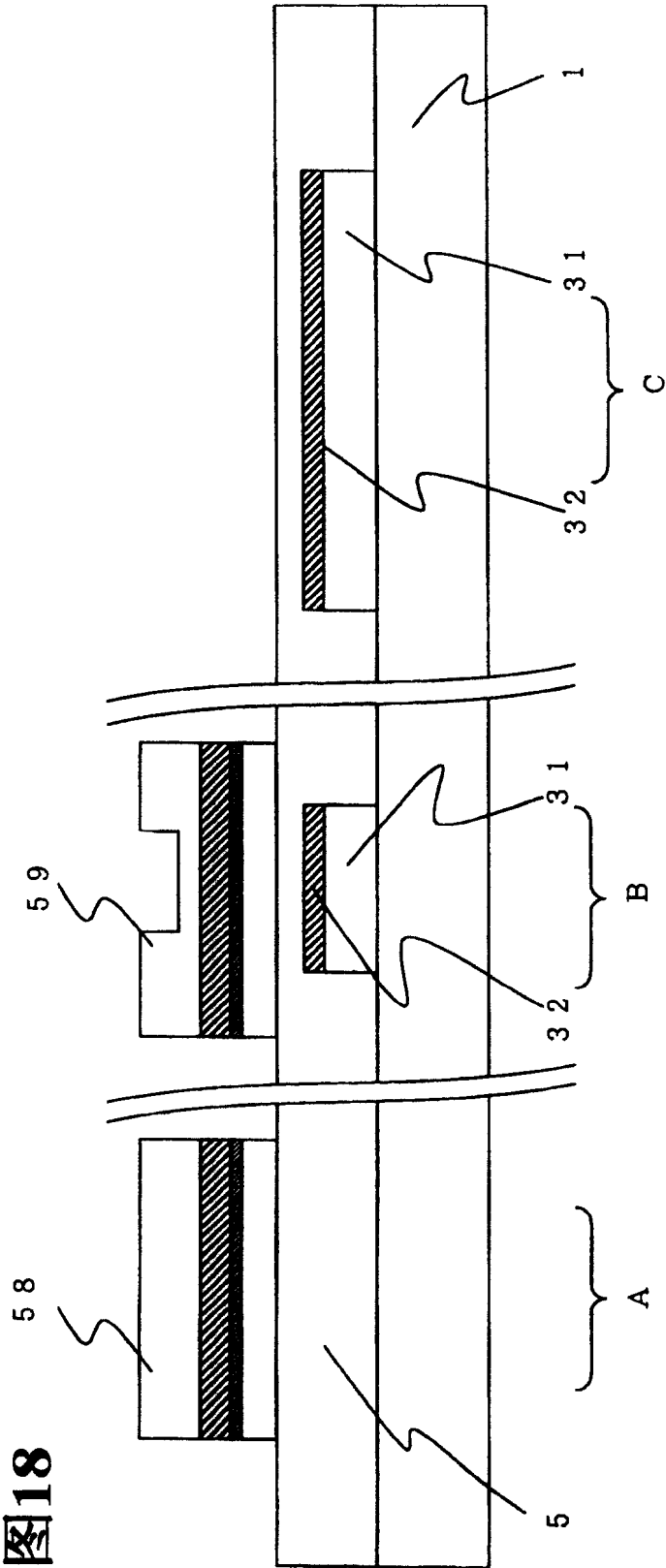


图15









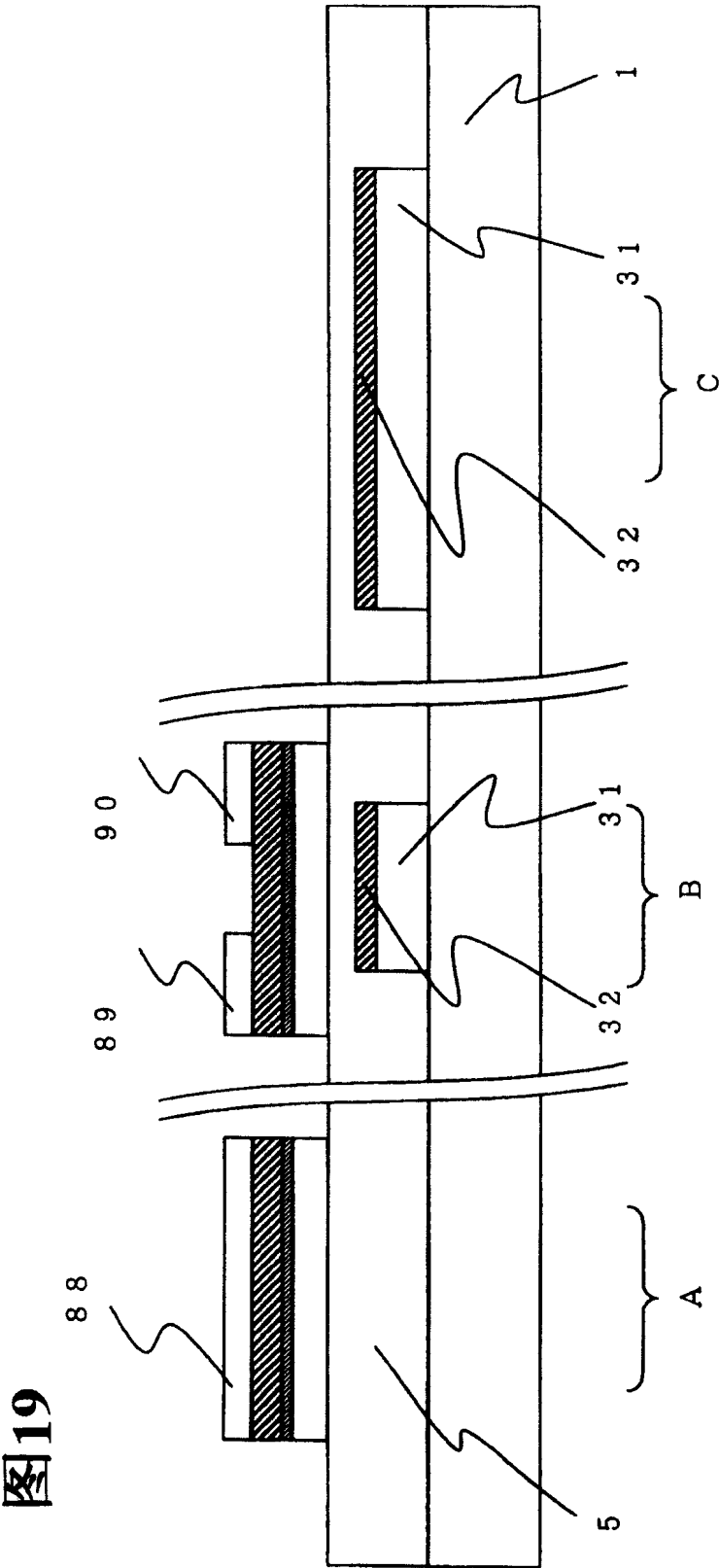


图20

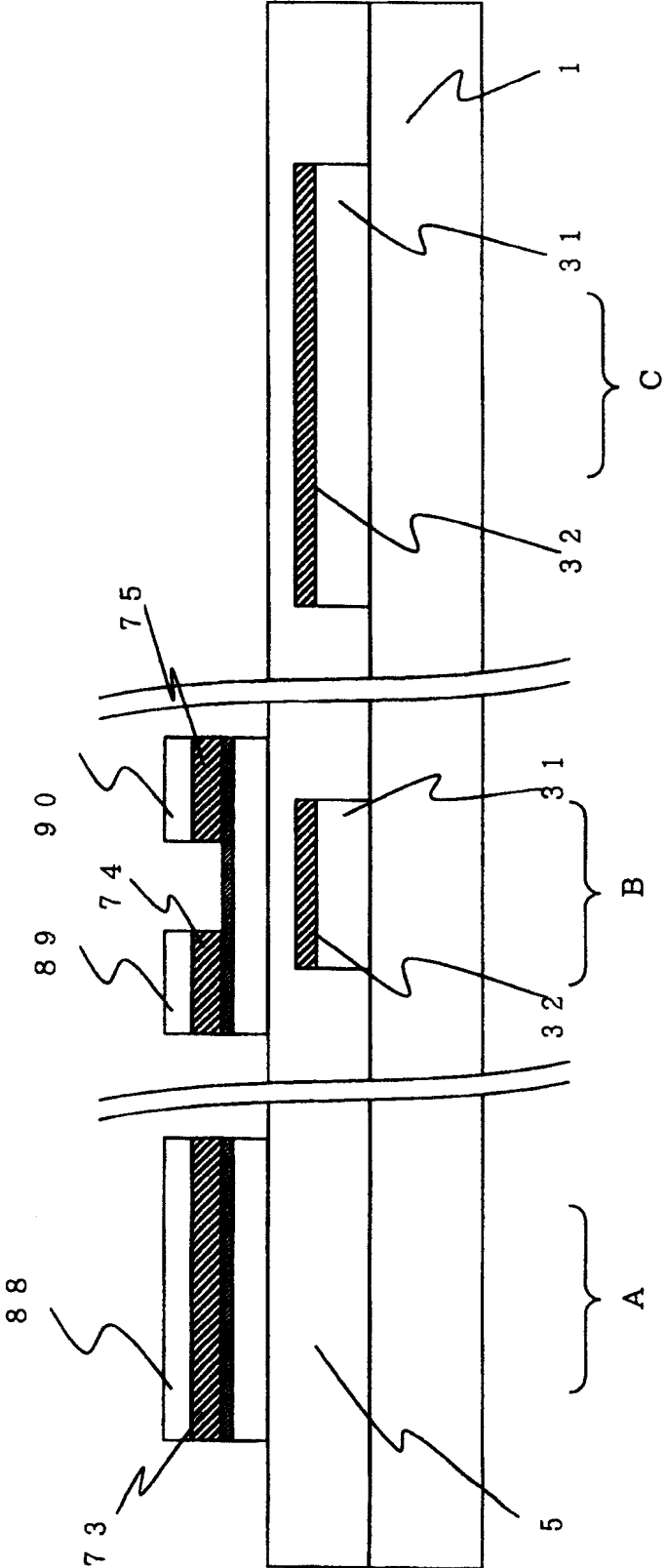


图21

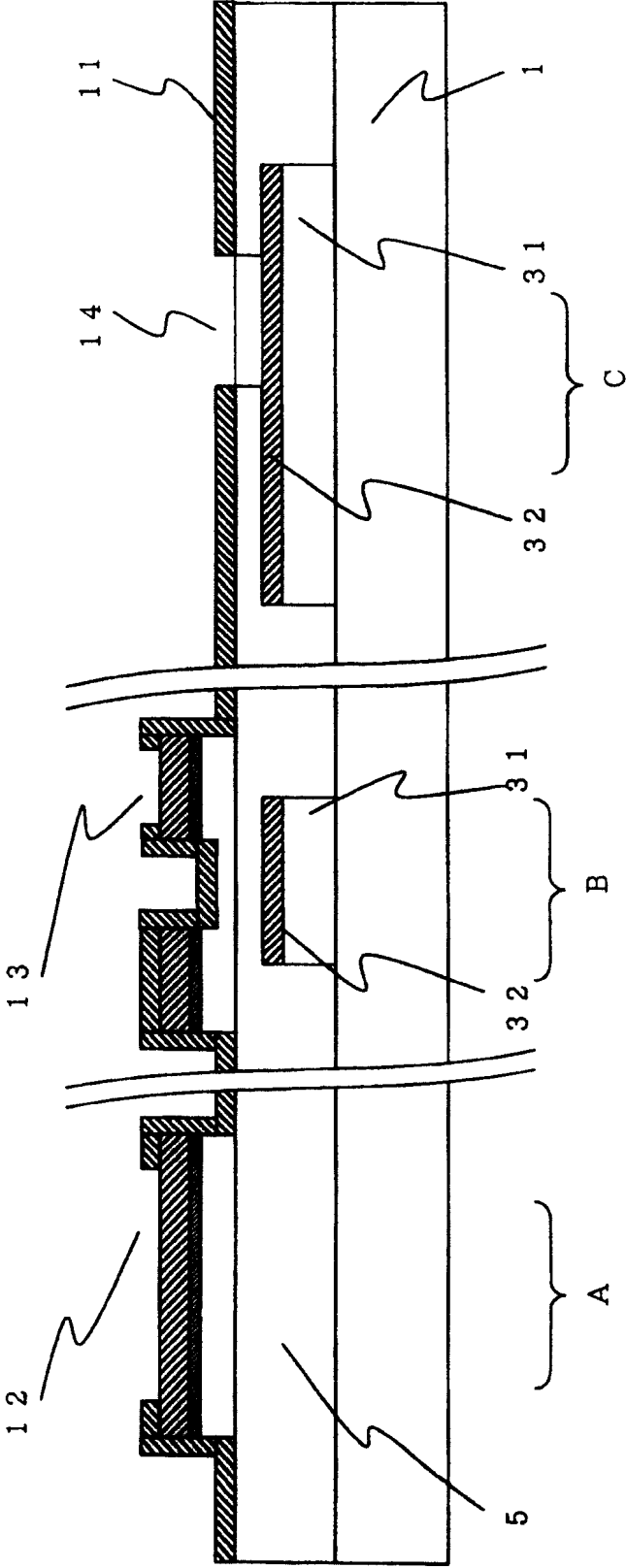


图22

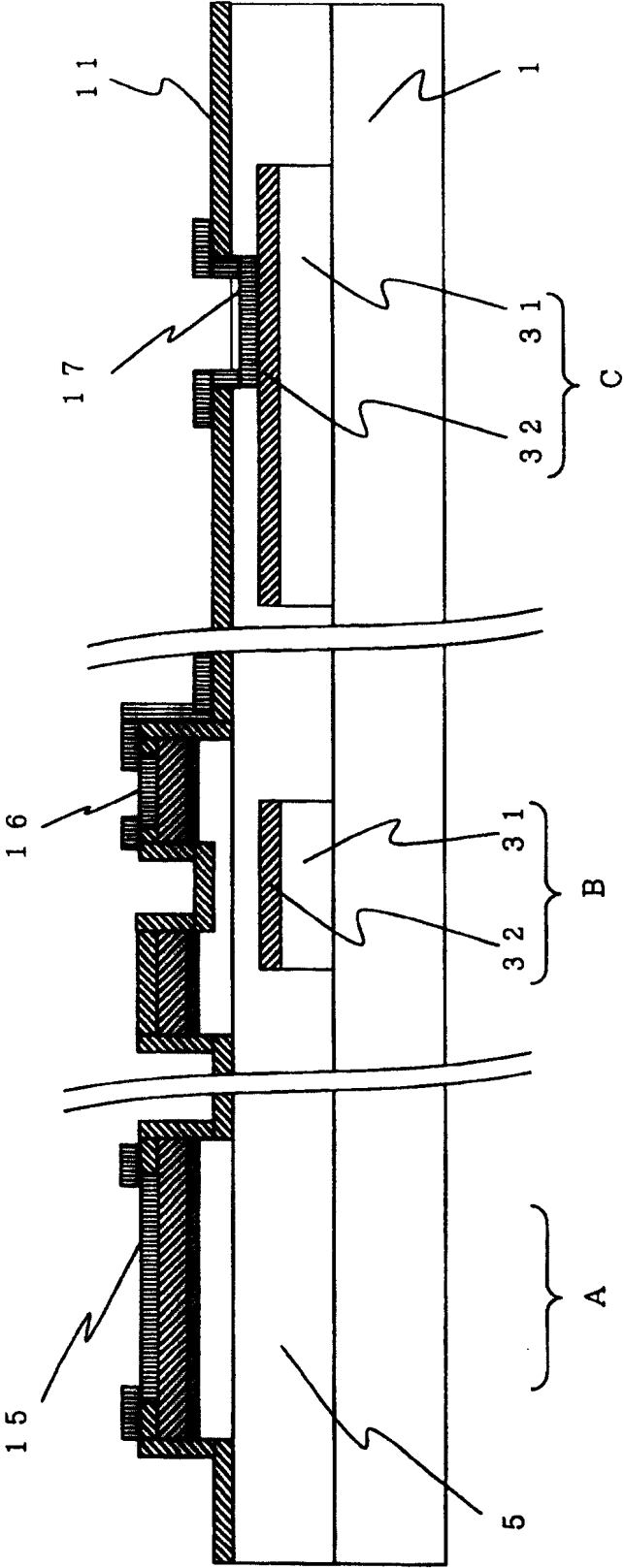
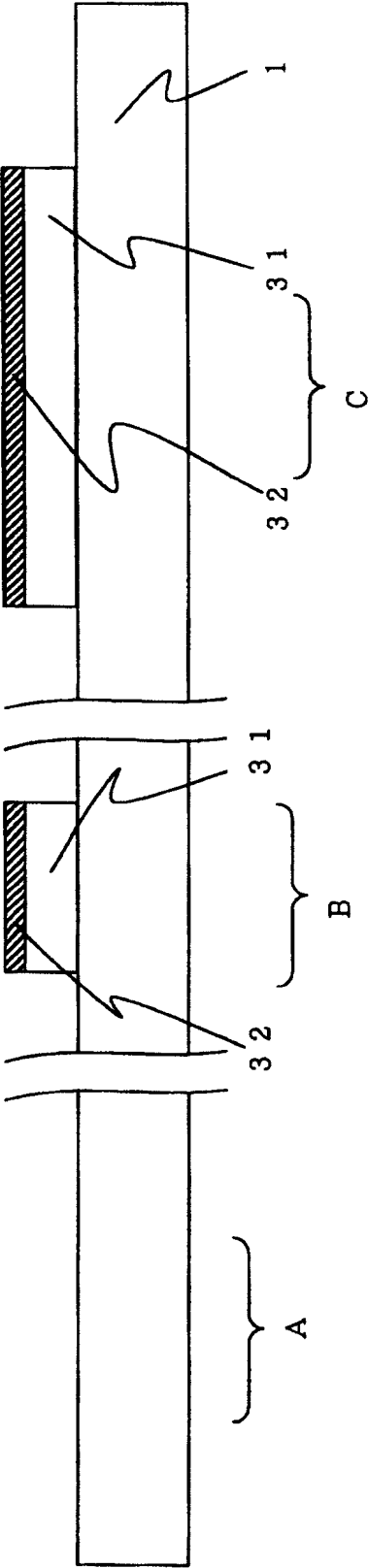


图23



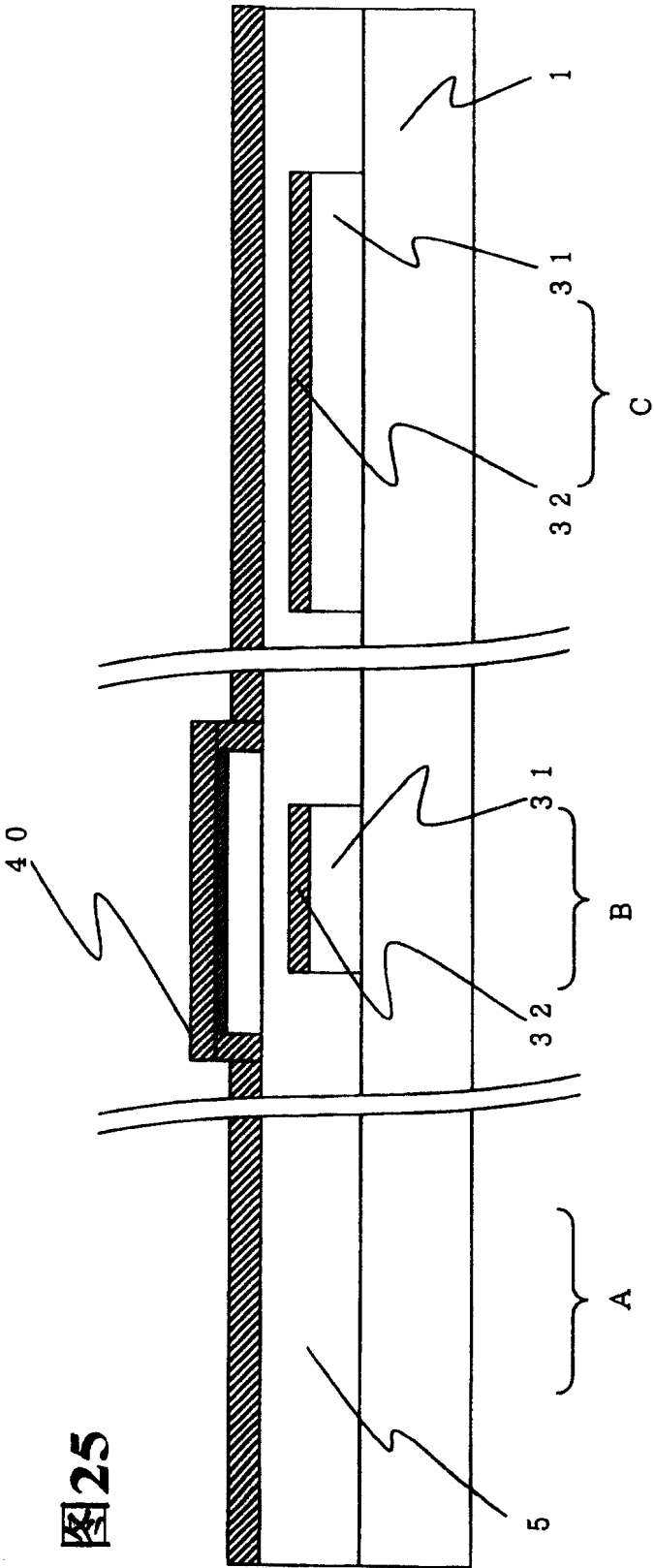


图25

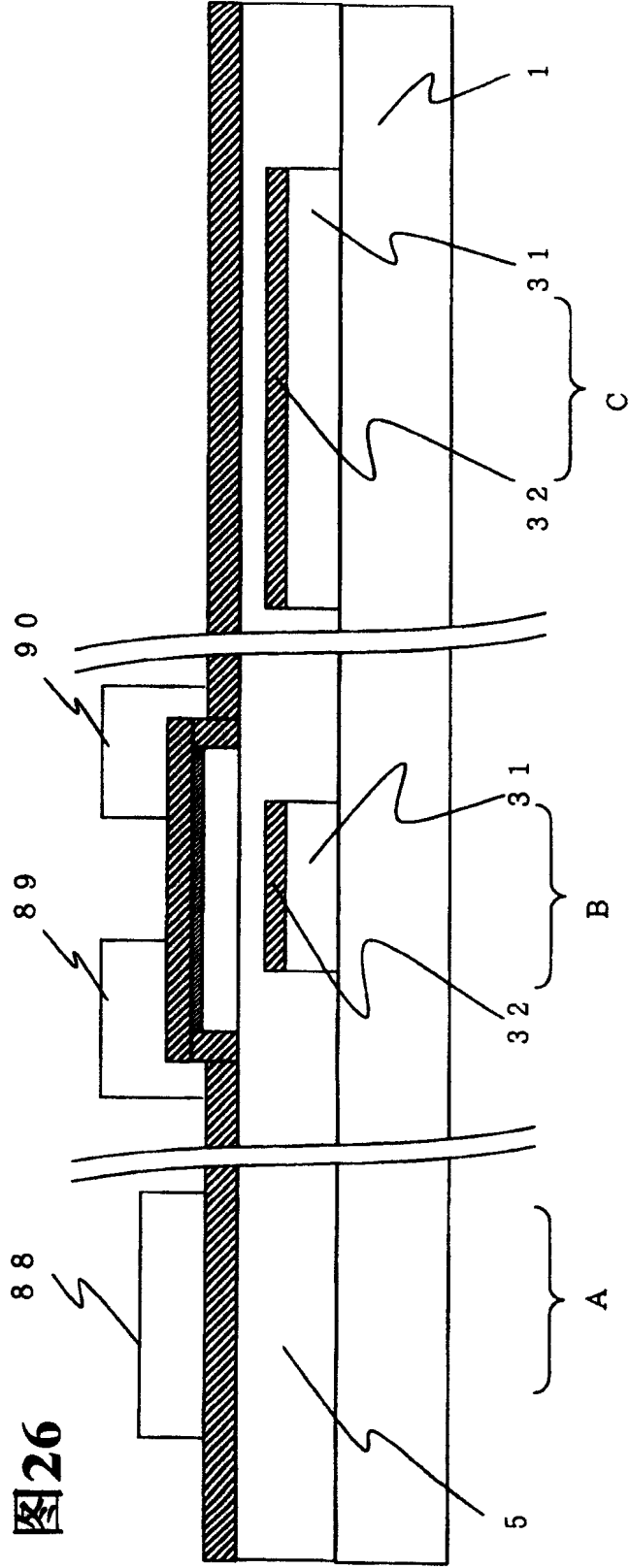
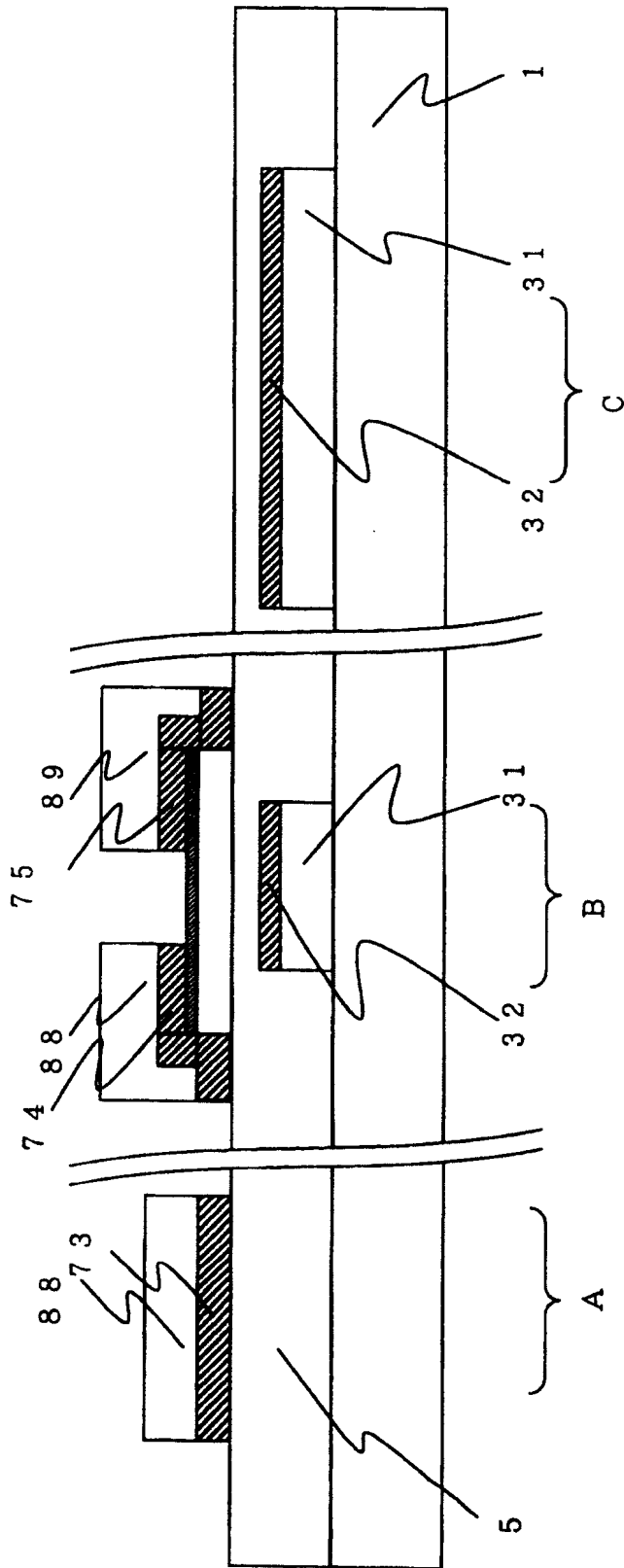


图27



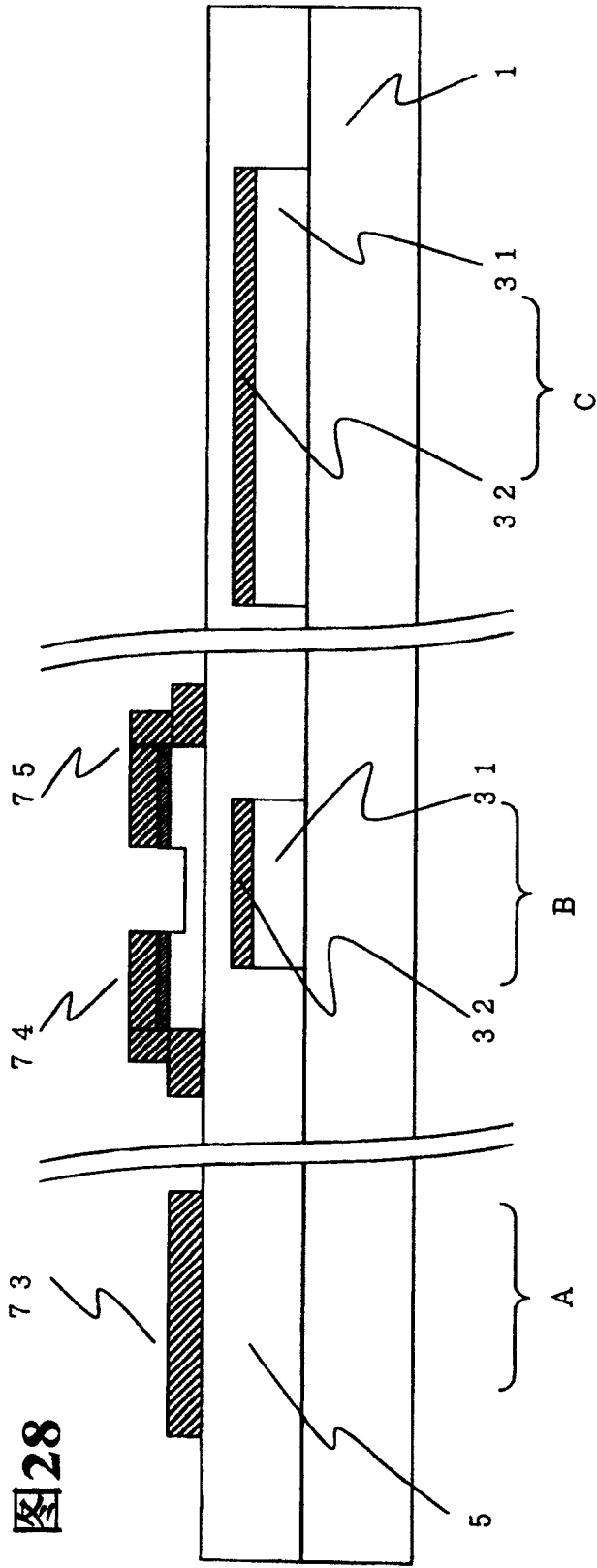


图29

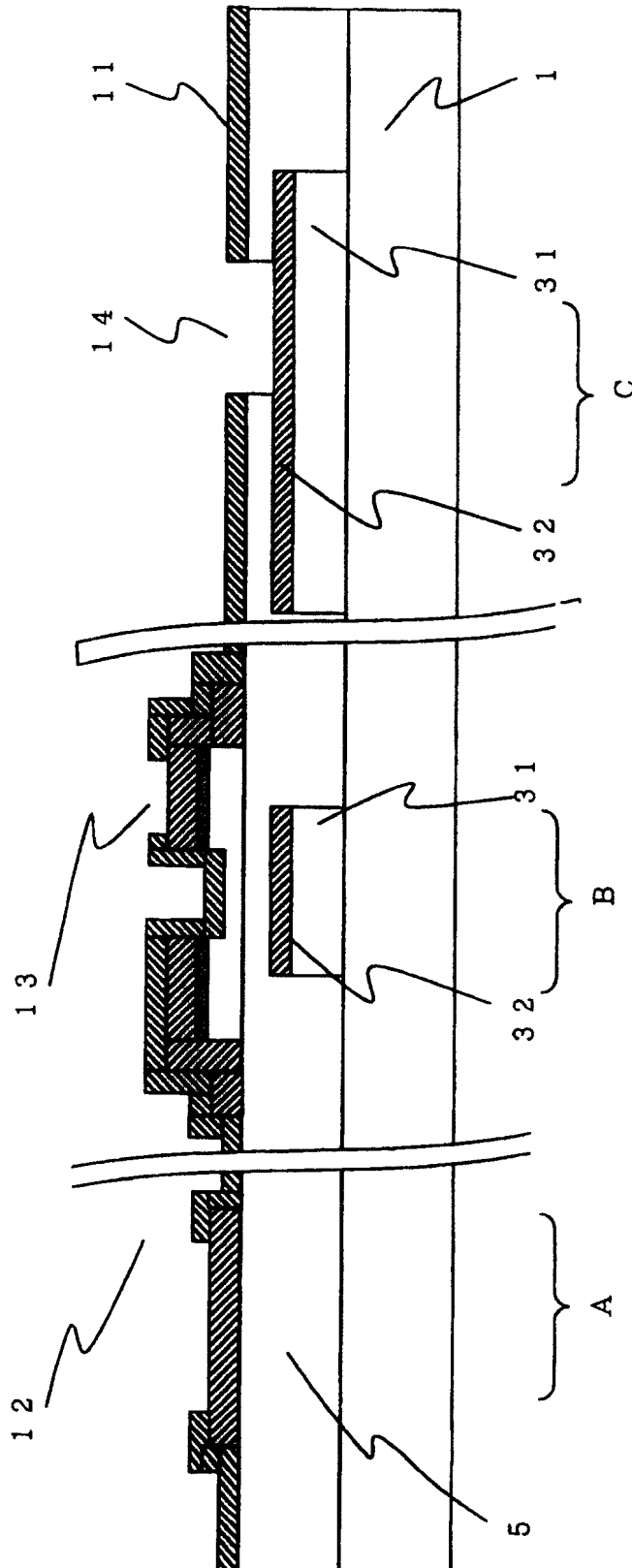


图30

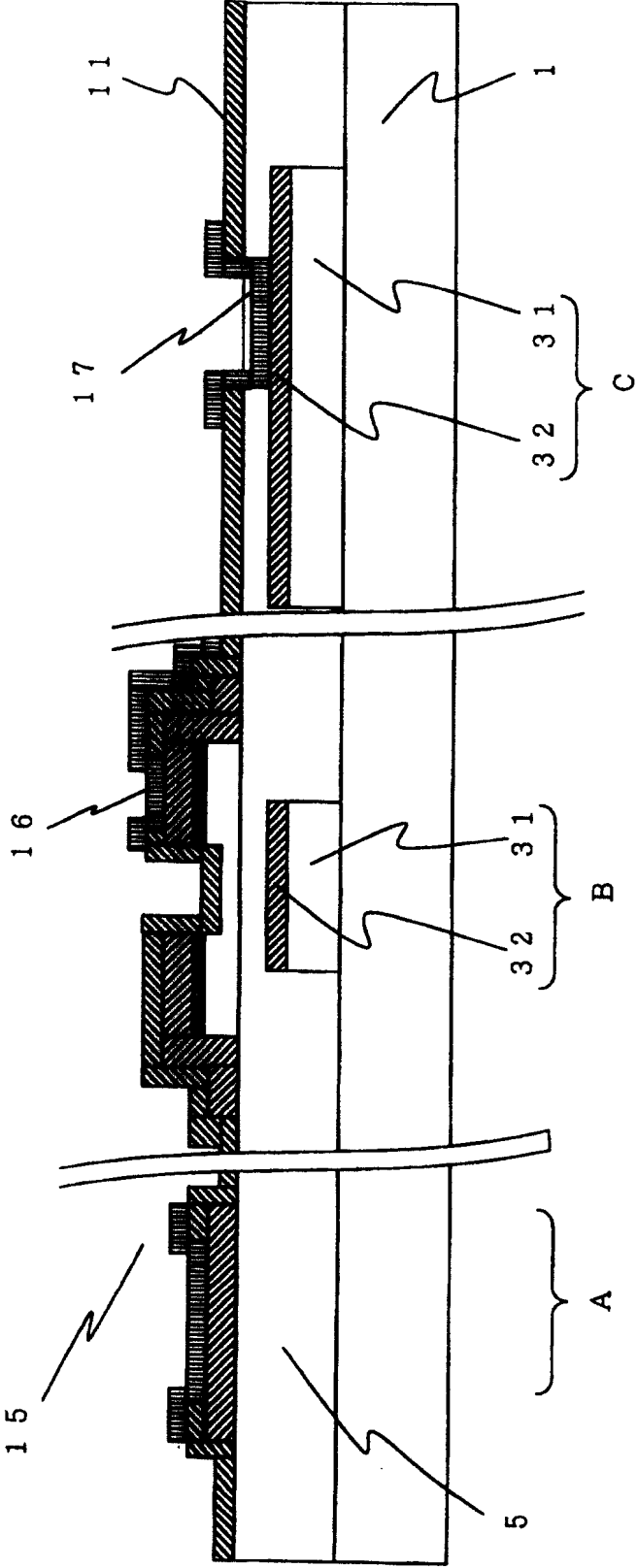
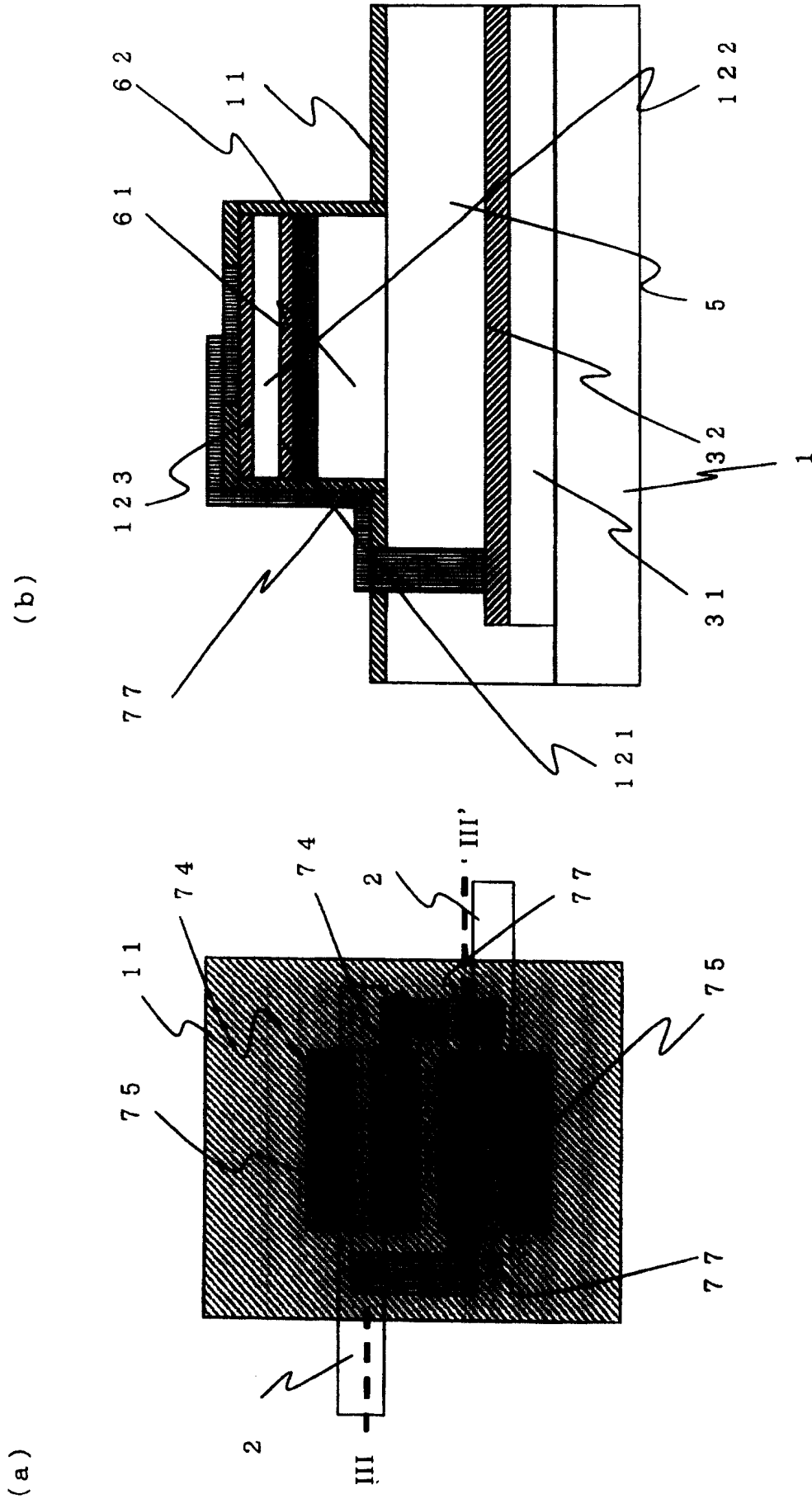


图31



专利名称(译)	薄膜晶体管电路器件及其制造方法、以及液晶显示设备		
公开(公告)号	CN100370349C	公开(公告)日	2008-02-20
申请号	CN200410054443.5	申请日	2004-07-22
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC液晶技术株式会社		
当前申请(专利权)人(译)	NEC液晶技术株式会社		
[标]发明人	田中宏明 安田亨宁 铃木圣二		
发明人	田中宏明 安田亨宁 铃木圣二		
IPC分类号	G02F1/136 H01L29/786 H01L21/00 G02F1/1368 G02F1/1362 G09F9/30 H01L21/3205 H01L21/336 H01L21/77 H01L21/84 H01L23/52 H01L27/12 H01L29/45 H01L29/49		
CPC分类号	G02F1/136286 H01L27/1214 H01L29/4908 H01L29/78678 H01L29/66765 H01L27/12 H01L29/456 G02F1/13458 H01L29/78669 G02F2001/13629 H01L27/124		
优先权	2003277459 2003-07-22 JP 2004212977 2004-07-21 JP		
其他公开文献	CN1601360A		
外部链接	Espacenet SIPO		

摘要(译)

对于薄膜晶体管电路器件来说需要一种薄膜晶体管电路器件及其制造方法，其中该器件包括的布线结构是在下层中为铝合金和在上层中为铝合金，其中铝合金在空气中的腐蚀不易进行。薄膜晶体管电路器件暴露出被绝缘膜所覆盖的布线部分和在所暴露的表面上包含有由引脚电极金属所形成的引脚，该器件在暴露的表面上包含引脚，该引脚是由引脚电极金属形成的，其中的绝缘膜将形成于衬底的中心部分的主电路区的薄膜晶体管与形成于衬底外围的保护电路区连接起来，并且其中布线的最上层表面是含铌的铝合金。

