

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公开说明书

[21] 申请号 200510132210.7

G02F 1/1362 (2006.01)

G02F 1/133 (2006.01)

H01L 29/786 (2006.01)

G03F 7/20 (2006.01)

H01L 21/027 (2006.01)

[43] 公开日 2006年6月28日

[11] 公开号 CN 1794076A

[22] 申请日 2005.12.22

[21] 申请号 200510132210.7

[30] 优先权

[32] 2004.12.24 [33] KR [31] 10-2004-0112578

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 安炳喆

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

代理人 徐金国 祁建国

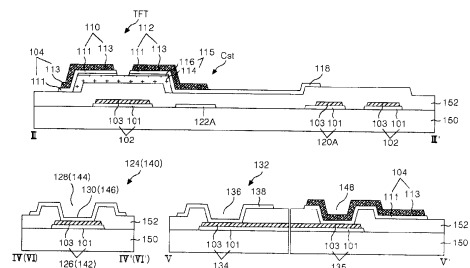
权利要求书 6 页 说明书 13 页 附图 29 页

[54] 发明名称

水平电场施加型薄膜晶体管基板及其制造方法

[57] 摘要

一种 LCD 器件包括：基板上的栅线和与栅线相交以限定像素区域的数据线；包括源极和漏极的薄膜晶体管；平行于栅线的公共线；从公共线延伸的公共电极和从漏极延伸的像素电极，其中栅线和公共线具有至少双层导电层的第一导电层组，并且公共电极通过公共线的至少一层透明导电层的延伸形成；栅线、源极和漏极具有至少双层导电层的第二导电层组，并且像素电极通过漏极的至少一层透明导电层的延伸形成。



- 1、一种液晶显示器，包括：
 - 基板上的栅线；
 - 5 与栅线相交且其间具有栅绝缘膜的数据线，其中数据线和栅线限定像素区域；
 - 薄膜晶体管，其包括连接到栅线的栅极，连接到数据线的源极，与源极相对的漏极和限定源极和漏极之间沟道的半导体图案；
 - 位于基板上并基本上平行于栅线的公共线；
 - 10 从公共线延伸至像素区域中的公共电极；和
 - 从漏极延伸至像素区域中的像素电极，以与公共电极形成水平电场，其中栅线和公共线具有第一导电层组，所述第一导电层组具有至少双层导电层，并且公共电极通过公共线的至少一层透明导电层的延伸形成；以及
 - 15 数据线、源极和漏极具有第二导电层组，所述第二导电层组具有至少双层导电层，并且像素电极通过漏极的至少一层透明导电层的延伸形成。
- 2、根据权利要求 1 所述的器件，其特征在于，还包括：
 - 通过漏极与一部分公共电极的重叠而设置的存储电容器，在漏极与公共电极之间具有栅绝缘膜。
- 3、根据权利要求 1 所述的器件，其特征在于，公共电极由公共线的最低层延伸出来，像素电极由漏极的最低层延伸出来。
- 20 4、根据权利要求 1 所述的器件，其特征在于，第一和第二导电层组的公共电极和像素电极的至少一层导电层包括透明导电层、Ti 和 W 中至少之一。
- 5、根据权利要求 3 所述的器件，其特征在于，第一和第二导电层组的公共电极和像素电极的至少一层导电层包括透明导电层、Ti 和 W 中至少之一。
- 25 6、根据权利要求 4 所述的器件，其特征在于，除所述至少一层导电层以外的其余导电层具有由 Mo、Ti、Cu、AlNd、Al、Cr、Mo 合金、Cu 合金和 Al 合金构成的单层结构和至少双层结构中至少之一。
- 7、根据权利要求 5 所述的器件，其特征在于，除所述至少一层导电层以外的其余导电层具有由 Mo、Ti、Cu、AlNd、Al、Cr、Mo 合金、Cu 合金和 Al 合金
- 30 构成的单层结构和至少双层结构的至少之一。

- 8、根据权利要求1所述的器件，其特征在于，还包括由第一导电层组形成的数据链路，其通过贯穿栅绝缘膜的接触孔连接到数据线。
- 9、根据权利要求8所述的器件，其特征在于，还包括：
连接到栅线的栅焊盘；
5 连接到数据链路的数据焊盘；以及
连接到公共线的公共焊盘，
其中栅焊盘、数据焊盘和公共焊盘的每一个都包括：
由第一导电层组形成的下焊盘电极；
贯穿栅绝缘膜以暴露下焊盘电极的接触孔；以及
10 由第二导电层组的最低层形成的上焊盘电极，其经由接触孔连接到下焊盘电极。
- 10、根据权利要求9所述的器件，其特征在于，数据焊盘的上焊盘电极与数据线的最底层为整体。
- 11、根据权利要求6所述的器件，其特征在于，还包括：
15 连接到栅线的栅焊盘；
连接到数据链路的数据焊盘；以及
连接到公共线的公共焊盘，
其中栅焊盘、数据焊盘和公共焊盘的每一个都由第一导电层组形成。
- 12、根据权利要求11所述的器件，其特征在于，栅焊盘、数据焊盘和公共焊
20 盘的每一个都包括：
由第一导电层组中最底层形成的下焊盘电极；
在下焊盘电极上由第一导电层组的其余上层形成的上焊盘电极；以及
贯穿栅绝缘膜以暴露下焊盘电极的接触孔。
- 13、根据权利要求12所述的器件，其特征在于，上焊盘电极不与接触孔重叠
25 以便得到栅绝缘膜的保护。
- 14、根据权利要求1所述的器件，其特征在于，在基板连接时，数据线、源极、漏极和像素电极位于由密封剂密封的区域。
- 15、根据权利要求8所述的器件，其特征在于，在基板连接时接触孔位于由密封剂密封的区域。
- 30 16、根据权利要求1所述的器件，其特征在于，还包括在数据线、源极、漏极

和像素电极上的定向膜。

17、根据权利要求 8 所述的器件，其特征在于，还包括在数据线、源极、漏极、像素电极和接触孔上的定向膜。

18、根据权利要求 1 所述的器件，其特征在于，半导体图案形成在将设有薄膜
5 晶体管的位置处。

19、根据权利要求 1 所述的器件，其特征在于，第一和第二导电层组的每一个为具有透明导电层和铜金属层或铜合金层的结构。

20、根据权利要求 1 所述的器件，其特征在于，第一和第二导电层组的至少之一具有台阶形状的台阶敷层。

10 21、根据权利要求 1 所述的器件，其特征在于，半导体图案、源极、漏极和像素电极的至少两层具有基本上矩形的阶式形状的台阶敷层。

22、一种液晶显示器的制造方法，包括：

在基板上形成第一掩模图案组的第一掩模工序，该第一掩模图案组包括具有包括至少双层导电层的第一导电层组结构的栅线，连接到栅线的栅极和基本上平行于栅线的公共线，以及从公共线的至少之一导电层延伸出来的公共电
15 极；

第二掩模工序，用于在第一掩模图案组上形成栅绝缘膜和以及在其上成半导体图案；以及

第三掩模工序，用于形成第三掩模图案组，其包括具有包括至少双层导电
20 层的第二导电层组结构的数据线，连接到数据线的源极和与源极相对的漏极，和在具有半导体图案的栅绝缘膜上从漏极的至少之一导电层延伸出来的像素电极。

23、根据权利要求 22 所述的方法，其特征在于，还包括通过漏极与一部分公共电极重叠而形成存储电容器，在漏极与公共电极之间具有栅绝缘膜。

25 24、根据权利要求 22 所述的方法，其特征在于，公共电极通过公共线的最底层延伸形成，像素电极通过漏极的最底层延伸形成。

25、根据权利要求 22 所述的方法，其特征在于，第一和第二导电层组的公共电极和像素电极的所述至少之一导电层包括透明导电层、Ti 和 W 中至少之一。

26、根据权利要求 24 所述的方法，其特征在于，第一和第二导电层组的公共
30 电极和像素电极的所述至少之一导电层包括透明导电层、Ti 和 W 中至少之一。

- 27、根据权利要求 25 所述的方法，其特征在于，除所述至少之一导电层以外的其余导电层具有由 Mo、Ti、Cu、AlNd、Al、Cr、Mo 合金、Cu 合金或 Al 合金构成的单层结构和双层结构的至少之一。
- 28、根据权利要求 26 所述的方法，其特征在于，除所述至少之一导电层以外的其余导电层具有由 Mo、Ti、Cu、AlNd、Al、Cr、Mo 合金、Cu 合金或 Al 合金构成的单层结构和双层结构的至少之一。
- 29、根据权利要求 22 所述的方法，其特征在于，第一掩模工序包括形成由第一导电层组形成的数据链路以具有与数据线重叠的一部分，以及第二掩模工序包括形成贯穿栅绝缘膜的接触孔以使数据链路连接到数据线。
- 30、根据权利要求 29 所述的方法，其特征在于，第一掩模工序包括：
在基板上形成第一导电层组；
通过利用半色调掩模和衍射曝光掩模之一的光刻形成具有不同厚度的第一光刻胶图案；
通过利用第一光刻胶图案的刻蚀工序形成包括具有具有第一导电层组结构的公共电极的第一掩模图案组；以及
通过利用第一光刻胶图案的刻蚀工序刻蚀公共电极以保留所述公共电极的最低层。
- 31、根据权利要求 30 所述的方法，其特征在于，第一掩模工序还包括由第一导电层形成连接到栅线、数据线和公共线至少之一的下焊盘电极，
第二掩模工序包括形成通过栅绝缘膜以暴露下焊盘电极的接触孔，以及
第三掩模工序包括由第二导电层组的最底层形成通过所述接触孔连接到下焊盘电极的上焊盘电极。
- 32、根据权利要求 31 所述的方法，其特征在于，数据焊盘的上焊盘电极与数据线的最底层为整体。
- 33、根据权利要求 31 所述的方法，其特征在于，第二掩模工序包括：
在第一掩模图案组上形成栅绝缘膜、非晶硅层和掺杂有杂质的非晶硅层；
通过利用半色调掩模和衍射曝光掩模之一的光刻形成具有不同厚度的第二光刻胶图案；以及
通过利用第二光刻胶图案的刻蚀工序形成接触孔和半导体图案。
- 34、根据权利要求 33 所述的方法，其特征在于，第三掩模工序包括：

在具有半导体图案的栅绝缘膜上形成第二导电层组；

利用半色调掩模和衍射曝光掩模之一形成具有不同厚度的第三光刻胶图案；

5 通过利用第三光刻胶图案的刻蚀工序构图第二导电层组，以提供包括上焊盘电极的第三掩模图案组；

去除在源极和漏极之间暴露出的掺杂有杂质的非晶硅层；以及

通过利用第三光刻胶图案作为掩模的刻蚀工序刻蚀像素电极和上焊盘电极以保留像素电极的最底层和上焊盘电极的最底层。

10 35、根据权利要求 30 所述的方法，其特征在于，第一掩模工序还包括由第一导电层形成连接到栅线、数据线和公共线的至少之一的焊盘；以及

第二掩模工序还包括形成暴露该焊盘的接触孔。

36、根据权利要求 35 所述的方法，其特征在于，形成焊盘包括：

通过利用光刻胶图案的刻蚀工序形成具有由第一导电层组结构形成的下焊盘电极和上焊盘电极的焊盘；以及

15 通过利用已灰化的光刻胶图案的刻蚀工序贯穿上焊盘电极的下焊盘电极，以暴露下焊盘电极。

37、根据权利要求 36 所述的方法，其特征在于，接触孔不与上焊盘电极重叠以便暴露出下焊盘电极。

20 38、根据权利要求 22 所述的方法，其特征在于，在基板连接时数据线、源极、漏极和所述像素电极设置在由密封剂密封的区域。

39、根据权利要求 29 所述的方法，其特征在于，在基板连接时接触孔设置在由密封剂密封的区域。

40、根据权利要求 22 所述的方法，其特征在于，还包括在数据线、源极、漏极和像素电极上形成定向膜。

25 41、根据权利要求 29 所述的方法，其特征在于，还包括在数据线、源极、漏极、像素电极和接触孔上形成定向膜。

42、根据权利要求 22 所述的方法，其特征在于，半导体图案形成在设有薄膜晶体管的位置处。

30 43、根据权利要求 22 所述的方法，其特征在于，第一和第二导电层组的每一个为具有透明导电层和铜金属层或铜合金层的结构。

44、根据权利要求 22 所述的方法，其特征在于，第一和第二导电层组的至少之一具有基本上矩形的阶式形状的台阶敷层。

45、根据权利要求 22 所述的方法，其特征在于，半导体图案、源极、漏极和像素电极的至少两层具有基本上呈矩形的阶式形状的台阶敷层。

水平电场施加型薄膜晶体管基板及其制造方法

- 5 本申请要求于 2004 年 12 月 24 日在韩国提交的韩国专利申请号 P2004-112578 的权益，在此引用其全部内容作为参考。

技术领域

- 10 本发明涉及一种利用水平电场的液晶显示器，尤其涉及一种适合于简化工序的水平电场施加型薄膜晶体管基板及其制造方法。

背景技术

- 15 通常，液晶显示器（LCD）利用电场控制具有介电各向异性的液晶的光透射率，由此显示图像。为此，LCD 包括通过液晶单元矩阵显示图像的液晶显示板，和驱动该液晶显示板的驱动电路。

 在图 1 中，现有技术液晶显示板由彼此连接并且其间具有液晶 24 的滤色片基板 10 和薄膜晶体管基板 20 组成。

- 20 滤色片基板 10 包括顺序设置在上玻璃基板 2 上的黑色矩阵 4、滤色片 6 和公共电极 8。黑色矩阵 4 以矩阵形式设置在上玻璃基板 2 上。黑色矩阵 4 将上玻璃基板 2 的区域划分为多个单元区域以设置滤色片 6，并且防止相邻单元之间的光干涉和外部光的反射。滤色片 6 设置在由黑色矩阵 4 划分为红（R）、绿（G）和蓝（B）区域的单元区域处，由此透射红、绿和蓝光。公共电极 8 由整个涂敷在滤色片 6 上的透明导电层形成，并提供公共电压 V_{com} ，该电压在驱动液晶 24 时作为参考电压。此外，用于使滤色片 6 平滑的涂覆层（未示出）可以设置在滤色片 6 和公共电极 8 之间。

- 25 薄膜晶体管基板 20 包括为由在下玻璃基板 12 上的栅线 14 和数据线 16 交叉所限定的每个单元区域设置的薄膜晶体管 18 和像素电极 22。薄膜晶体管 18 响应来自栅线 14 的栅信号，将来自数据线 16 的数据信号施加到像素电极 22。由透明导电层形成的像素电极 22 提供来自薄膜晶体管 18 的数据信号以驱
30 动液晶 24。

具有介电各向异性的液晶24根据来自像素电极22的数据信号和来自公共电极8的公共电压 V_{com} 形成的电场旋转,以控制光透射率,由此实现灰度级。

此外,液晶显示板包括一直保持滤色片基板10和薄膜晶体管基板20之间的盒间隙的衬垫料(未示出)。

5 在液晶显示板中,滤色片基板10和薄膜晶体管基板20通过多个掩模工序形成。这里,一轮掩模工序包括多个工序如薄膜沉积(涂敷),清洁,光刻,刻蚀,光刻胶剥离和检验工序等。

具体地说,由于薄膜晶体管基板包括半导体工艺并需要多个掩模工序,因此其具有复杂的制造工序,这成为液晶显示板制造成本增加的主要因素。因此,
10 薄膜晶体管基板已经从为标准掩模工序的五轮掩模工序向减少掩模工序数量的方向发展。

同时,基于驱动液晶的电场方向,液晶显示器主要分为垂直电场施加型和水平电场施加型。

垂直电场施加型液晶显示器利用在彼此相对设置在上和下基板上的像素
15 电极和公共电极之间的垂直电场以扭曲向列(TN)模式驱动液晶。垂直电场施加型液晶显示器具有大孔径比的优点;但是缺点在于约 90° 的窄视角。

水平电场施加型液晶显示器利用彼此平行设置在下基板上的像素电极和公共电极之间的水平电场驱动共平面开关(IPS)模式的液晶。水平电场施加型液晶显示器的优点在于具有约 160° 的宽视角。

20 在水平电场施加型液晶显示器中的薄膜晶体管基板也需要多个掩模工序,这导致复杂的制造工序的缺点。因此,为了减少制造成本,减少掩模工序的数量是必要的。

发明内容

25 因此,本发明涉及一种水平电场施加型薄膜晶体管基板及其制造方法,其基本上避免了由于现有技术的限制和缺点引起的一个或多个问题。

本发明的优点为提供一种适合于简化工序的水平电场施加型薄膜晶体管基板及其制造方法。

本发明另外的特征和优点将在下面的描述中提出,部分从描述中显而易见,或者
30 者可以从本发明的实施中了解。通过说明书及其权利要求以及所附附图中所指

出的具体结构，本发明的优点可以实现和得到。

为了实现这些和其他优点以及根据本发明的目的，如在此具体和概括描述的，一种液晶显示器包括：位于基板上的栅线；与栅线相交的数据线，其间具有栅绝缘膜，其中数据线和栅线限定像素区域；薄膜晶体管，其包括连接到栅线的栅极，连接到数据线的源极，与源极相对的漏极和限定源极和漏极之间沟道的半导体图案；位于基板上并基本上平行于栅线的公共线；从公共线延伸至像素区域中的公共电极；和从漏极延伸至像素区域中以与公共电极形成水平电场的像素电极，其中栅线和公共线具有至少双层导电层的第一导电层组，并且公共电极通过公共线的至少一层透明导电层的延伸形成；栅线、源极和漏极具有至少双层导电层的第二导电层组，并且像素电极通过漏极的至少一层透明导电层的延伸形成。

根据本发明的另一方面，一种制造液晶显示器的方法包括在基板上形成第一掩模图案组的第一掩模工序，该第一掩模图案组包括具有包括至少双层导电层的第一导电层组结构的栅线，连接到栅线的栅极和基本上平行于栅线的公共线，和从公共线的至少之一导电层延伸的公共电极；第二掩模工序，用于形成覆盖第一掩模图案组的栅绝缘膜和其上的半导体图案；和第三掩模工序，用于形成第三掩模图案组，其包括具有包括至少双层导电层的第二导电层组结构的数据线，连接到数据线的源极和与源极相对的漏极，和在具有半导体图案的栅绝缘膜上从漏极的至少之一导电层延伸的像素电极。

应当理解，之前的概述和下面的详述都是例证性和解释性的，并意欲提供对本发明的进一步解释。

附图说明

所附附图用于提供本发明的进一步理解，并结合在本说明书中，构成本说明书的一部分，这些附图说明了本发明的实施例，并与描述一起用于解释本发明的原理。

在附图中：

图 1 示出了现有技术液晶显示板的结构的示意透视图；

图 2 示出了根据本发明实施例的水平电场施加型薄膜晶体管基板的一部分的平面图；

图 3 所示为沿图 2 的线 III-III' , IV-IV' , V-V' , VI-VI' 得到的水平电场施加型薄膜晶体管基板的截面图;

图 4 示出了根据本发明另一实施例的水平电场施加型薄膜晶体管基板的一部分的平面图;

5 图 5 示出了使用图 3 所示的水平电场施加型薄膜晶体管基板的液晶显示板的数据焊盘区域的截面图;

图 6A 和图 6B 分别示出了根据本发明实施例制造水平电场施加型薄膜晶体管基板的方法中第一掩模工序的平面图和截面图;

图 7A 至图 7E 示出了本发明的第一掩模工序的截面图;

10 图 8A 和图 8B 分别示出了根据本发明实施例制造水平电场施加型薄膜晶体管基板的方法中第二掩模工序的平面图和截面图;

图 9A 至图 9F 示出了解释第二掩模工序的截面图;

图 10A 和图 10B 分别示出了根据本发明实施例制造水平电场施加型薄膜晶体管基板的方法中第三掩模工序的平面图和截面图;

15 图 11A 至图 11E 示出了第三掩模工序的截面图;

图 12 示出了根据本发明另一实施例的水平电场施加型薄膜晶体管基板的一部分的平面图; 以及

图 13 为沿图 12 的线 III-III' , IV-IV' , V-V' 和 VI-VI' 得到的薄膜晶体管基板的截面图。

20

具体实施方式

现在将对本发明的实施方式进行详细描述, 所附附图示出了这些实施方式的实施例。

25 图 2 示出了根据本发明实施例的水平电场施加型薄膜晶体管基板的结构平面图, 图 3 示出了沿图 2 的线 III-III' , IV-IV' , V-V' , VI-VI' 得到的薄膜晶体管基板的截面图。

在图 2 和图 3 中, 水平电场施加型薄膜晶体管基板包括以彼此相交、其间具有栅绝缘膜 152 的方式设置在下基板 150 上并限定像素区域的栅线 102 和数据线 104, 连接到栅线 102 和数据线 104 的薄膜晶体管 TFT, 和像素电极 118。
30 像素电极 118 和公共电极 122 在所述像素区域处形成水平电场。公共线 120

连接到公共电极 122，存储电容器 Cst 设置在公共电极 122 和漏极 112 之间的重叠部分处。此外，薄膜晶体管基板包括连接到栅线 102 的栅焊盘 124，连接到数据线 104 的数据焊盘 132，和连接到公共线 120 的公共焊盘 140。

栅线 102 提供来自栅驱动器（未示出）的扫描信号；而数据线 104 提供来自数据驱动器（未示出）的视频信号。其间具有栅绝缘膜 152 的栅线 102 和数据线 104 彼此相交以限定像素区域。

栅线 102 以具有至少双层栅金属层的多层结构形成在基板 150 上。例如，如图 3 所示，栅线 102 具有双层结构，其中构建有使用透明导电层的第一导电层 101 和由不透明金属形成的第二导电层 103。数据线 104 以具有至少双层栅金属层的多层结构形成在栅绝缘膜 152 上。例如，如图 3 所示，数据线 104 具有双层结构，其中形成使用透明导电层的第三导电层 111 和由不透明金属形成的第四导电层 113。第一和第三导电层 101 和 111 由例如 ITO、T0、IZO 或 ITZO 等形成。第二和第四导电层 103 和 113 由例如 Cu、Mo、Al、Cu 合金、Mo 合金和 Al 合金等形成。

薄膜晶体管 TFT 响应施加到栅线 102 的扫描信号，允许施加到数据线 104 的视频信号充入像素电极 118 并保持。为此，薄膜晶体管包括从栅线 102 延伸的栅极，连接到数据线 104 的源极 110，与源极 110 相对并连接到像素电极 118 的漏极 112，重叠栅线 102 的有源层 114，其间具有栅绝缘膜 152，以提供源极 110 和漏极 112 之间的沟道，和形成在有源层 114 上除了沟道部分以外的部分上的欧姆接触层 116，以对源极 110 和漏极 112 提供欧姆接触。这里，源极 110 和漏极 112 具有双层结构，其中第三和第四导电层 111 和 113 与数据线 104 一起形成在栅绝缘膜 152 和半导体图案 115 上。

公共线 120 和公共电极 122 为每个像素提供驱动液晶的参考电压，即公共电压。

为此，公共线 120 包括在显示区域处平行于栅线 102 设置的内部公共线 120A，和在非显示区域处公共连接到内部公共线 120A 的外部公共线 120B。公共线 120 具有双层结构，其中第一导电层和第二导电层 101 和 103 与上述栅线 102 一起形成在基板 150 上。

公共电极 122 设置在像素区域内并连接到内部公共线 120A。更具体地，公共电极 122 包括重叠相邻于栅线 102 的漏极 112 的水平部分 122A，和从水

平部分 122A 延伸至像素区域中并连接到内部公共线 120A 的指状部分 122B。
公共电极 122 由公共线 120 的第一导电层即透明导电层形成。

5 存储电容器 Cst 设置以便公共电极 122 的第一水平部分 122A 与漏极 112 重叠，其间具有栅绝缘膜 152。这里，漏极 112 从它和薄膜晶体管 TFT 即栅线 102 之间的重叠部分延伸，以尽可能宽的方式与公共电极 122 的水平部分 122A 重叠。从而，存储电容器 Cst 的电容量通过公共电极 122A 和漏极 112 之间的宽重叠区域而增加，因此存储电容器 Cst 允许在像素电极 118 中充入的视频信号稳定地保持，直到充入下一个信号。

10 像素电极 118 以具有基本平行于公共电极 122 的指状部分 122B 的指状形状从漏极 112 延伸。像素电极 118 的边缘与内部公共线 120A 重叠。特别地，像素电极 118 由从漏极 112 延伸的第三导电层 111 即透明导电层形成。如果视频信号经由薄膜晶体管施加到像素电极 118，那么在像素电极 118 和提供有公共电压的公共电极 122 的指状部分 122B 之间形成水平电场。通过这种水平电场在薄膜晶体管阵列基板和滤色片阵列基板之间沿水平方向排列的液晶分子
15 由于介电各向异性而发生旋转。透过像素区域的光的透射率根据液晶分子的旋转程度而不同，由此实现灰度级。

这里，当公共电极 122 和像素电极 118 形成水平电场时，公共电极 122 的指状部分 122B 和像素电极 118 的每侧（从边缘向内约 $1\mu\text{m}$ 的区域）有助于孔径比，由此提高孔径比。

20 此外，如图 4 所示，公共电极 122 的指状部分 122B 和像素电极 118 的指状部分可以形成之字形。在公共电极 122 的指状部分 122B 中相邻于数据线 104 的边缘以基本平行于数据线 104 的方式或以之字形形成。同样，数据线 104 可以沿相邻公共电极 122 的指状部分 122B 以之字形形成。

25 栅线 102 经由栅焊盘 124 连接到栅驱动器（未示出）。栅焊盘 124 由从栅线 102 延伸的下栅焊盘电极 126，和上栅焊盘电极 130 组成，所述上栅焊盘电极 130 经由贯穿栅绝缘膜 152 的第一接触孔 128 连接到下栅焊盘电极 126。

数据线 104 经由数据焊盘 132 连接到数据驱动器（未示出）。数据焊盘 132 由连接到数据链路 135 的下数据焊盘电极 134，和经由贯穿栅绝缘膜 152 的第二接触孔 136 连接到下数据焊盘电极 134 的上数据焊盘电极 138 组成。

30 公共线 120 经由公共焊盘 140 接收来自公共电压源（未示出）的参考电压。

公共焊盘 140 由从外部公共线 120B 延伸的下公共焊盘电极 142 和上公共焊盘电极 146 组成, 所述上公共焊盘电极 146 经由贯穿栅绝缘膜 152 的第三接触孔 144 连接到下公共焊盘电极 142。

在根据本发明实施例的薄膜晶体管基板中, 数据焊盘 132 具有与栅焊盘 124 和公共焊盘 140 相同的结构。更具体地, 下栅焊盘电极 126, 下公共焊盘电极 142, 下数据焊盘电极 134 和数据链路 135 具有双层结构, 其中第一导电层和第二导电层 101 和 103 与上述栅线 102 一起形成在基板 150 上。同样, 上栅焊盘电极 130, 上公共焊盘电极 146 和上数据焊盘电极 138 与数据线 104 一起形成在栅绝缘膜 152 上, 并且由其中去除了第四导电层 113 的第三导电层 111 形成, 该第三导电层为透明导电层。

因此, 在基板 150 上形成的数据链路 135 经由贯穿栅绝缘膜 152 的第四接触孔 148 连接到数据线 104。数据链路 135 从下数据焊盘电极 134 延伸, 从而具有第一和第二导电层 101 和 103 形成的结构。数据链路 135 的第二导电层 103 通过第四接触孔 148 暴露以便连接到数据线 104 的第三导电层 111。在该情况下, 数据线 104 的第三导电层 111 与上数据焊盘电极 138 为整体。数据线 104 由于不存在保护膜而暴露。为了防止数据线 104 的第四导电层 113 暴露在其外部并被氧化, 如图 5 所示, 第四接触孔 148 设置在由密封剂 200 密封的区域内。因此, 位于在密封区域内的数据线 104 的第四导电层 113 被将在其上形成的下定向膜 214 保护。

参考图 5, 形成有下定向膜 214 的薄膜晶体管基板和涂敷有上定向膜 212 的滤色片基板 210 通过密封剂 200 彼此连接, 通过密封剂 200 密封的两个基板之间的盒间隙充满液晶。在该情况下, 液晶可以通过液晶滴注法或真空注入法形成, 在液晶滴注法中, 液晶层通过在至少一个基板上滴注液晶然后将它们连接而形成, 在真空注入法中, 连接两个基板然后注入液晶。上和下定向膜 212 和 214 由有机绝缘材料形成在两个基板的每个图像显示区域处。密封剂 200 以不与上和下定向膜 212 和 214 接触的方式形成, 以便增强粘合力。从而, 设置在薄膜晶体管基板上的数据线 104, 源极 110, 漏极 112 和像素电极 118 设置在由密封剂 200 密封的区域处, 因此可以得到在其上形成的下定向膜 214 以及填充在密封区域中的液晶的充分保护。

如上所述根据本发明第一实施例的不具有保护膜的水平电场施加型薄膜

晶体管基板通过下述三次掩模工序形成。

图 6A 和图 6B 分别为根据本发明实施例制造水平电场施加型薄膜晶体管基板的方法中第一掩模工序的平面图和截面图, 图 7A 至图 7E 为更具体说明第一掩模工序的截面图。

5 通过第一掩模工序在下基板 150 上形成第一掩模图案组, 第一掩模图案组包括栅线 102, 下栅焊盘电极 126, 公共线 120, 公共电极 122, 下公共焊盘电极 142, 数据链路 135 和下数据焊盘电极 134。这里, 除公共电极 122 以外的第一掩模图案组具有由至少两层导电层形成的多层结构。为了方便, 将解释具有第一和第二导电层 101 和 103 的双层结构。公共电极 122 具有由透明导电层的
10 第一导电层 101 构成的单层结构。具有多层结构和单层结构的第一掩模图案组通过利用例如衍射曝光掩模或半色调掩模等的单轮掩模工序形成。在下文中, 将描述半色调掩模用作第一掩模的情况。

在图 7A 中, 第一和第二导电层 101 和 103 通过沉积技术如溅射等设置在下基板 150 上。第一导电层 101 由透明导电材料如 ITO、TO、IZO 或 ITZO 等形
15 成。第二导电层 103 使用由金属材料形成的单层或至少双层的多层结构, 金属材料例如 Mo、Ti、Cu、AlNd、Al、Cr、Mo 合金、Cu 合金或 Al 合金等, 多层例如 Al/Cr、Al/Mo、Al (Nd) / Al、Al (Nd) / Cr、Mo/ Al (Nd) / Mo、Cu/ Mo、Ti/ Al (Nd) / Ti、Mo/ Al、Mo/ Ti/ Al (Nd)、Cu 合金/Mo、Cu 合金/ Al、Cu 合金/Mo 合金、Cu 合金/Al 合金、Al/ Mo 合金、Mo 合金/ Al、Al 合金/ Mo
20 合金、Mo 合金/Al 合金、Mo/ Al 合金等。

参考图 7B, 通过利用半色调掩模的光刻形成具有台阶敷层的第一光刻胶图案 162。半色调掩模由遮蔽紫外线的遮蔽部分, 利用相移材料部分透射紫外线的半色调透射部分, 以及完全透射紫外线的完全透射部分构成。第一光刻胶图案 162 包括不同厚度的第一光刻胶图案 162A 和 162B 和通过利用半色调掩模的光刻形成开口部分。在该情况下, 相对厚的第一光刻胶图案 162A 设置在与半色调掩模的遮蔽部分重叠的第一光刻胶的遮蔽区域 P1 处; 第一光刻胶图案 162B 比第一光刻胶图案 162A 薄并且设置在重叠半色调透射部分的半色调曝光区域 P2 处; 以及开口部分设置在与完全透射部分重叠的完全曝光区域 P3 处。
25

参考图 7C, 通过利用第一光刻胶图案 162 作为掩模的刻蚀工序刻蚀第一
30 和第二导电层 101 和 103 的暴露部分, 由此提供包括双层结构的栅线 102, 下

栅焊盘电极 126, 公共线 120, 公共电极 122, 下公共焊盘电极 142, 数据链路 135 和下数据焊盘电极 134 的第一掩模图案组。

在图 7D 中, 通过利用氧 (O_2) 等离子体的灰化工序第一光刻胶图案 162A 的厚度变薄, 同时去除第一光刻胶图案 162B。此外, 通过利用已灰化第一光刻胶图案 162A 作为掩模的刻蚀工序去除公共电极 122 上的第二导电层 103。在该情况下, 构图案后的第二导电层 103 的每侧沿已灰化第一光刻胶图案 162A 再次进行刻蚀, 由此允许第一掩模图案组的第一和第二导电层 101 和 103 具有以基本为矩形或梯形的恒定的台阶敷层。因此, 当第一和第二导电层 101 和 103 的侧面具有大的倾斜度时, 可以防止在其上产生的栅绝缘膜 152 的台阶敷层损坏。

参考图 7E, 通过剥离工序去除在图 7D 中剩余在第一掩模图案组上的第一光刻胶图案 162A。

图 8A 和图 8B 分别为解释根据本发明实施例制造水平电场施加型薄膜晶体管基板的方法中第二掩模工序的平面图和截面图, 图 9A 至图 9F 为更具体解释第二掩模工序的截面图。

通过第二掩模工序在设有第一掩模图案组的下基板 150 上形成包括第一至第四接触孔 128、136、144 和 148 的栅绝缘膜 152 以及半导体图案 115。半导体图案 115 和栅绝缘膜 152 的接触孔 128、136、144 和 148 通过利用衍射曝光掩模或半色调掩模的单轮掩模工序限定。在下文中, 将描述半色调掩模用作第二掩模的情况。

在图 9A 中, 通过沉积技术如 PECVD 等在形成有第一掩模图案的下基板 150 上顺序设置栅绝缘膜 152, 非晶硅层 105 和掺杂有 n^+ 或 p^+ 杂质的非晶硅层 107。这里, 栅绝缘膜 152 由无机绝缘材料如氧化硅 (SiO_x) 或氮化硅 (SiN_x) 形成。

在图 9B 中, 通过利用半色调掩模的光刻形成具有台阶敷层的第二光刻胶图案 168。半色调掩模由遮蔽紫外线的遮蔽部分, 利用相移材料部分透射紫外线的半色调透射部分, 以及完全透射紫外线的完全透射部分构成。第二光刻胶图案 168 包括不同厚度的第二光刻胶图案 168A 和 168B, 以及通过利用半色调掩模的光刻形成开口部分。在该情况下, 相对厚的第二光刻胶图案 168A 设置在第二光刻胶与半色调掩模的遮蔽部分重叠的遮蔽区域 P1 处; 第二光刻胶图案 162B 比第二光刻胶图案 162A 薄并且设置与半色调透射部分重叠的半色调曝

光区域 P2 处；以及开口部分设置在与完全透射部分重叠的完全曝光区域 P3 处。

在图 9C 中，通过利用第二光刻胶图案 168 作为掩模的刻蚀工序形成贯穿从掺杂有 n⁺或 p⁺杂质的非晶硅层 107 到栅绝缘膜 152 的第一至第四接触孔 128、136、144 和 148。第一接触孔 128 暴露下栅焊盘电极 126；第二接触孔 136 暴露下数据焊盘电极 134；第三接触孔 144 暴露下公共焊盘电极 142；以及第四接触孔 148 暴露数据链路 135。

参考图 9D，通过利用氧 (O₂) 等离子体的灰化工序第二光刻胶图案 168A 的厚度变薄，同时去除第二光刻胶图案 168B。

参考图 9E，通过利用已灰化第二光刻胶图案 168A 作为掩模的刻蚀工序形成构造掺杂有 n⁺或 p⁺杂质的非晶硅层 107 和非晶硅层 105，由此提供包括有源层 114 和欧姆接触层 116 的半导体图案 115。

在图 9F 中，通过剥离工序去除在图 9E 中剩余在半导体图案 115 上的第二光刻胶图案 168A。

图 10A 和图 10B 分别为解释根据本发明实施例制造水平电场施加型薄膜晶体管基板的方法中第三掩模工序的平面图和截面图，图 11A 至图 11E 为更具体解释第三掩模工序的截面图。

通过第三掩模工序在设有半导体图案 115 的栅绝缘膜 152 上形成第三掩模图案组，其包括数据线 104，源极 110，漏极 112，像素电极 118，上栅焊盘电极 130，上数据焊盘电极 138 和上公共焊盘电极 146。这里，包括数据线 104、源极 110 和漏极 112 的第三掩模图案组 A 具有由至少两层导电层形成的多层结构。为了方便，将描述具有第三和第四导电层 111 和 113 的双层结构。包括像素电极 118、上栅焊盘电极 130、上数据焊盘电极 138 和上公共焊盘电极 146 的第三掩模图案组 B 具有由第三掩模图案组 A 的第三导电层 111 形成的单层结构。通过利用衍射曝光掩模或半色调掩模的第三掩模工序形成包括具有双层结构的第三掩模图案组 A 和具有单层结构的第三掩模图案组 B 的第三掩模图案组。在下文中，将描述半色调掩模作为第三掩模的情况。

在图 11A 中，通过沉积技术如溅射在形成有半导体图案 115 的栅绝缘膜 152 上顺序形成第三和第四导电层 111 和 113。第三导电层 111 由透明导电材料如 ITO、TO、IZO 或 ITZO 等形成，或具有强耐腐蚀性和高强度的不透明金属

如 Ti 或 W 等形成。第四导电层 113 使用由金属材料形成的单层或具有至少双层的多层结构，金属材料例如 Mo、Ti、Cu、AlNd、Al、Cr、Mo 合金、Cu 合金或 Al 合金，多层例如 Al/Cr、Al/Mo、Al (Nd) / Al、Al (Nd) / Cr、Mo/ Al (Nd) / Mo、Cu/ Mo、Ti/ Al (Nd) /Ti、Mo/ Al、Mo/ Ti/ Al (Nd)、Cu 合金/Mo、Cu 合金/ Al、Cu 合金/Mo 合金、Cu 合金/Al 合金、Al/ Mo 合金、Mo 合金/ Al、Al 合金/ Mo 合金、Mo 合金/Al 合金、Mo/ Al 合金等。

在图 11B 中，通过利用半色调掩模的光刻形成具有台阶敷层的第三光刻胶图案 182。半色调掩模由遮蔽紫外线的遮蔽部分，利用相移材料部分透射紫外线的半色调透射部分，以及完全透射紫外线的完全透射部分构成。第三光刻胶图案 182 包括不同厚度的第三光刻胶图案 182A 和 182B，以及通过利用半色调掩模的光刻形成开口部分。在该情况下，相对厚的第三光刻胶图案 182A 设置在第三光刻胶与半色调掩模的遮蔽部分重叠的遮蔽区域 P1 处；第三光刻胶图案 182B 比第三光刻胶图案 182A 薄并且设置在与半色调透射部分重叠的半色调曝光区域 P2 处；以及开口部分设置在与完全透射部分重叠的完全曝光区域 P3 处。

参考图 11C，通过利用第三光刻胶图案 182 作为掩模的湿刻工序形成构图第三和第四导电层 111 和 113，由此提供双层结构的数据线 104，源极 110，漏极 112，像素电极 118，上栅焊盘电极 130，上数据焊盘电极 138 和上公共焊盘电极 146。数据线 104 与数据链路 135 重叠并经由第四接触孔 148 连接到数据链路 135。在该情况下，由于第四导电层 113 被刻蚀，然后第三导电层 111 通过不同的刻蚀剂进行刻蚀，因此位于比上面的第四导电层 113 更低部分处的第三导电层 111 被过刻蚀，以产生底切区域。此外，通过利用源极 110 和漏极 112 作为掩模的刻蚀工序例如干刻工序去除在源极 110 和漏极 112 之间的欧姆接触层 116，由此暴露有源层 114。

参考图 11D，通过灰化工序第三光刻胶图案 182A 的厚度变薄，同时去除第三光刻胶图案 182B。这种灰化工序可以在与断开欧姆接触层 116 的干刻工序相同的室中进行。第三光刻胶图案 182B 的去除暴露像素电极 118 的第四导电层 113，上栅焊盘电极 130 的第四导电层 113，上数据焊盘电极 138 的第四导电层 113 和上公共焊盘电极 146 的第四导电层 113。此外，已灰化第三光刻胶图案 182A 的边缘位于在构图后的第四导电层 113 边缘的内侧。

参考图 11E, 通过利用已灰化第三光刻胶图案 182A 作为掩模的刻蚀工序刻蚀像素电极 118 的第四导电层 113, 上栅焊盘电极 130 的第四导电层 113, 上数据焊盘电极 138 的第四导电层 113 和上公共焊盘电极 146 的第四导电层 113, 由此提供具有第三导电层 111 的单层结构的像素电极 118, 上栅焊盘电
5 极 130, 上数据焊盘电极 138 和上公共焊盘电极 146。在该情况下, 通过第三光刻胶图案 182A 的边缘暴露的第四导电层 113 的每侧再次进行刻蚀。从而, 数据线 104、源极 110 和漏极 112 的第三和第四导电层 111 和 113 具有恒定的台阶敷层, 其具有基本上矩形或梯形的形状。此外, 第三光刻胶图案 182A 通过剥离工序去除。

10 在第三掩模工序中的第三和第四导电层 111 和 113 的刻蚀工序可以通过湿刻或干刻进行。但是, 优选湿刻。

结果, 根据本发明实施例的水平电场施加型薄膜晶体管基板具有由于不存在保护膜而暴露结构的数据线 104、源极 110 和像素电极 118。然而, 它们所有都定位在由密封剂密封的区域处, 因此它们可以得到其上涂敷的下定向膜以及
15 及充填在密封区域中的液晶的充分保护。

图 12 示出了根据本发明另一实施例的水平电场施加型薄膜晶体管基板的一部分的平面图, 和图 13 为沿图 12 的线 III-III', IV-IV', V-V' 和 VI-VI' 得到的薄膜晶体管基板的截面图。

除了栅焊盘 224、数据焊盘 232 和公共焊盘 240 通过第一掩模工序形成从而具有第一掩模图案组结构之外, 图 12 和图 13 中示出的薄膜晶体管基板具有
20 与图 2 和图 3 中示出的薄膜晶体管基板相同的元件。因此, 相同元件的说明将省略。

参考图 12 和图 13, 下栅焊盘电极 230、下数据焊盘电极 238 和下公共焊盘电极 246 由第一掩模图案组的第一导电层 101 形成。下栅焊盘电极 230、下
25 数据焊盘电极 238 和下公共焊盘电极 246 分别通过第一至第三接触孔 228、236 和 244 暴露。上栅焊盘电极 226、上数据焊盘电极 234 和上公共焊盘电极 242 由第一掩模图案组的第二导电层 103 形成。上焊盘电极 226、234 和 242 以不与接触孔 228、236 和 244 重叠的方式留在下焊盘电极 230、238 和 246 上, 因此得到栅绝缘膜 152 的保护。例如, 上焊盘电极 226、234 和 242 沿下焊盘电
30 极 230、238 和 246 的边缘形成, 因此得到栅绝缘膜 152 的保护。

贯穿上焊盘电极 226、234 和 242 的下焊盘电极 230、238 和 246 的暴露结构通过以暴露第一导电层 101 的方式仅刻蚀掉第二导电层 103 形成, 该刻蚀通过在第一掩模工序中应用半色调曝光区域 P2 来进行, 如上参考图 6A 至图 7E 所述。

5 如上所述, 在根据本发明的水平电场施加型薄膜晶体管基板及其制造方法中, 借助于第一半色调(或衍射曝光)掩模, 形成单层结构的公共电极, 以及多层结构的其他第一掩模图案组。

此外, 在根据本发明的水平电场施加型薄膜晶体管基板及其制造方法中, 通过利用第二半色调(或衍射曝光)掩模形成半导体图案和接触孔。

10 此外, 在根据本发明的水平电场施加型薄膜晶体管基板及其制造方法中, 借助于第三半色调(或衍射曝光)掩模, 形成单层结构的像素电极和上焊盘电极, 以及多层结构的其他第三掩模图案组, 而没有任何保护膜。

因此, 整个工序可以通过三次掩模而简化, 因此减少材料成本和设备投资成本, 以及提高生产率等成为可能。

15 此外, 根据本发明的水平电场施加型薄膜晶体管基板应用到其中的液晶板允许由于不存在保护膜而暴露的数据线、源极、漏极和像素电极得到在其上形成的下定向膜或填充在由密封剂密封的区域中的液晶的充分保护。同样, 薄膜晶体管基板的焊盘具有相同结构, 连接到数据焊盘的数据链路经由接触孔连接到密封剂密封的区域中的数据线。从而, 防止由于保护膜的缺少引起的照明问题等成为可能。

20 此外, 根据本发明, 公共电极和像素电极由透明导电层形成, 由此有助于孔径比, 因此提高孔径比成为可能。

本领域的技术人员应当理解在不脱离本发明的精神或范围的情况下本发明有多种变形和变化。因此, 本发明覆盖所有落入所附权利要求和其等同物限定范围

25 内的这些变形和变化。

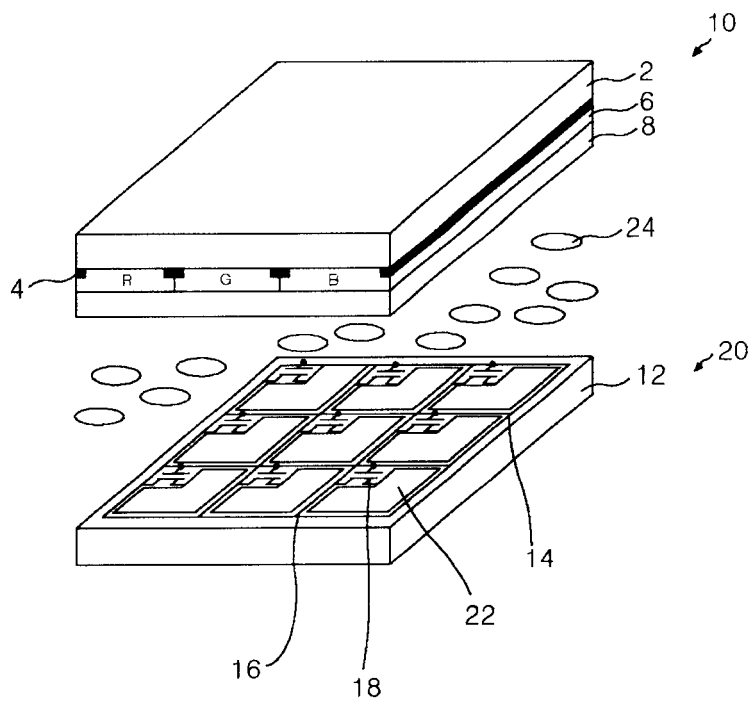


图 1

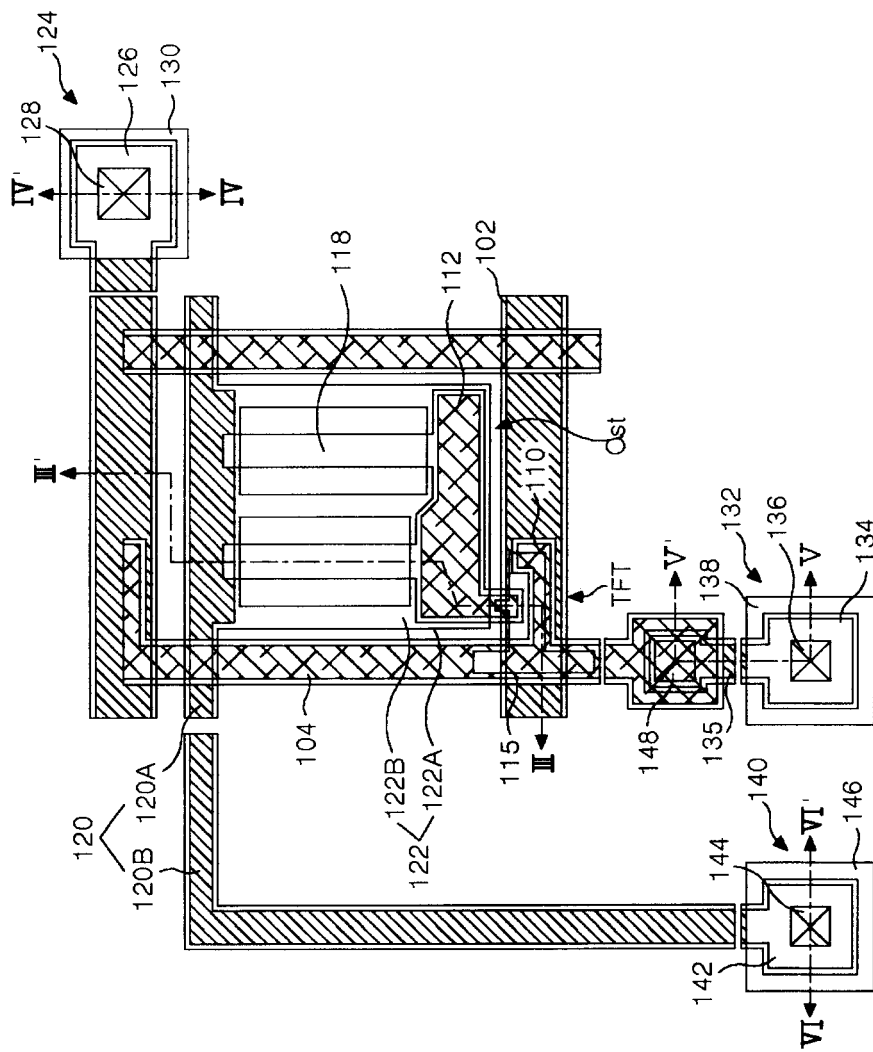


图 2

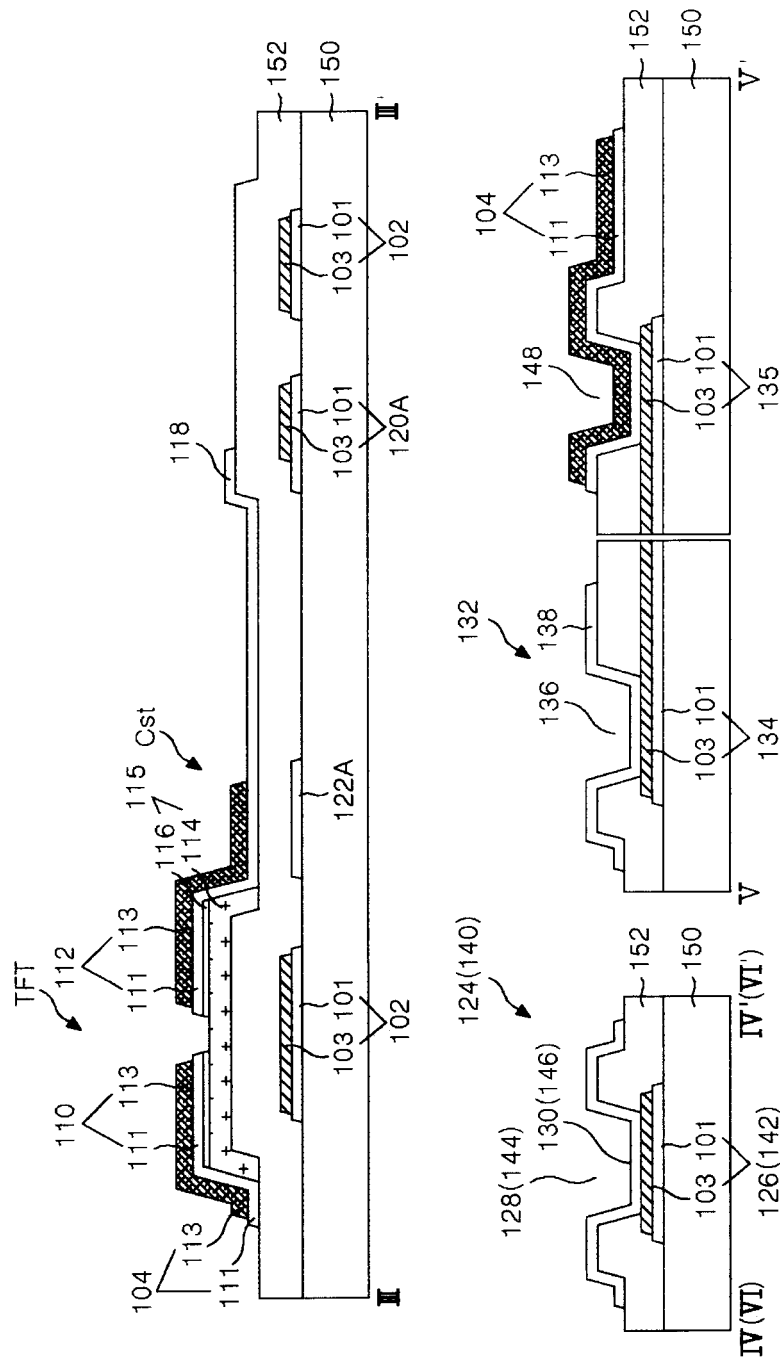


图 3

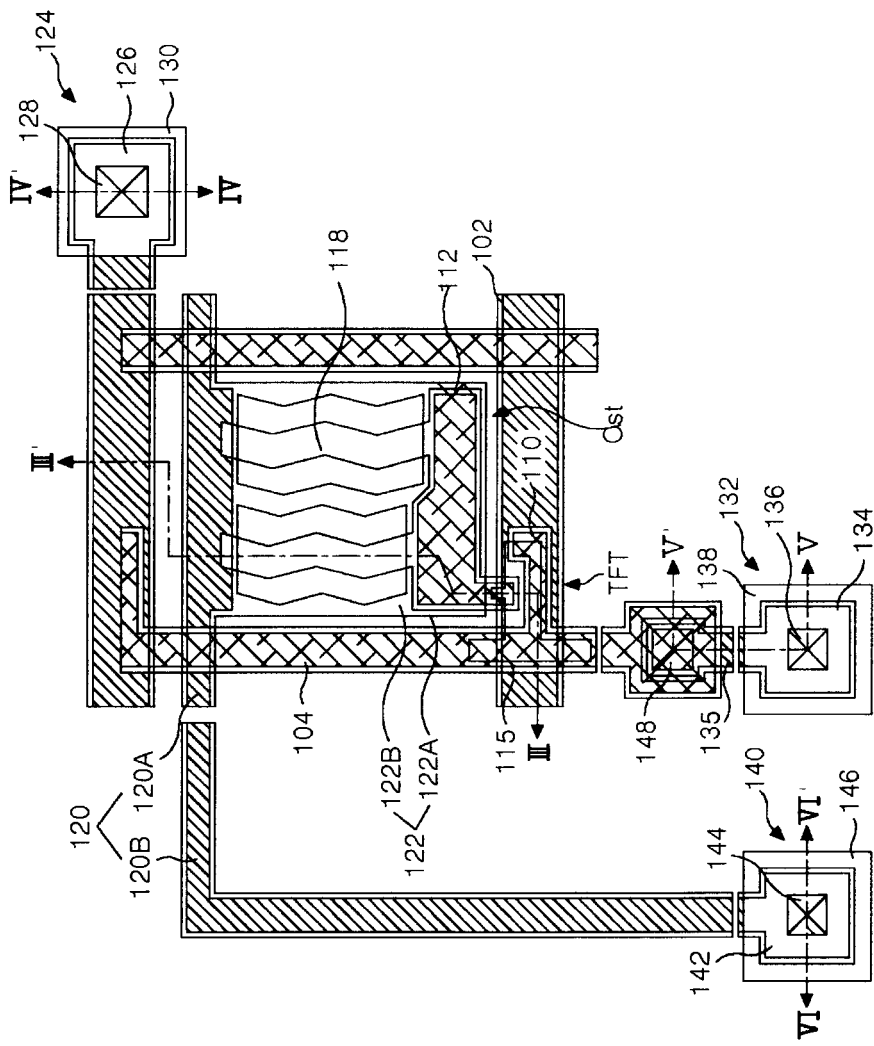


图 4

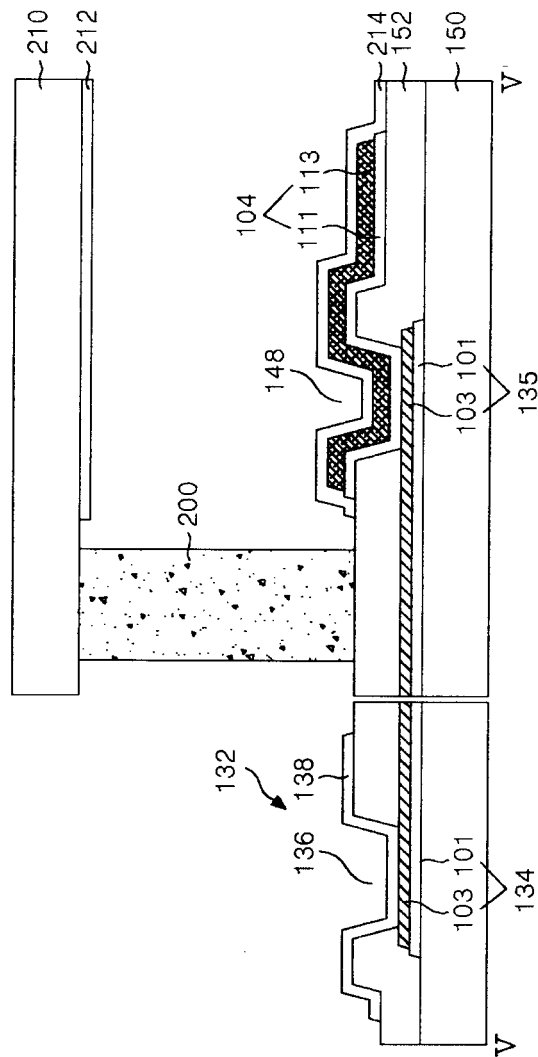
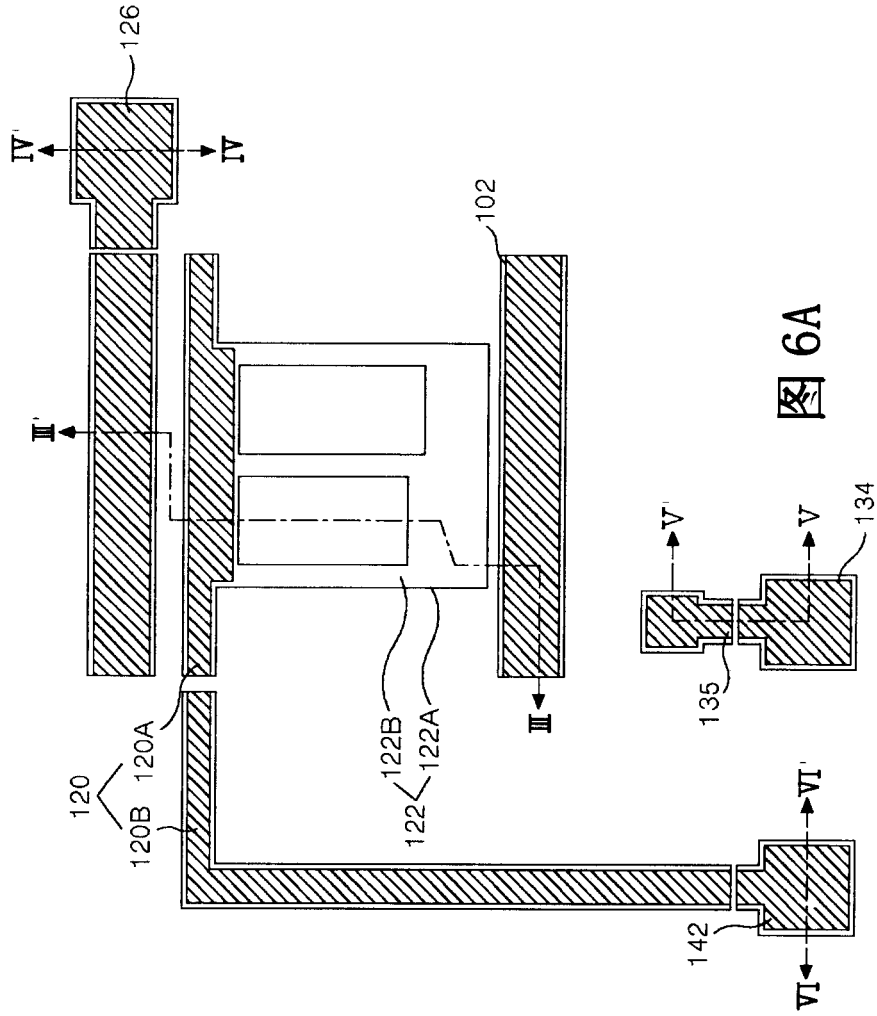


图 5



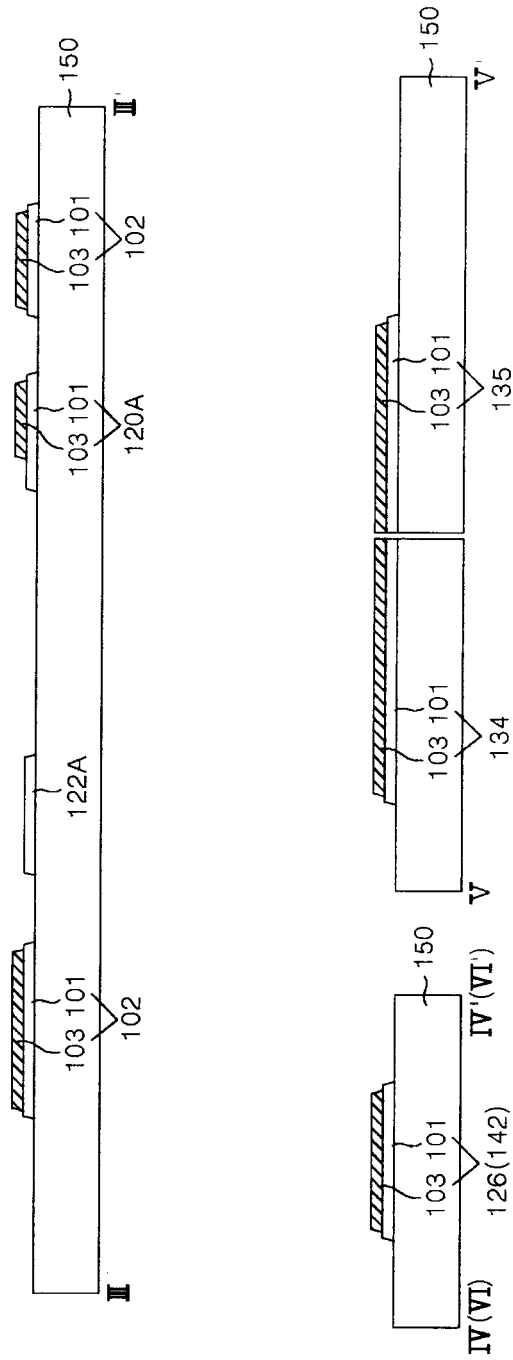


图 6B

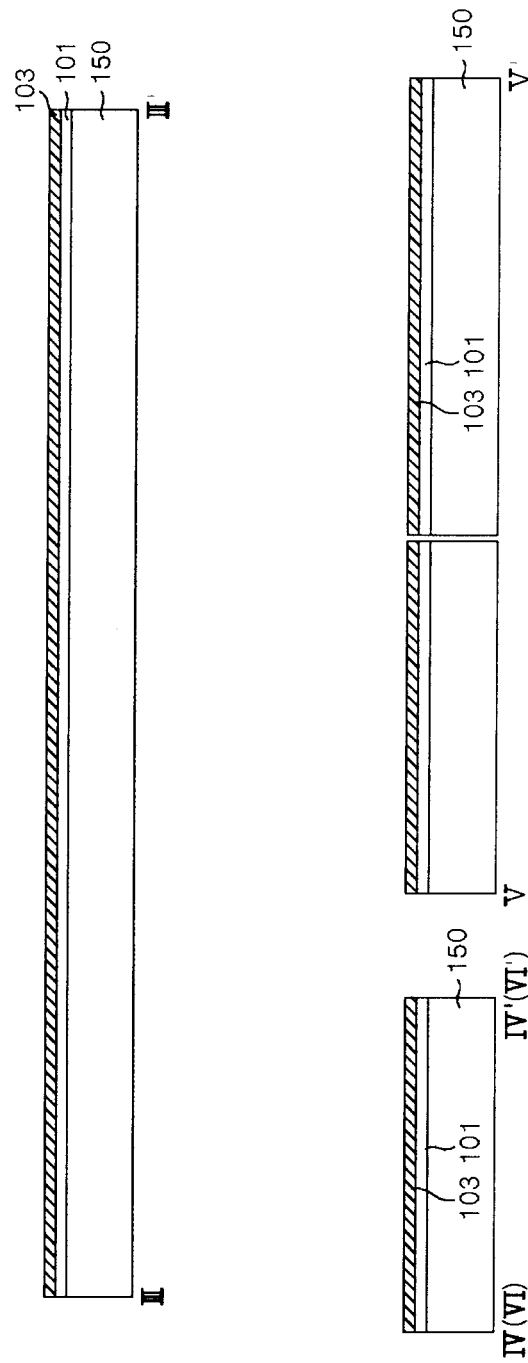


图 7A

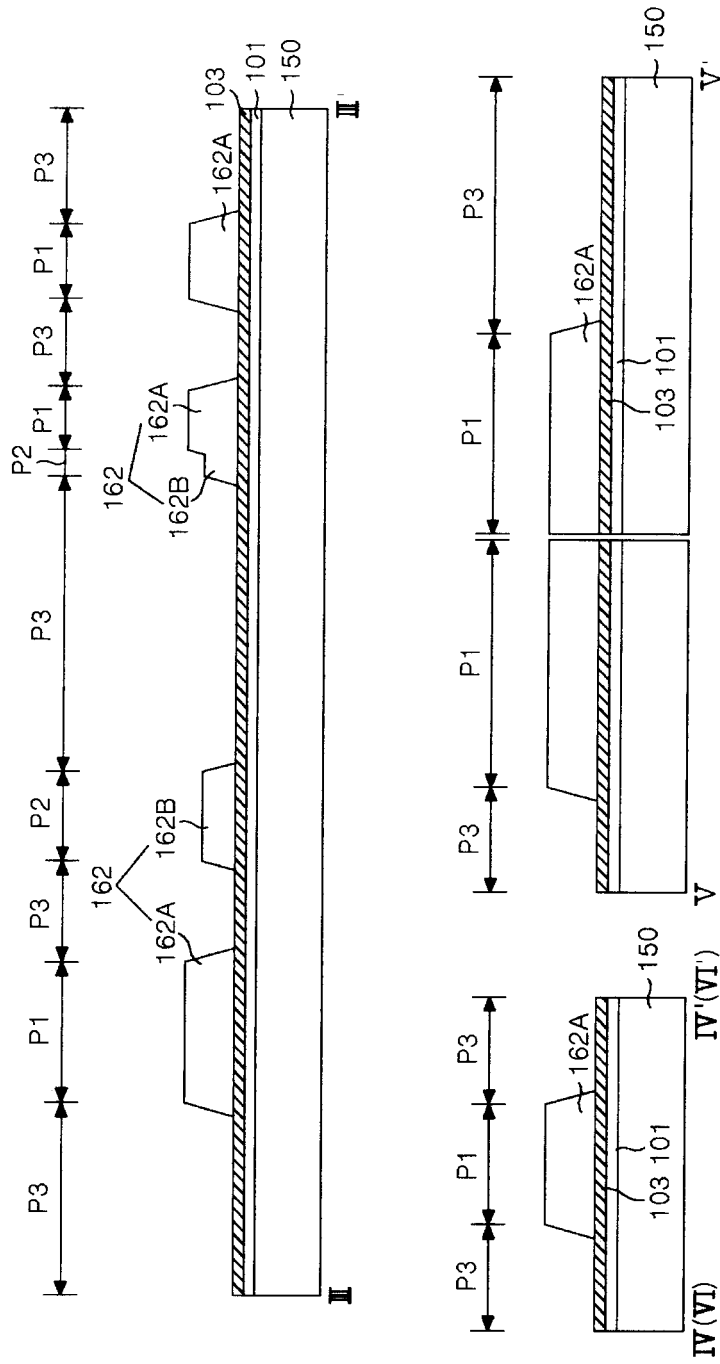


图 7B

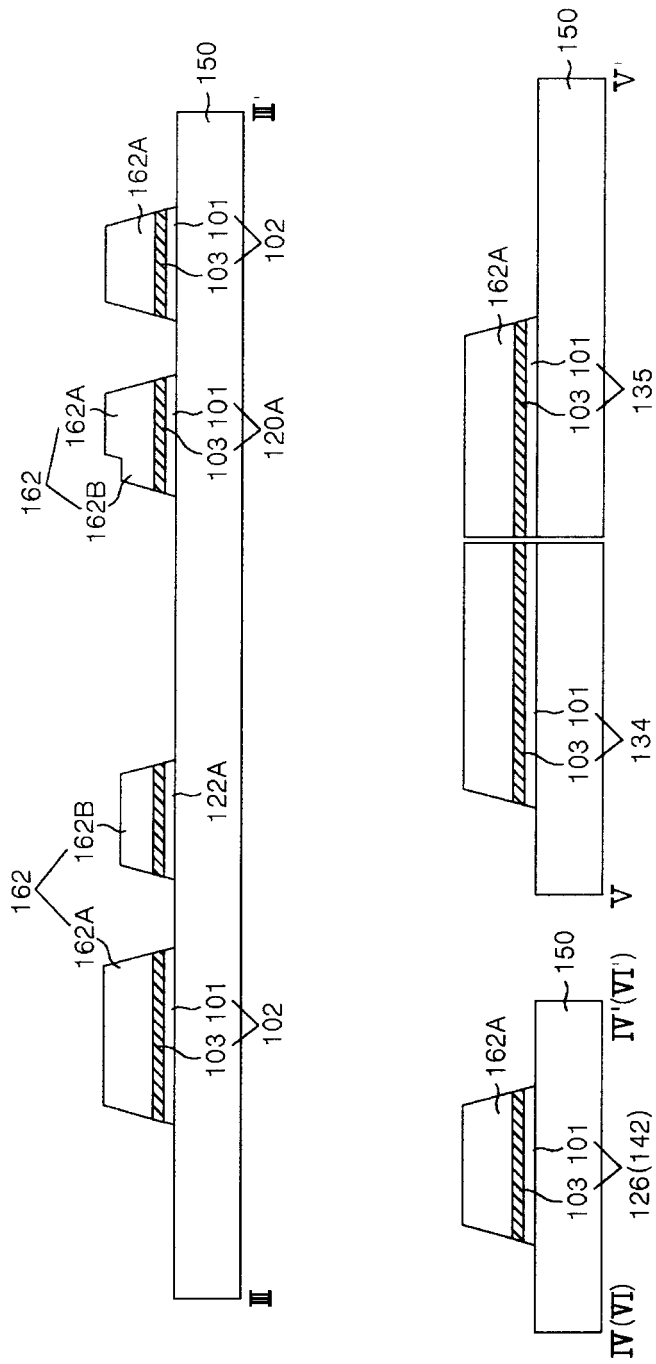


图 7C

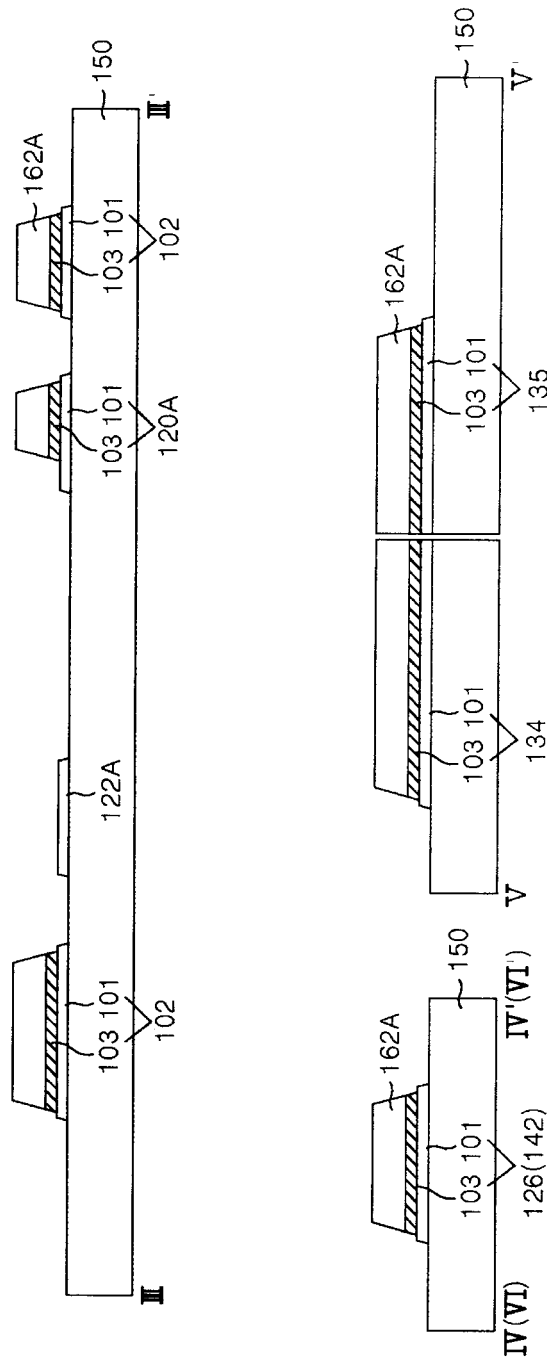


图 7D

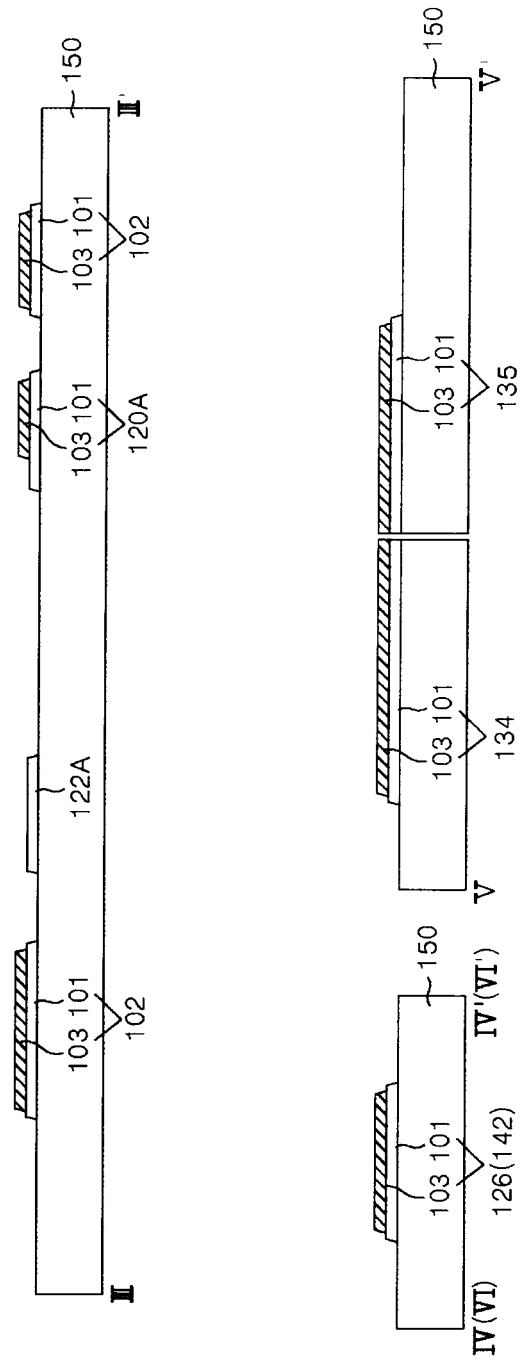


图 7E

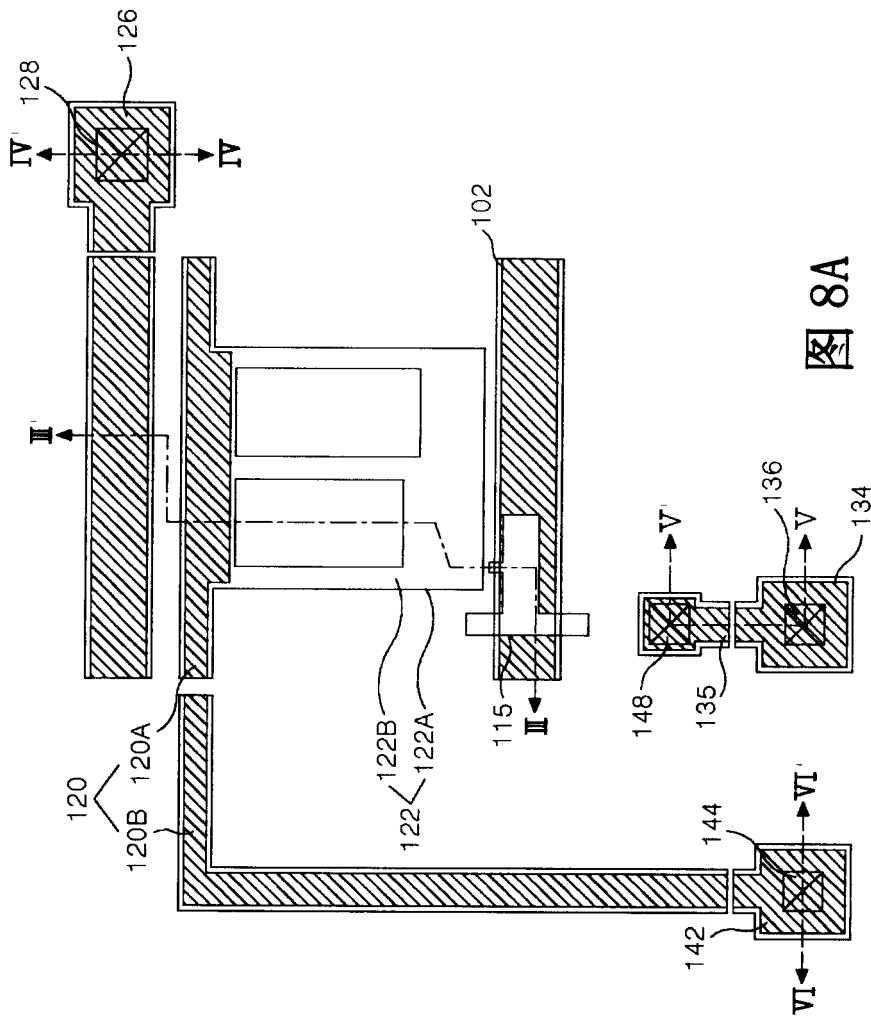


图 8A

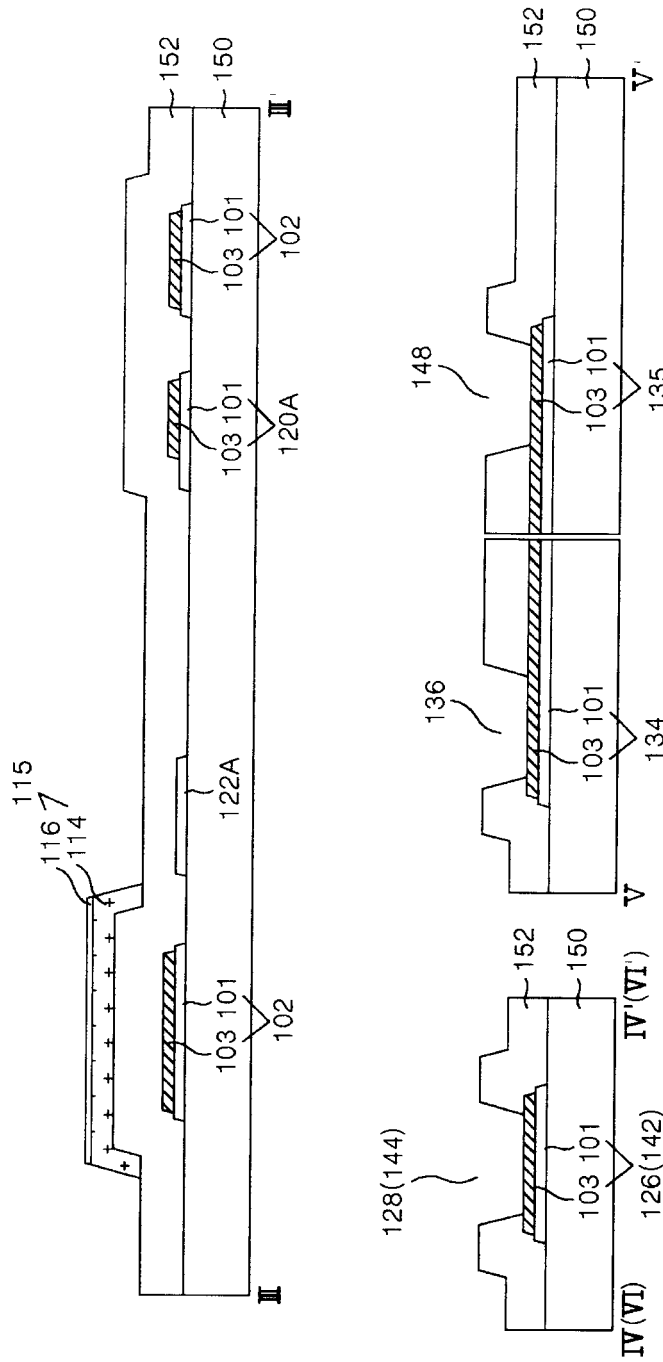


图 8B

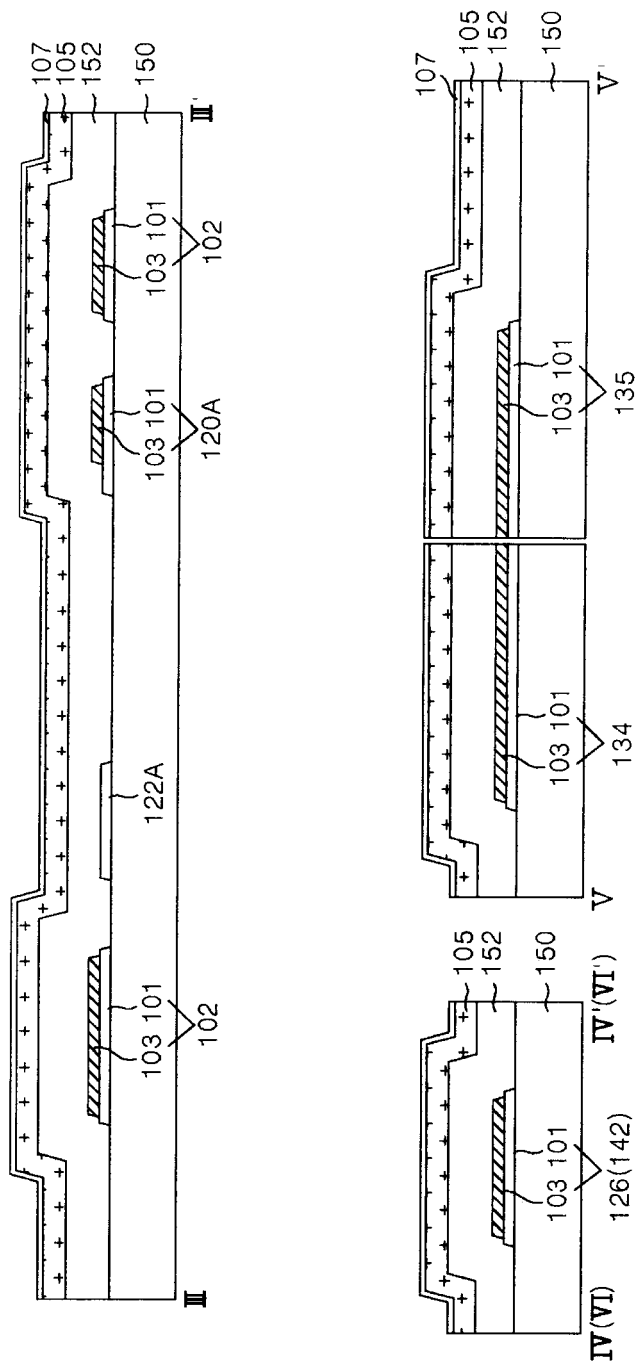


图 9A

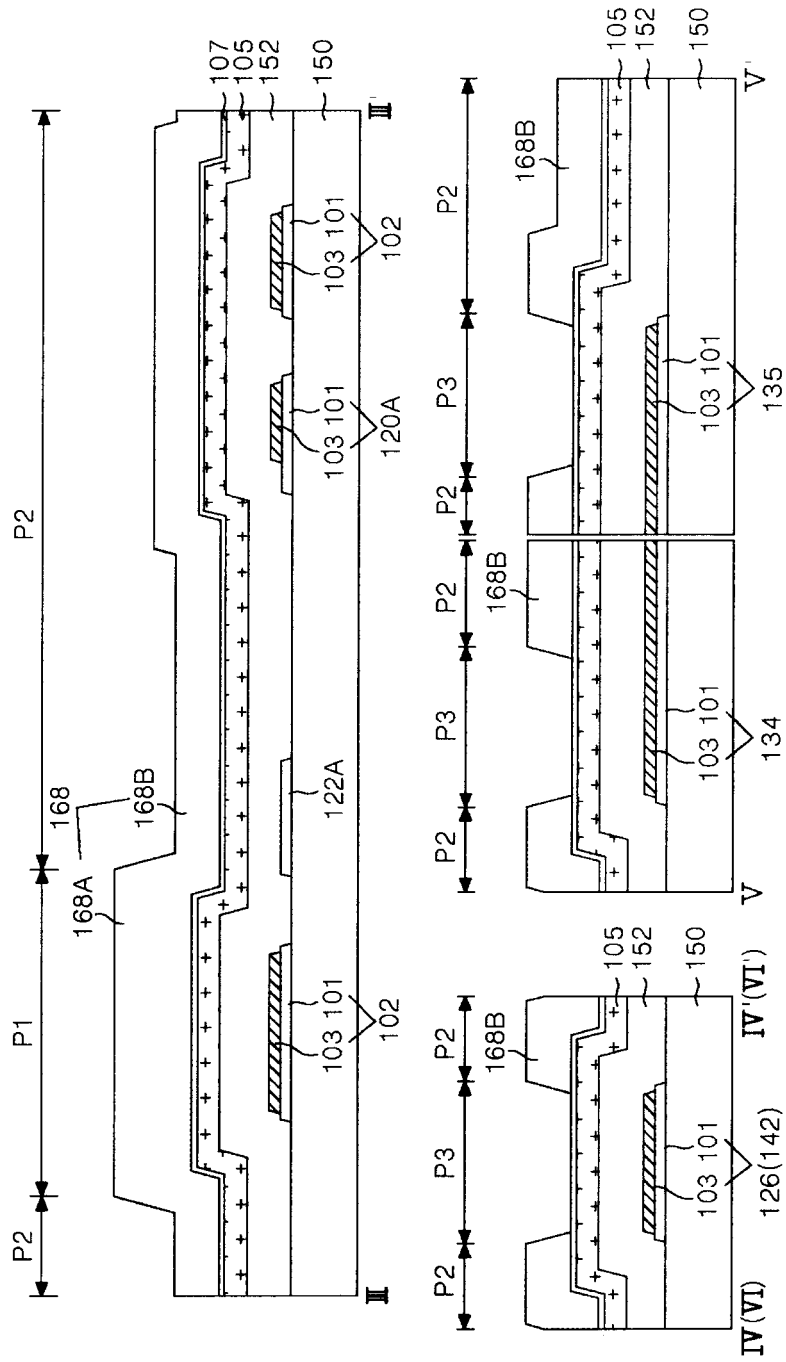


图 9B

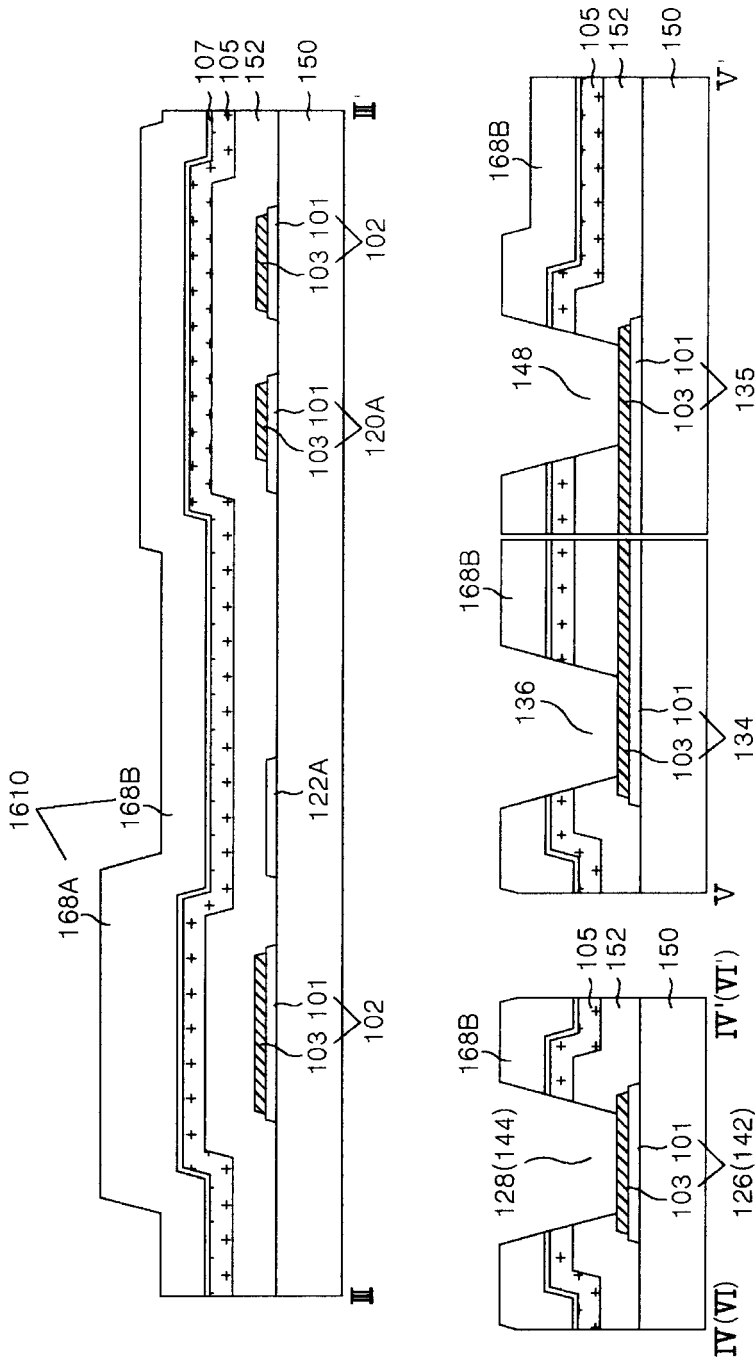


图 9C

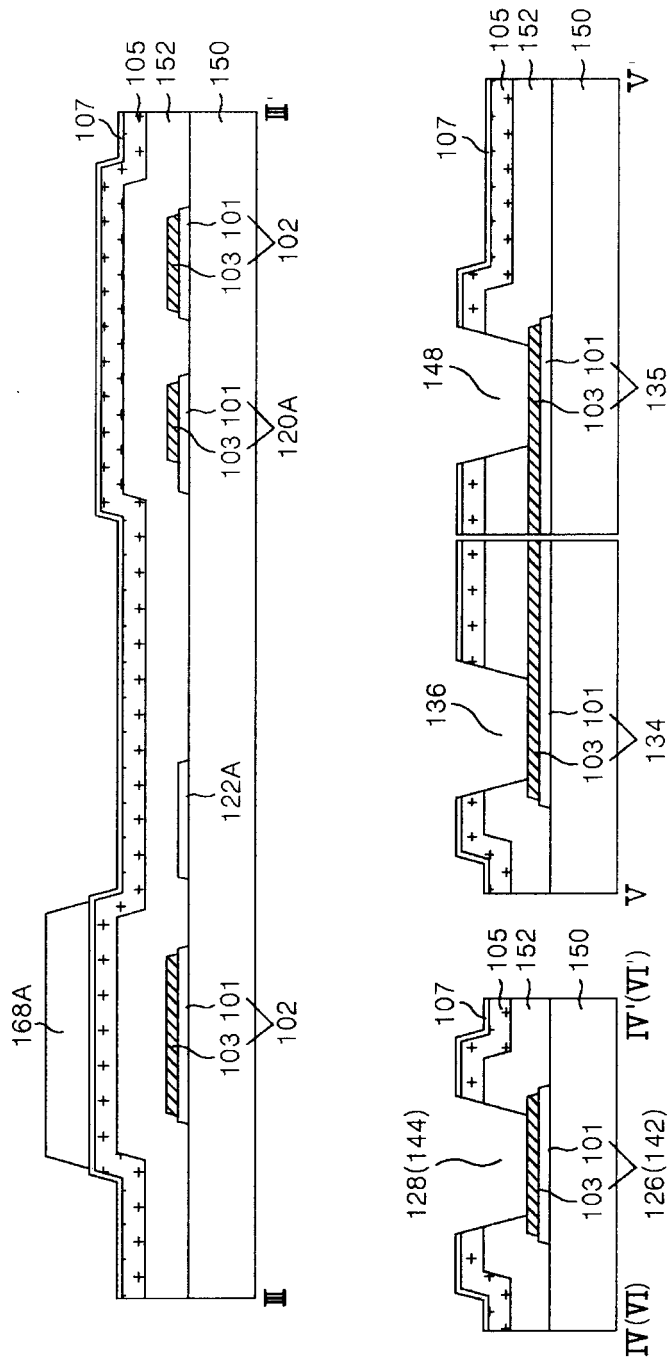


图 9D

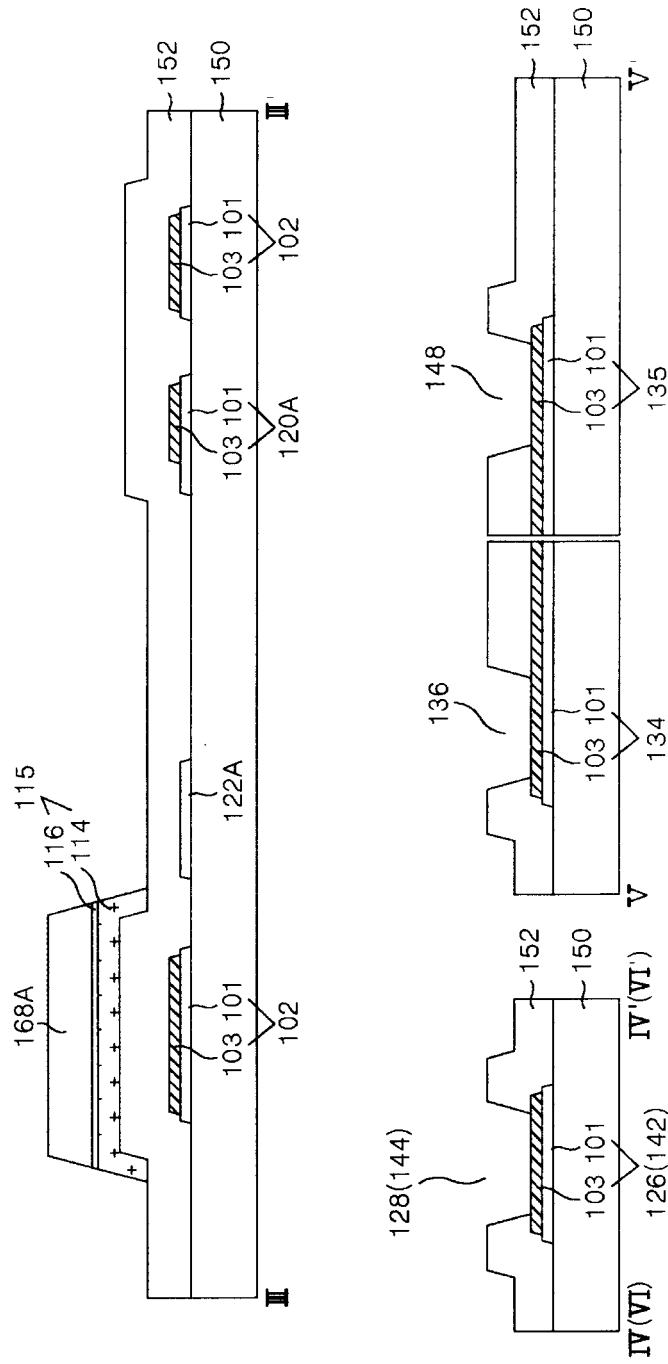


图 9E

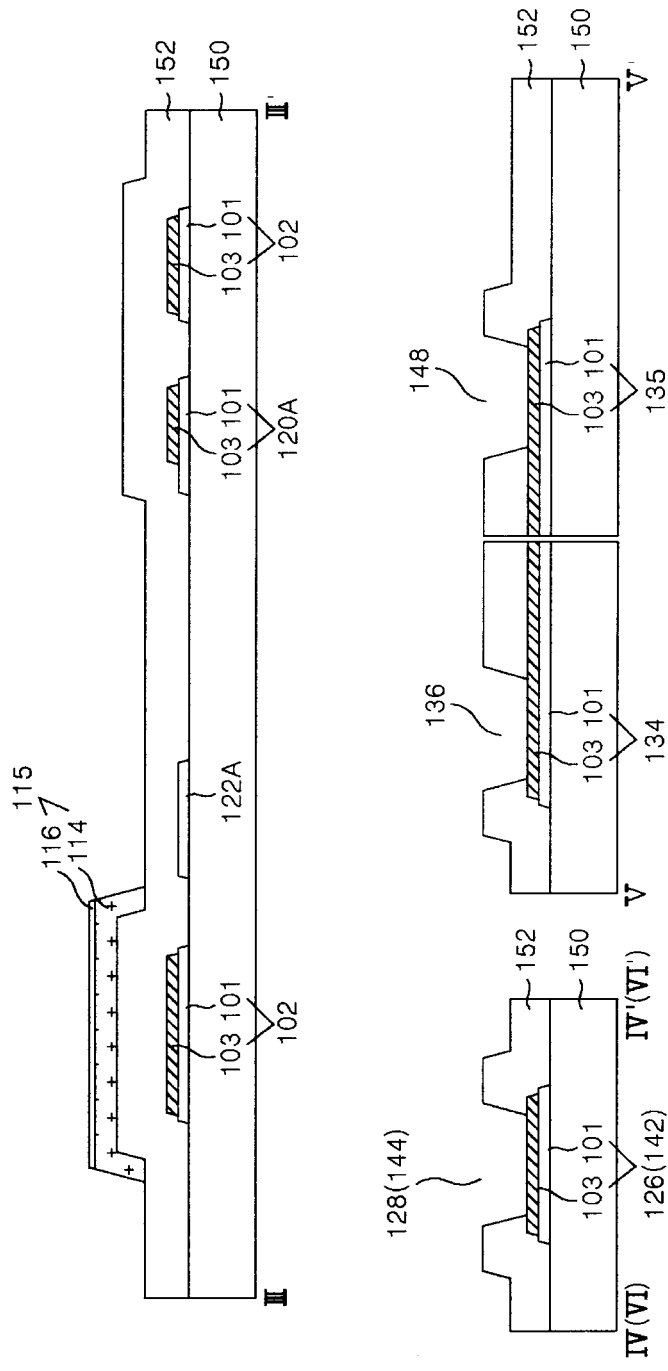


图 9F

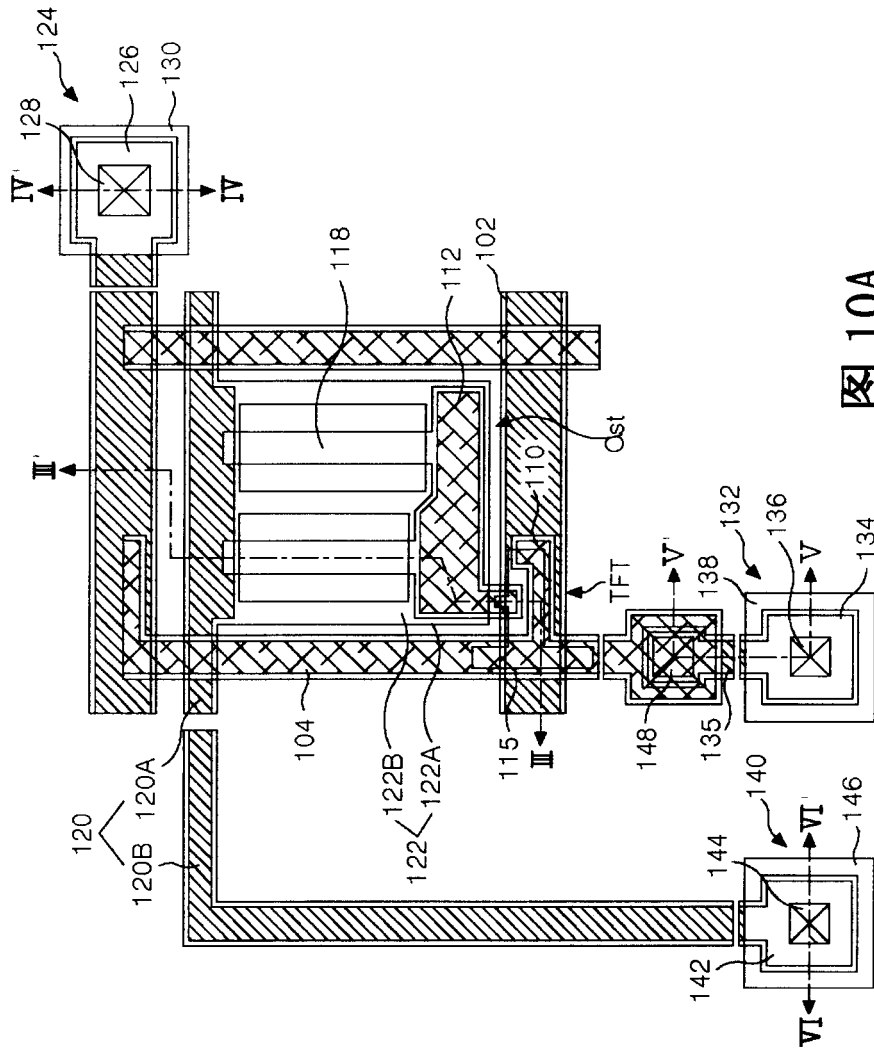


图 10A

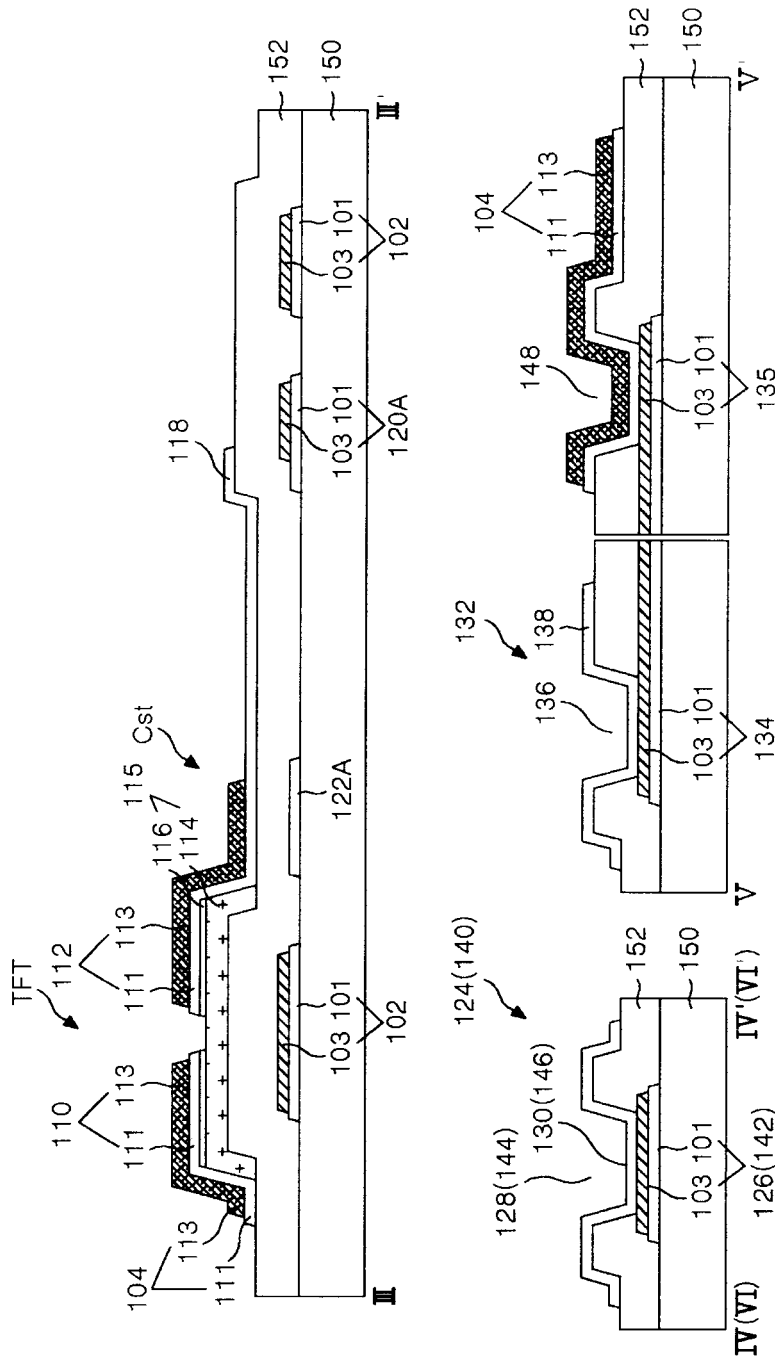


图 10B

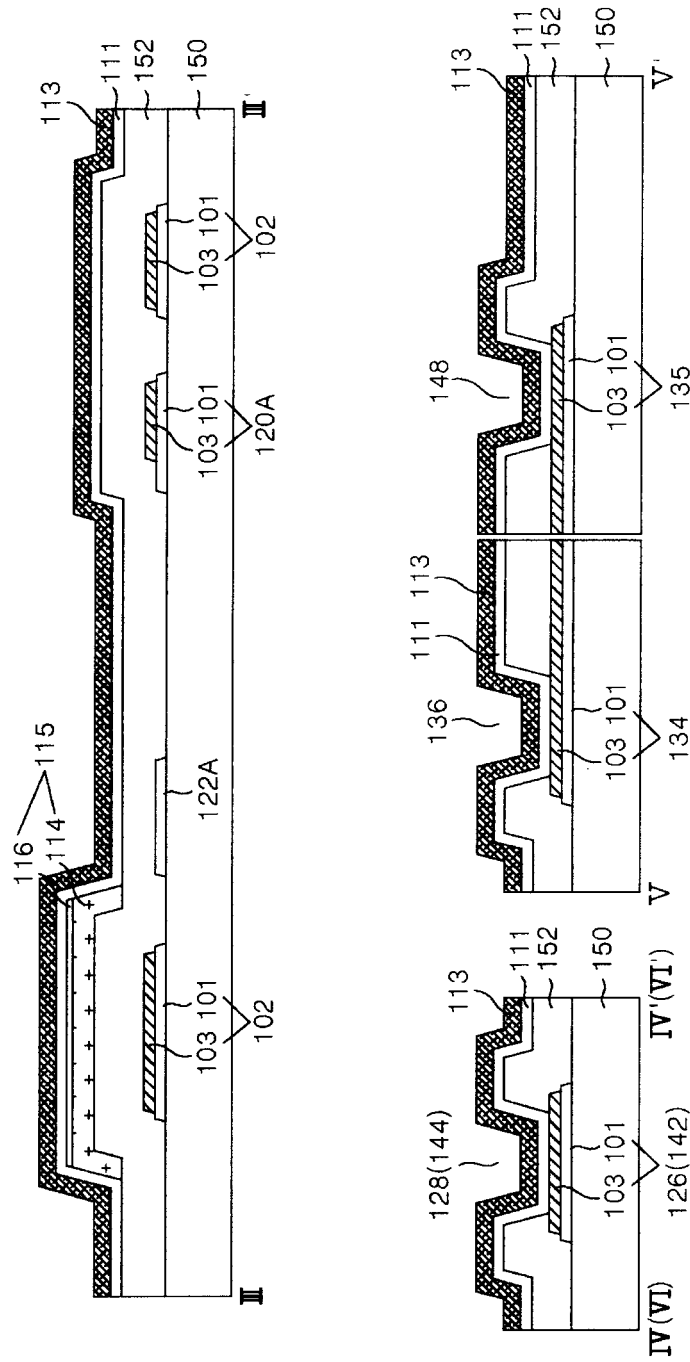


图 11A

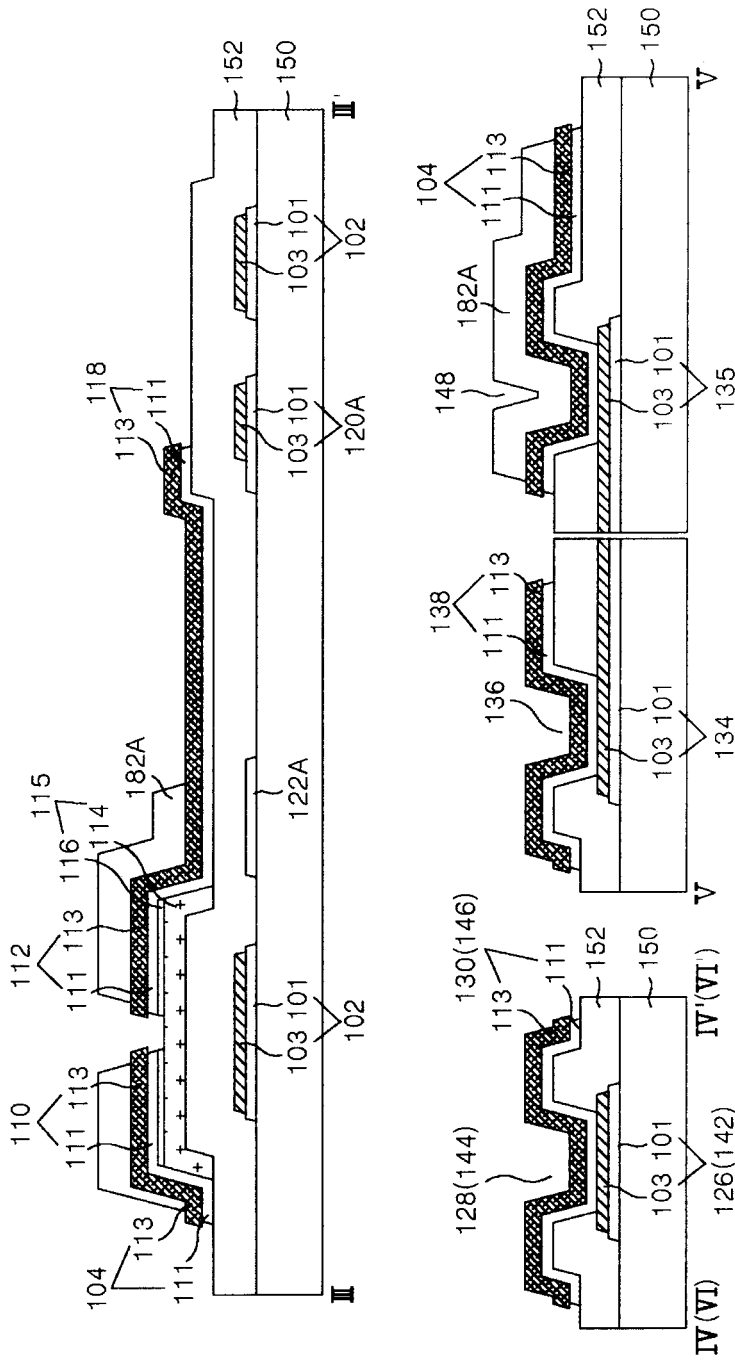


图 11D

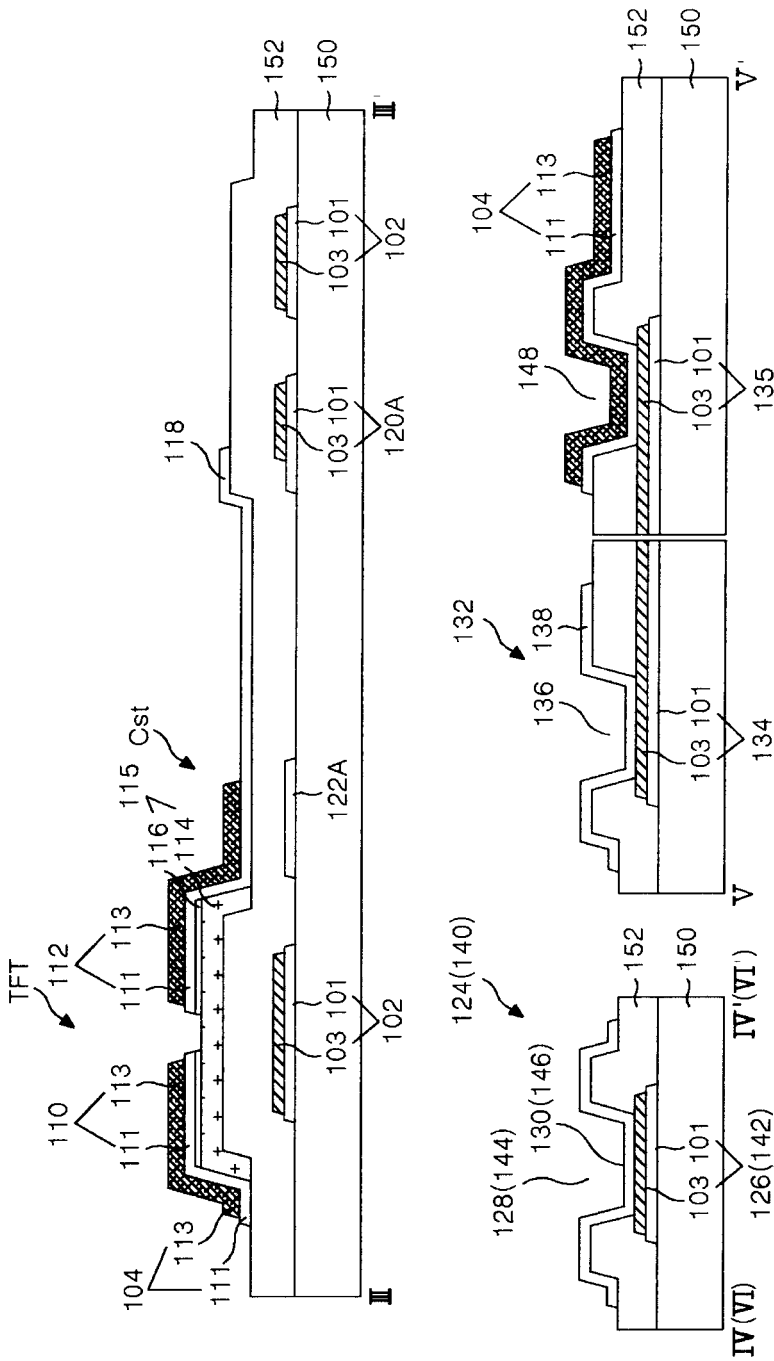


图 11E

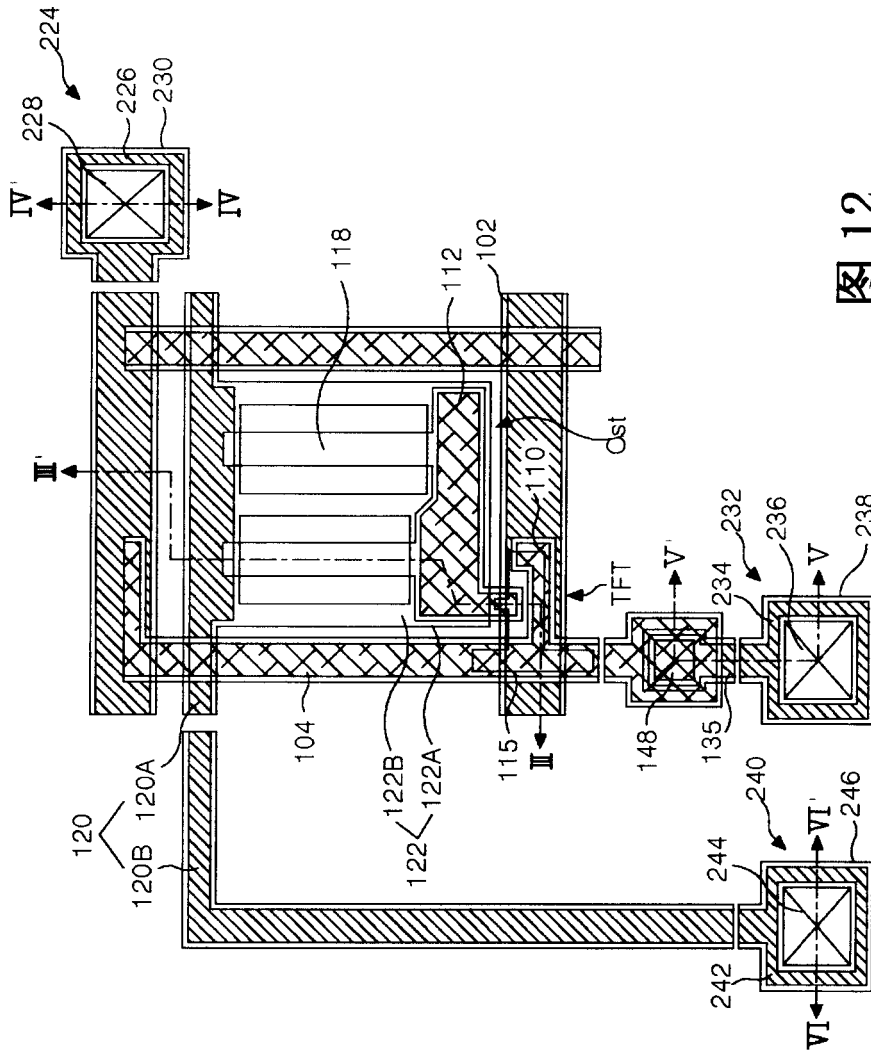


图 12

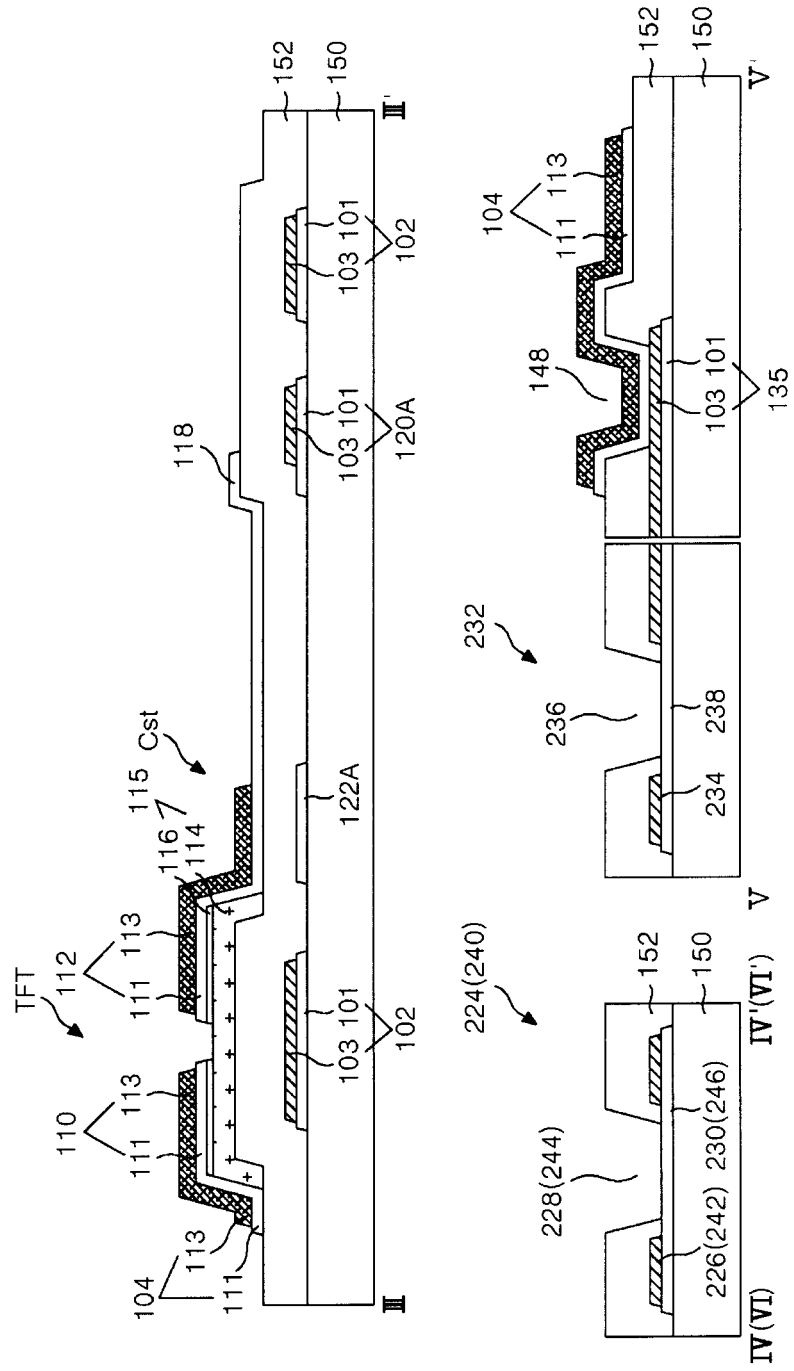


图 13

专利名称(译)	水平电场施加型薄膜晶体管基板及其制造方法		
公开(公告)号	CN1794076A	公开(公告)日	2006-06-28
申请号	CN200510132210.7	申请日	2005-12-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	安炳喆		
发明人	安炳喆		
IPC分类号	G02F1/1362 G02F1/133 G03F7/20 H01L21/027 H01L29/786		
CPC分类号	G02F1/134363 G02F2001/136231 G02F2001/13629		
代理人(译)	徐金国		
优先权	1020040112578 2004-12-24 KR		
其他公开文献	CN100397224C		
外部链接	Espacenet SIPO		

摘要(译)

一种LCD器件包括：基板上的栅线和与栅线相交以限定像素区域的数据线；包括源极和漏极的薄膜晶体管；平行于栅线的公共线；从公共线延伸的公共电极和从漏极延伸的像素电极，其中栅线和公共线具有至少双层导电层的第一导电层组，并且公共电极通过公共线的至少一层透明导电层的延伸形成；栅线、源极和漏极具有至少双层导电层的第二导电层组，并且像素电极通过漏极的至少一层透明导电层的延伸形成。

