

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

G02F 1/133

H01L 29/786

H01L 21/027



[12] 发明专利申请公开说明书

[21] 申请号 200510078543.6

[43] 公开日 2005 年 12 月 14 日

[11] 公开号 CN 1707342A

[22] 申请日 2005.6.6

[21] 申请号 200510078543.6

[30] 优先权

[32] 2004.6.5 [33] KR [31] 10-2004-0041137

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国首尔

[72] 发明人 郑泰容 李志璠 郭喜荣

[74] 专利代理机构 北京三友知识产权代理有限公司

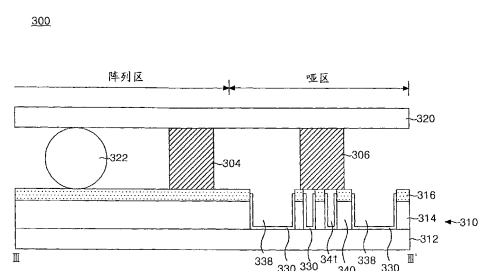
代理人 李 辉

权利要求书 3 页 说明书 14 页 附图 20 页

[54] 发明名称 液晶显示器件及其制造方法

[57] 摘要

液晶显示器件及其制造方法。薄膜晶体管(TFT)底基板包括:基板;所述基板上的多个阵列区;所述基板上的并位于所述多个阵列区之间的至少一个哑区;所述基板上的绝缘膜;穿过所述绝缘膜并设置在所述至少一个哑区内的至少一个孔;以及设置在所述至少一个孔内的至少一个柱。



I S S N 1 0 0 8 - 4 2 7 4

- 1、一种薄膜晶体管阵列底基板，包括：
基板；
5 所述基板上的多个阵列区；
所述基板上的并位于所述多个阵列区之间的至少一个哑区；
所述基板上的绝缘膜；
穿过所述绝缘膜并设置在所述至少一个哑区内的至少一个孔；以及
设置在所述至少一个孔内的至少一个柱。
- 10 2、根据权利要求1所述的薄膜晶体管阵列底基板，还包括所述孔内的透明导电材料。
- 3、根据权利要求1所述的薄膜晶体管阵列底基板，其中所述绝缘膜包括：
栅绝缘膜；以及
15 钝化膜。
- 4、根据权利要求1所述的薄膜晶体管阵列底基板，其中所述至少一个柱包括绝缘材料。
- 5、根据权利要求4所述的薄膜晶体管阵列底基板，其中所述至少一个柱包括：
20 栅绝缘膜；以及
钝化膜。
- 6、根据权利要求1所述的薄膜晶体管阵列底基板，还包括所述至少一个柱上的哑密封图案。
- 7、根据权利要求6所述的薄膜晶体管阵列底基板，其中所述至少一个柱包括多个洞。
- 25 8、根据权利要求7所述的薄膜晶体管阵列底基板，还包括形成在所述多个洞以及所述孔内的透明导电材料。
- 9、根据权利要求7所述的薄膜晶体管阵列底基板，其中各洞的宽度小于可形成在所述至少一个孔上的所述哑密封图案的宽度。

10、根据权利要求 1 所述的薄膜晶体管阵列底基板，还包括各个阵列区内的多个 TFT。

11、一种制造显示器件的方法，包括：

在第一基板上形成多个阵列区，其中所述多个阵列区由至少一个哑区
5 区隔开；

在所述第一基板上形成绝缘膜；

形成穿过设置在所述至少一个哑区内的一部分绝缘膜的至少一个孔；以及

形成设置在所述至少一个孔内的至少一个柱。

10 12、根据权利要求 11 所述的方法，还包括同时形成所述至少一个孔以及所述至少一个柱。

13、根据权利要求 12 所述的方法，其中形成所述洞和所述开口部分的步骤包括：

在所述绝缘膜上形成光刻胶图案；

15 利用所述光刻胶图案作为掩模对所述绝缘膜进行刻蚀；

在所述光刻胶图案上形成透明导电膜；以及

去除所述光刻胶图案以及其上形成的所述透明导电膜的多个部分。

14、根据权利要求 11 所述的方法，其中形成所述绝缘膜的步骤包括：

形成栅绝缘膜；以及

20 形成钝化膜。

15、根据权利要求 11 所述的方法，其中所述至少一个柱包括绝缘材料。

16、根据权利要求 15 所述的方法，其中所述至少一个柱包括：

栅绝缘膜；以及

25 钝化膜。

17、根据权利要求 11 所述的方法，还包括将第二基板粘合到所述第一基板的步骤。

18、根据权利要求 17 所述的方法，其中所述粘合步骤包括在所述第一和第二基板之间设置至少一个哑密封图案的步骤，其中所述至少一个

哑密封图案与所述至少一个柱接触。

19、根据权利要求 18 所述的方法，还包括在所述至少一个柱内形成多个洞的步骤。

20、根据权利要求 19 所述的方法，其中各洞的宽度小于可以形成在
5 所述至少一个孔上的所述哑密封图案的宽度。

21、根据权利要求 11 所述的方法，还包括在各阵列区内形成多个薄膜晶体管的步骤。

22. 根据权利要求 19 所述的方法，其中所述透明导电材料形成在所述多个洞和所述孔内。

液晶显示器件及其制造方法

5 技术领域

本发明的原理总体上涉及显示器件的薄膜晶体管（TFT）基板及其制造方法。更具体地，本发明的原理涉及一种 TFT 底基板（base TFT substrate）及其简化的制造方法。

10 背景技术

通常，LCD 器件通过有选择地施加电场来控制液晶材料的透光性，从而显示图像。因此，LCD 器件一般包括 LCD 板和用于驱动 LCD 板的驱动电路。

LCD 板具有以矩阵形式设置的多个液晶单元，并通常包括 TFT 基板以及与该 TFT 基板粘合并分隔开的滤色器基板，由此限定两个基板之间的单元间隔（cell gap）。在单元间隔内设置液晶材料，同时提供间隔体来使单元间隔保持一致。

TFT 基板包括：选通线；数据线，与选通线交叉以限定像素区；开关器件（即，TFT），位于选通线和数据线的交叉处；像素电极，形成在像素区内并与相应 TFT 相连；以及配向膜，位于像素电极之上。各选通线和数据线包括与预定驱动电路电连接的焊盘部分。因此，选通线和数据线分别经由相应焊盘部分从驱动电路接收扫描信号和像素信号。响应于施加到选通线的扫描信号，相应 TFT 将从相应数据线传来的像素信号切换到相应像素电极。

25 滤色器基板包括：多个滤色器，分别与相应像素电极对齐；黑底，位于相邻滤色器之间，用于反射外部光；公共电极，用于将基准电压施加到随后设置的液晶层；以及配向膜，位于公共电极之上。

在制备了上述 TFT 阵列和滤色器基板之后，由密封材料将它们粘合在一起以形成单元间隔，通过密封材料内的注射孔注入液晶材料，并将

其注入单元间隔中以形成液晶层。随后，对注射孔进行密封，从而完成 LCD 板的制造。

因为上述的用于制造 TFT 阵列基板的工艺涉及需要多次掩模工艺的大量半导体工艺技术，所以其复杂且成本较高。通常已知单个掩模工艺需要多个子工艺，如薄膜淀积、清洗、光刻、刻蚀、光刻胶剥离、检查等。为了减少制造 TFT 阵列基板的复杂性，并降低成本，研究了许多工艺流程来使所需的掩模工艺数最小。因此，开发出了四掩模工艺，其可以去除标准五掩模工艺中的一个掩模工艺。

图 1 示出了使用现有技术的四掩模工艺制造出的 LCD 器件的 TFT 阵列基板的平面图。图 2 示出了沿图 1 所示的 I-I' 线的 TFT 阵列基板的剖视图。

参照图 1 和图 2，TFT 阵列基板包括：选通线 2 和数据线 4，将它们形成为在下基板 42 上相互交叉以限定多个像素区；选通线 2 和数据线 4 之间的栅绝缘膜 44；TFT 6，设置在选通线 2 和数据线 4 的各交叉点处；以及像素电极 18，设置在各像素区处。TFT 阵列基板还包括：存储电容（storage capacitor）20，设置在各像素电极 18 和前一选通线 2 交叠的区域中；连接到各选通线 2 的选通焊盘 26；以及连接到各数据线 4 的数据焊盘 34。

各 TFT 6 使得可以响应于相应选通线 2 传来的扫描信号，对由相应数据线 4 传来的像素信号进行充电并将其保持在相应像素电极 18 内。为此，各 TFT 6 包括：连接到相应选通线 2 的栅极 8；连接到相应数据线 4 的源极 10；连接到相应像素电极 18 的漏极 12；以及有源层 14，其与栅极 8 交叠并限定了源极 10 与漏极 12 之间的沟道。

有源层 14 与各 TFT 6 的源极 10 和漏极 12、数据线 4、以及下数据焊盘电极 36 和上存储电极 22 相交叠。欧姆接触层 48 形成在有源层 14 之上，并与数据线 4、源极 10、漏极 12、下数据焊盘电极 36 和上存储电极 22 进行欧姆接触。

各像素电极 18 经由被形成为穿过钝化膜 50 的第一接触孔 16 连接到相应 TFT 6 的漏极 12。工作过程中，在像素电极 18 与滤色器基板所支撑

的公共电极（未示出）之间产生了电势差。在存在由电势差产生的电场的情况下，液晶材料（具有独特的介电各向异性）内的分子产生旋转，以使它们在 TFT 阵列基板和滤色器基板之间垂直对齐。所施加电场的大小决定了液晶分子的旋转程度。因此，通过改变所施加电场的大小，像素区可以传送各种灰度级的由光源（未示出）发出的光。

与像素区相关的各存储电容 20 包括：前一选通线 2、与前一选通线 2 交叠并通过栅绝缘膜 44 与前一选通线 2 隔开的上存储电极 22、有源层 14、以及欧姆接触层 48。像素电极 18 通过被形成为穿过钝化膜 50 的第二接触孔 24 连接到上存储电极 22。如上述所构造的，存储电容 20 使得可以一致地保持在像素电极 18 内充电的像素信号，直到在像素电极 18 处对下一像素信号进行充电。

各选通线 2 经由相应选通焊盘 26 连接到选通驱动器（未示出）。因此，各选通焊盘 26 包括下选通焊盘电极 28 和上选通焊盘电极 32。下选通焊盘电极 28 是选通线 2 的延伸，并经由被形成为穿过栅绝缘膜 44 和钝化膜 50 的第三接触孔 30 连接到上选通焊盘电极 32。

各数据线 4 经由相应数据焊盘 34 连接到数据驱动器（未示出）。因此，各数据焊盘 34 包括下数据焊盘电极 36 和上数据焊盘电极 40。下数据焊盘电极 36 是数据线 4 的延伸，并经由穿过钝化膜 50 的第四接触孔 38 连接到上数据焊盘电极 40。

上面已经描述了 TFT 阵列基板，下面参照图 3A 到 3D 更为详细地说明根据现有技术四掩模工艺制造 TFT 阵列基板的方法。

参照图 3A，在第一掩模工艺中，在下基板 42 上形成包括选通线 2、栅极 8、下选通焊盘电极 28 的选通金属图案。

具体地，通过诸如溅射（sputtering）的淀积技术在下基板 42 的整个表面上形成选通金属层。选通金属层可以具有包括铬（Cr）、钼（Mo）、铝（Al）族金属等的单层或双层金属结构。在淀积之后，利用与第一掩模图案相结合的光刻和刻蚀技术，对选通金属层进行构图，以提供上述选通金属图案。

接着参照图 3B，在下基板 42 的整个表面上以及在选通金属图案上

涂布栅绝缘膜 44。在第二掩模工艺中，在栅绝缘膜 44 上设置半导体图案和数据金属图案。半导体图案包括有源层 14 和欧姆接触层 48。数据金属图案包括：数据线 4、源极 10、漏极 12、下数据焊盘电极 36 和上存储电极 22。

- 5 具体地，通过诸如等离子增强化学汽相淀积（PECVD）和溅射的淀积技术依次在下基板 42 的表面上以及选通金属图案上形成栅绝缘膜 44、第一和第二半导体层和数据金属层。栅绝缘膜 44 一般包括无机绝缘材料（例如硅的氮化物（ SiN_x ）或硅的氧化物（ SiO_x ））。有源层 14 是从第一半导体层形成的，并且一般包括无掺杂的非晶硅。欧姆接触层 48 从第二
- 10 半导体层形成并一般包括 n^+ 非晶硅层。数据金属层一般包括诸如铝、钛和钽的材料。

- 在淀积了数据金属层之后，形成光刻胶膜，并利用第二掩模图案对其进行光刻构图。具体地，将第二掩模图案设置为具有与随后形成的 TFT 的沟道相对应的衍射曝光区的衍射曝光掩膜。当通过第二掩模图案进行
- 15 曝光并进行显影之后，产生光刻胶图案，其中与沟道对应的区域中残留的一部分光刻胶膜相对于残留在沟道之外的区域中的光刻胶膜部分具有较低的高度。

- 随后，在湿法刻蚀工艺中使用光刻胶图案作为掩模来对数据金属层进行构图，由此形成上述数据金属图案，其中源极 10 和漏极 12 在与随后形成的 TFT 6 的沟道对应的区域中相互连接。接下来，在干法刻蚀工艺中使用该光刻胶图案作为掩模来依次对第一半导体层和第二半导体层进行构图，并形成上述半导体图案。
- 20

- 在形成了半导体图案之后，在灰化工艺（ashing process）中，从与沟道对应的区域中去除具有相对较低高度的那部分光刻胶。在进行了灰
- 25 化工艺之后，沟道区之外的区域中的相对较厚的光刻胶部分变薄，然而仍然存在。然后利用残留的光刻胶图案作为掩模，在干法刻蚀工艺中对设置在沟道区中的一部分数据金属层和欧姆接触层 48 进行刻蚀。结果，露出了沟道区内的有源层 14，源极 10 与漏极 12 断开，并且在剥离工艺中去除残留的光刻胶图案。

接下来参照图 3C, 在下基板 42 的整个表面上以及栅绝缘膜 44、数据金属图案和有源层 14 上涂布钝化膜 50。在第三掩模工艺中, 分别形成第一到第四接触孔 16、24、30 和 38。

具体地, 在下基板 42 的表面上以及在栅绝缘膜 44、数据金属图案和有源层 14 上, 通过诸如 PECVD 的淀积技术形成钝化膜 50。钝化膜 50 一般包括诸如 SiN_x 或 SiO_x 的无机绝缘材料, 或者诸如丙烯酸有机化合物、苯环丁烯 (BCB) 或全氟环丁烷 (PFCB) 的具有小介电常数的有机材料。然后通过使用光刻和刻蚀工艺的覆盖第三掩模图案 (overlying third mask pattern) 对钝化膜 50 进行构图, 由此限定第一到第四接触孔 16、24、30 和 38。

穿过钝化膜 50 形成第一接触孔 16, 以露出漏极 12; 穿过钝化膜 50 形成第二接触孔 24, 以露出上存储电极 22; 穿过钝化膜 50 和栅绝缘膜 44 形成第三接触孔 30, 以露出下选通焊盘电极 28; 穿过钝化膜 50 形成第四接触孔 38, 以露出下数据焊盘电极 36。

下面参照图 3D, 在第四掩模工艺中, 在钝化膜 50 上形成包括像素电极 18、上选通焊盘电极 32 和上数据焊盘电极 40 的透明导电图案。

具体地, 通过诸如溅射的淀积技术在钝化膜 50 的整个表面上以及在第一到第四接触孔 16、24、30 和 38 内涂布透明导电材料。透明导电材料一般包括铟锡氧化物 (ITO)。在第四掩模工艺中, 利用第四掩模图案通过光刻和刻蚀工艺对透明导电材料进行构图, 由此形成上述透明导电图案。

由此, 通过第一接触孔 16 将像素电极 18 电连接到漏极 12, 同时通过第二接触孔 24 将其电连接到上存储电极 22。上选通焊盘电极 32 通过第三接触孔 30 电连接到下选通焊盘电极 28, 并且上数据焊盘电极 40 通过第四接触孔 38 电连接到下数据焊盘电极 48。

尽管可以利用比先前公知的五掩模工艺更有利的四掩模工艺来形成上述 TFT 阵列基板, 但是这种四掩模工艺可能仍然非常复杂, 并且因此造价昂贵。所以, 按照不太复杂并由此低成本的工艺来制造 TFT 阵列基板将是有益的。

发明内容

因此，本发明旨在提供一种液晶显示器件及其制造方法，其基本上克服了由于现有技术的局限性和不足而引起的一个或更多的问题。

本发明的优点是提供了一种提高了剥离工艺（lift-off process）效率的 TFT 底基板及其制造方法。

本发明的其它特征和优点将在下面的说明中阐明，部分通过说明而清楚，或者可以通过本发明的实践而习得。本发明的这些和其他优点将通过在所撰写的说明书及其权利要求以及附图中所指出的具体结构而实现和获得。

10 为了实现这些和其它优点并根据本发明的目的，如具体实施和广义说明的，LCD 器件例如可以包括：基板；所述基板上的多个阵列区；所述基板上的并位于多个阵列区之间的至少一个哑区（dummy area）；所述基板上的绝缘膜；穿过所述绝缘膜并设置在所述至少一个哑区内的至少一个孔；以及设置在所述至少一个孔内的至少一个柱（post）。

15 在本发明的另一方面，制造显示器件的方法例如可以包括：在第一基板上形成多个阵列区，其中所述多个阵列区被至少一个哑区隔开；在所述第一基板上形成绝缘膜；形成穿过在所述至少一个哑区内设置的一部分绝缘膜的至少一个孔；以及形成设置在所述至少一个孔内的至少一个柱。

20 应当理解，以上总体说明和以下详细说明都是说明性和示例性的，并旨在提供对所要求的本发明的进一步说明。

附图说明

25 附图被包含来提供对本发明的进一步理解并且被并入说明书并构成其一部分，附图说明了本发明的实施例，并与说明书一起用于解释本发明的原理。

在附图中：

图 1 表示利用现有技术的四掩模工艺制造的薄膜晶体管（TFT）阵列基板的平面图；

图 2 表示沿图 1 所示的线 I-I' 截取的 TFT 阵列基板的剖视图；

图 3A 到 3D 示出了制造图 2 所示的 TFT 阵列基板的方法；

图 4A 和 4B 分别示出了通过采用现有技术的第三掩模工艺（用于制造现有技术的三掩模工艺中的 TFT 基板）而产生的显示区和非显示区的
5 剖视图；

图 5A 到 5D 示出了具体说明图 4A 和 4B 所示的第三掩模工艺的剖视图；

图 6 示出了根据本发明第一实施例的粘合到滤色器底基板的 TFT 阵列底基板的平面图；

10 图 7 示出了沿图 6 的线 II-II' 截取的经粘合的 TFT 阵列和滤色器底基板的剖视图；

图 8 示出了根据本发明第二实施例的粘合到滤色器底基板的 TFT 阵列底基板的平面图；

图 9 所示的剖视图示出了沿图 8 的线 III-III' 截取的图 8 中所示的初始板；以及
15

图 10A 到 10D 所示的剖视图具体解释了图 9 所示的薄膜晶体管基板的第三掩模工艺。

具体实施方式

20 下面详细说明本发明的实施例，其示例在附图中示出。

可以认为待审美国专利申请序列号 No. 10/969,869 公开了一种根据三掩模工艺制造 TFT 的方法，通过引用并入其公开，如同在本文完全阐明一样。

在该待审申请中所公开的三掩模工艺的第三掩模工艺中，将透明导电膜涂布在光刻胶图案的整个表面上，该光刻胶图案用于形成钝化膜和栅绝缘膜内的各种接触孔。随后，按照剥离工艺去除光刻胶图案，结果透明导电膜也被构图。虽然未示出，但是可以在导线（如，选通线、数据线、电力传输线、信号传输线等）之间及之上设置剥离剂穿透路径（stripper penetration path），以便于剥离剂溶液透入其上涂布有透明导电
25

膜的光刻胶图案，并提高剥离工艺的效率。当剥离剂溶液通过剥离剂穿透路径渗透到光刻胶图案中时，可以便于从钝化膜中去除（剥离）光刻胶图案。

图 4A 和 4B 分别示出了根据采用上述三掩模工艺中的第三掩模工艺而得到的 TFT 基板的显示区和非显示区。

参照图 4A，以与美国专利申请序列号 No. 10/969,869 中公开的三掩模工艺相同的方式制造出的现有技术的 TFT 基板的显示区包括：设置在分别由选通线 102 和数据线 104 的交叉所限定的像素区内的 TFT 106 和像素电极 118。TFT 基板还包括存储电容 120。

TFT 106 包括：连接到选通线 102 的栅极 108；连接到数据线 104 的源极 110；与源极 110 相对并连接到像素电极 118 的漏极 112；有源层 114，其与栅极 108 和一部分栅绝缘膜 144 交叠以形成源极 110 和漏极 112 之间的沟道；以及源极 110 和漏极 112 与有源层 114 之间的欧姆接触层 146。

像素孔 160 排列在像素区内，并形成成为穿过钝化膜 150 和栅绝缘膜 144。像素电极 118 设置在像素孔 160 内，并与被像素孔 160 露出的漏极 112 的一侧表面相接触。

存储电容 120 包括第一上存储电极 122 和第二上存储电极 125，它们分别与前一选通线 102 交叠，并通过栅绝缘膜 144 以及欧姆接触层 146 和 114 与前一选通线 102 隔开。第一上存储电极 122 的第一侧壁与像素电极 118 接触，第二上存储电极 125 形成在穿过欧姆接触层 146、有源层 114 和第一存储上电极 122 而形成的第一接触孔 124 内。此外，第二上存储电极 125 与第一上存储电极 122 的第二侧壁接触。

参照图 4B，按照与美国专利申请序列号 No. 10/969,869 类似的方式制造的现有技术的 TFT 基板的非显示区包括：多个线在玻璃上型（line-on-glass, LOG）信号线 210，其将来自其上安装有数据驱动器的数据带载封装（tape carrier package, TCP）的电力和选通控制信号发送到其上安装有选通驱动器的选通 TCP。此外，在钝化膜 150 和栅绝缘膜 144 内分别以第一狭缝组 213 和第二狭缝组 215 设置的剥离剂穿透路径分别形成在多个 LOG 信号线 210 之上和之间。此外，在进行上述剥离工艺

之后，第一组哑透明导电图案 214 和第二组哑透明导电图案 216 保持不变。

图 5A 到 5D 示出了具体解释图 4A 和 4B 所示的第三掩模处理的剖视图。

- 5 参照图 5A，上述第三掩模工艺通常从以下操作而开始：在基板 142 的整个表面上，以及栅绝缘膜 144、预先形成的选通金属图案、以及预先形成的半导体和数据金属图案上依次形成钝化膜 150 和光刻胶膜。通常，选通金属图案包括选通线 102、栅极 108 和 LOG 信号线 210，并在第一掩模工艺中形成。此外，半导体图案包括有源层 114 和欧姆接触层 146，
- 10 而数据金属图案包括数据线 104、源极 110、漏极 112 和第一上存储电极 122，其中半导体和数据金属图案均在第二掩模工艺中形成。利用第三掩模（未示出），对光刻胶膜进行构图以形成光刻胶图案 152。

- 随后，如图 5B 所示，在刻蚀工艺中利用光刻胶图案 152 作为掩模，在钝化膜 150 和/或栅绝缘膜 144 内形成不同的像素孔 160 以及第一组狭缝 213 和第二组狭缝 215，并且形成穿过钝化膜 150 和半导体图案的第一接触孔 124。在刻蚀工艺中，由于部分光刻胶图案 152 围绕像素孔 160 和第一接触孔 124 以及第一组狭缝 213 和第二组狭缝 215，所以钝化膜 150 被过刻蚀（over-etch）。
- 15

- 参照图 5C，分别在像素孔 160 和第一接触孔 124 内以及分别在第一和第二狭缝组 213 和 215 内，通过淀积工艺（例如溅射）在光刻胶图案 152 上淀积透明导电膜 154。在按照剥离工艺去除了光刻胶图案 152 之后，如图 5D 所示，同时形成像素电极 118、第二存储上电极 125 以及第一组和第二组哑透明导电图案 214、216。
- 20

- 再次参照图 5C，剥离剂穿透路径通常存在于区域“A”处（如图所示，在限定了像素孔 160 和第一接触孔 124 以及第一组狭缝 213 和第二组狭缝 215 的光刻胶图案 152 和钝化膜 150 的侧壁的接口处），这是因为围绕像素孔 160 和第一接触孔 124 以及第一组狭缝 213 和第二组狭缝 215 的部分光刻胶图案 152 的形状通常是突出的。具体地，由于溅射工艺的性质，透明导电膜 154 没有涂布到通常具有突出形状的光刻胶图案 152
- 25

的比较靠下的部分上。结果，在不存在透明导电膜 154 的地方，剥离剂溶液可以更容易地穿透光刻胶图案 152，由此提高了在 TFT 阵列基板的显示区和非显示区中去除光刻胶图案的效率。

为了提高制造 TFT 阵列基板的效率，可以在单个底基板上制造多个 TFT 阵列基板，然后将它们相互隔开以形成图 4A 和 4B 所示的 TFT 阵列基板，其中基板 142 构成了原始底基板的一部分。在底基板内，通过哑区将各个 TFT 阵列基板相互隔开。因此，在相邻形成的 TFT 阵列基板的非显示区中设置哑区。虽然因为剥离剂穿透路径形成在底基板上而便于去除各个 TFT 阵列基板的显示区和非显示区上形成的光刻胶图案，但是剥离剂穿透路径没有形成在底基板的哑区中。因此，部分光刻胶膜可能残留在哑区上，并降低了随后在整个基板上进行的处理（结合处理）的效率。

图 6 示出了根据本发明第一实施例的粘合到滤色器底基板的 TFT 阵列底基板的平面图。图 7 示出了沿图 6 所示的线 II-II' 截取的经粘合的 TFT 阵列底基板和滤色器底基板的剖视图。

参照图 6 和图 7，可以在经粘合的基板组件 300（包括粘合到滤色器底基板 320 的 TFT 阵列底基板 310）内设置多个单元 LCD 板 302。例如，TFT 底基板 310 可以包括多个 TFT 阵列，而滤色器底基板 320 可以包括多个滤色器阵列。当 TFT 阵列底基板 310 和滤色器底基板 320 对齐时，可以将它们粘合在一起以形成多个单元 LCD 板 302。在本发明的一个方面中，各个单元 LCD 板 302 可以包括例如显示区和非显示区（下文中统称为阵列区）。在本发明的另一方面中，各单元 LCD 板的显示区例如可以包括如上所述形成并在图 4A 到 5D 中示出的结构。在本发明的又一方面中，各单元 LCD 板的非显示区例如可以包括如上所述形成并在图 4B 到 5D 中示出的结构。

根据本发明的原理，可以通过密封材料将 TFT 阵列底基板 310 和滤色器阵列底基板 320 粘合在一起。在本发明的一个方面中，可以在各单元 LCD 板 302 的至少一个显示区周围设置主密封图案 304。在本发明的另一方面中，可以在相邻单元 LCD 板 302 的阵列区之间的哑区中设置哑

密封图案 306, 该哑密封图案 306 可以用于保持各单元 LCD 板 302 内的单元间隔的一致性。在本发明的又一方面中, 可以在单元 LCD 板 302 的显示区内设置间隔体 322, 以进一步保持各单元 LCD 板 302 内的单元间隔的一致性。

5 根据本发明的原理, 例如可以按照上面参照图 5A 到 5D 描述的三掩模工艺形成 TFT 底基板 310, 并可以因此并入剥离技术, 来同时对透明导电膜进行构图并去除光刻胶图案。在本发明的一个方面中, 可以形成分别穿过部分钝化膜 316 和栅绝缘膜 314 的孔 318, 以形成上述的剥离剂穿透路径。在本发明的另一方面中, 可以在相邻单元 LCD 板的阵列区域之间的上述哑区内形成孔 318。在本发明的又一方面上, 可以在各单元 LCD 板 302 的显示区和非显示区处形成各种像素孔和接触孔的同时形成孔 318。由于存在孔 318, 可以有效地在整个 TFT 阵列底基板 310 上完成上述第三掩模工艺。

15 根据本发明的原理, 可以在上述第三掩模工艺中使用的光刻胶图案上涂布透明导电膜以形成孔 318。因此, 在通过剥离工艺去除了光刻胶图案之后, 哑透明导电图案 330 保持在孔 318 内, 并与 TFT 底阵列基板 310 的下基板 312 接触。

根据本发明的原理, 主密封图案 304 和哑密封图案 306 具有大致相同的厚度。在本发明的一个方面中, 主密封图案 304 和哑密封图案 306 都形成在 TFT 底阵列基板 310 或都形成在滤色器底基板 320 上。在本发明的另一方面中, 可以在 TFT 阵列底基板 310 和滤色器阵列底基板 320 其中之一上形成主密封图案 304 和哑密封图案 306 其中之一, 而在 TFT 阵列底基板 310 和滤色器阵列底基板 320 中的另一个上形成主密封图案 304 和哑密封图案 306 中的另一个。

25 无论在哪个基板上形成主密封图案 304 和哑密封图案 306, 哑密封图案 306 都与形成在钝化膜 316 和栅绝缘膜 314 中的孔 318 对齐。因此, 在主密封图案 304 和哑密封图案 306 之间可能潜在地出现台阶差 (step difference)。出现台阶差时, 当将 TFT 阵列底基板 310 粘合到滤色器基板 320 时, 可能对主密封图案 304 施加过大的压力, 如果粘合在升高的温度

下执行（如，在热压处理中），尤其如此。此外，TFT 阵列底基板 310 和/或滤色器底基板 320 可能出现偏斜，从而增加了或减少了主密封图案 304 所围绕的显示区的单元间隔，或者甚至使得单元间隔不均匀。

为了防止出现该潜在的缺点，参照图 8 和图 9，可以按照与上面参
5 照图 6 和图 7 所述的 TFT 阵列底基板 310 类似的方式制造 TFT 阵列底基板 310'，但是也可以制造为还包括对哑密封图案 306 进行支撑的支撑柱 340。

例如，可以按照上述的并入了剥离技术以同时对透明导电膜进行构图并去除光刻胶图案的三掩模工艺来示例性地形成 TFT 底基板 310'。在
10 本发明的一个方面，可以分别穿过钝化膜 316 和栅绝缘膜 314 的多个部分来形成孔 338，以创建上述剥离剂穿透路径。在本发明的另一方面中，可以在相邻单元 LCD 板 302 的阵列区之间的上述哑区内形成孔 338。在本发明的又一方面中，可以在各单元 LCD 板 302 的显示区和非显示区处形成各种像素孔和接触孔的同时形成孔 338。由此，孔 338 可以便于在整个 TFT 阵列底基板 310' 上完成上述第三掩模处理。
15

根据本发明的原理，TFT 阵列底基板 310' 还可以包括设置在孔 338 内的至少一个支撑柱 340，以及形成在该支撑柱 340 内的多个洞 341。在本发明的一个方面中，可以在形成孔 338 的同时形成支撑柱 340 和洞 341。在本发明的又一方面中，支撑柱 340 可以与哑密封图案 306 的下表面接
20 触。在本发明的又一方面中，各洞 341 的宽度可以小于哑密封图案 306 的宽度。

与上面参照图 6 和图 7 的描述类似，主密封图案 304 和哑密封图案 306 可以具有基本相同的厚度。在本发明的一个方面，主密封图案 304 和哑密封图案 306 可以都形成在 TFT 阵列底基板 310 或都形成在滤色器底
25 基板 320 上。在本发明的另一方面，可以在 TFT 阵列底基板 310' 和滤色器底基板 320 其中之一上形成主密封图案 304 和哑密封图案 306 中的一个，而在 TFT 阵列底基板 310' 和滤色器底基板 320 其中另一个上形成主密封图案 304 和哑密封图案 306 中的另一个。

无论在哪个基板上形成主密封图案 304 和哑密封图案 306，哑密封

图案 306 都分别与设置在形成于钝化膜 316 和栅绝缘膜 314 中的孔 338 内的支撑柱 340 对齐。因此，哑密封图案 306 可以由支撑柱 340 的钝化膜 316 和栅绝缘膜 314 的多个部分来支撑，从而基本上不会在主密封图案 304 和哑密封图案 306 之间出现台阶差。结果，由于支撑柱 340 对哑密封图案 306 的支撑，可以使 TFT 阵列底基板 310' 与滤色器底基板 320 之间的单元间隙保持一致。

已经参照图 8 和图 9 说明了 TFT 阵列基板 310'，下面参照图 10A 到 10D 更为详细地说明根据本发明原理的制造该 TFT 阵列基板的方法。

参照图 10A，可以通过诸如 PECVD、旋涂等的淀积技术在栅绝缘膜 314 的整个表面上形成钝化膜 316。可以在钝化膜 316 的整个表面上形成光刻胶膜，并可以利用第三掩模图案进行光刻构图。利用第三掩模图案，可以将光刻胶膜有选择地暴露于例如紫外（UV）光，由此生成光刻胶图案 352，该图案 352 在将依次形成孔 338 和洞 341 的区域上具有多个对齐的开口部分。

参照图 10B，可以利用光刻胶图案 352 作为掩模通过刻蚀工艺对钝化膜 316 和栅绝缘膜 314 进行构图，以形成孔 338 和洞 341。

参照图 10C，可以在光刻胶图案 352 上以及在下方形成的构形（topography）上（例如，限定孔 338 和支撑柱 340 内的洞 341 的钝化膜 316 和栅绝缘膜 314 的侧壁上）分别形成透明导电材料 354。如图所示，可以将透明导电材料 354 形成为在光刻胶图案 352 的突出的边缘区域的下部上基本没有形成材料，由此提高了后续剥离工艺的效率。在本发明的一个方面中，可以通过诸如溅射等的淀积技术形成透明导电材料 354。在本发明的另一方面中，透明导电材料 354 例如可以包括诸如 ITO、TO、IZO、氧化铟（IO）等的材料或其组合。

参照图 10D，可以在剥离工艺中同时去除光刻胶图案 352 以及形成在其上的透明导电材料 354 的多个部分，由此形成孔 338 和洞 341 内的透明导电图案 330。因此，透明导电图案 330 与限定了孔 338 和洞 341 的钝化膜 316 和栅绝缘膜 314 的侧壁接触。

随后，参照图 9，图 10D 所示的 TFT 阵列底基板 310' 可以与滤色器

底基板 320 相粘合。根据本发明的原理，可以通过主密封图案 304 和哑密封图案 306 将 TFT 阵列底基板 310' 和滤色器基板 320 粘合在一起。在本发明的一个方面中，主密封图案 304 和哑密封图案 306 具有基本相同的厚度。在本发明的另一方面中，主密封图案 304 和哑密封图案 306 可以均形成在 TFT 阵列底基板 310' 上，或者均形成在滤色底基板 320 上。在本发明的另一方面中，可以在 TFT 阵列底基板 310' 和滤色器底基板 320 其中之一上形成主密封图案 304 和哑密封图案 306 中的一个，而在 TFT 阵列底基板 310' 和滤色器底基板 320 中的另一个上形成主密封图案 304 和哑密封图案 306 中的另一个。

10 如上所述，本发明的原理提供了一种 TFT 底基板及其制造方法，其中，例如形成穿过设置在形成于一对粘合的底基板中的相邻 LCD 板的阵列区之间的哑区内的钝化膜和栅绝缘膜的多个部分的孔。通过设置这种孔，可以在哑区内设置剥离剂穿透路径，以便于完成对整个 TFT 阵列底基板进行的掩模工艺（其中，在去除光刻胶图案的同时对导电膜进行构图）。

除上面讨论的以外，本发明的原理还可以提供设置在孔内的、并例如与随后设置的哑密封图案的至少一部分对齐的多个柱。通过设置这些柱，主密封图案与哑密封图案之间的台阶差可以基本被消除，由此确保经粘合的 TFT 阵列底基板和滤色器底基板之间的单元间隙基本一致。

20 很显然，对于本领域技术人员而言，可以在不脱离本发明的精神和范围的情况下对本发明进行各种修改和变型。由此本发明旨在覆盖落入所附权利要求及其等同物范围内的本发明的各种修改和变型。

本申请要求 2004 年 6 月 5 日提交的韩国专利申请 No. P2004-041137 的权益，通过引用并入该文，用作所有目的，如同在本文中完全阐述一
25 样。

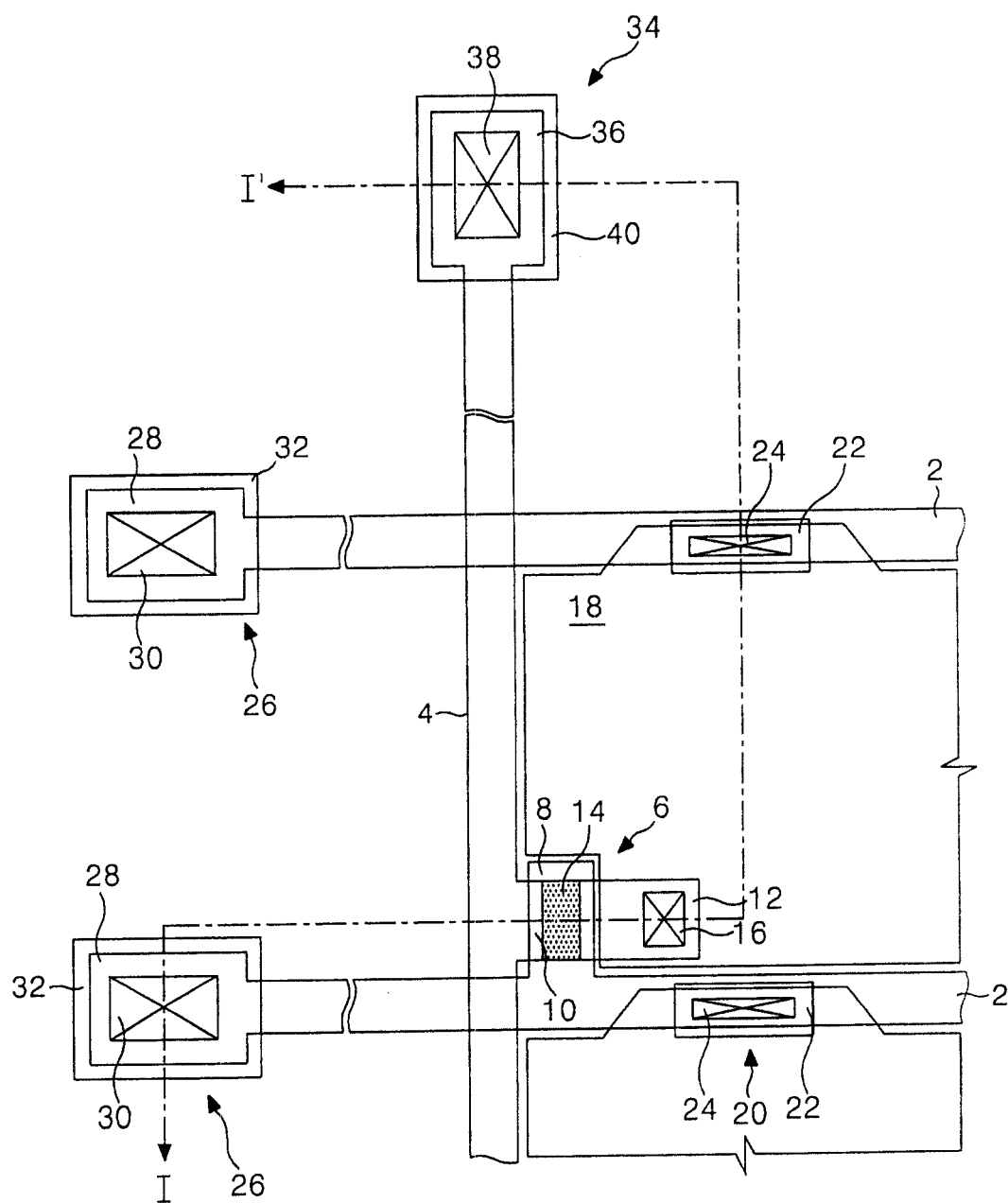


图 1
现有技术

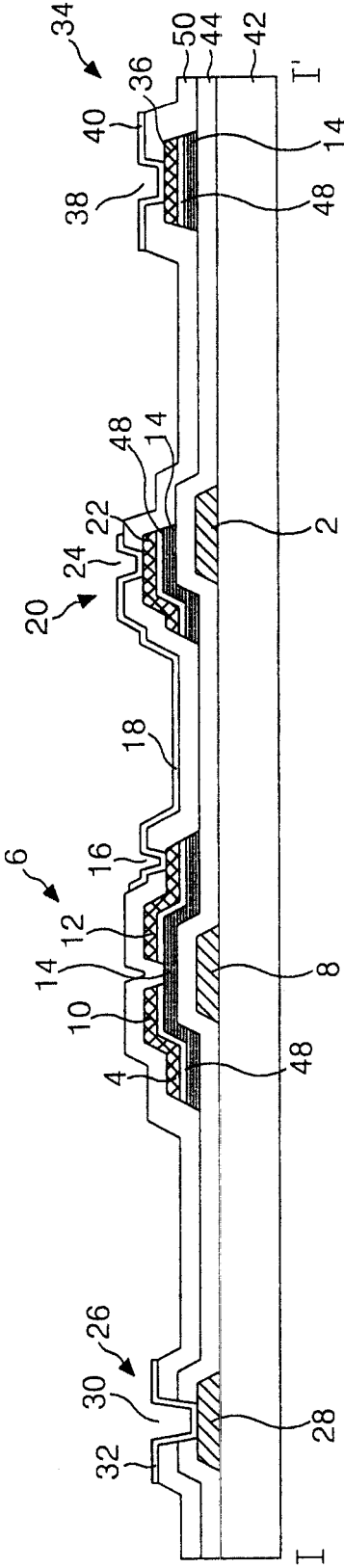


图 2
现有技术

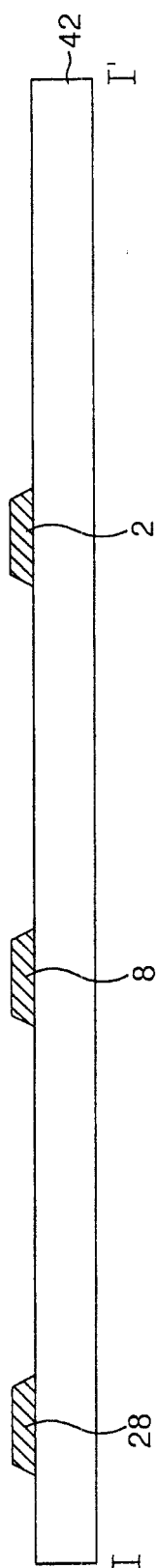


图 3A
现有技术

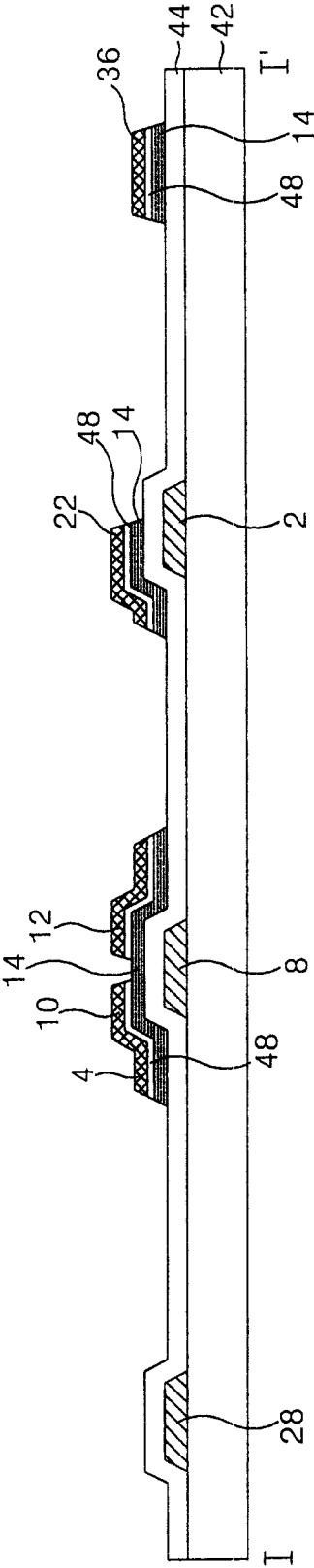


图 3B
现有技术

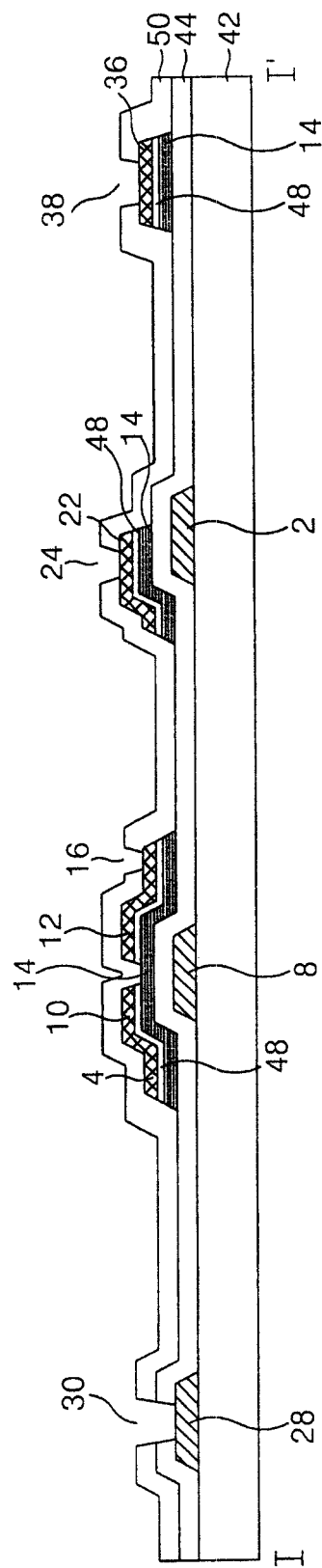


图 3C
现有技术

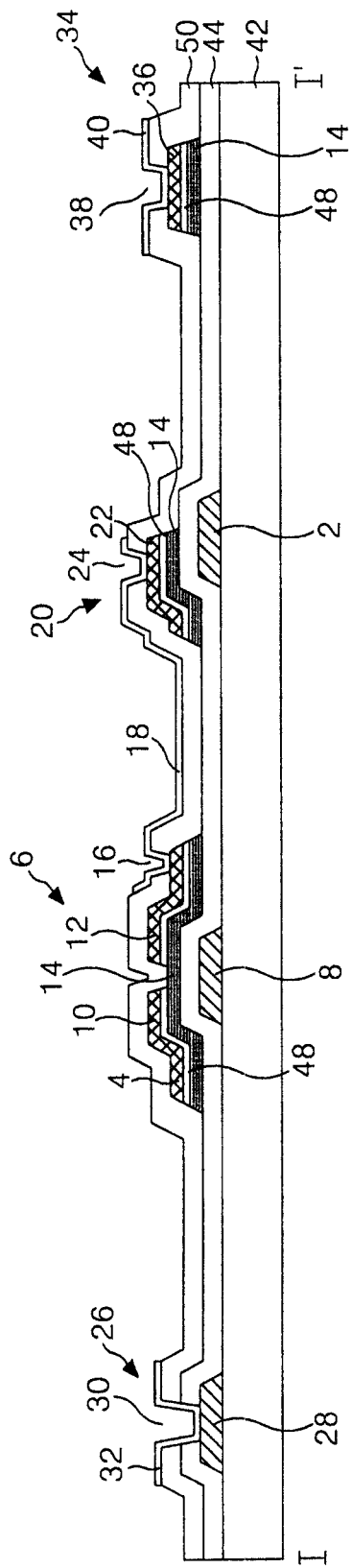


图 3D
现有技术

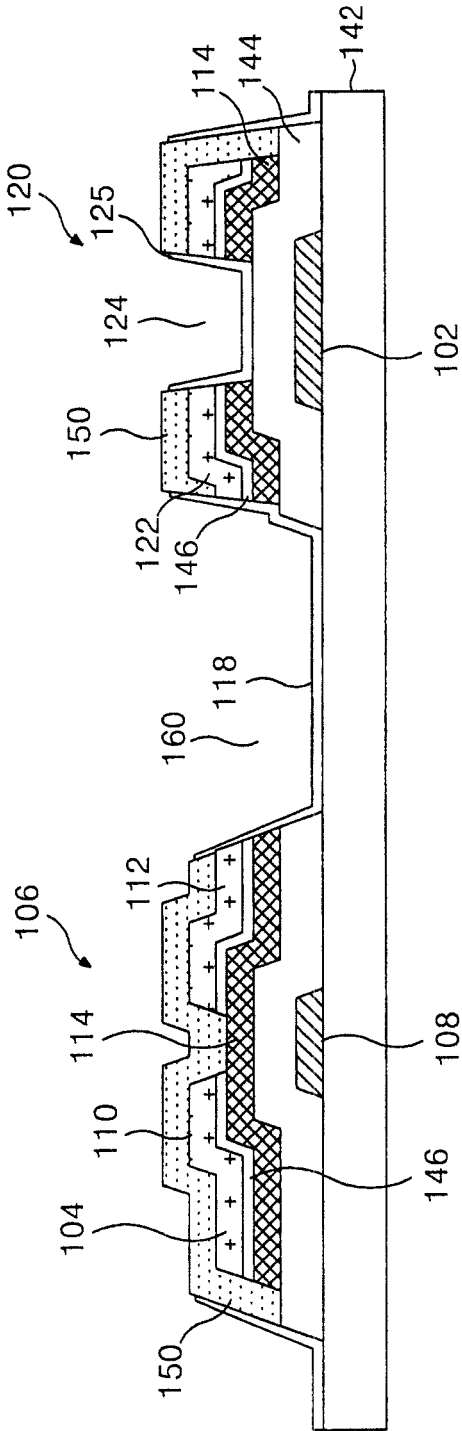


图 4A
现有技术

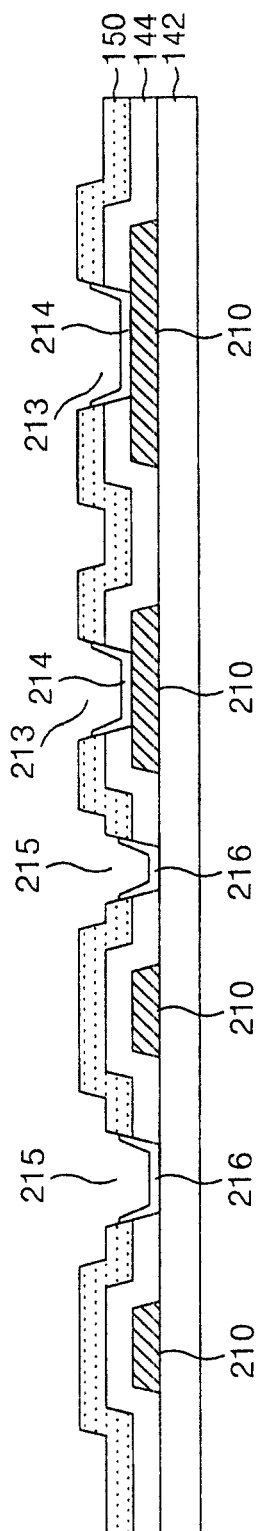


图 4B
现有技术

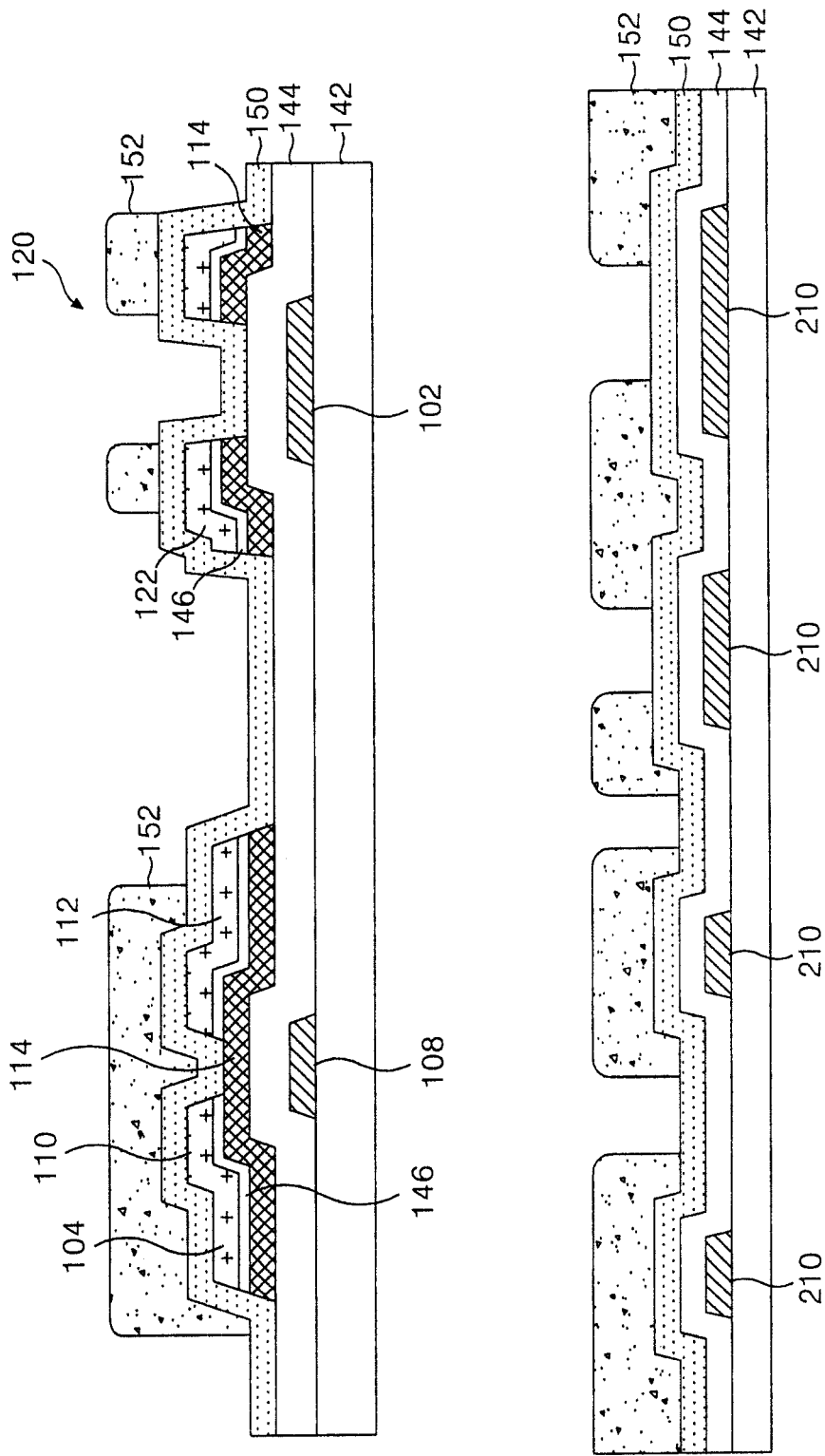


图 5A
现有技术

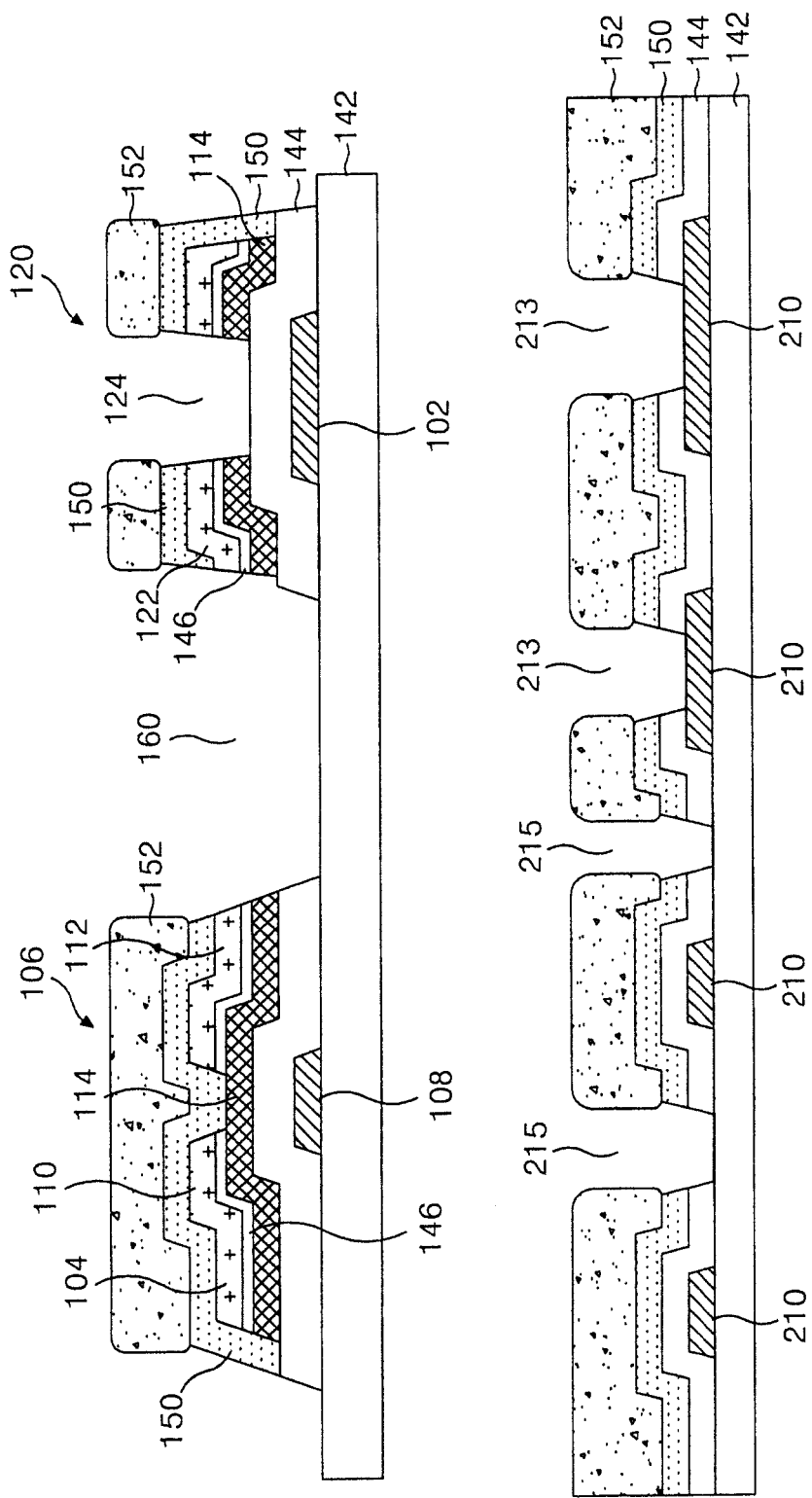


图 5B
现有技术

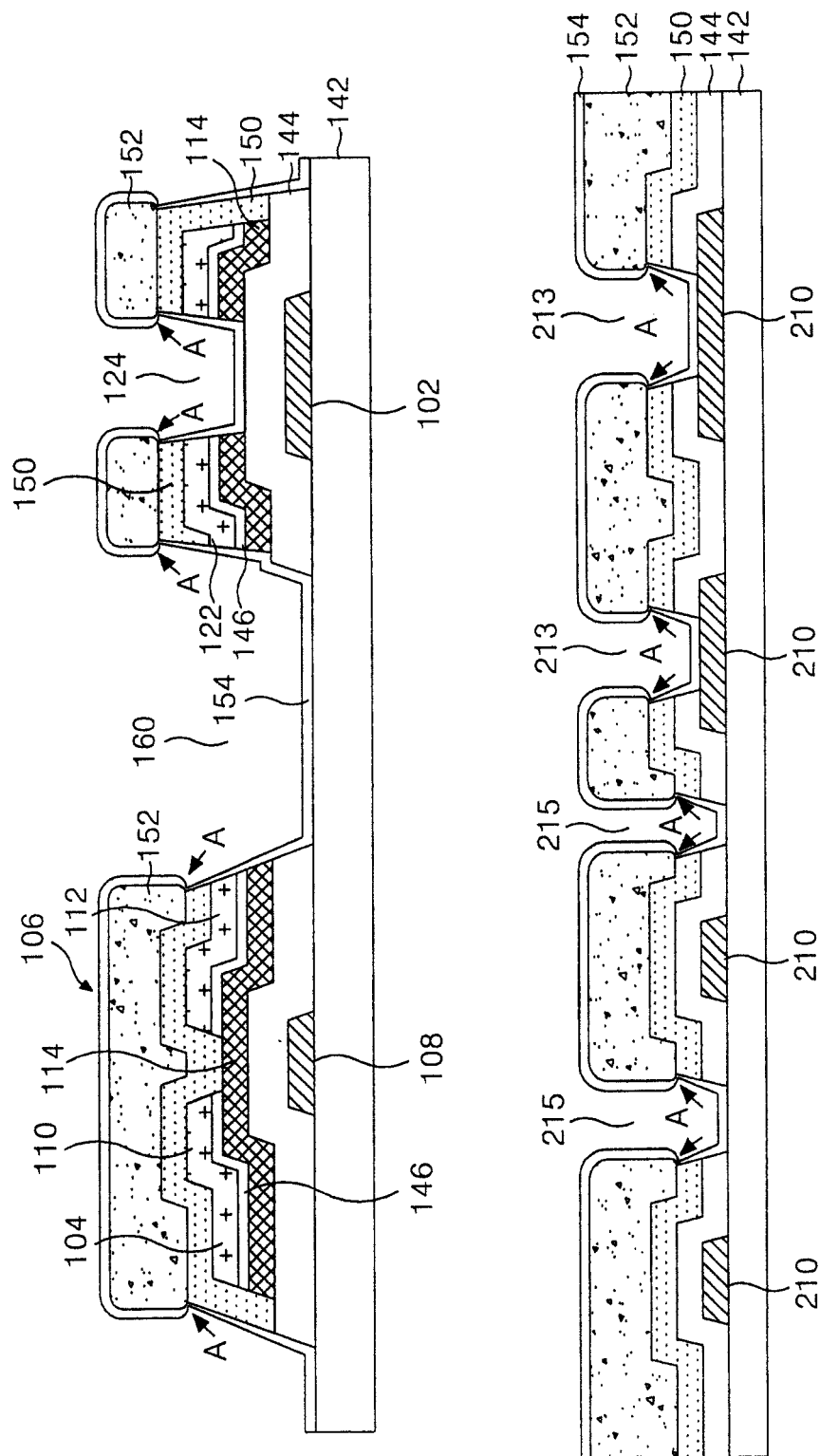


图 5C
现有技术

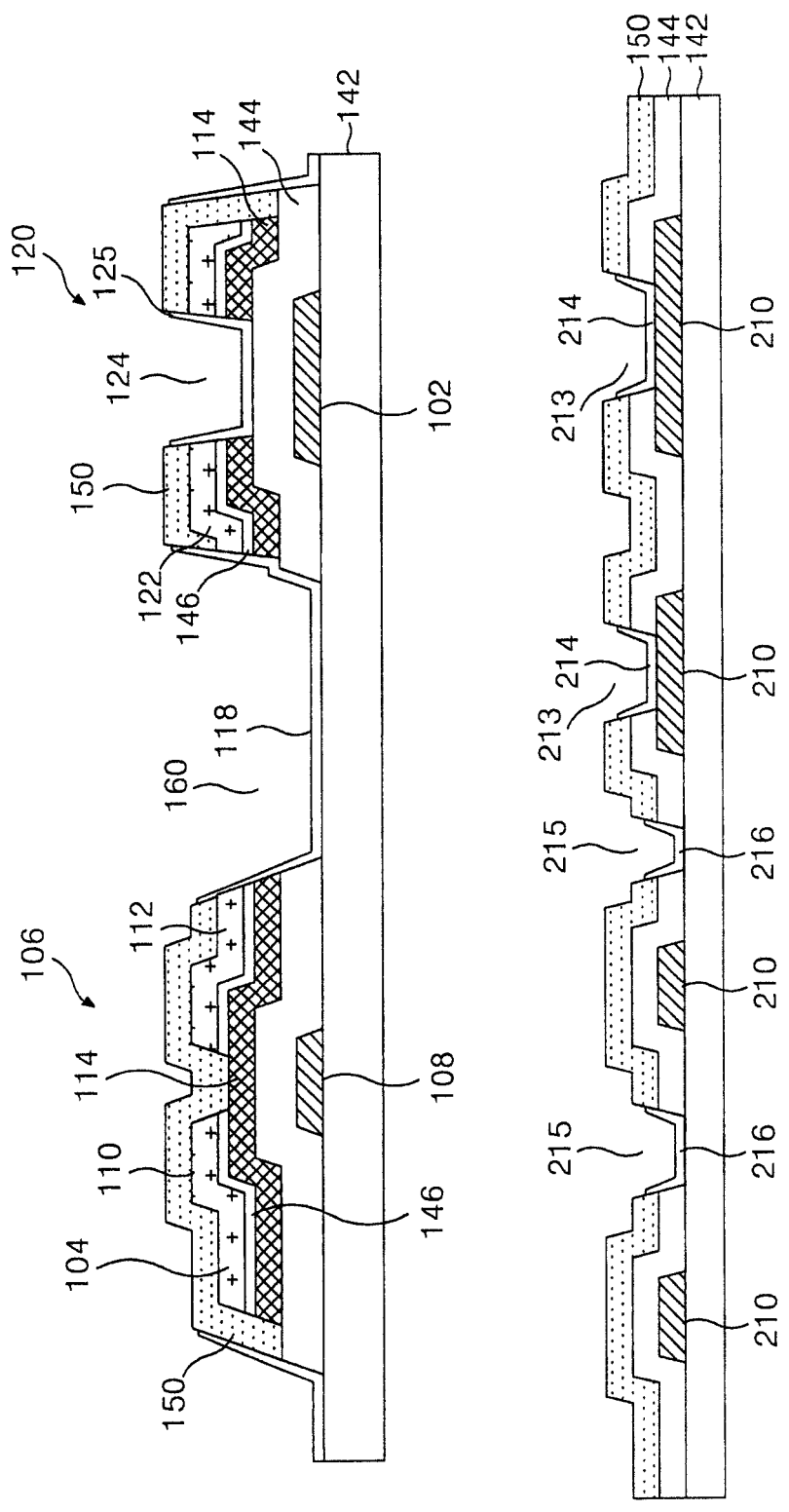


图 5D
现有技术

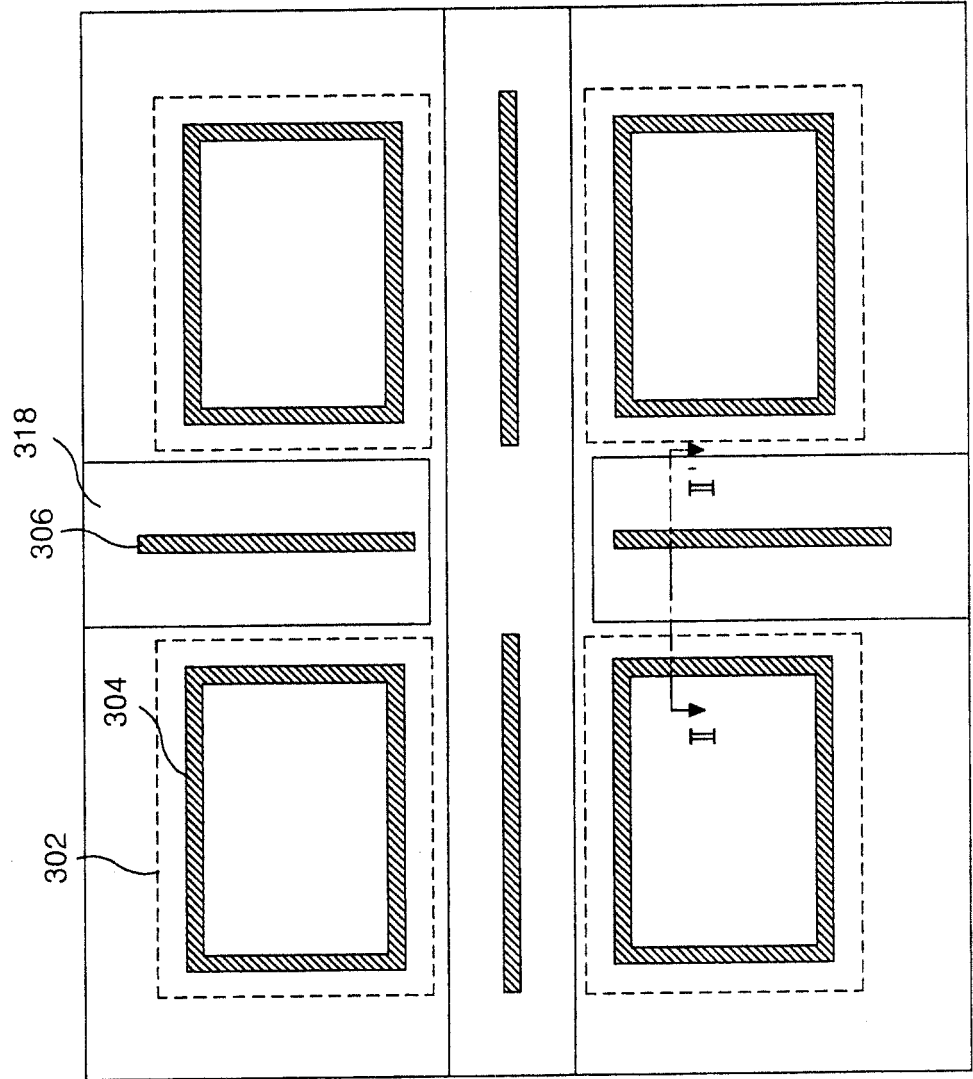


图6

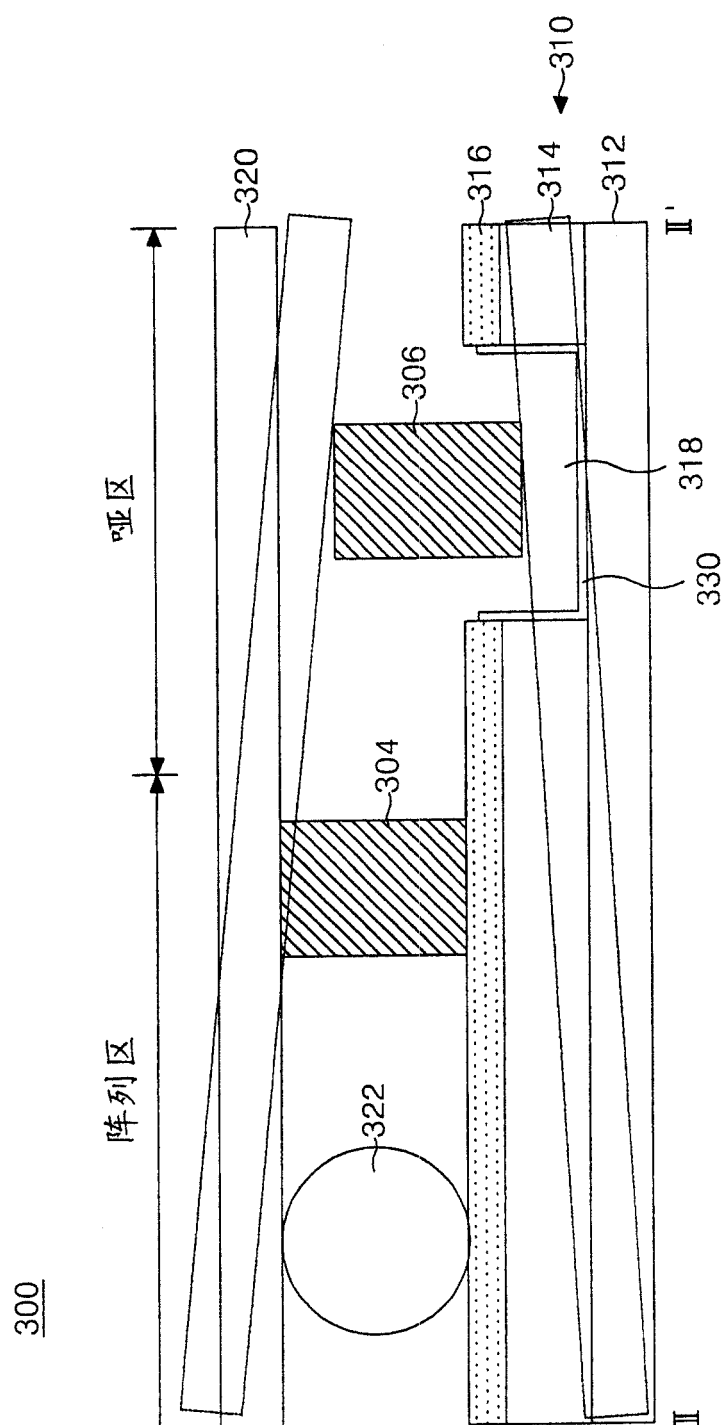


图 7

300

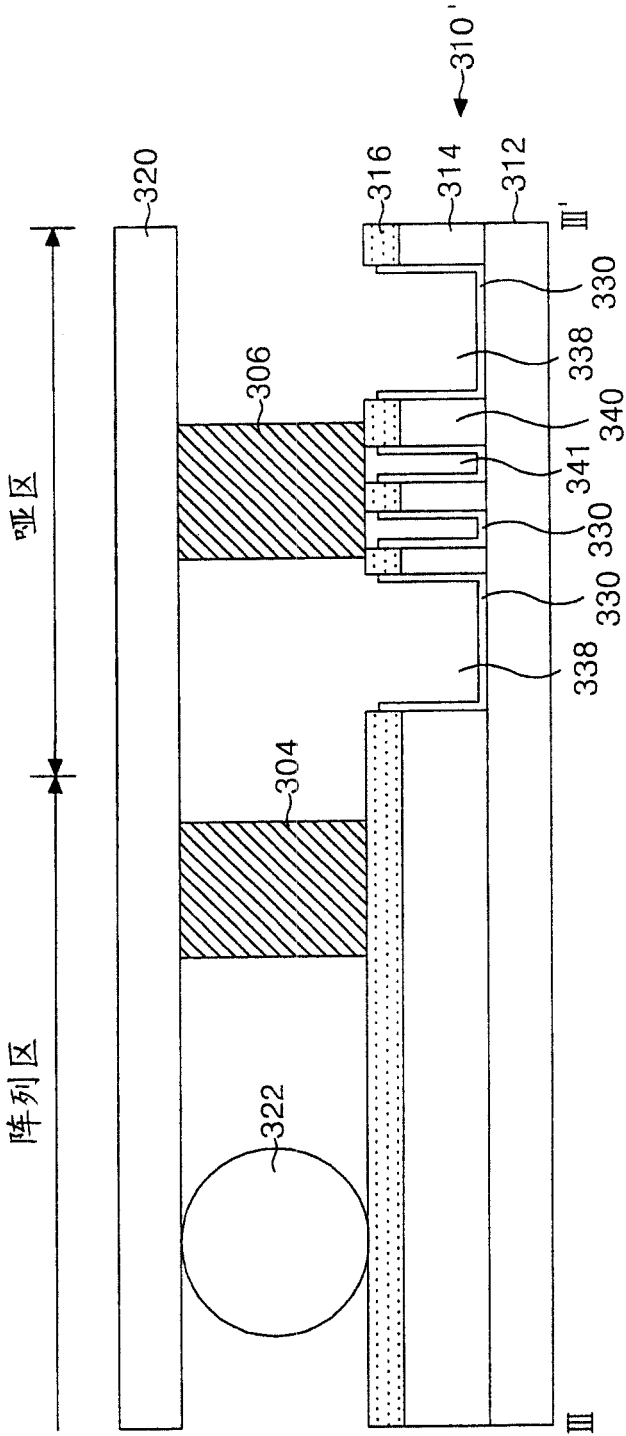


图 9

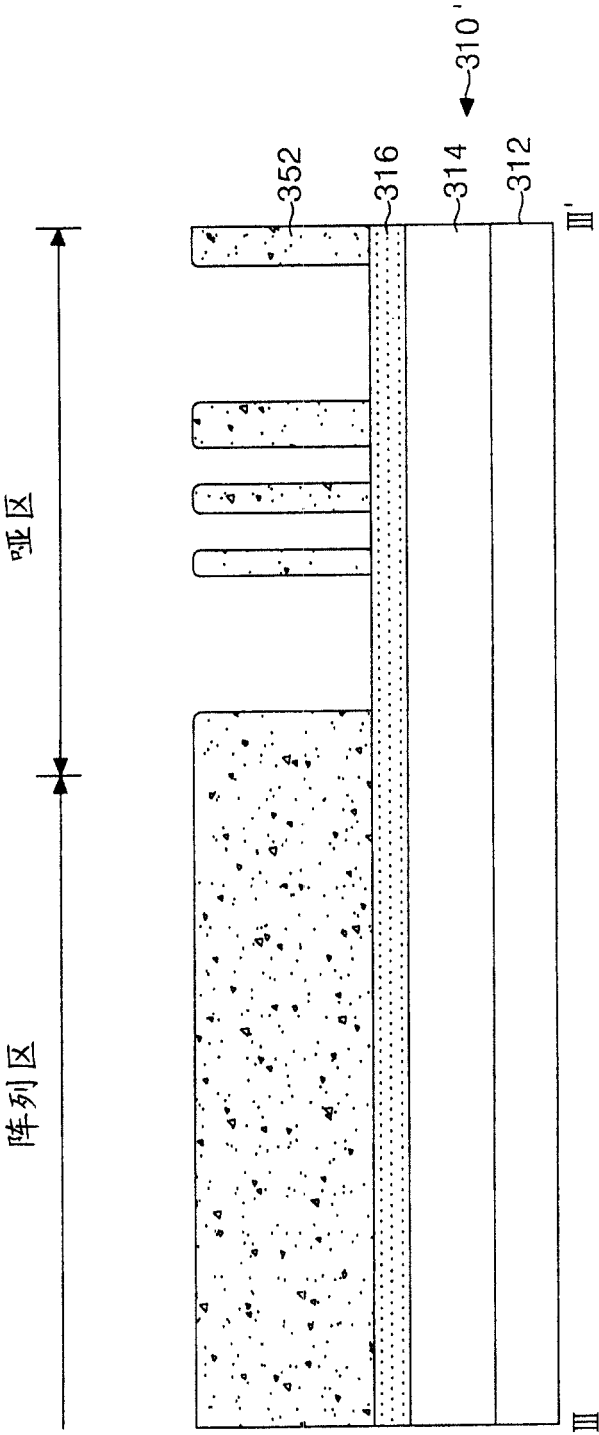


图 10A

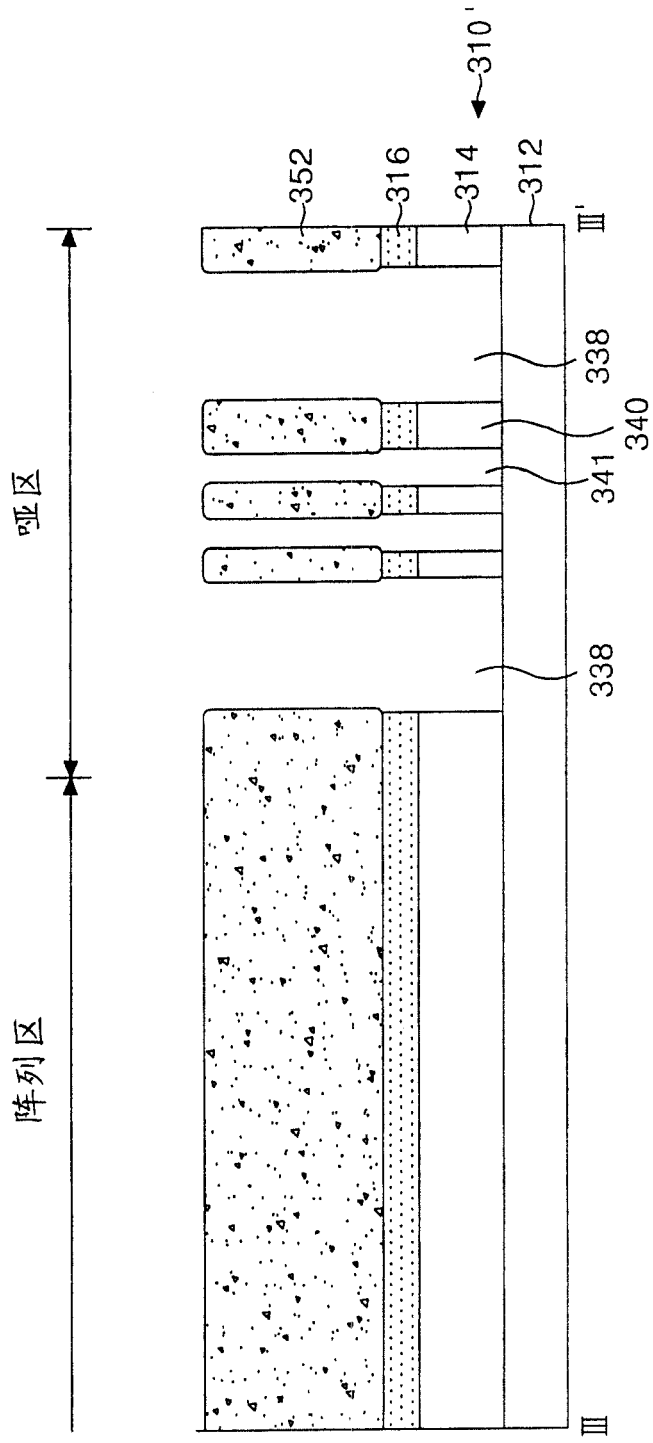


图 10B

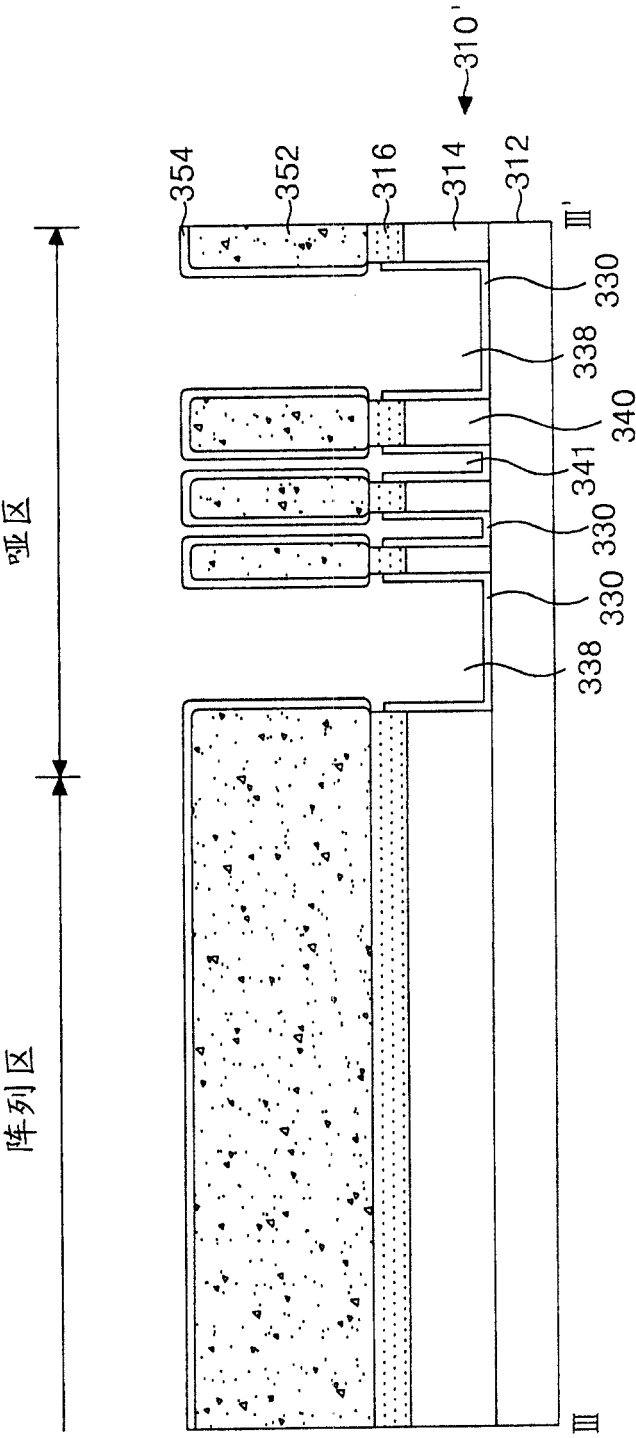


图 10C

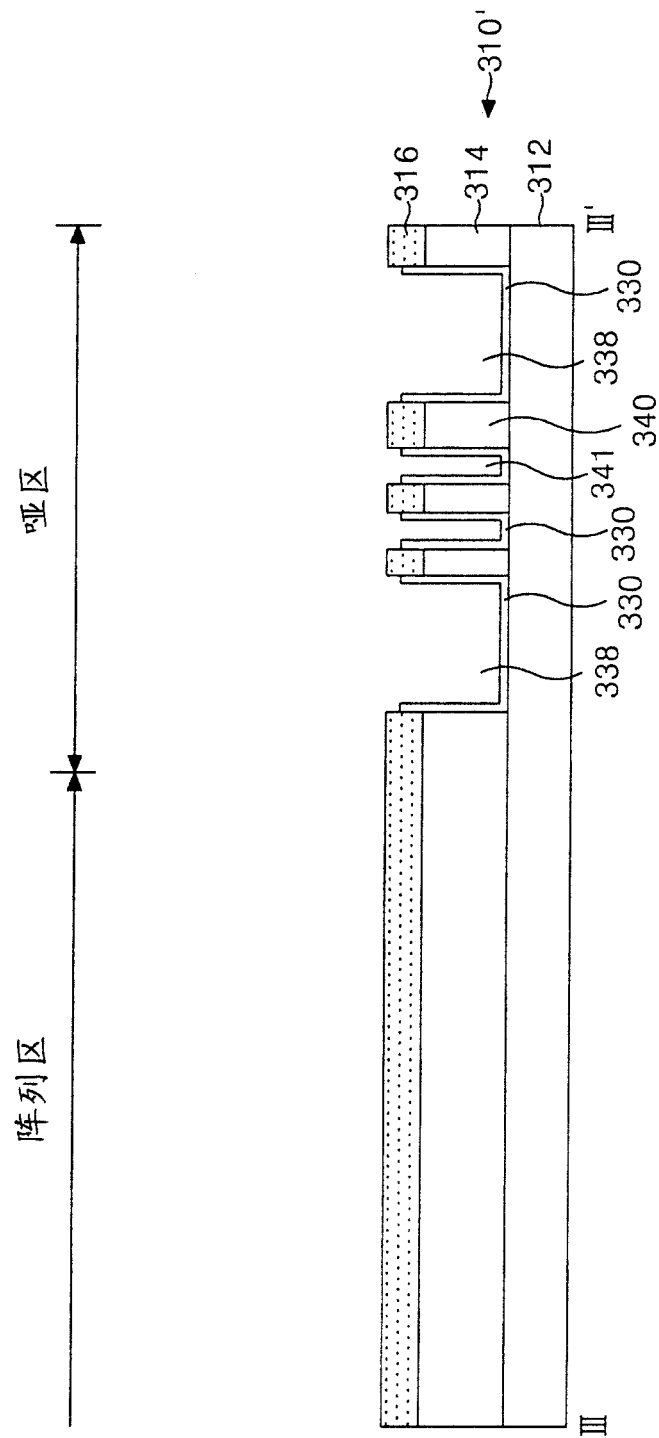


图 10D

专利名称(译)	液晶显示器件及其制造方法		
公开(公告)号	CN1707342A	公开(公告)日	2005-12-14
申请号	CN200510078543.6	申请日	2005-06-06
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	乐金显示有限公司		
[标]发明人	郑泰容 李志璠 郭喜荣		
发明人	郑泰容 李志璠 郭喜荣		
IPC分类号	G02F1/1368 G02F1/1333 G02F1/136 G09G3/36 H01L21/336 H01L29/786		
CPC分类号	G02F1/1368 G02F2001/133388 G02F2001/136231		
代理人(译)	李辉		
优先权	1020040041137 2004-06-05 KR		
其他公开文献	CN100380220C		
外部链接	Espacenet SIPO		

摘要(译)

液晶显示器件及其制造方法。薄膜晶体管(TFT)底基板包括：基板；所述基板上的多个阵列区；所述基板上的并位于所述多个阵列区之间的至少一个哑区；所述基板上的绝缘膜；穿过所述绝缘膜并设置在所述至少一个哑区内的至少一个孔；以及设置在所述至少一个孔内的至少一个柱。

