



(12) 发明专利

(10) 授权公告号 CN 1637792 B

(45) 授权公告日 2012.01.11

(21) 申请号 200410082265.7

(22) 申请日 2004.10.28

(30) 优先权数据

75636/03 2003.10.28 KR

10/880,118 2004.06.29 US

(73) 专利权人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 郑圭荣

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 蒲迈文 黄小临

(51) Int. Cl.

G09G 3/20 (2006.01)

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

审查员 孙培安

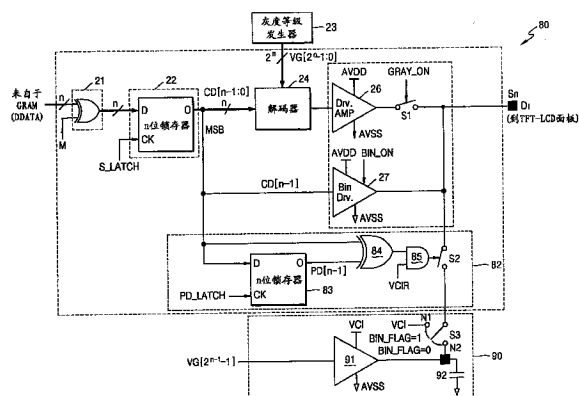
权利要求书 4 页 说明书 12 页 附图 12 页

(54) 发明名称

减少能耗的驱动平板显示器的电路和方法

(57) 摘要

一种驱动平板显示器（例如，一液晶显示器（LCD））的电路和方法，其可以减少驱动平板显示器的数据线和公共电极的能量消耗。用于驱动数据线的源极驱动电路和方法以及用于驱动公共电极的电路和方法在每一驱动周期（与利用升高的驱动电压完全相反）期间利用中间参考电压和升高的驱动电压以减少能耗并提供再循环充电。



1. 一种驱动显示器的数据线的源极驱动电路,包括:

一源极驱动器电路,其接收显示数据并产生一与接收到的显示数据相应的源极驱动电压,并将源极驱动电压加到显示器的数据线;

一电压发生器电路,其产生一中间源极驱动电压;和

一控制电路,其在源极驱动器电路将源极驱动电压提供到数据线以将数据线从中间源极驱动电压驱动到源极驱动电压之前,将中间源极驱动电压加到数据线以将该数据线驱动到中间源极驱动电压,

其中控制电路包括:

一比较器,其将接收到的显示数据与以前接收到的显示数据进行比较,并产生一比较信号;以及

一开关,其响应于比较信号以有选择地将来自于电压发生器电路的中间源极驱动电压加到数据信号线。

2. 根据权利要求1所述的电路,其中控制电路还包括一输出以前接收到的显示数据到比较器的锁存器。

3. 根据权利要求1所述的电路,其中比较器将接收到的显示数据的一最高有效位与以前接收到的显示数据的一最高有效位进行比较。

4. 根据权利要求3所述的电路,其中当接收到的显示数据的最高有效位与以前的显示数据的最高有效位相同时比较器产生一不激活开关的控制信号。

5. 根据权利要求3所述的电路,其中比较器包括一接收接收到的显示数据的最高有效位和以前接收的显示数据的最高有效位作为输入的异或门。

6. 根据权利要求1所述的电路,还包括一响应于门控制信号有选择地将比较器信号加到开关的门电路。

7. 根据权利要求1所述的电路,其中源极驱动器电路通过一第一控制信号使能以将源极驱动电压加到数据线,其中控制电路通过一第二控制信号使能以将中间源极驱动电压加到数据线,并且其中单独地激活第一和第二控制信号从而在源极驱动电压加到数据线之前将中间源极驱动电压加到数据线。

8. 根据权利要求1所述的电路,其中从电压发生器输出的中间源极驱动电压是一灰度等级参考电压。

9. 根据权利要求1所述的电路,其中中间源极驱动电压在源极驱动电压的全摆幅电压的1/2到1/3范围内。

10. 一种驱动显示器的数据线的电路,包括:

一极性控制电路,其接收一n位显示信号和一极性控制信号,并且响应极性控制信号反转或保持n位显示信号的极性;

一第一锁存器,其响应一第一锁存控制信号锁存从极性控制电路输出的n位显示信号;

一解码器,其接收多个灰度等级参考电压及从第一锁存器输出的n位显示信号作为输入,并将n位显示信号解码以有选择地输出灰度等级参考电压的其中之一;

一缓冲器电路,其产生一源极驱动电压并将该源极驱动电压加到显示器的一数据线,其中在第一操作模式中,缓冲器电路响应第一模式控制信号以从解码器输出的灰度等级参

考电压中产生源极驱动电压,并且在第二种操作模式中,缓冲器电路响应第二模式控制信号以根据从第一锁存器输出的 n 位显示信号中的最高有效位产生源极驱动电压;

一电压发生器电路,其产生一中间源极驱动电压;和

一控制电路,其在缓冲器电路将源极驱动电压加到数据线以将数据线从中间源极驱动电压驱动到源极驱动电压之前,将中间源极驱动电压加到数据线以驱动数据线到中间源极驱动电压,

其中控制电路还包括:

一比较器,其将接收到的 n 位显示信号的最高有效位与以前接收到的 n 位显示信号的最高有效位进行比较,并根据其产生一比较信号;以及

一开关,其响应于比较信号以有选择地将中间源极驱动电压加到数据信号线。

11. 根据权利要求 10 所述的电路,其中控制电路还包括一锁存并输出以前接收到的 n 位显示信号的最高有效位到比较器的一位锁存器。

12. 根据权利要求 10 所述的电路,其中比较器包括一异或门。

13. 根据权利要求 10 所述的电路,还包括一响应于一门控制信号以有选择地输出比较器信号到开关的门电路。

14. 根据权利要求 10 所述的电路,其中当接收到 n 位显示信号的最高有效位与以前接收到的显示信号的最高有效位相同时比较信号不激活开关。

15. 根据权利要求 10 所述的电路,其中缓冲电路由第一或第二模式控制信号使能以将源极驱动电压加到数据线,其中一控制信号使能控制电路以将中间源极驱动电压加到数据线,并且其中控制信号关于第一或第二模式控制信号被单独地激活从而使在将源极驱动电压加到数据线之前将中间源极驱动电压加到数据线。

16. 根据权利要求 10 所述的电路,其中中间源极驱动电压在源极驱动电压的全摆幅电压的大约 $1/2$ 到 $1/3$ 范围内。

17. 根据权利要求 10 所述的电路,其中第一模式包括一梯度模式而第二模式包括一二进制模式。

18. 根据权利要求 10 所述的电路,其中电压发生器电路包括:

一中间电压驱动器;和

一开关,其中开关通过开关控制信号控制以使其连接到第一节点或第二节点,其中将第一节点连接到一中间电压电源并将第二节点连接到中间电压驱动器的输出端。

19. 根据权利要求 18 所述的电路,还包括连接在第二节点和地之间的电容。

20. 根据权利要求 18 所述的电路,其中电压发生器电路输出一第一电压,其通过中间电压电源产生,作为在第二操作模式中的中间源极驱动电压,并且其中电压发生器电路输出一第二电压,其通过中间电压驱动器产生,作为在第一操作模式中的中间源极驱动电压。

21. 根据权利要求 20 所述的电路,其中中间电压驱动器利用由中间电压电源产生的第一电压操作。

22. 根据权利要求 21 所述的电路,其中中间电压驱动器缓冲并输出一灰度等级参考电压作为用于一中间源极驱动电压的第二电压。

23. 根据权利要求 22 所述的电路,其中中间源极驱动电压在源极驱动电压的全摆幅电压的大约 $1/2$ 到 $1/3$ 范围内。

24. 一种液晶显示装置,包括:

一液晶显示面板,其具有多个薄膜晶体管、多条连接于薄膜晶体管的栅极的栅极线、多条连接于薄膜晶体管的源极的数据线;

一栅极驱动器,其包括多个栅极驱动器电路,其中每一个栅极驱动器电路驱动液晶显示面板中相应的栅极线;

一源极驱动器,其包括多个源极驱动器电路,其中每一个源极驱动器电路通过产生与接收到的显示数据相应的源极驱动电压,并将源极驱动电压加到数据线来驱动液晶显示面板中相应的数据线;和

一电压发生器电路,其产生一通常被加到每一源极驱动器电路的中间源极驱动电压;

其中每一个源极驱动器电路包括一控制电路,其中控制电路在源极驱动器电路将源极驱动电压加到数据线以将数据线从中间源极驱动电压驱动到源极驱动电压之前,将中间源极驱动电压加到相应的数据线以驱动相应的数据线到中间源极驱动电压,

其中控制电路包括:

一比较器,其将接收到的显示数据与以前接收到的显示数据进行比较,并产生一比较信号;以及

一开关,其响应于比较信号以有选择地将来自于电压发生器电路的中间源极驱动电压加到数据信号线。

25. 根据权利要求 24 所述的装置,其中控制电路还包括一输出以前接收到的显示数据到比较器的锁存器。

26. 根据权利要求 24 所述的装置,其中比较器比较接收到的显示数据的最高有效位与以前接收到的显示数据的最高有效位。

27. 根据权利要求 26 所述的装置,其中当接收到的显示数据的最高有效位与以前接收到的显示数据的最高有效位相同时,比较器电路产生一不激活开关的控制信号。

28. 根据权利要求 26 所述的装置,其中比较器电路包括一接收接收到的显示数据的最高有效位和以前接收到的最高有效位作为输入的异或门。

29. 根据权利要求 24 所述的装置,控制电路还包括一响应于一门控制信号以有选择地提供比较信号到开关的门电路。

30. 根据权利要求 24 所述的装置,其中源极驱动器电路通过一第一控制信号使能以将源极驱动电压加到数据线,其中控制电路通过一第二控制信号使能以将中间源极驱动电压加到数据线,并且其中单独地激活第一和第二控制信号从而在源极驱动电压加到数据线之前将中间源极驱动电压加到数据线。

31. 根据权利要求 24 所述的装置,其中从电压发生器输出的中间源极驱动电压是一灰度等级参考电压。

32. 根据权利要求 25 所述的装置,其中中间源极驱动电压在源极驱动电压的全摆幅电压的大约 1/2 到 1/3 范围内。

33. 一种驱动显示器的数据线的的方法,包括步骤:

产生一与接收到的显示数据相应的源极驱动电压;

产生一中间源极驱动电压;

将中间源极驱动电压加到一数据线以驱动数据线到中间源极驱动电压;以及

将源极驱动电压加到数据线以将数据线从中间源极驱动电压驱动到源极驱动电压，
其中，其将接收到的显示数据与以前接收到的显示数据进行比较，并产生一比较信号，
并且，响应于该比较信号以有选择地将来自于电压发生器电路的中间源极驱动电压加到数据信号线。

减少能耗的驱动平板显示器的电路和方法

技术领域

[0001] 本发明一般涉及驱动平板显示器（如，液晶显示器（LCD））的电路和方法，特别是涉及减少能耗的驱动平板显示器的数据线的源极驱动器电路和方法以及减少能耗的驱动平板显示器的公共电极的公共电压驱动器电路和方法。

背景技术

[0002] 各种类型的平板显示器如液晶显示器（LCD）、等离子显示面板（PDP）、电致发光显示面板等等已经发展到代替传统的阴极射线管（CRT）显示器的程度。上述平板显示器适合于需要小尺寸、重量轻以及能耗低的装置和应用中。例如，因为 LCD 能够用低压电源极驱动并且能耗低所以其能够被大规模集成化（LSI）驱动器操作。因此，LCD 已经广泛应用于膝上型计算机、便携式电话、便携式计算机、汽车、和彩色电视等等。LCD 装置具有的重量轻、尺寸小、以及能耗小的特点使其显示装置适用于如便携式、手提式装置。

[0003] 图 1 是表明一传统显示系统的示意图。显示系统（10）包括一显示面板（11）（如，LCD）和多个组成部分，该组成部分能用于驱动 / 控制显示面板（11），该显示面板包括一源极驱动 IC（12）、一栅极驱动 IC（13）、一有一 GRAM（图形随机存取存储器）的控制器（14）、和一电源发生器（15）。控制器（14）产生控制信号来控制电源发生器（15）、源极驱动 IC（12）和栅极驱动 IC（13）。

[0004] 显示面板（11）包括多条连接于源极驱动 IC（12）的数据线（ $D_1 \sim D_n$ ）和多条连接于栅极驱动 IC（13）的栅极线（ $G_1 \sim G_m$ ）。显示面板（11）包括多个排列于行列矩阵中的像素 / 子像素，其中在一特定行中的像素 / 子像素通常连接于一栅极线并且其中在一特定列中的像素 / 子像素通常连接于一数据线。根据应用 / 设计，在每一栅极线和数据线交叉处安设一个像素 / 子像素。

[0005] 假定显示面板（11）是一 TFT-LCD，显示面板（11）将包括一由多个排列成矩阵形式的像素 / 子像素单元组成的薄膜晶体管（TFT）板。如图 1 所示，每个像素 / 子像素单元包括一 TFT、一连接在 TFT 的漏极和公共电极（VCOM）间的液晶电容（ C_p ）和一与液晶电容（ C_p ）平行排列并连接的薄膜存储电容（ C_{st} ）。存储电容（ C_{st} ）存储电荷从而使显示器上的图像在非选择周期被保持。液晶电容（ C_p ）由一彩色滤板的一公共电极（ V_{COM} ）、一 TFT 的像素电极以及它们之间的液晶材料形成。将 TFT 的一源极连接到数据线上并将 TFT 的栅极连接到栅极线上。当将栅极线上的栅极驱动信号 V_{GH} 加到 TFT 的栅极时，TFT 作为一开关将数据线上的源极电压加到像素电极。

[0006] 电源发生器（15）产生多个参考电压，包括，加到源极驱动 IC（12）的 AVDD（源极驱动电源）和 GVDD（伽马参考电压），加到显示面板（11）的公共电压电极（VCOM）的 VCOMH（高公共电极电压）和 VCOML（低公共电极电压），以及加到栅极驱动 IC（13）以驱动选择了的栅极线的 V_{GH} （栅极驱动器导通电压）和 V_{COFF} （栅极驱动器截止电压）。

[0007] 控制器（14）接收多种从图像供应源（如，计算机的主板）输出的驱动数据信号和驱动控制信号作为输入。驱动数据信号包括在显示面板（11）上形成图像的 R、G、B 数据。

驱动控制信号包括垂直同步信号 (Vsynch)、水平同步信号 (Hsync)、一数据使能信号 (DE) 和一时钟信号 (Clk)。控制器 (14) 向源极驱动 IC(12) 输出多个与 R、G、B 数据相应的显示数据信号 (DDATA), 以及源控制信号。控制器 (14) 输出一栅极控制信号以控制栅极驱动 IC(13)。控制器 (14) 控制从源极驱动 IC(12) 和栅极驱动 IC(13) 输出数据和控制信号的定时。例如, 在一种操作模式下, 控制器 (14) 产生源和栅极控制信号从而使栅极驱动 IC(13) 以连续形式向每一栅极线 ($G_1 \sim G_m$) 传送一栅极驱动输出信号 V_{GH} 以及在选定行中顺序地一个接一个地向每个像素 / 子像素有选择地施加数据电压。在另一种操作模式下, 可以通过连续地在第一列中扫描像素 / 子像素以及随后在下一列中扫描像素 / 子像素为像素 / 子像素充电。

[0008] 栅极驱动 IC(13) 包括多个栅极驱动器, 每一个栅极驱动器驱动相应的栅极线 $G_1 \sim G_m$ 的。源极驱动 IC(12) 包括多个源极驱动器电路 (12-1 ~ 12-n), 或者更一般地表示为 12(i), 其驱动相应的数据线 $D_1 \sim D_n$ 。图 2 示意性的描述了一传统的源极驱动器电路 (20), 其可以在图 1 的系统 (10) 中用于驱动显示面板 (11) 的数据线。通常情况下, 如图 2 描述的, 源极驱动器电路 (20) 包括一驱动相应的数据线 (D_i) 的源极驱动器 (12-i), 以及一灰度等级电压发生器 (23)。图 2 中的源极驱动器电路 (20) 图解了图 1 中的源极驱动 IC(12) 的一传统的结构, 其中每一条数据线 (或 RGB 信道) 都有一个源极驱动器 (12-i)。灰度等级电压发生器 (23) 可以应用在图 1 的电源发生器电路 (15) 中。通常将灰度等级电压发生器 (23) 的输出加到源极驱动 IC(12) 的每一个源极驱动器 (12-1 ~ 12-n)。

[0009] 通常情况下, 源极驱动器 (12-i) 包括一个极性反转电路 (21)、一锁存电路 (22)、一伽马解码器 (24), 和一驱动缓冲器 (25)。源极驱动器 (12-i) 由多个控制信号控制, 该控制信号包括一极性控制信号 M, 一锁存控制信号 S_Latch, 和一模式控制信号 GRAY_ON (梯度模式使能信号) 和 BIN_ON (二进制模式使能信号), 上述的每一种信号将在下面描述。此外, 源极驱动器 (12-i) 接收由灰度等级电压发生器 (23) 产生的灰度等级参考电压作为输入。

[0010] 源极驱动器 (12-i) 接收一来自于 GRAM(14) 的 R、G 或 B 数据的 n 位显示数据块 (DDATA) 作为输入。极性反转电路 (21) 接收显示数据块 (DDATA) 并响应于极性控制信号 M 来控制 n 位的极性。例如, 如果极性控制信号 M 是逻辑“0”, 则显示数据 (DDATA) 的极性将保持相同 (原始显示数据 (正极性))。另一方面, 如果极性控制信号 M 是逻辑“1”, 则反转显示数据 (DDATA) 的极性 (反转过的显示数据 (负极性))。在图 2 的实施例中, 极性反转电路 (21) 使用一异或 (XOR) 门。

[0011] 锁存电路 (22) 响应一锁存控制信号 S_LATCH 而锁存从极性反转电路 (21) 输出的 n 位数据块。在图 2 的实施例中, 锁存电路 (22) 使用一时钟 n 位 D 锁存器来实施。锁存电路 (22) 锁存并向伽马解码器 (24) 输出一锁存的显示数据块 $CD[n-1:0]$ 。灰度等级电压发生器 (23) 产生并向伽马解码器 (24) 输出 2^n 个不同的灰度等级参考电压 ($VG[2^n-1:0]$)。伽马解码器 (24) 对从锁存电路 (22) 输出的 n 位显示数据块 $CD[n-1:0]$ 进行解码, 并向驱动缓冲器 (25) 选择和输出一灰度等级电压。对于每一像素 (包括 RGB 子像素), 对于具有 n 位灰度等级结构的每一像素可以产生的可能的灰度等级 (或不同颜色) 的数目是 $2^n(R) 2^n(G) 2^n(B) = 2^{3n}$ 。

[0012] 驱动缓冲器 (25) 包括一第一驱动器 (26), 一第一驱动输出开关 (S1), 和一第二驱

驱动器 (27)。第一驱动器 (26) 缓冲和放大从伽马解码器 (24) 输出的灰度等级电压而且第二驱动器 (27) 缓冲和放大锁存的显示数据 $CD[n-1:0]$ 的 MSB(最高有效位), $CD[n-1]$ 。驱动缓冲器 (25) 产生一源极驱动输出信号 S_n 用于驱动一相应的数据线 D_i , 其将根据选择的模式, 例如二进制模式 (8-色模式) 或梯度模式 (2^{3n} -色模式) 而变化。

[0013] 例如, 在梯度模式中, 使能一 GRAY_ON 控制信号 (逻辑“1”) 以激活 (闭合) 开关 S_1 , 因此允许第一驱动器 (26) 输出一缓冲的灰度等级电压。另外, 在梯度模式中, 不使能一 BIN_ON 控制信号 (将其加到第二驱动器 (27)) (逻辑“0”) 从而不激活 (截止) 第二驱动器 (27)。另一方面, 在二进制模式中, 不使能 GRAY_ON 控制信号 (逻辑“0”) 从而不激活 (打开) 开关 S_1 , 因此阻止第一驱动器 (26) 输出缓冲的灰度等级电压如 S_n , 并且使能 (逻辑“1”) BIN_ON 控制信号以激活第二驱动器 (27)。在二进制模式中, 第二驱动器 (27) 将根据锁存的显示数据 $CD[n-1:0]$ 中最高有效位 $CD[n-1]$ 的逻辑电平, 输出一 AVDD (源极驱动器的电源电压) 或 AVSS (源极驱动器的地电压) 的源极驱动器输出信号 S_n 。

[0014] 图 3 是图 2 中的源极驱动器电路在二进制操作模式下的时序图。在图 3 中, 假定 RGB 数据的分辨率是 6 位 (也就是, $n = 6$) 并且假定具有值 00H (二进制 000000)、3FH (二进制 111111)、07H (二进制 000111) 以及 19H (二进制 011001) 的锁存的显示数据 $CD[n-1:0]$ 从锁存器 (22) 连续输出。如图 3 所示, 在二进制模式中, 将 BIN_ON 设置在逻辑“1”并且将 GRAY_ON 设置在逻辑“0”。从而, 打开 S_1 并且激活第二驱动器 (27)。

[0015] 另外如图 3 所示, 在 T_1 时刻前, 值为 00H 的锁存的显示数据 $CD[5:0]$ 具有一最高有效位 $CD[5] =$ 逻辑“0”, 其导致从第二驱动器 (27) 输出一 AVSS (源极驱动器的地电压) 的源极驱动器输出信号 S_n 。在 T_1 时刻, 一锁存控制脉冲 S_LATCH 使一锁存的显示数据 $CD[5:0] = 3FH$, 其具有一最高有效位 $CD[5] =$ 逻辑“1”。相应的, 源极驱动器输出信号 S_n (从第二驱动器 (27) 输出) 从 AVSS 向 AVDD (源极驱动器的电源电压电位) 转换。然后, 在 T_2 时刻, 一锁存控制脉冲 S_LATCH 使一锁存的显示数据 $CD[5:0] = 07H$, 其具有一最高有效位 $CD[5] =$ 逻辑“0”。相应的, 从第二驱动器 (27) 输出的源极驱动器输出信号 S_n 从 AVDD 向 AVSS 转换。然后, 在 T_3 时刻, 一锁存控制脉冲 S_LATCH 使一锁存的显示数据 $CD[5:0] = 19H$, 其具有一最高有效位 $CD[5] =$ 逻辑“0”。相应的, 源极驱动器输出信号 S_n 保持在 AVSS。

[0016] 图 4 是图 2 中的源极驱动器电路在梯度操作模式下的时序图。在图 4 中, 假定 RGB 数据的分辨率是 6 位 (也就是, $n = 6$) 并且假定具有值 00H (二进制 000000)、3FH (二进制 111111)、07H (二进制 000111) 以及 19H (二进制 011001) 的锁存的显示数据 $CD[n-1:0]$ 从锁存器 (22) 连续输出。如图 4 所示, 在二进制模式中, 将 BIN_ON 设置在逻辑“0”并且将 GRAY_ON 设置在逻辑“1”。如此, 不激活第二驱动器 (27), 激活开关 S_1 (闭合) 并且第一驱动器 (26) 缓冲和输出编码器 (24) 选择的灰度等级电压, 如 S_n 。

[0017] 更确切的讲, 如图 4 中示例图所示, 在 T_1 时刻前, 锁存的显示数据 $CD[5:0] = 00H$ 导致源极驱动器输出信号 S_n 的值为 $VG[0]$ 。在 T_1 时刻, 一锁存控制脉冲 S_LATCH 使一锁存的显示数据块 $CD[5:0] = 3FH$, 其导致 S_n 从 $VG[0]$ 向 $VG[63]$ 转换。然后, 在 T_2 时刻, 一锁存控制脉冲 S_LATCH 使一锁存的显示数据 $CD[5:0] = 07H$, 其导致 S_n 从 $VG[63]$ 向 $VG[7]$ 转换。然后, 在 T_3 时刻, 一锁存控制脉冲 S_LATCH 使一锁存的显示数据 $CD[5:0] = 19H$, 其导致源极驱动器输出信号 S_n 从 $VG[7]$ 向 $VG[25]$ 转换。

[0018] 图 5 示意性的描述了一传统的公共电压驱动器电路 (30), 其在图 1 的系统 (10) 中

用于驱动显示面板 (11) 的公共电极 (VCOM)。通常情况下,公共电压驱动器 (30) 包括第一和第二驱动器 (31) 和 (32),开关 (33) 和 (34) 以及电容 (35) 和 (36)。第一驱动器 (31) 缓冲和输出 VCOMH(高公共电压)。如下面所解释的,电源发生电路 (15) 中的一 VCOMH 电压发生器从 AVDD 电源产生 VCOMH。将电容 (35) 连接到第一驱动器 (31) 的输出端以稳定输出电压。通过控制信号 VCMH_ON 控制开关 (33) 以有选择地将第一驱动器 (31) 的输出连接到 VCOM 节点 N 并驱动 VCOM 到一高公共电压 VCOMH。

[0019] 第二驱动器 (32) 缓冲和输出 VCOML(低公共电压)。如下面所解释的,电源发生电路 (15) 中的一 VCOML 电压发生器从 VCL(-VCL) 电源产生 VCOML。将电容 (36) 连接到第二驱动器 (32) 的输出端以稳定输出电压。通过控制信号 VCML_ON 控制开关 (34) 以有选择地将第二驱动器 (32) 的输出连接到 VCOM 节点 N 并驱动 VCOM 到 VCOML。

[0020] 图 6 是利用图 5 中的电路驱动一公共电极的传统的方法的时序图。参考图 6,在 T_1 时刻,使能极性控制信号 M 及控制信号 VCMH_ON 且不使能控制信号 VCML_ON。结果是,激活开关 (33) 而没有激活开关 (34) 并且通过第一驱动器 (31) 将 VCOM 从 VCOML 驱动到 VCOMH。在 T_2 时刻,不使能极性控制信号 M 及控制信号 VCMH_ON 而使能控制信号 VCML_ON。结果是,不激活开关 (33) 而激活开关 (34) 并且通过第二驱动器 (32) 将 VCOM 从 VCOMH 驱动到 VCOML。

[0021] 当显示系统如 LCD 面板应用于小的手提式、便携式装置时,为了保持电池能量,减小用于驱动显示器的能耗是很重要的。通常情况下,用于驱动平板显示器的主要的能耗源包括源极驱动器和 VCOM 驱动器。更详细地说,对于源极驱动器,为了增强显示器的驱动速度(如,使液晶电容 C_p 快速充电),驱动数据线的电压典型的设计为相对高电压。然而,与驱动电压的电压升高成正比,升高的驱动电压增加了显示器的能量消耗。另外,因为公共电压的极性在每周期都反转所以公共电极(其面对像素电极)的驱动是重要的能量消耗源。

[0022] 典型的,源和 VCOM 驱动电压是电压发生器产生的内部电压,该电压发生器通过升高从中间参考电压源输出的电压/能量来产生该驱动电压。例如,图 7 是描述图 1 中的传统的电源发生器 (15) 的结构的方块图。通常情况下,电源发生器 (15) 利用一中间参考电压 VCI 电源产生多个内部参考电压。更详细地说,电源发生器 (15) 包括一通过升高一中间输入电压 VCI 一预定的数量 α (其大于 1) 而产生 AVDD(源极驱动器电源极电压)的第一电源发生器 (15-1)。将 AVDD 电压加到源极驱动器 (12),并输入到其他电源发生器(未示出)以产生 GVDD 和 VCOMH。第二电源发生器 (15-2) 接收参考电压 AVDD 作为输入并通过将 AVDD 升高 β 而产生 VGH。第三电源发生器 (15-3) 接收参考电压 VGH 作为输入并产生 VGL = -VGH。第四电源发生器 (15-4) 接收中间参考电压 VCI 作为输入并产生 VCL = -VCI。

[0023] 传统的源及 VCOM 驱动器电路中的一个问题是由于利用升高了的电源来驱动数据线和 VCOM 而产生了很大的能量消耗。更详细地说,参考图 2 中的例子,驱动缓冲器 (25) 中的第一和第二驱动器 (26) 和 (27) 应用升高的 AVDD 电源来驱动数据线,并且在图 5 中,升高的 AVDD 电源用于产生 VCOMH(高公共电压)并用于驱动显示面板 (11) 的公共电极 VCOM。对于 AVDD,能量消耗是 $P_{AVDD} = I_{AVDD} \cdot AVDD = \alpha \cdot I_{AVDD} \cdot VCI$ 并且驱动电流 I_{AVDD} 从中间电源 VCI 提供。虽然驱动电流 I_{AVDD} 的电流消散来自于 VCI 电源,然而当 $\alpha > 1$ 时基于 AVDD 电源的实际能耗变大。因此,因为有相同的电流损耗 I_{AVDD} ,所以用于驱动数据线和 VCOM 的 AVDD 和 VCOMH 的提升高电源导致了更多的能耗。

发明内容

[0024] 本发明的典型实施例包括驱动平板显示器（如，液晶显示器（LCD））的电路和方法，并且尤其涉及在驱动平板显示器的数据线时提供减少能耗的源极驱动器电路和方法以及在驱动平板显示器的公共电极时提供减少能耗的公共电压驱动器电路和方法。通常情况下，本发明的典型实施例包括在每一驱动周期（与使用升高的驱动电压完全相反）中利用中间参考电压和升高的驱动电压来驱动数据线以减少能耗并提供循环充电的电路和方法。

[0025] 在本发明的一个典型实施例中，用于驱动显示器的数据线的源极驱动器电路包括：一源极驱动器电路，其接收显示数据并产生与接收的显示数据相对应的源极驱动电压，而且将该源极驱动电压加到显示器的一条数据线；一电压发生器电路，其产生一中间源极驱动电压；和一控制电路，其在源极驱动器电路将源极驱动电压加到数据线以将数据线从中间源极驱动电压驱动到源极驱动电压之前提供中间源极驱动电压到数据线以将数据线上的电压驱动到中间源极驱动电压。

[0026] 在另一个典型实施例中，控制电路包括一将接收到的显示数据与以前接收到的显示数据进行比较并产生一比较信号的比较器，以及一响应比较信号以有选择地从电压发生器电路向数据信号线提供中间源极驱动电压的开关。控制电路包括一将以前接收到的显示数据输出到比较器的锁存器。在一个典型实施例中，比较器将接收到的显示数据的一最高有效位与以前接收到的显示数据的一最高有效位进行比较并当接收到的显示数据的最高有效位与以前接收到的显示数据的最高有效位相同时产生一不激活开关的控制信号。

[0027] 在本发明的另一个典型实施例中，用于驱动显示器的数据线的电路包括：一极性控制电路，其接收一 n 位显示信号和一极性控制信号，并且响应极性控制信号反转或保持 n 位显示信号的极性；一第一锁存器，其响应于第一锁存控制信号并锁存从极性控制电路中输出的 n 位显示信号；一解码器，其接收多个灰度等级参考电压和从第一锁存器输出的 n 位显示信号作为输入，并对 n 位显示信号进行解码以有选择地输出灰度等级参考电压的其中之一；一缓冲器电路，其产生一源极驱动电压并将该源极驱动电压加到显示器的一数据线，其中在第一种操作模式中，缓冲器电路响应第一模式控制信号以从解码器输出的灰度等级参考电压中产生源极驱动电压，并且在第二种操作模式中，缓冲器电路响应第二模式控制信号以根据第一锁存器输出的 n 位显示信号中的最高有效位产生源极驱动电压；一电压发生器电路，其产生一中间源极驱动电压；和一控制电路，其在通过缓冲电路将源极驱动电压加到数据线以将数据线从中间源极驱动电压驱动到源极驱动电压之前将中间源极驱动电压加到数据线以驱动数据线到中间源极驱动电压。

[0028] 另外，本发明的典型实施例包括在每一驱动周期中（与用升高的驱动电压完全相反）用中间参考电压和升高的驱动电压驱动公共电极以减少能耗并提供循环充电的电路和方法。

[0029] 在本发明的一个实施例中，一显示器面板的公共电压驱动器电路包括：一第一驱动器电路，其输出一高公共电压；一第二驱动器电路，其输出一低公共电压；一第一开关，其响应第一控制信号选择地将第一驱动器电路的输出连接到显示面板的公共电极；一第二开关，其响应第二控制信号选择地将第二驱动器电路的输出连接到公共电极；一中间电压输出电路，其响应一个或多个中间控制信号输出一个或多个中间公共电压到显示器的公共电极。公共电压驱动器电路在输出高公共电压之前通过用一个或多个中间公共电压驱动公

共电极将公共电极从低公共电压驱动到高公共电压,并且在输出低公共电压之前通过用一个或多个中间公共电压驱动公共电极将公共电极从高公共电压驱动到低公共电压。

[0030] 在本发明的另一个实施例中,中间驱动器电路包括一个或多个开关装置,其中每一个开关装置响应于一个或多个中间控制信号中的相应的其中之一以有选择地将一个或多个中间公共电压的相应的其中之一连接到显示面板的公共电极。

[0031] 在本发明的另一个典型实施例,至少其中之一中间公共电压是地电压和/或至少其中之一中间公共电压在高公共电压的大约 1/2 到 3/4 范围内。

[0032] 本发明的上述或其他典型实施例,结构,特点和优点将在下面的典型实施例并结合附图的详细描述中被描述或者是显而易见的。

附图说明

[0033] 图 1 是表示一传统的显示系统的示意图;

[0034] 图 2 是表示一传统的源极驱动器电路示意图;

[0035] 图 3 是表示图 2 中的源极驱动器电路在二进制模式下操作的时序图;

[0036] 图 4 是表示图 2 中的源极驱动器电路在梯度模式下操作的时序图;

[0037] 图 5 是表示一传统的 VCOM(公共电压电极)驱动电路的示意图;

[0038] 图 6 是表示图 5 中的 VCOM 驱动电路的一种操作模式的示意图;

[0039] 图 7 是表示图 1 中的显示系统的一传统的电源发生器电路的示意图;

[0040] 图 8 是根据本发明的典型实施例表示驱动数据线的一源极驱动器电路的示意图;

[0041] 图 9 是根据本发明的典型实施例,表示图 8 中的源极驱动器电路在二进制模式下操作的时序图;

[0042] 图 10 是根据本发明的典型实施例,表示图 8 中的源极驱动器电路在梯度模式下操作的时序图;

[0043] 图 11 是根据本发明的典型实施例,表示一 VCOM(公共电压电极)驱动电路的示意图;

[0044] 图 12 是表示图 11 中的 VCOM 驱动器的一种操作模式的时序图。

具体实施方式

[0045] 本发明的典型实施例将在下文中描述,其包括减少能耗的用于驱动平板显示器的数据线和公共电压电极的源极驱动器和 VCOM 驱动电路和方法。通常情况下,本发明的典型实施例包括在每一驱动周期中(与传统方法中利用升高的驱动电压完全相反)利用中间参考电压和升高的驱动电压来驱动数据线和公共电极以减少能耗并提供再循环充电的电路和方法。

[0046] 现在参考图 8,根据本发明的典型实施例表示驱动数据线的一源极驱动器电路(80)的示意图。图 8 中描述的典型实施例是图 2 中描述的源极驱动器电路(20)的扩展,其大大减少了用于驱动显示面板的数据线的能耗。通常情况下,源极驱动器电路(80)包括一产生一源极驱动器输出信号 S_n 以驱动相应的数据线 D_i 的源极驱动器(81);一灰度等级发生器(23)和一中间电压发生器(90)。图 8 中的源极驱动器电路(80)描述了根据本发明的一个实施例的结构,其可以通过图 1 的显示系统(10)中的源极驱动 IC(12)实现,其中每一

数据线 D_i (或 RGB 信道) 有一个源极驱动器 (81), 并且其中灰度等级发生器 (23) 和中间电压发生器 (90) 通常用于实现所有的源极驱动器。

[0047] 源极驱动器 (81) 在结构上与图 2 中的源极驱动器 (12-i) 相似, 其中源极驱动器 (81) 包括一极性反转电路 (21)、一锁存电路 (22)、一伽马解码器 (24)、和一驱动缓冲电路 (25), 其操作方式与上面描述的相似。然而, 源极驱动器 (81) 还包括一比较电路 (82), 该比较电路将一当前的 MSB 与前一个 MSB 进行比较并根据比较结果将数据线 D_i 连接到从中间电压发生器 (90) 输出的中间电压。中间电压发生器 (90) 根据操作模式 (二进制或梯度) 输出不同的中间电压。

[0048] 更详细地说, 比较电路 (82) 包括一锁存电路 (83)、一异或电路 (84)、一与门 (85) 和一开关装置 (S2)。在一个实施例中, 锁存电路 (83) 包括一 1 位时钟 D 锁存器, 该锁存器响应一锁存控制信号 PD_LATCH 以锁存存储在锁存器 (22) 中的显示数据的当前锁存块的一最高有效位 $CD[n-1]$, 并响应一锁存控制脉冲 PD_LATCH 而输出前一个锁存显示数据的最高有效位 PD[n-1]。

[0049] 异或门 (84) 接收锁存器 (22) 中当前的显示数据块 $CD[n-1:0]$ 的当前 MSB $CD[n-1]$ 和从锁存器 (83) 输出的前一锁存的 MSB PD[n-1] 作为输入。当当前的和前一个 MSB 不同时异或门 (84) 输出逻辑“1”, 并且当当前的和前一个 MSB 相同时输出逻辑“0”。与门 (85) 包括接收异或门 (84) 的输出和一控制信号 VCIR (选通 (gating) 信号) 的两输入端与门。实际上, 与门 (85) 起到响应选通信号 VCIR 来转移异或门 (84) 的输出以控制开关 S2 激活 / 不激活的选通电路的功能。在本发明的一个典型实施例中, 当与门的输出是逻辑“1” (当前的 MSB $CD[n-1]$ 与以前的 MSB PD[n-1] 不同) 时激活开关 S2 (闭合) 并且当与门的输出是逻辑“0” (当前的 MSB $CD[n-1]$ 与以前的 MSB PD[n-1] 相同) 时不激活开关 S2 (打开)。如下文中详细描述, 当激活开关 S2 时, 将从中间电压发生器 (90) 输出的中间电压应用于驱动数据线 D_i 。根据本发明的实施例, 可了解到异或门 (84) 和与门 (85) 可以变换成与异或门 (84) 和与门 (85) 具有相同布尔函数的其他逻辑门。

[0050] 中间电压发生器 (90) 包括一第三驱动器 (91) (放大器)、一开关 S3 和可任选的一电容 (92)。第三驱动器 (91) 利用 VCI 电源缓冲和输出从灰度等级发生器 (23) 输出的灰度等级参考电压 VG 的其中之一。在一个典型实施例中, 第三驱动器 (91) 接收灰度等级参考电压 $VG[2^{n-1}-1]$ (其最好低于参考电压 VCI) 作为输入。开关 S3 响应一电压选择控制信号 BIN_FLAG 以将开关 S3 连接到第一中间电压 (VCI) 应用的第一节点 N1, 或者将开关 S3 连接到第二中间电压 ($VG[2^{n-1}-1]$) 应用的第二节点 N2 (也就是, 第三驱动器 (91) 的输出)。电容 (92) 可任选地连接到第三驱动器 (91) 的输出端以稳定输出电压。

[0051] 在本发明的一个典型实施例中, 中间源极驱动电压 VCI 在源极驱动电压 AVDD 的全摆幅电压的 1/2 到 1/3 范围内。例如, AVDD 可以大约是 5-6V, VCI 可以大约是 2-3V 并且 AVSS 大约是 0V (地)。

[0052] 在二进制模式中, 使 S3 连接到第一节点 N1 以传递中间电压 VCI 到 S2 的电压选择控制信号 BIN_FLAG = 逻辑“1”。在梯度模式中, 使 S3 连接到第三驱动器 (91) 的输出节点 N2 以传递第二中间电压如, $VG[2^{n-1}-1]$ 到 S2 的电压选择控制信号 BIN_FLAG = 逻辑“0”。各个控制信号, M、S_LATCH、BIN_ON、GRAY_ON、VCIR、BIN_FLAG 都由控制器产生, 如图 1 中的控制器 (14)。如上注释的, 源极驱动 IC 中的所有的源极驱动器 (81) 普遍采用中间电压发生

器 (90)。

[0053] 图 9 是根据本发明的典型实施例,描述驱动数据线的源极驱动方法的典型的时序图。为了说明,参考图 8 的源极驱动器电路 (80) 描述图 9 的方法。尤其是,可以根据本发明的一个典型的实施例,使图 8 的源极驱动器电路在二进制模式下描述图 9 的方法。在图 9 中,假定 RGB 数据的分辨率是 6 位 (也就是, $n = 6$) 并且具有值 00H (二进制 000000)、3FH (二进制 111111)、07H (二进制 000111) 以及 19H (二进制 011001) 的锁存的显示数据块从锁存器 (22) 连续输出。可以另外假定在二进制模式中,将 GRAY_ON 设置在逻辑“0” (打开开关 S1) 并且将 BIN_FLAG 设置在逻辑“1” (将开关 S3 连接到 VCI 的节点 N1)。

[0054] 如图 9 所示,在 T_1 时刻前,具有最高有效位 $CD[5] = \text{逻辑“0”}$ 的锁存的显示数据块 $CD[5:0] = 00H$ 被锁存并且从 n 位锁存电路 (22) 输出。此外,在 T_1 时刻前,使 $BIN_ON = \text{逻辑“1”}$ 并且使第二驱动器 (27) 打开。因为最高有效位 $CD[5] = \text{逻辑“0”}$,第二驱动器 (27) 输出 AVSS (源极驱动器的地) 的一源极驱动器输出信号 S_n 到数据线 D_i 。在 T_1 时刻前激活的控制脉冲 PD_LATCH 使 1 位锁存器 (83) 锁存显示数据 (00H) 的最高有效位 ($CD[5] = \text{逻辑“0”}$) 并输出 $PD[5] = \text{逻辑“0”}$ 。如图 9 所示,在激活锁存控制信号 S_LATCH 前激活锁存控制信号 PD_LATCH 以锁存下一 (当前) 显示数据块。

[0055] 然后,在 T_1 时刻,激活锁存控制脉冲 S_LATCH,其导致锁存器 (22) 锁存并输出具有最高有效位 $CD[5] = \text{逻辑“1”}$ 的显示数据块 $CD[5:0] = 3FH$ 。另外,在 T_1 时刻及对于周期 P_1 来说,激活选通信号 VCIR 而不激活 BIN_ON 。因为没有激活 BIN_ON ,所以第二驱动器 (27) 截止。另外,因为激活了 VCIR,所以异或门 (84) 的输出开启开关 S2。因为当前的和以前的 MSB 不同 (也就是说, $CD[5] = 1$ 且 $PD[5] = 0$),所以与门的输出为逻辑“1”其激活 S2。因为激活 (闭合) 了 S2 且截止了第二驱动器,所以在周期 P_1 期间 VCI 电源电压将具有源极驱动器输出信号 S_n 的数据线 D_i 从 AVSS 驱动到中间电压 VCI。

[0056] 然后,在 T_2 时刻,不激活 VCIR 而激活 BIN_ON ,其导致开关 S2 打开 (不从数据线 D_i 连接到 VCI) 并且第二驱动器 (27) 导通。因为当前最高有效位 $CD[5] = \text{逻辑“1”}$,所以在时间周期 P_2 期间第二驱动器 (27) 将输出信号 S_n 从 VCI 驱动到 AVDD。在周期 P_2 末、 T_3 时刻之前,激活 PD_LATCH,其导致 1 位锁存器 (83) 锁存显示数据 (3FH) ($CD[5] = \text{逻辑“1”}$) 的 MSB 并且输出 $PD[5] = \text{逻辑“1”}$ 。

[0057] 然后,在 T_3 时刻,激活 S_LATCH,其导致 n 位锁存器 (22) 锁存并输出具有最高有效位 $CD[5] = \text{逻辑“0”}$ 的当前的显示数据块 $CD[5:0] = 07H$ 。另外,在 T_3 时刻及周期 P_3 ,激活栅极信号 VCIR 而不激活 BIN_ON 。因为没有激活 BIN_ON ,所以第二驱动器 (27) 截止。另外,因为激活了 VCIR,所以异或门 (84) 的输出开启开关 S2。因为当前的和以前的 MSB 不同 (也就是说, $CD[5] = 0$ 而 $PD[5] = 1$),所以与门的输出为逻辑“1”其激活 S2。因为激活了 S2,所以数据线 D_i 连接到了 VCI 电源,其使源极驱动信号 S_n 从 AVDD 放电到中间电压 VCI。

[0058] 然后,在 T_4 时刻,不激活 VCIR 而激活 BIN_ON ,其导致开关 S2 断开 (不从数据线 D_i 连接到 VCI) 并且第二驱动器 (27) 导通。因为 $CD[5] = \text{逻辑“0”}$,所以在时间周期 P_4 期间第二驱动器 (27) 将 S_n 从 VCI 驱动到 AVSS。在周期 P_4 末、 T_5 时刻之前,激活 PD_LATCH,其导致 1 位锁存器 (83) 锁存显示数据 (07H) 的 MSB ($CD[5] = \text{逻辑“0”}$) 并输出 $PD[5] = \text{逻辑“0”}$ 。

[0059] 然后,在 T_5 时刻,激活 S_LATCH,其导致 n 位锁存器 (22) 锁存并输出一具有最高

有效位 $CD[5] = \text{逻辑“0”}$ 的当前的显示数据块 $CD[5:0] = 19H$ 。在时间周期 P_5 期间, 激活栅极信号 $VCIR$ 而不激活 BIN_ON 。因为没有激活 BIN_ON , 所以第二驱动器 (27) 截止。另外, 因为激活了 $VCIR$, 异或门 (84) 的输出用于选通开关 $S2$ 。因为当前的和以前的 MSB 相同 (也就是说, $CD[5] = 0$ 和 $PD[5] = 0$), 所以与门的输出为逻辑“0”, 其使 $S2$ 保持在不激活状态。因为没有激活 $S2$, 所以源极驱动器输出信号 S_n 保持在 $AVSS$ (也就是说, 没有充电到 VCI)。其后, 在 $T6$ 时刻后, 不激活 $VCIR$ 而激活 BIN_ON 。因为 $CD[5] = \text{逻辑“0”}$, 所以第二驱动器 (27) 将 S_n 保持在 $AVSS$ 。

[0060] 图 10 是根据本发明的另一个典型实施例, 描述驱动数据线的源极驱动方法的典型的时序图。为了说明, 图 10 中的典型的方法将参考图 8 中的源极驱动器电路 (80) 描述。详细地说, 图 10 是根据本发明的一典型实施例, 描述图 8 中的源极驱动器电路在梯度操作模式下的时序图。在图 10 中, 假定 RGB 数据的分辨率是 6 位 (也就是, $n = 6$) 并且具有值 $00H$ (二进制 000000)、 $3FH$ (二进制 111111)、 $07H$ (二进制 000111) 以及 $19H$ (二进制 011001) 的锁存的显示数据块从锁存器 (22) 连续输出。可以另外假定在梯度模式中, 将 BIN_ON 设置在逻辑“0” (不激活第二驱动器 (27)) 并且将 BIN_FLAG 设置在逻辑“0” (使开关 $S3$ 连接到节点 $N2$, 第三驱动器 (91) 的输出)。

[0061] 如图 10 所示, 在 $T1$ 时刻前, 具有最高有效位 $CD[5] = \text{逻辑“0”}$ 的锁存的显示数据块 $CD[5:0] = 00H$ 被锁存并且从 n 位锁存电路 (22) 输出。此外, 在 $T1$ 时刻前, $GRAY_ON = \text{逻辑“1”}$ 并且开关 $S1$ 闭合, 第一驱动器 (26) 用于驱动具有在低于中间电压 $VG[31]$ 的一些灰度等级电压 VG 下的输出信号 S_n 的数据线 D_i 。在 $T1$ 时刻之前激活控制脉冲 PD_LATCH 使 1 位锁存器 (83) 锁存显示数据 ($00H$) 的最高有效位 ($CD[5] = \text{逻辑“0”}$) 并输出 $PD[5] = \text{逻辑“0”}$ 。如图 10 所示, 在激活锁存控制信号 S_LATCH 前激活锁存控制信号 PD_LATCH 以锁存下一个 (当前) 显示数据块。

[0062] 然后, 在 T_1 时刻, 激活锁存控制脉冲 S_LATCH , 其导致锁存器 (22) 锁存并输出具有最高有效位 $CD[5] = \text{逻辑“1”}$ 的显示数据块 $CD[5:0] = 3FH$ 。另外, 在 $T1$ 时刻及对于周期 P_1 来说, 激活选通信号 $VCIR$ 而不激活 $GRAY_ON$ 。因为没有激活 $GRAY_ON$, 所以开关 $S1$ 打开。另外, 因为激活了 $VCIR$, 所以异或门 (84) 的输出选通开关 $S2$ 。因为当前的和以前的 MSB 不同 (也就是说, $CD[5] = 1$ 而 $PD[5] = 0$), 所以与门的输出为逻辑“1”其激活 $S2$ 。因为激活 (闭合) 了 $S2$ 且开关 $S1$ 断开, 所以在周期 $P1$ 期间第三驱动器 (91) 将具有源极驱动器输出信号 S_n 的数据线 D_i 从 $VG[0]$ 驱动到中间电压 $VG[31]$ 。

[0063] 然后, 在 $T2$ 时刻, 不激活 $VCIR$ 而激活 $GRAY_ON$, 其导致开关 $S2$ 断开 (不从数据线 D_i 连接到第三驱动器 (91) 的输出) 并且开关 $S1$ 闭合。因为 $CD[5:0] = 3FH$, 所以在时间周期 $P2$ 中第一驱动器 (26) 将输出信号 S_n 从 $VG[31]$ 驱动到 $VG[63]$ 。在周期 $P2$ 末、 $T3$ 时刻之前, 激活 PD_LATCH , 其导致 1 位锁存器 (83) 锁存显示数据 ($3FH$) ($CD[5] = \text{逻辑“1”}$) 的 MSB 并输出 $PD[5] = \text{逻辑“1”}$ 。

[0064] 然后, 在 $T3$ 时刻, 激活 S_LATCH , 其导致 n 位锁存器 (22) 锁存并输出一具有最高有效位 $CD[5] = \text{逻辑“0”}$ 的当前的显示数据块 $CD[5:0] = 07H$ 。另外, 在 $T3$ 时刻及周期 P_3 , 激活栅极信号 $VCIR$ 而不激活 $GRAY_ON$ 。因为没有激活 $GRAY_ON$, 所以开关 $S1$ 断开, 并且因为激活了 $VCIR$, 异或门 (84) 的输出用于选通开关 $S2$ 。因为当前的和以前的 MSB 不同 (也就是说, $CD[5] = 0$ 而 $PD[5] = 1$), 所以与门的输出为逻辑“1”其激活 $S2$ 。因为激活了 $S2$,

所以数据线 D_i 连接到节点 N2, 并且驱动器 (91) 使源极驱动输出信号 S_n 从 VG[63] 放电到中间电压 VG[31]。

[0065] 然后, 在 T4 时刻, 不激活 VCIR 而激活 GRAY_ON, 其导致开关 S2 断开 (不从数据线 D_i 连接到节点 N2) 并且开关 S1 闭合。因为 $CD[5:0] = 07H$, 所以在时间周期 P4 期间第一驱动器 (26) 将 S_n 从 VG[31] 驱动到 VG[7]。在周期 P4 末、T5 时刻之前, 激活 PD_LATCH, 其导致 1 位锁存器 (83) 锁存显示数据 (07H) 的 MSB ($CD[5] = \text{逻辑“0”}$) 并输出 $PD[5] = \text{逻辑“0”}$ 。

[0066] 然后, 在 T5 时刻, 激活 S_LATCH, 其导致 n 位锁存器 (22) 锁存并输出一具有最高有效位 $CD[5] = \text{逻辑“0”}$ 的当前的显示数据块 $CD[5:0] = 19H$ 。在时间周期 P_5 期间, 激活栅极信号 VCIR 而不激活 GRAY_ON。因为没有激活 GRAY_ON, 所以开关 S1 断开, 并且因为激活了 VCIR, 异或门 (84) 的输出用于选通开关 S2。因为当前的和以前的 MSB 相同 (也就是说, $CD[5] = 0$ 和 $PD[5] = 0$), 所以与门的输出为逻辑“0”其使 S2 保持在不激活状态。因为没有激活 S2, 所以在周期 P5 期间源极驱动器输出信号 S_n 保持在 VG[7] (也就是说, 不充电到 VG[31])。其后, 在 T6 时刻后, 不激活 VCIR 而激活 GRAY_ON。因为 $CD[5:0] = 19H$, 所以第一驱动器 (26) 驱动 S_n 到 VG[25]。

[0067] 可了解到, 参考图 8、9 和 10 描述的典型的源极驱动电路和方法与上面图 2、3 和 4 描述的传统的电路和方法相比大大的节省了能耗。更详细地说, 参考图 9 的例子, 在周期 P1, 应用 VCI 电源部分地驱动数据线 D_i 与图 3 中传统的仅使用升高电源 AVDD 驱动数据线相比大大减少了能耗。而且, 在周期 P3 中, 应用 VCI 电源极驱动数据线由于有“负”电流流向 VCI 电源所以导致循环充电操作。

[0068] 另外, 在图 10 中, 典型的梯度操作模式与图 4 中传统的方法相比由于使 VCI 电源用于第三驱动器 (91) 所以大大减少了能耗。详细地说, 在图 10 中, 第三驱动器 (91) 使用 VCI (非升高的) 电源来驱动数据线到 VG[31] 在周期 P1 中减少了能耗并且在周期 P3 流向 VCI 源的负电流可以循环充电操作。

[0069] 另外, 根据例子, 假定 I_D 是从 AVSS 到 AVDD 的总的驱动电流, 其中在周期 P_1 和 P_2 的驱动电流分别为 I_{D1} 和 I_{D2} , 并且 $I_D = I_{D1} + I_{D2}$ 。根据图 9 中典型的方法, 用 VCI 电源部分地驱动数据线, 假定 $AVSS = 0V$ 并且假定 $AVDD = \alpha$

[0070] VCI, 在周期 P1 和 P2 的总的驱动能耗是:

[0071] $P = (I_{D1} \cdot (VCI - AVSS)) + (I_{D2} (AVDD - VCI))$

[0072] $P = (I_{D1} \cdot VCI) + [(I_{D2} \cdot (VCI \cdot \alpha)) - I_{D2} \cdot (VCI)]$

[0073] $P = VCI \cdot (I_{D1} - I_{D2} + (\alpha I_{D2}))$

[0074] 相反, 对于图 3 中传统的方法, 在周期 P1 和 P2 中总的驱动能耗是:

[0075] $P' = I_D \cdot (AVDD - AVSS) = I_D \cdot AVDD = I_D \cdot (\alpha \cdot VCI) = VCI \cdot (\alpha I_{D1} + \alpha I_{D2})$

[0076] 假定传统的方法中与典型方法中的总的驱动电流相同, 我们看到优选的方法与传统的方法相比减少了能耗, 因为:

[0077] $VCI \cdot (\alpha I_{D1} + \alpha I_{D2}) > VCI \cdot (I_{D1} - I_{D2} + (\alpha I_{D2}))$ 当 $\alpha > 1$ 时

[0078] 因此, 对于图 9 和 10 的典型的方法, 在周期 P1 期间应用 VCI 源与传统的方法 (对于 $\alpha > 1$) 相比节省了 $1/\alpha$ 能耗。另外, 如上面所解释的, 在周期 P3 期间由于有负电流流向 VCI 源所以产生了循环充电。

[0079] 图 11 图解了根据本发明的一优选实施例的公共电压驱动电路 (40)。公共电压驱动电路 (40) 与图 5 中的驱动电路 (30) 相似, 该电路 (40) 包括与上面描述的操作相同的第一和第二驱动器 (31) 和 (32)、开关 (33) 和 (34) 以及电容 (35) 和 (36)。公共电压驱动电路 (40) 包括一响应一个或多个中间控制信号, 向公共电极 (VCOM) 节点 N 输出一个或多个中间公共电压的中间电压输出电路 (41)。

[0080] 更详细地说, 在图 11 描述的一个实施例中, 中间电压输出电路 (41) 包括一缓冲并输出参考电压 VCI 的第三驱动器 (42), 和分别由中间电压控制信号 VCIR 和 VSSR 控制的开关 (43) 和 (44)。控制开关 (43) 将驱动器 (42) 的输出连接到 VCOM 节点 N 并且控制开关 (44) 将 VCOM 节点 N 连接到一地电压 AVSS。在本发明的一个实施例中, VCOMH 大约是 4V, VCI 大约是 2-3V, AVSS 是 0V(地) 并且 VCOML 大约是 -1V。如下面参考图 12 所讨论的, 图 11 中应用驱动电路 (40) 驱动公共电极的方法与图 5 中的驱动电路 (30) 驱动公共电极的方法相比大大减少了能耗。

[0081] 图 12 是根据本发明的一个优选实施例驱动公共电极的方法的时序图。更详细地说, 图 12 描述了图 11 中的公共电压驱动器 (40) 的一种操作模式。根据图 12, 在 T1 时刻前的时间周期中, 因为极性控制信号 M 在逻辑电平“0”上, 所以使能控制信号 VCML_ON(开关 (34) 闭合) 而没有使能控制信号 VCMH_ON、VCIR 和 VSSR(开关 33、43 和 44 断开)。因此, 通过第二驱动器 (32) 将公共电压 VCOM 驱动到 VCOML。

[0082] 在 T1 时刻, 极性控制信号 M 转换到逻辑电平“1”以转换显示数据, 不使能 VCML_ON 使开关 (34) 断开, 而使能控制信号 VSSR 以将开关 (44) 闭合并连接 VCOM 节点 N 到中间电压 (AVSS)(例如, 地, 0V)。在时间周期 P1 期间, 将 VCOM 从 VCOML 驱动到 AVSS。然后, 在 T2 时刻, 不使能 VSSR 以断开开关 (44) 而使能 VCIR 以将开关 (43) 闭合并连接 VCOM 节点 N 到第三驱动器 (42) 的输出。因此, 在周期 P2 期间, 利用 VCI 电源将 VCOM 从 AVSS 驱动到中间电压 VCI。然后, 在 T3 时刻, 不使能 VCIR 以将开关 (43) 断开而使能控制信号 VMH_ON 以将开关 (33) 闭合并连接第一驱动器 (31) 的输出到 VCOM 节点 N。因此, 在周期 P3 期间, 利用第一驱动器 (31) 将 VCOM 从中间电压 VCI 驱动到 VCOMH。

[0083] 然后, 在 T4 时刻, 将极性控制信号 M 转换到表示显示数据具有一“正”极性的逻辑“0”, 不使能控制电压 VCMH_ON 以将开关 (33) 断开, 而使能控制信号 VCIR 以将开关 (43) 闭合并连接 VCOM 节点 N 到第三驱动器 (42) 的输出。因此, 在周期 P4 期间, 驱动器 (42) 将 VCOM 从 VCOMH 驱动到 VCI。然后, 在 T5 时刻, 不使能 VCIR 以将开关 (43) 打开, 而使能 VSSR 以将开关 (44) 闭合并连接 VCOM 节点 N 到地 (AVSS)。因此, 在周期 P5 中, 将 VCOM 从 VCI 驱动到 VSS。然后, 在 T6 时刻, 不使能 VSSR 以将开关 (44) 断开, 而使能 VCML_ON 以将开关 (34) 闭合并连接 VCOM 节点 N 到第二驱动器 (32) 的输出。因此, 在周期 P6 期间, 将 VCOM 从中间电压 AVSS 驱动到 VCOML。

[0084] 可逻辑的是, 图 11 和 12 描述的公共电压驱动电路和方法与图 6 和 7 描述的传统公共电压驱动器电路和方法相比大大减少了能耗。例如, 在周期 P1 期间, 通过使用地将 VCOM 从 VCOML(例如, -1V) 驱动到 AVSS(例如, 0V) 而没有能量消耗。另外, 在周期 P2 期间, 由于上面描述的原因利用 VCI 电源将 VCOM 从 AVSS(地) 驱动到 VCI 与利用升高的 AVDD 电源相比减少了 $1/\alpha$ 的能耗。另外, 在周期 P4 期间, 由于“负”电流流向 VCI 电源所以产生了再循环充电操作。另外, 在周期 P5 期间, 利用地将 VCI 下降到 AVSS 没有能量消耗。

[0085] 虽然上面已经参考附图详细描述了本发明典型的实施例,但是可以理解,本发明并没有限制在此处的实施例描述的精确的系统和方法中,并且对于本领域的普通技术人员来说,这里教导的各种变化和和修改并没有脱离本发明的范围和实质。所有的变化和修改让将落入由所附权利要求所定义的本发明的保护范围中。

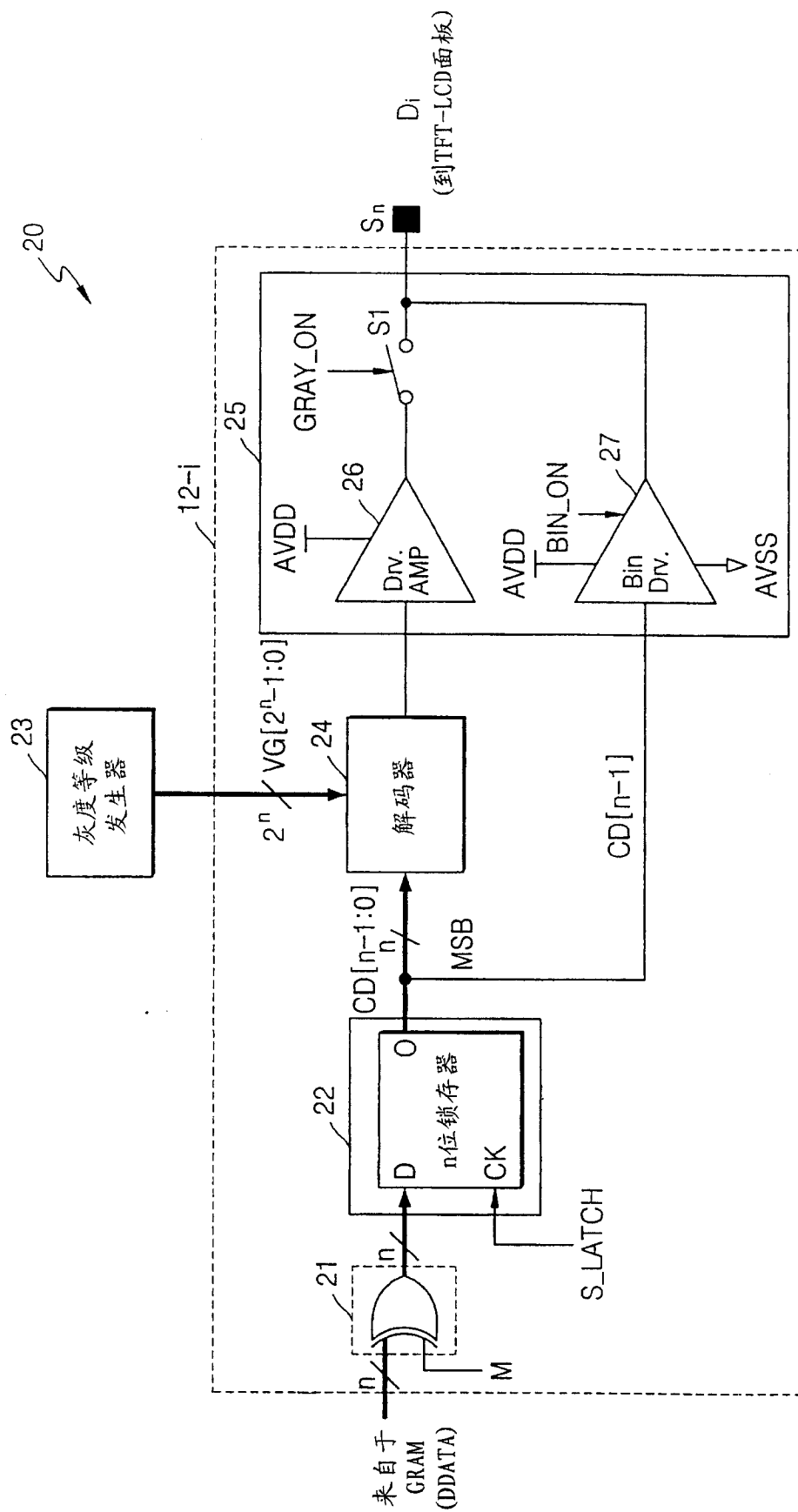


图 2

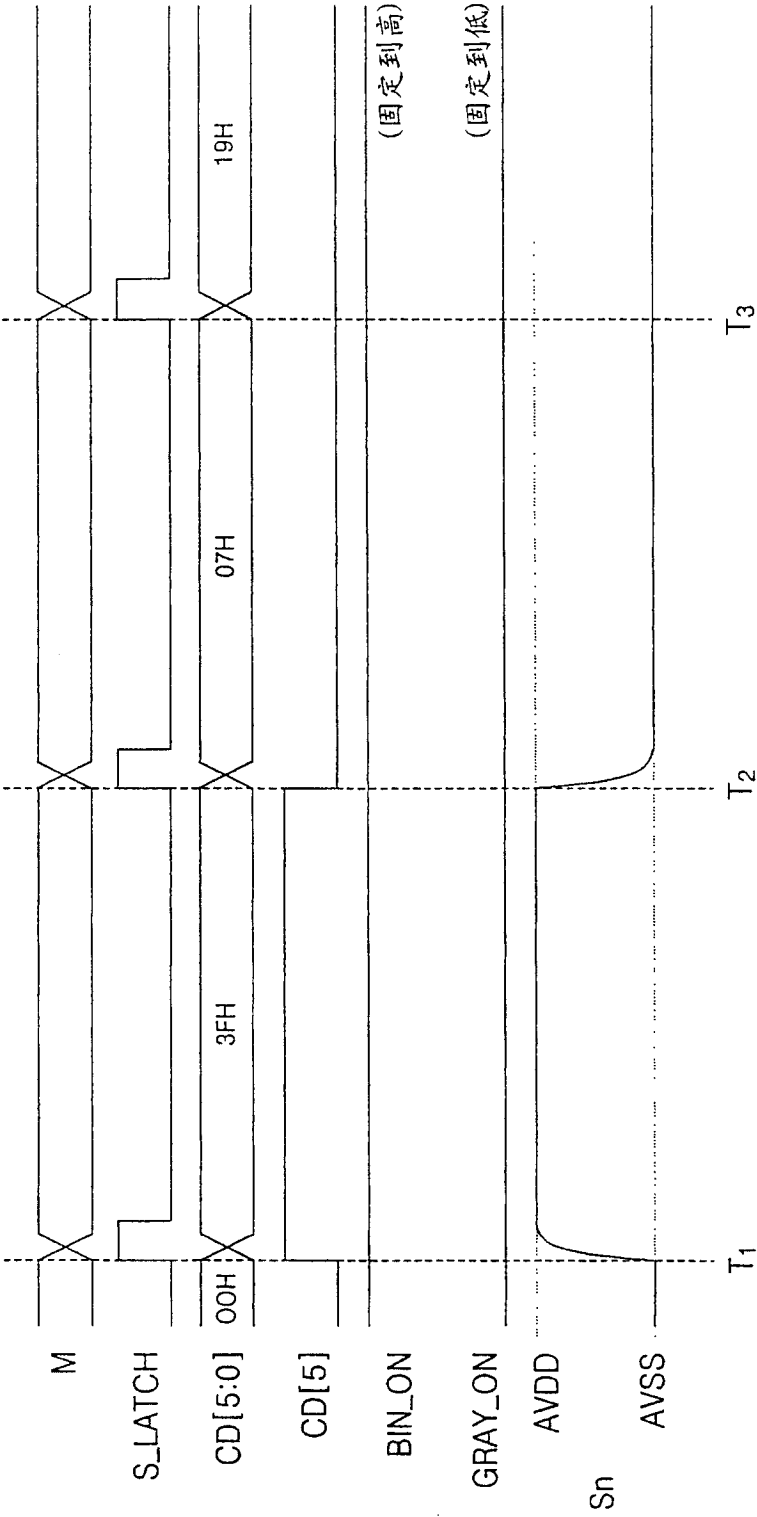


图 3

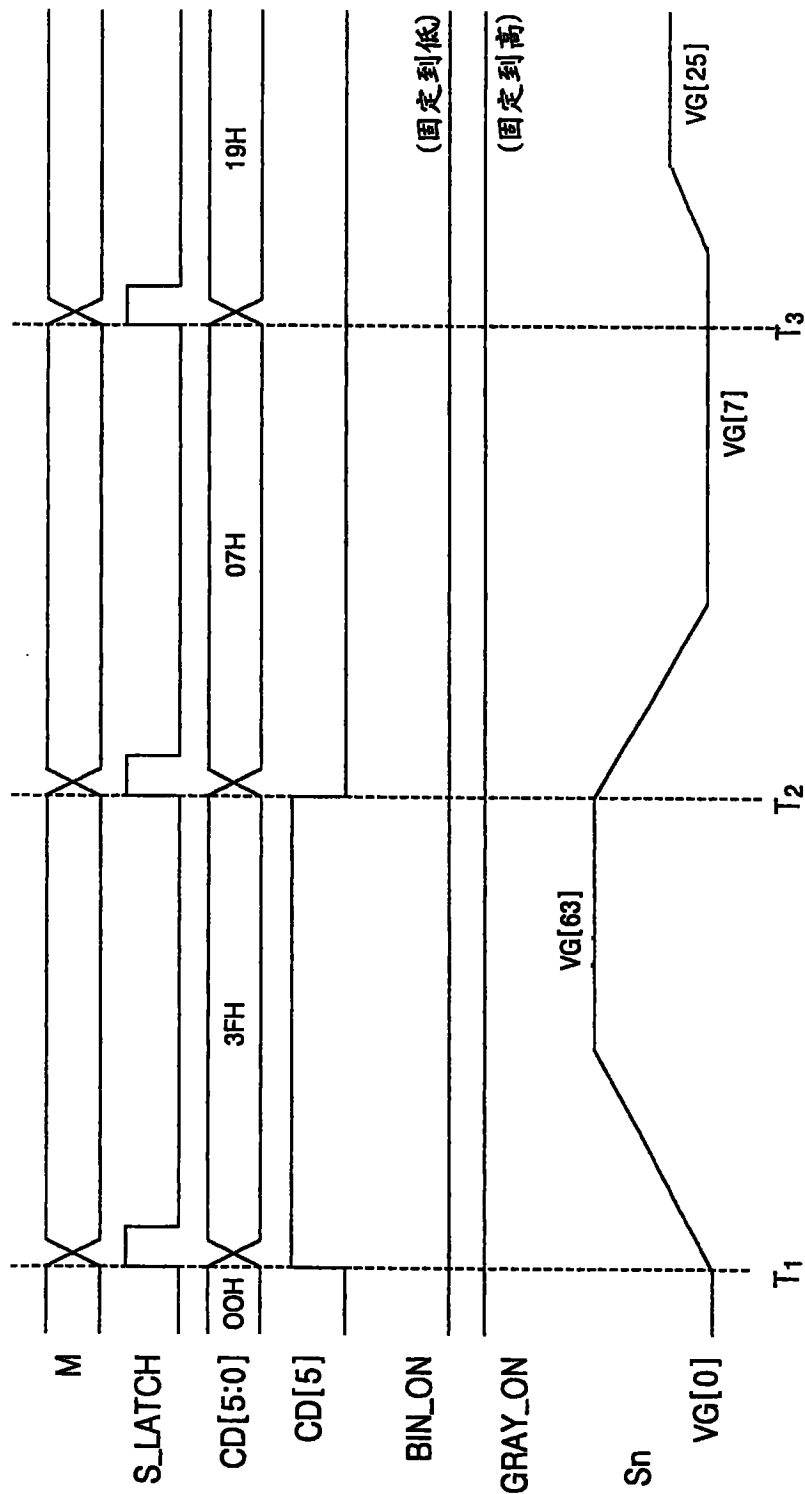


图 4

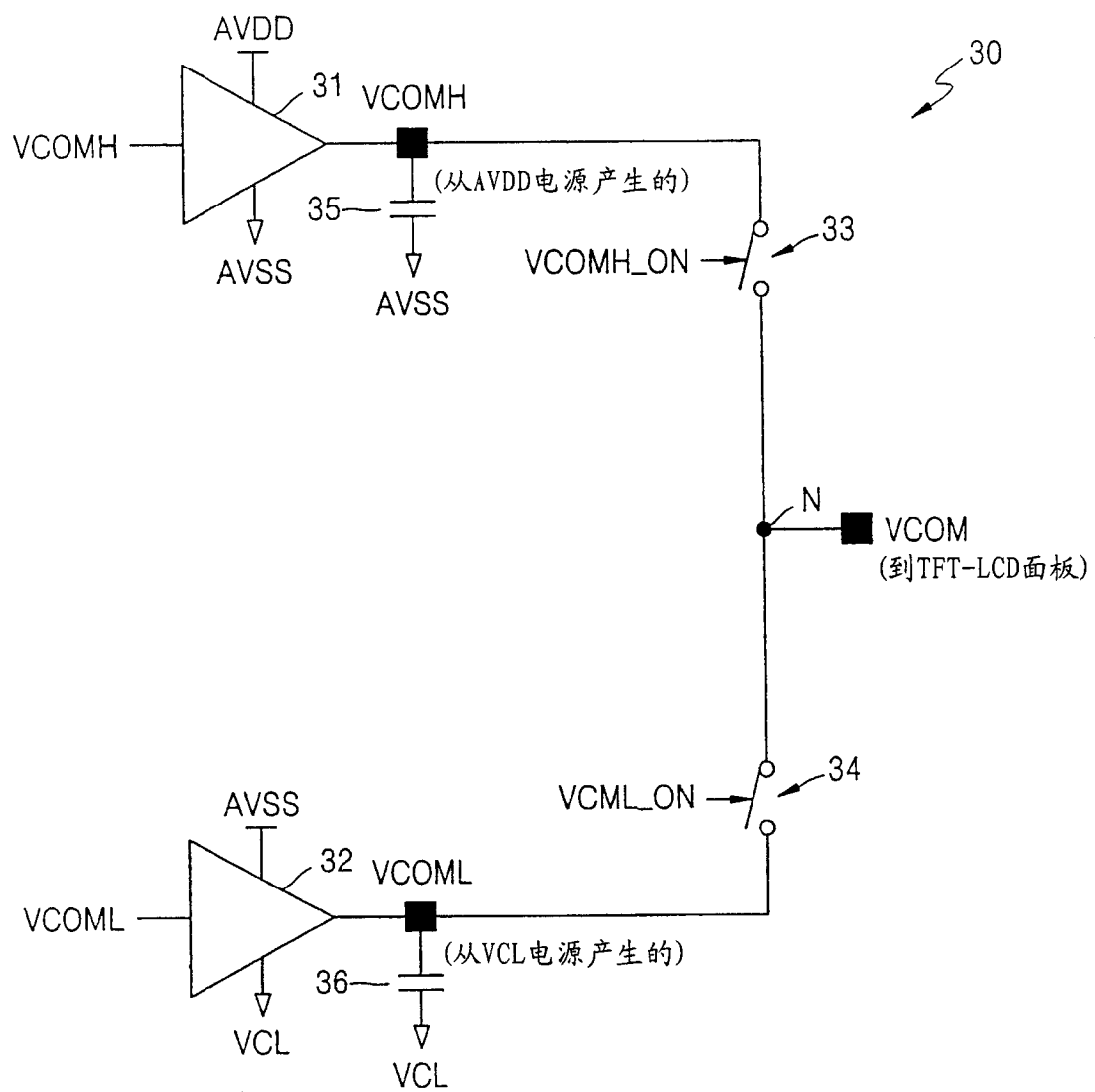


图 5

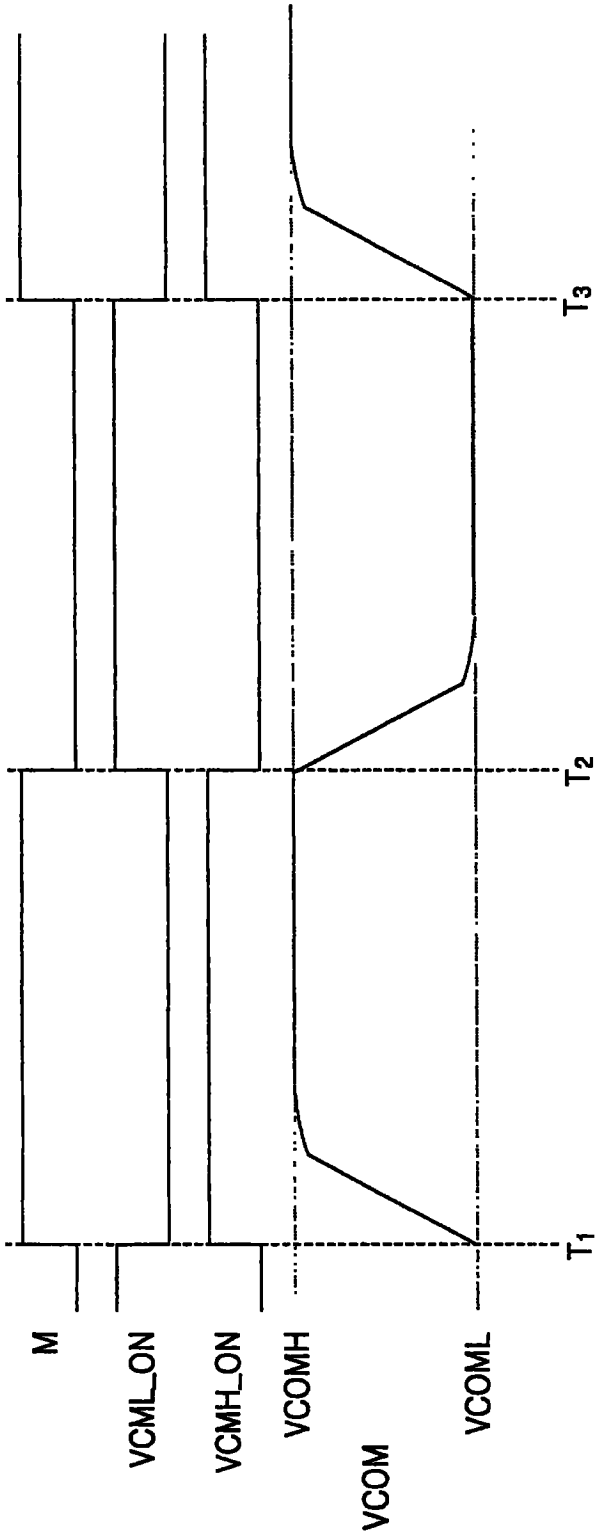
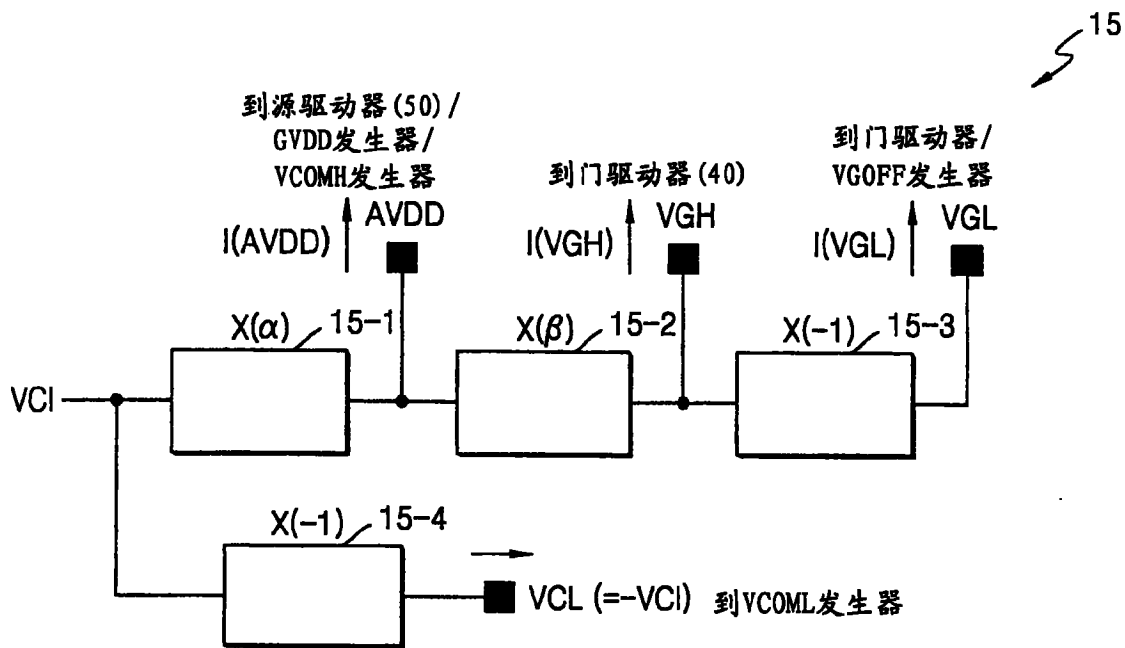


图 6



能量消耗,

对于 AVDD: $P(AVDD) = I(AVDD) \times AVDD = \alpha \times I(AVDD) \times VCI$

对于 VGH: $P(VGH) = I(VGH) \times VGH = \alpha \times \beta \times I(VGH) \times VCI$

对于 VGL: $P(VGL) = I(VGL) \times VGL = \alpha \times \beta \times -I(VGL) \times VCI$

对于 VCL: $P(VCL) = I(VCL) \times VCL = (-I(VCL)) \times VCI$

⇒ 升高的电源比相同的当前耗散消耗更多的能量

图 7

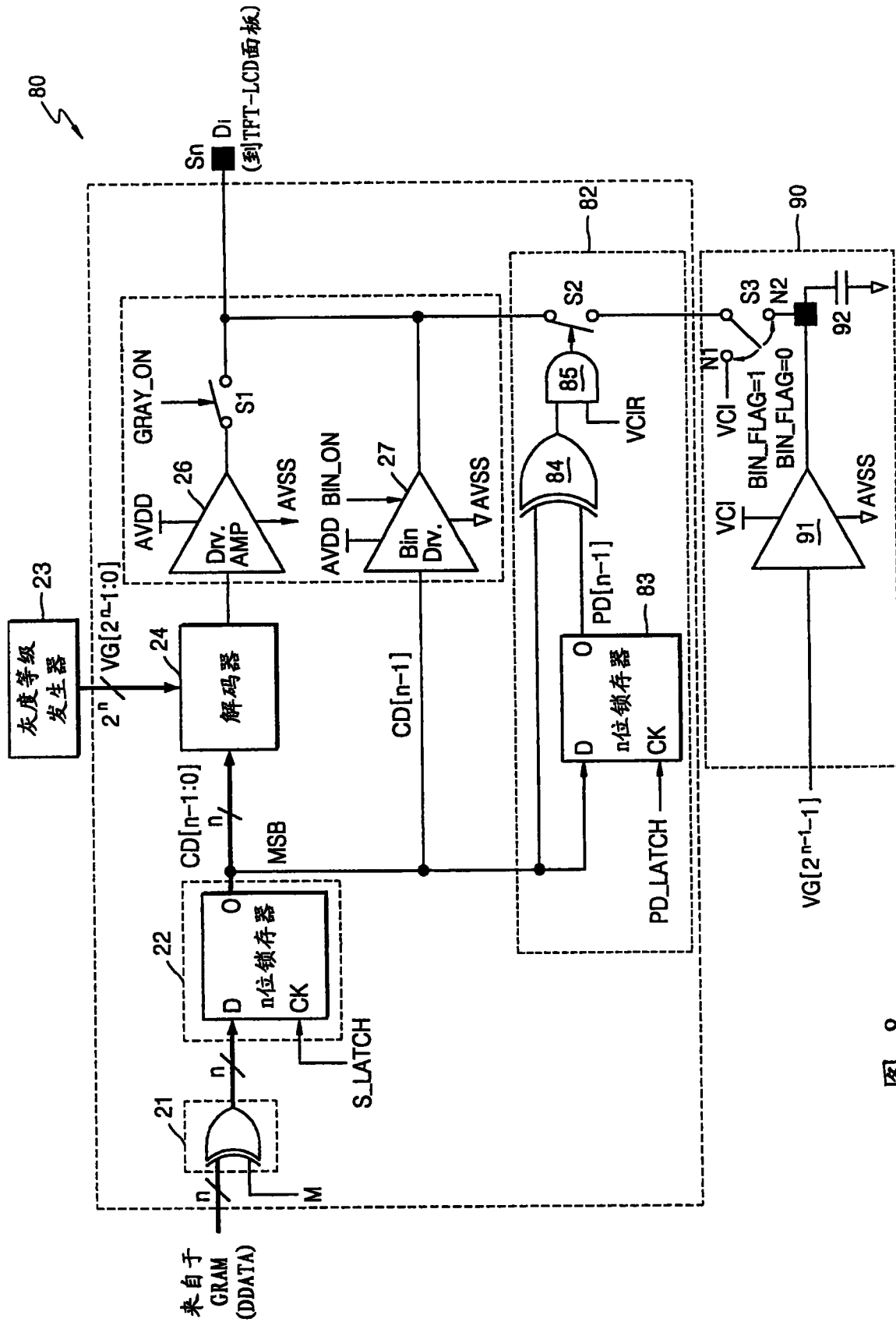


图 8

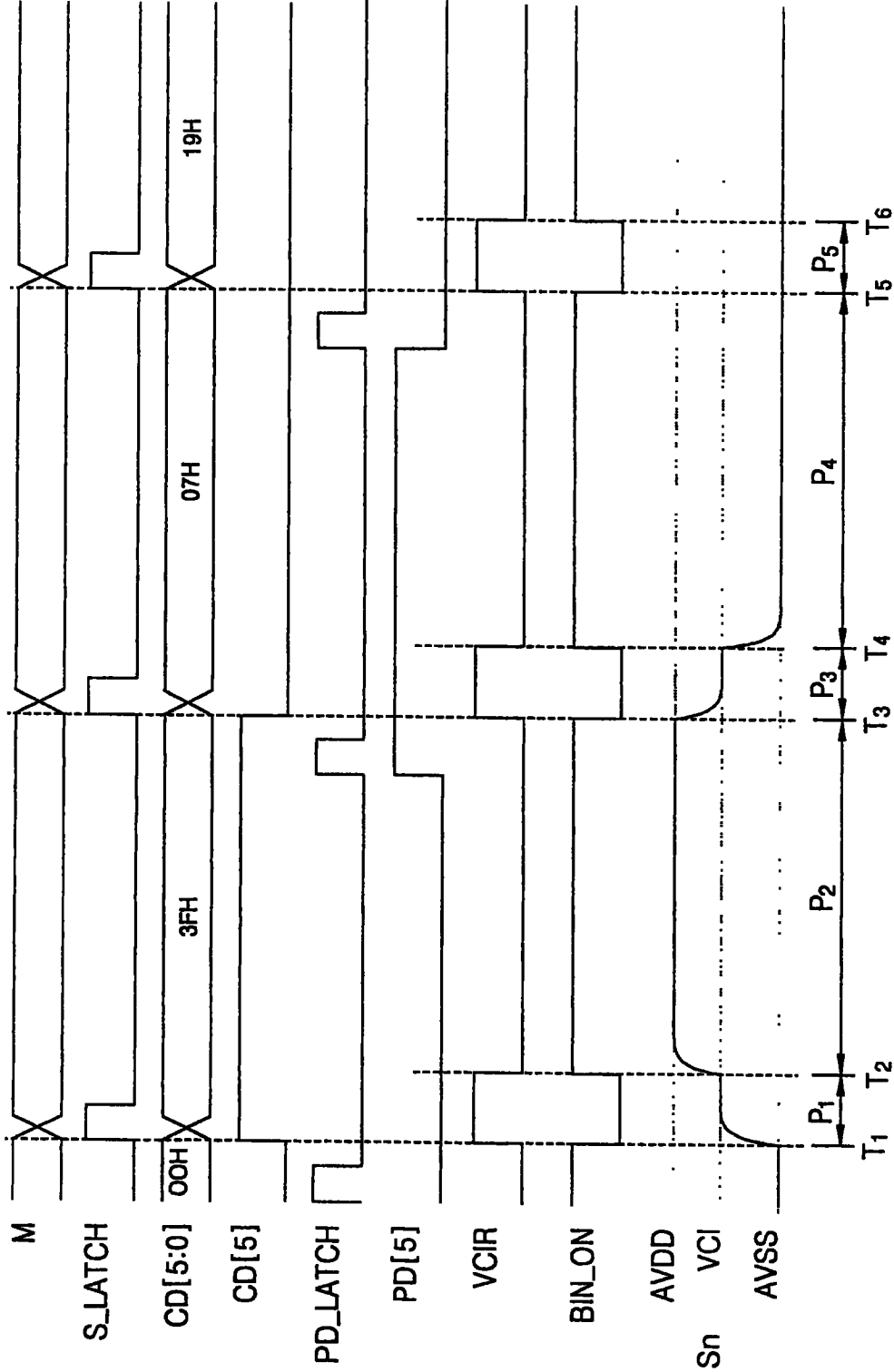


图 9

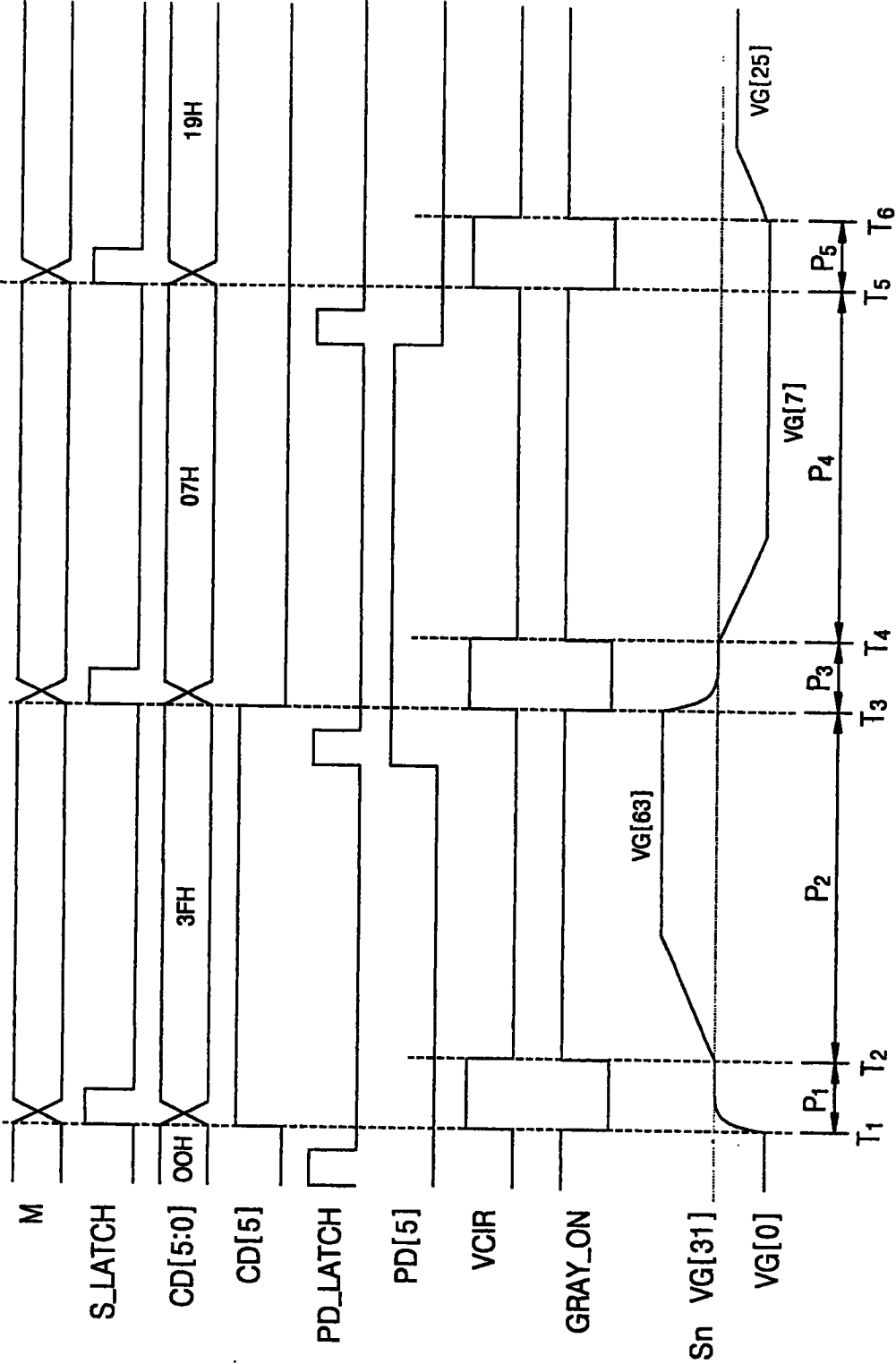


图 10

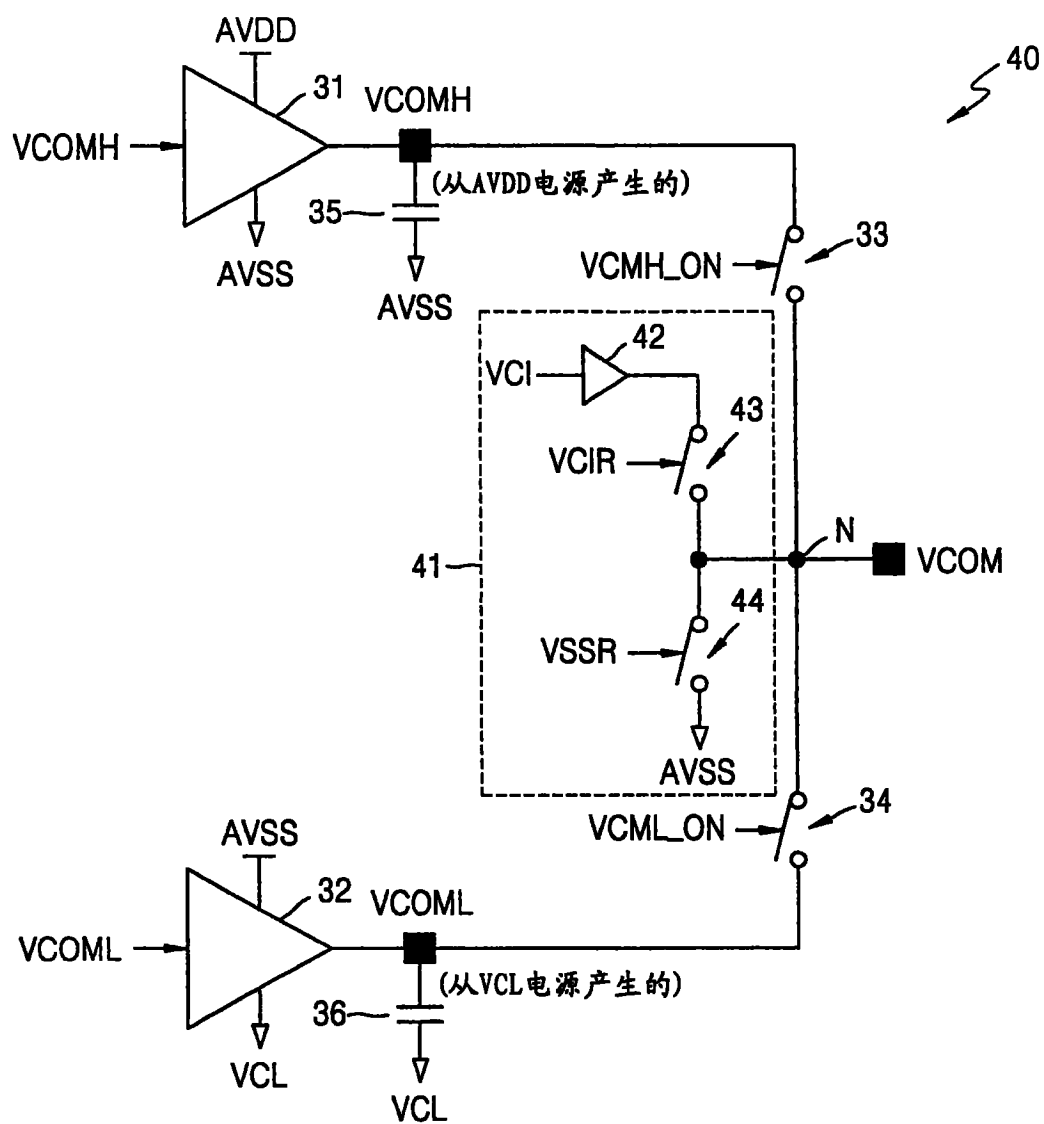


图 11

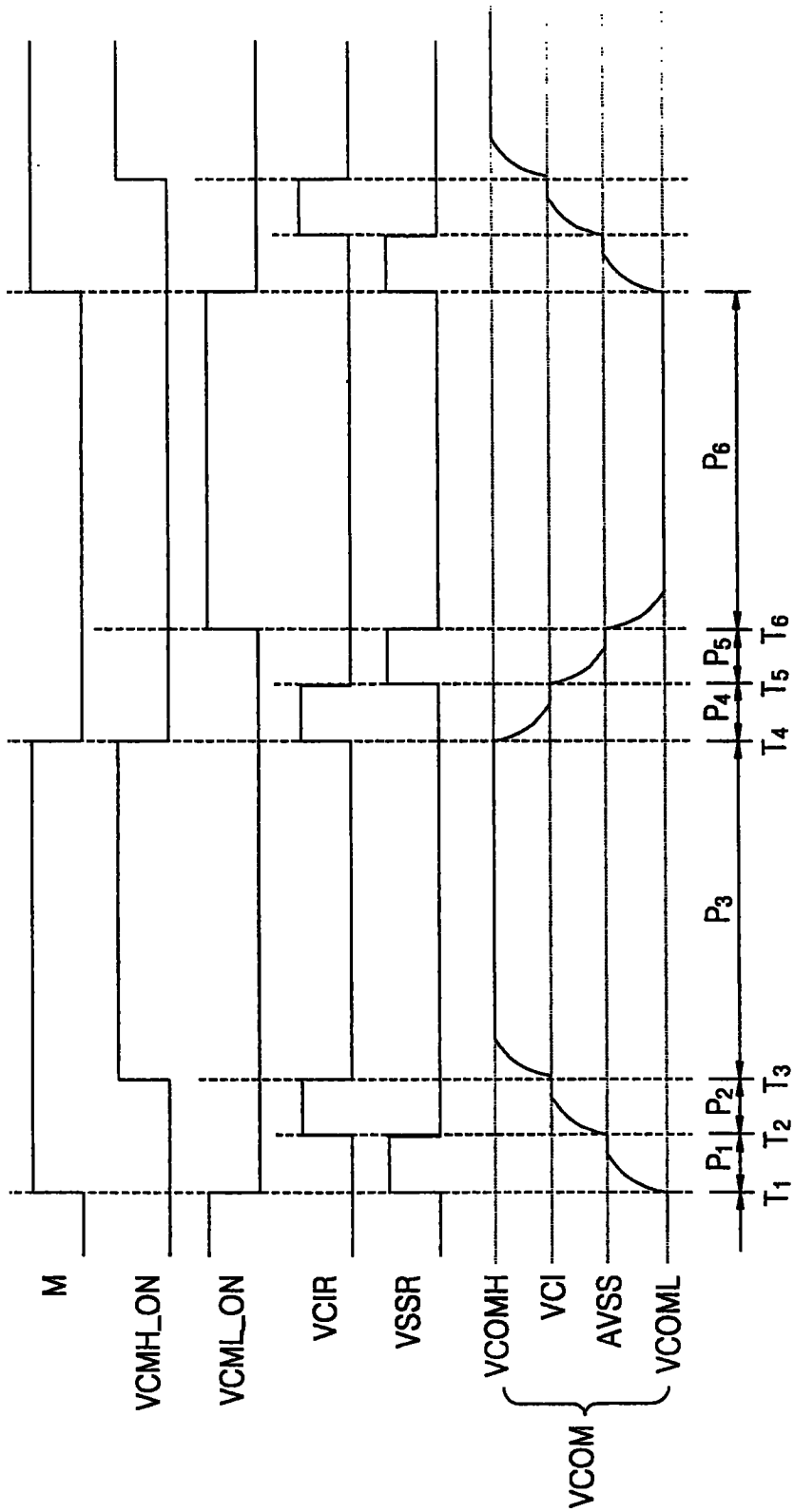


图 12

专利名称(译)	减少能耗的驱动平板显示器的电路和方法		
公开(公告)号	CN1637792B	公开(公告)日	2012-01-11
申请号	CN200410082265.7	申请日	2004-10-28
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	郑圭荣		
发明人	郑圭荣		
IPC分类号	G09G3/20 G09G3/36 G02F1/133		
优先权	1020030075636 2003-10-28 KR 10/880118 2004-06-29 US		
其他公开文献	CN1637792A		
外部链接	Espacenet SIPO		

摘要(译)

一种驱动平板显示器(例如,一液晶显示器(LCD))的电路和方法,其可以减少驱动平板显示器的数据线和公共电极的能量消耗。用于驱动数据线的源极驱动电路和方法以及用于驱动公共电极的电路和方法在每一驱动周期(与利用升高的驱动电压完全相反)期间利用中间参考电压和升高的驱动电压以减少能耗并提供再循环充电。

