

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

H01L 29/786

G02F 1/133

G09G 3/36



[12] 发明专利申请公开说明书

[21] 申请号 200410103429. X

[43] 公开日 2005 年 7 月 13 日

[11] 公开号 CN 1637559A

[22] 申请日 2004. 12. 27

[21] 申请号 200410103429. X

[30] 优先权

[32] 2003. 12. 26 [33] JP [31] 432389/2003

[71] 申请人 株式会社日立显示器

地址 日本千叶县

[72] 发明人 藤冈恭弘 平贺浩二 洼田岳彦

[74] 专利代理机构 北京市金杜律师事务所

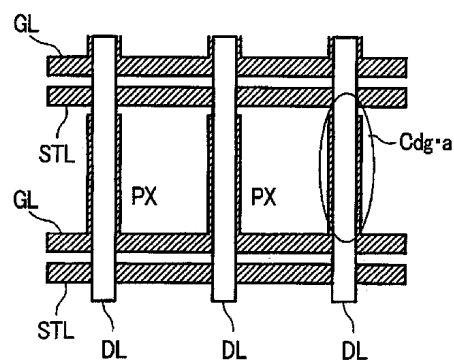
代理人 季向冈

权利要求书 2 页 说明书 13 页 附图 10 页

[54] 发明名称 液晶显示装置

[57] 摘要

本发明公开了一种液晶显示装置，沿多条分时驱动的漏极线(DL)，使栅极线(GL)的一部分延长到其下层，由处于固定电位的栅极线(GL)的延长部与漏极线(DL)形成附加电容($C_{dg} \cdot a$)。由此抑制像素电压的变动，得到高像质的显示。



I S S N 1 0 0 8 - 4 2 7 4

1. 一种液晶显示装置，包括夹持液晶的一对基板，多条沿一个方向延伸、在与上述一个方向交叉的另一个方向并列设置的栅极线，
5 多条沿上述另一个方向延伸、在上述一个方向并列设置的漏极线，多条沿上述一个方向延伸、在上述另一个方向并列设置的存储线，多个与上述栅极线和上述漏极线的交叉部相对应地排列成矩阵状的像素，其特征在于：

上述像素包括由上述栅极线驱动的薄膜晶体管，至少在两个公共
10 电压间被驱动的公共电极，经由上述薄膜晶体管被施加上述漏极线的电压、由与上述公共电极之间的电位差驱动液晶的像素电极，以及一方的电极为上述像素电极的电位、另一方的电极为上述存储线的电位的存储电容；

上述漏极线以多于或等于两条为一组进行分时驱动；

15 上述漏极线，在上述漏极线与上述栅极线的交叉部以及上述漏极线与上述存储线的交叉部以外的部位，在与固定电位之间具有附加的附加电容，该固定电位至少在上述薄膜晶体管导通的期间是固定的。

2. 根据权利要求 1 所述的液晶显示装置，其特征在于：

上述附加电容形成在上述漏极线和上述栅极线之间。

20 3. 根据权利要求 1 所述的液晶显示装置，其特征在于：

上述附加电容形成在上述漏极线和上述存储线之间。

4. 根据权利要求 1~3 中的任意一项所述的液晶显示装置，其特征在于：

上述一对基板之中，一方的基板具有上述漏极线，另一方的基板
25 具有上述公共电极。

5. 根据权利要求 1~3 中的任意一项所述的液晶显示装置，其特征在于：

上述一对基板之中，一方的基板具有上述漏极线和上述公共电极。

6. 根据权利要求 1~3 中的任意一项所述的液晶显示装置，其特征在于：

具有多条沿上述一个方向延伸、在上述另一个方向并列设置的公共线；

5 上述公共电极由上述公共线按每一行独立地进行驱动。

7. 根据权利要求 1 至 3 中任意一项所述的液晶显示装置，其特征在于：

上述公共电极，对各像素公共地被驱动。

8. 根据权利要求 1~3 中的任意一项所述的液晶显示装置，其特
10 征在于：

上述公共电极按每个像素独立地进行驱动。

9. 根据权利要求 1~3 中的任意一项所述的液晶显示装置，其特征在于：

上述存储线的电位是固定的。

10. 根据权利要求 1~3 中的任意一项所述的液晶显示装置，其特
15 征在于：

上述存储线的电位至少在 2 个存储电压之间地进行驱动。

液晶显示装置

5 技术领域

本发明涉及一种有源矩阵型的显示装置，特别是适于对漏极线进行分时驱动的液晶显示装置。

背景技术

10 作为用于便携式电话、笔记本电脑或者显示监视器等的高精细且可彩色显示的显示装置，使用液晶面板的液晶显示装置、使用电致发光（特别是有机电致发光）元件的有机电致发光显示装置（有机 EL 显示装置）、或者使用电场发射元件的电场发射型显示装置（FED）等各种方式的平板显示装置已经进入实用化或者处于实用化研究阶段。

15 这种显示装置具有基板，该基板具有形成图像显示区域的像素。例如，作为显示装置而被广泛使用的液晶显示装置的一例，构成为：在优选玻璃的被称为薄膜晶体管基板（TFT 基板）的第 1 基板的主面上，将具有薄膜晶体管的多个像素排列成在水平方向和垂直方向二维配置的矩阵状，并和具有与各像素对应的滤色片的第 2 基板（也称为相对基板）贴合，在贴合间隙中封装液晶。此外，滤色片有时也形成在第 1 基板侧。在第 2 基板侧具有共同电极（也称为公共电极或对置电极）并由在两基板间形成的电场驱动像素的显示装置称为纵电场型（TN 型）显示装置。

25 在第 1 基板的显示区域的外侧配置驱动电路。该驱动电路具有栅极线扫描电路（也称栅极驱动电路）和图像信号线输出电路（也称为漏极驱动电路）。该栅极线扫描电路对在显示区域矩阵状排列的构成像素的像素电路的薄膜晶体管的栅极施加扫描信号（选择信号），该图像信号线输出电路对由该栅极线扫描电路所选择的薄膜晶体管的

漏极电极提供图像信号。

液晶显示装置的像素驱动方式的其它方式还有横向电场（IPS: In-Plane-Switching 平面开关）方式。它是将像素电极和公共电极这两者都设置在第1基板侧,通过两者之间产生的电场来驱动液晶的方式。

5 特别是,在IPS方式的液晶显示装置中,为提高透射率,使该公共线为与栅极线和存储线不同的布线层,使用电阻相对较高的透明布线层（ITO等层）,并使其与栅极线和存储线重叠。另外,没有有意识地附加漏极线和其它固定电位间的电容,该电容相对较小。

10 作为液晶显示装置的驱动电路,通常是一起驱动各漏极线,但是也存在为减少漏极驱动器IC的输出端子数,而在第1基板上设置分时开关,对漏极线进行分时驱动的驱动电路。此时,该漏极线存在变成浮置（floating）的期间。

作为公开了这种液晶显示装置的文献,可列举出例如专利文献1和专利文献2。专利文献1公开了使电容线的延长部的宽度比信号线宽,并且对像素电极的间隙区域具有遮光功能的液晶显示装置。另外,在专利文献1中未进行漏极线的分时驱动。专利文献2公开了以点反转进行分时驱动的液晶显示装置。

【专利文献1】 日本特开2002-151699号公报

【专利文献2】 日本特开平11-327518号公报

20

发明内容

25 在分时驱动电路中,以多于或等于两条的漏极线为一组,在一个水平期间对来自漏极驱动器IC芯片的1个输出进行分时,并将电压写入各漏极线,因此在一个水平期间当中,存在漏极线变成电浮置的期间。由ITO构成的公共线的层（公共层）为高电阻,在公共线的远端,有时直到漏极线变成浮置为止还没达到目标公共线电压。此时,在栅极线为导通电平、且漏极线变成浮置的期间,如果公共线（或公共电极）电压发生变动,则漏极线的电压及像素电极的电压因电容耦合而发生变动。因此,在栅极线变成截止电平为止的期间,如果公共

目标电压发生变动，则像素电压及漏极线电压因电容耦合而发生变动，成为像素电压偏离目标电压、导致显示像质降低的原因。同样的现象，也出现在存储线发生变动的情况种。因此，要求抑制像素电压的变动，得到高像质的显示。

5 以下；列举本发明具有代表性的结构的一例。

(1) 一种液晶显示装置，包括夹持液晶的一对基板，多条沿一个方向延伸、在与上述一个方向交叉的另一个方向并列设置的栅极线，多条沿上述另一个方向延伸、在上述一个方向并列设置的漏极线，多条沿上述一个方向延伸、在上述另一个方向并列设置的存储线，以及
10 多个与上述栅极线和上述漏极线的交叉部相对应地排列成矩阵状的像素，其中：

上述像素包括：由上述栅极线驱动的薄膜晶体管，至少在2个公共电压之间被驱动的公共电极，通过与经由上述薄膜晶体管被施加上
15 述漏极线电压的由上述公共电极之间的电位差驱动液晶的像素电极，以及一方的电极为上述像素电极的电位、另一方的电极为上述存储线的电位的存储电容；

上述漏极线以多于或等于两条为一组进行分时驱动；

上述漏极线，在上述漏极线和上述栅极线的交叉部以及上述漏极
20 线和上述存储线的交叉部以外的部位，在与固定电位之间具有附加的附加电容，该固定电位至少在上述薄膜晶体管导通的期间是固定的。

(2) 在(1)中，上述附加电容形成在上述漏极线和上述栅极线之间。

(3) 在(1)或(2)中，上述附加电容形成在上述漏极线和上述
存储线之间。

25 (4) 在(1)~(3)中的任意一项中，上述一对基板之中，一方的基板具有上述漏极线，另一方的基板具有上述公共电极。

(5) 在(1)~(3)中的任意一项中，上述一对基板之中，一方的
基板具有上述漏极线和上述公共电极。

(6) 在(1)~(3)中的任意一项中，具有多条沿上述一个方向延

伸、在上述另一个方向并列设置的公共线，上述公共电极由上述公共线按每一行独立地进行驱动。

(7) 在(1)~(3)中的任意一项中，上述公共电极，各像素共同地进行驱动。

5 (8) 在(1)~(3)中的任意一项中，上述公共电极按每个像素独立地进行驱动。

(9) 在(1)~(3)中的任意一项中，上述存储线的电位是固定的。

(10) 在(1)~(3)中的任意一项中，上述存储线的电位至少在2个存储电压之间被驱动。

10 此外，作为附加电容的形成方法，可以考虑如下方法：(a)使漏极线分支(或延长)并与栅极线重叠，(b)使栅极线分支(或延长)并与漏极线重叠，(c)使漏极线分支(或延长)并与存储线重叠，(d)使存储线分支(或延长)并与漏极线重叠等。

通过在漏极线和其它的固定电位之间附加电容，由此降低因与公共电极或公共线的电容耦合而产生的像素电极的电压变动以及漏极线的电压变动。另外，降低在公共线近端部和远端部的像素电压差。其结果是能够得到稳定的高质量的图像显示。

此外，本发明并不限于上述结构及后述实施例的结构，在不脱离本发明的技术思想的范围内，可以有各种变形。另外，不限于IPS型的液晶显示装置，TN型的液晶显示装置也同样适用。

附图说明

图1是表示本发明的分时驱动的液晶显示装置的结构例的说明图。

25 图2是说明图1所示的液晶显示装置的分时驱动动作的时序图。

图3是说明图1所示的像素部的电路结构的等效电路图。

图4是对像素进行电位写入的时序图。

图5是说明IPS方式的液晶显示装置的像素构造的布局的平面图。

图6是沿图5的A-A'线的剖面图。

图 7 是沿图 5 的 B-B' 线的剖面图。

图 8 是说明用于比较的现有的像素构造的布局的平面图。

图 9 是说明本发明的形成了附加电容的像素构造的布局的第 1 例的平面图。

5 图 10 是说明本发明的形成了附加电容的像素构造的布局的第 2 例的平面图。

图 11 是说明本发明的形成了附加电容的像素构造的布局的第 3 例的平面图。

10 图 12 是说明本发明的形成了附加电容的像素构造的布局的第 4 例的平面图。

图 13 是说明本发明的形成了附加电容的像素构造的布局的第 5 例的平面图。

图 14 是说明本发明的形成了附加电容的像素构造的布局的第 6 例的平面图。

15 图 15 是说明本发明的形成了附加电容的像素构造的布局的第 7 例的平面图。

图 16 是说明本发明的形成了附加电容的像素构造的布局的第 8 例的平面图。

20 图 17 是说明本发明的形成了附加电容的像素构造的布局的第 9 例的平面图。

具体实施方式

以下，参照实施例的附图，详细说明本发明的液晶显示装置的实施方式。

25 【实施例 1】

图 1 是本发明的分时驱动的液晶显示装置的结构例的说明图。图 1 中，像素矩阵部，即显示区域 MXR 交叉配置有栅极线 GL (G1、G2、...Gn) 和漏极线 DL (D1、D2、...Dm)。栅极线 GL 沿一个方向延伸 (图 1 中的横向)，在与该一个方向交叉的另一个方向 (图 1

中的纵向)设置有多条。漏极线 DL 沿上述另一个方向延伸,并在上述一个方向设置有多条。多个像素与栅极线 GL 和漏极线 DL 的交叉部相对应地排列成矩阵状,并形成上述显示区域 MXR。各像素具有薄膜晶体管(TFT),该像素的薄膜晶体管的栅极连接在栅极线 GL 上,由扫描信号驱动。

另外,像素的薄膜晶体管的漏极连接在漏极线 DL 上。并且各像素具有连接在薄膜晶体管的源极上的像素电极,在薄膜晶体管由扫描信号导通期间,经薄膜晶体管被施加漏极线 DL 的电压(图像信号)。各像素还具有公共电极,由像素电极和公共电极间的电位差驱动液晶。

公共电极的结构以及向公共电极提供电压的结构有多种形式。本实施例中,作为其中一例,示出了由公共线 CL 按每一行独立地驱动公共电极的例子。公共线 CL(C1、C2、...Cn)沿上述一个方向延伸,并在上述另一个方向设置了多条。

另外,虽然在图 1 中未图示,但本实施例的液晶显示装置具有沿上述一个方向延伸,在上述另一个方向并列设置的多条存储线。并且,各像素具有一方的电极为像素电极的电位、另一方的电极为存储线的电位的存储电容,由此能将写入像素的图像信号保持比较长的时间。

在显示区域 MXR 的周围,配置有向栅极线 GL 施加扫描信号的栅极线扫描电路 GDR,以及向漏极线 DL 提供图像信号的图像信号输出电路 DDR。图像信号输出电路 DDR 由 IC 芯片构成,在图像信号输出电路 DDR 的输出线(图像信号线输出)Y1、Y2、...YI 和漏极线 DL 之间,具有分时驱动电路 TDC,对漏极线 DL 进行分时驱动。

此处的分时数为 3。由此,能减少图像信号线输出电路 DDR 的 IC 芯片的输出端子数。分时驱动电路 TDC 可以一体地形成在基板上,并可以使之成为基板上的内置电路,该基板与利用例如多晶硅薄膜晶体管等形成了像素的薄膜晶体管的基板是同一基板。栅极线扫描电路 GDR 可由 IC 芯片构成,也可与图像信号线输出电路 DDR 形成在 1 个芯片上,还可与分时驱动电路 TDC 同样地作为内置电路构成在基

板上。这些内置电路也称为外围电路。

在显示区域 MXR 的周围，配置有向公共线 CL 施加公共电压的公共线驱动电路 CDR。此外，还具有向存储线施加存储电压的存储线驱动电路，但图中未示出。

- 5 接下来，详细说明分时驱动。对于图像信号线输出电路 DDR 的每一个输出，该分时驱动电路 TDC 具有并列的 3 个开关元件（薄膜晶体管 TFT），向各薄膜晶体管 TFT 的控制电极（栅极）提供相位彼此不同的时钟信号 CLK1、CLK2、CLK3，并将图像信号线输出电路 DDR 的一个输出，沿时间轴进行分割，依次分时提供给 3 条漏极线
10 DL。此外，分时数只要是大于或等于 2 就可进行适当的变更。

图 2 是说明图 1 所示的液晶显示装置的分时驱动的动作的时序图。图 2 中，与图 1 相同的参考符号对应同一功能部分的波形。以下，参照图 2 说明图 1 的动作。以下，对与栅极线 G1、G2 和与图像信号线输出 Y1 对应的漏极线 D1、D2、D3 说明该分时驱动的动作，其它
15 的栅极线及漏极线也同样如此。

图像信号线输出 Y1 具有漏极线 D1、D2、D3 用的数据（图像信号），使这些数据与时钟信号 CLK1、CLK2、CLK3 同步，并输出到对应的漏极线 D1、D2、D3。图 2 中，该漏极线 D1、D2、D3 用的数据表示为与各自的漏极线的参考符号相同的 D1、D2、D3。即，在时
20 钟信号 CLK1、CLK2、CLK3 的下降沿，将图像信号线输出 Y1 的数据取入到漏极线 D1、D2、D3。例如，数据 D1 只将时钟信号 CLK1 的高电平期间定为写入期间 Tw，以时钟信号 CLK1 的低电平期间为保持期间 Tf。该保持期间 Tf 为浮置期间。数据 D2 和数据 D3 也同样如此。

- 25 用这样的结构，能使图像信号线输出条数为漏极线数的三分之一，由此可以谋求由连接点数的减少而得到的高可靠性，以及由驱动电路尺寸的减小而带来的低成本化。此外，如图 2 所示，公共线 CL 对于每一水平行（对应于水平扫描栅极线）是独立的，各公共线 C1、C2、...，极性按每一帧进行反转。该反转按一个水平期间一行一行地

依次进行。这样，公共电极（或公共线 CL）在 2 个公共电压之间被驱动。此外，本实施例中，公共电压为 2 种电压，但是在因各种原因不同而最佳值不同时，可以调整，也可以为多于或等于 3 种的电压。

图 3 是说明图 1 中的像素部，即显示区域 MXR 的一部分的电路结构的等效电路图。另外，图 4 是对像素电位写入的时序图。图 3 中，与图 1 相同的符号对应相同的功能部分。栅极线 G1、G2、...Gn 与栅极电压源 E (G1)、E (G2)、...E (Gn) 连接，公共线 C1、C2、...Cn 与公共电压电源 E (C1)、E (C2)、...E (Cn) 连接，各自独立地进行驱动。存储线 STL (ST1、ST2、...STn) 与存储电压源 E (ST1)、E (ST2)、...E (STn) 连接。漏极线 D1、D2、...Dm 与漏极电压源 E (D1)、E (D2)、...E (Dm) 连接。

以像素 PX (1, m) 为代表说明像素电路的结构。像素 PX (1, m) 在栅极线 G1、公共线 C1、存储线 ST1 以及漏极线 Dm 的交叉部具有薄膜晶体管 TFT (1, m)。像素 PX (1, m) 的电容由像素电极 - 公共线之间的电容 Cp、像素电极 - 存储线之间的电容 Cst、漏极线 - 公共线之间的电容 Cdc、以及漏极线 - 存储线之间的电容 Cdst 构成。

接着，参照图 4 说明图 3 的动作。为了方便说明，与图 2 中的动作说明相反地进行说明。假定分时驱动电路 TDC 按时钟信号 CLK3、CLK2、CLK1 的顺序输入时钟，按漏极线 Dm、Dm-1、Dm-2 的顺序分时写入图像信号。

在图 4 的时刻 t0，由未图示的时钟信号 CLK3 开始向漏极线 Dm 提供图像信号（写入期间 Tw）。此时，栅极线 G1 变成导通（ON）电平，像素 PX (1, m) 的电位跟随漏极线 Dm 的电压。另外，为了交流化，公共线 C1 的电位也反转极性，逐渐接近目标值。

接着，在时刻 t1，时钟信号 CLK3 断开，对漏极线 Dm 的电位写入结束，漏极线 Dm 成为浮置状态（浮置期间 Tf）。接着，时钟信号 CLK2、CLK1 依次接通，并依次开始进行对漏极线 Dm-1、Dm-2 的电位写入。但在时刻 t1，公共线 C1 距目标电压差 ΔV_c 。之后在时刻

t2,公共线 C1 达到目标电压。在对漏极线 Dm-2 的写入结束的时间点, 即时刻 t3, 栅极线 G1 成为截止 (OFF) 电平, 取入漏极线 Dm 的电压, 并作为像素电极 PX (1, m) 的像素电压。

从时刻 t0 到 t3 为止, 栅极线 G1 为导通电平, 因此薄膜晶体管 TFT (1, m) 导通, 目标的图像信号电压被写入像素电极 (1, m)。但是, 在时刻 t1, 漏极线 Dm 变成浮置的之后到在时刻 t2, 公共线达到目标电压之前, 将产生因与公共线的电容耦合而产生的漏极线 Dm 的电压变动 ΔV_d 。 ΔV_d 由下式求得。即, 在设 n 为水平行数时:

$$\Delta V_d = \Delta V_c \times (C_p + C_{dc}) / (n \times (C_{dg} + C_{dst}) + C_{st} + C_p + C_{dc})$$

在实施例 1 中, 通过在上列的漏极线 DL 和为固定电压的存储线 STL 之间附加电容, 能增大上式右边的分母, 能使 $\Delta V_d / \Delta V_c$ 变得很小。例如, 如果使 ΔV_d 为数 mV, 则能得到无画面内的亮度倾斜的、均匀且良好的图像显示。另外, 使栅极线的电位为固定电位, 还能在漏极线和栅极线之间形成附加电容。这时也能增大右边的分母。

此处所称的固定电位, 不必完全固定, 只要至少在像素的薄膜晶体管导通的期间是固定的, 就能达到减小从时刻 t1 到 t2 的电压变动的目的。所以在本说明书中, 将这样视为固定电位的电位也称为固定电位。因此, 如栅极线 GL 那样变动的也可以。另外, 不仅适用于存储线 STL 的电位总是固定的情况, 也适用于与交流化一致地发生变动的情况。

上述实施例 1 以使用了 ITO 的材料作为公共线进行了说明, 通过用电阻比 ITO 低的导电材料来形成公共线, 能进一步抑制像素电压的变动。另外, 上述实施例为将本发明应用于 IPS 方式的液晶显示装置的例子, 将本发明应用于 TN 方式的液晶显示装置, 也能抑制漏极线的电压变动和像素电压的变动。

至此为止, 说明了因公共电极 (或公共线) 的变动而使得像素电极的电位变动, 但是在存储线的电位变动时也会因同样的原理产生像素电极的电位变动。根据本发明的结构, 因存储线的电位变动而造成的影响也同样可以降低。

接下来,说明用于形成上述实施例中的附加电容的具体构造例。
首先说明应用本发明的 IPS 方式的液晶显示装置的像素结构。

图 5 是说明 IPS 方式的液晶显示装置的像素构造的布局的平面图。
图 6 是沿图 5 的 A-A' 线的剖面图,图 7 是沿图 5 的 B-B' 线的剖面
5 图。该液晶显示装置的像素,在由沿一个方向延伸并在另一个方向并
列设置的栅极线 GL、存储线 STL、公共线 CL、以及与它们交叉地形
成的漏极线 DL 围成的区域,形成有 1 个像素。本发明的像素为所谓
的 Δ (delta) 配置,这种情况也属于矩阵配置。另外,漏极线 DL 蛇
行状地布置,这种情况在本说明书中也表现为沿另一个方向延伸、在
10 一个方向并列设置。此外,公共线 CL 还具有一部分产生分支并向另
一个方向延长的部分,这部分相当于公共电极。

在该像素区域中,形成了由铝层 AL 和 ITO 层构成的像素电极。
在图中,括号中注明的 AL、ITO、MoW 等表示构成材料。例如,像
素电极 PIX 由 PIX (AL) 和 PIX (ITO) 构成。

15 图 5~图 7 中,与图 1 和图 3 中相同的参考符号对应同一功能部
分。CTH1、CTH2 为接触孔, SUB1 为玻璃基板, GI 为栅极绝缘膜,
INS1、INS2 为层间绝缘膜, OC 为平坦化膜。存储线 STL、栅极线
GL、漏极线 DL、公共线 CL、以及像素电极 PIX (PIX (AL)、PIX
(ITO)), 形成作为图 6 和图 7 所示的叠层构造。像素区域的一部
20 分形成有以多晶硅 PSI 为有源层的薄膜晶体管 TFT,该栅极电极上连
接有栅极线 GL,漏极电极(或漏极区域)上连接有漏极线 DL,源极
电极(或源极区域)上连接有像素电极 PIX (AL)。

本实施例中,由于像素为 Δ 配置,在图的纵向延伸的漏极线 DL,
与下一行像素冲突的部分向图的横向迂回像素的半个节距的量,存在
25 一部分与栅极线 GL 重叠的部分(称为交叉部分)。该部分为非故意
形成的电容 Cdg。另外,通常,存储线只沿横向延伸没有分支,因此
与漏极线 DL 的交叉部分很小,所以该部分为非故意形成的电容 Cdst。
该电容 Cdg、Cdst 不是本发明中所称的附加电容。

本发明中,与这些非故意形成的交叉部分的电容 Cdg、Cdst 不同,

另外形成有附加电容 $C_{dst} \cdot a$ 。具体地讲,使沿横向延伸的存储线 STL 朝纵向分支(延长),并与漏极线 DL 重叠,由此形成了附加电容 $C_{dst} \cdot a$ 。这是故意形成的附加电容。

以下,说明本发明的附加电容形成的具体例。这相当于图 5 所示的实施例的变形例。此外,为了在以下的具体例中便于理解,只表示了形成附加电容所必需的布线种类,省略了像素电路的详细结构。首先,图 8 是为了比较而示出的现有的像素结构的布局的平面图。如图 8 所示,在漏极线 DL 与栅极线 GL 的交叉部只形成了漏极线-栅极线交叉电容 C_{dg} ,在漏极线 DL 和存储线 STL 的交叉部只形成了漏极线-存储线交叉电容 C_{dst} ,不存在上述附加电容。

图 9 是说明形成了本发明的附加电容的像素结构的布局的第 1 例的平面图。在该第 1 例中,除图 8 所说的电容外,使栅极线 GL 的一部分沿漏极线 DL 向其下层延长,在该栅极线的延长部分和漏极线之间形成附加电容 $C_{dg} \cdot a$ 。

图 10 是说明形成了本发明的附加电容的像素结构的布局的第 2 例的平面图。在该例中,使存储线 STL 的一部分沿漏极线 DL 向其下层延长,在该存储线的延长部分和漏极线之间形成附加电容 $C_{dst} \cdot a$ 。

图 11 是说明形成了本发明的附加电容的像素结构的布局的第 3 例的平面图。在该例中,使漏极线 DL 的一部分沿存储线 STL 向其上层延长,在该漏极线的延长部分和存储线之间形成附加电容 $C_{dst} \cdot a$ 。

图 12 是说明形成了本发明的附加电容的像素结构的布局的第 4 例的平面图。在该例中,使漏极线 DL 的一部分沿栅极线 GL 向其上层延长,在该漏极线的延长部分和栅极线之间形成附加电容 $C_{dg} \cdot a$ 。

图 13 是说明形成了本发明的附加电容的像素结构的布局的第 5 例的平面图。在该例中,使存储线 STL 的一部分沿漏极线 DL 向其下层延长,在该存储线的延长部分和漏极线之间形成附加电容 $C_{dst} \cdot a$ 。此外,在该例中,存储线 STL 的延长部分的宽度比漏极线 DL 的宽度宽。该存储线的延长部分没有达到漏极线 DL 的整个区域,只达到其一部分所对应的位置,在漏极线 DL 的延长方向的两侧边缘的大部分

上没有对透射像素的背光源的光进行遮光的功能。

图 14 是说明形成了本发明的附加电容的像素结构的布局的第 6 例的平面图。在该例中，使存储线 STL 的一部分沿漏极线 DL 向其下层延长，在该存储线的延长部分和漏极线之间形成附加电容 $C_{dst} \cdot a$ 。
5 此外，在该例中，延长部分的宽度比漏极线的宽度窄。因此，在漏极线 DL 延长方向的两侧边缘具有对透射的背光源的光进行遮光的功能。

图 15 是说明形成了本发明的附加电容的像素结构的布局的第 7 例的平面图。该例的像素，在漏极线 DL 的延伸方向交错地配置（ Δ 配置）。并且，因像素交错排列而弯曲的漏极线 DL 的在栅极线 GL 上的一部分进一步在该栅极线 GL 上延长，在该漏极线 DL 的延长部分和栅极线 GL 之间形成了附加电容 $C_{dg} \cdot a$ 。
10

图 16 是说明形成了本发明的附加电容的像素结构的布局的第 8 例的平面图。该例的像素，在漏极线 DL 的延伸方向交错配置（ Δ 配置）。并且，因像素交错排列而弯曲的漏极线 DL 的在存储线 STL 上的一部分进一步在该存储线 STL 上延长，由此在该漏极线 DL 的延长部分和存储线 STL 之间形成了附加电容 $C_{dst} \cdot a$ 。
15

图 17 是说明形成了本发明的附加电容的像素结构的布局的第 9 例的平面图。该例是在显示区域的外侧形成了附加电容。即，在显示区域外侧形成的漏极线 DL 的端部，形成电容形成部 DL · E。参考符号 PX (e) 表示显示区域端部的像素。该电容形成部 DL · E 在存储线的电位或栅极电位、或者其它的适宜具有固定电位的电极 FD 之间，中间隔着层间绝缘膜等绝缘层形成了附加电容 $C_d \cdot a$ 。此外，在如图 5 ~ 图 16 所述那样，在显示区域内形成了附加电容时，由于可形成水
20 平行的个数，即 n 个的附加电容，因此即使每个电容都小，也能变成 n 倍，但是如图 17 所示，在显示区域的外侧形成附加电容时，必须制作得大。

通过采用上述各例的结构，能抑制像素电压的变动，能得到高像质的显示。

此外，图 5~图 17 所述的实施例，只要彼此不矛盾，就可以将 2 个或 2 个以上加以组合应用。另外，使各布线之中的哪一个为上层，哪一个为下层并不限于图示结构，可进行适当的变更。

进而，至此为止所述的实施例中，说明了用公共线 CL 按每一行
5 独立地驱动公共电极的结构，但是，也可以是各像素电极共同地驱动上述公共电极。另外，也可以是不用公共线 CL，而在相对基板的大致整个区域形成公共的公共电极。

上述公共电极也可以按各像素独立地驱动。例如，在 IPS 方式的液晶显示方式中，在像素内设置第 2 薄膜晶体管，经由该第 2 薄膜晶
10 体管，向公共电极写入公共电位。此时，公共线 CL 可以沿漏极线的延伸方向形成。

另外，存储线的电位可以是固定的，也可以是在至少 2 个存储电压之间被驱动。

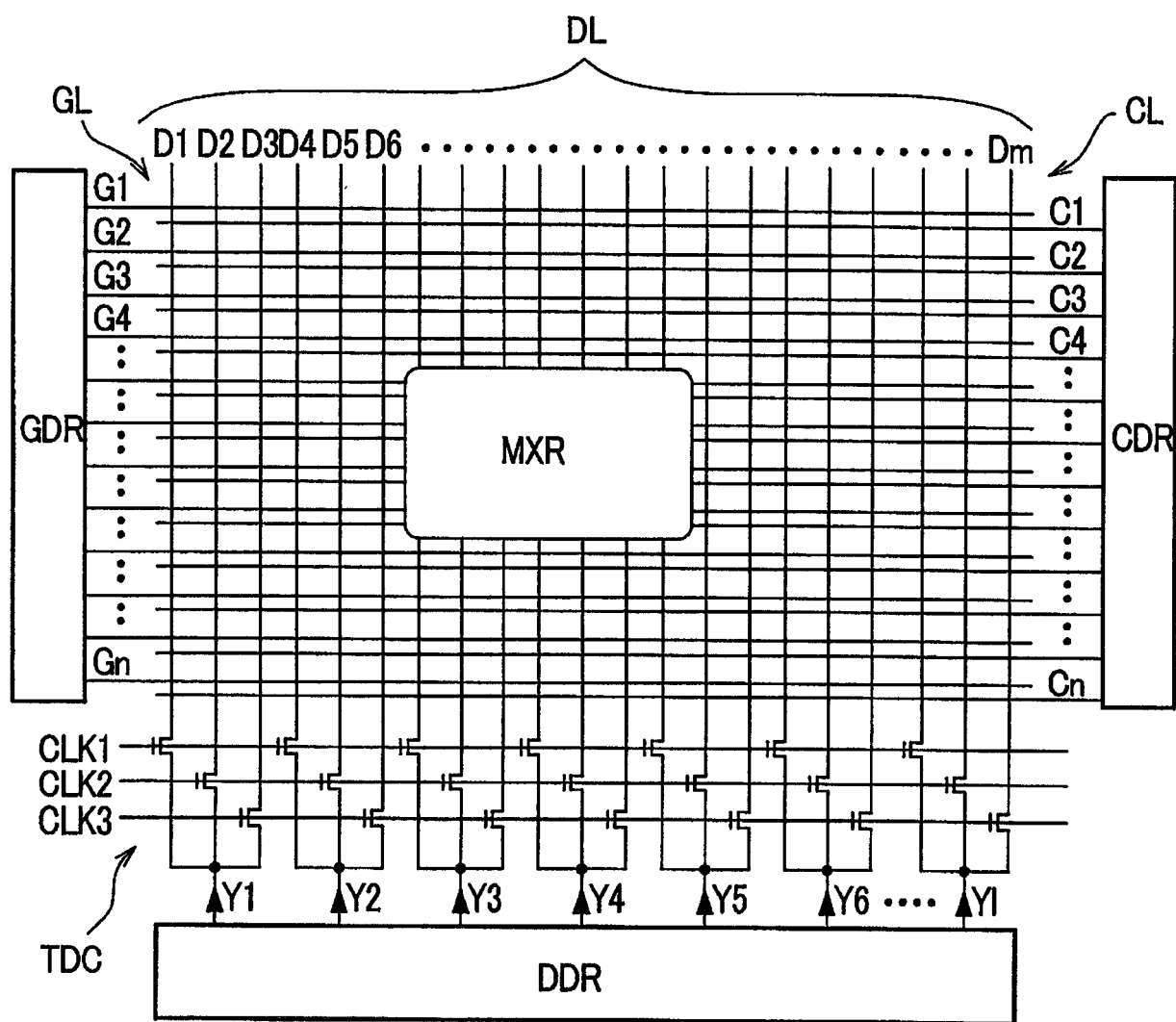


图 1

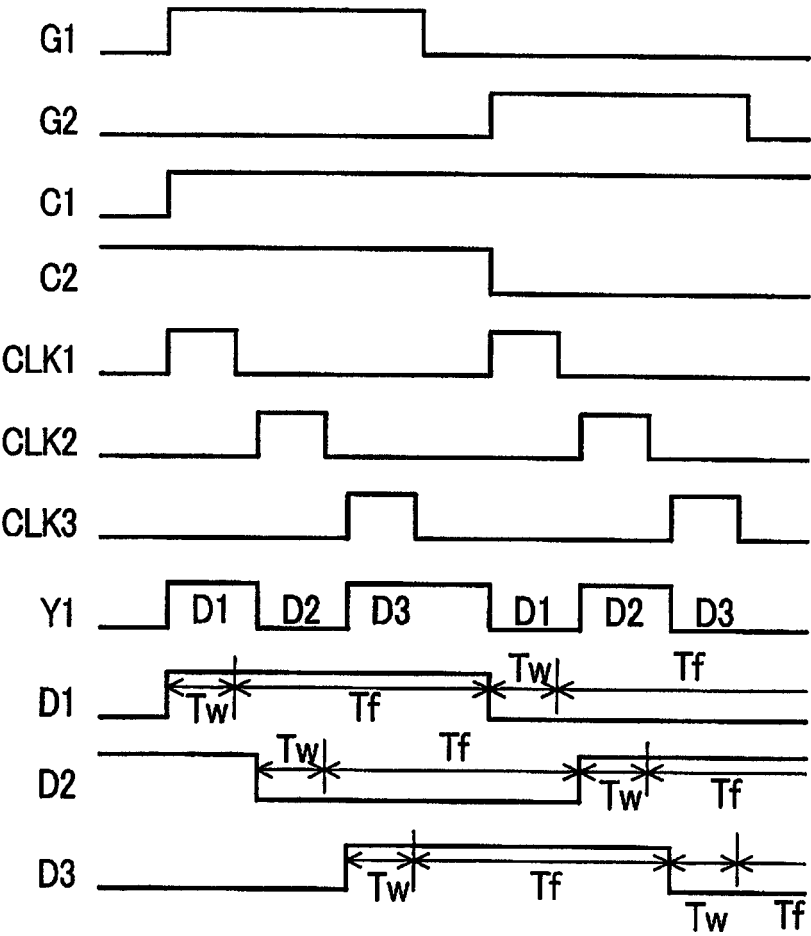


图 2

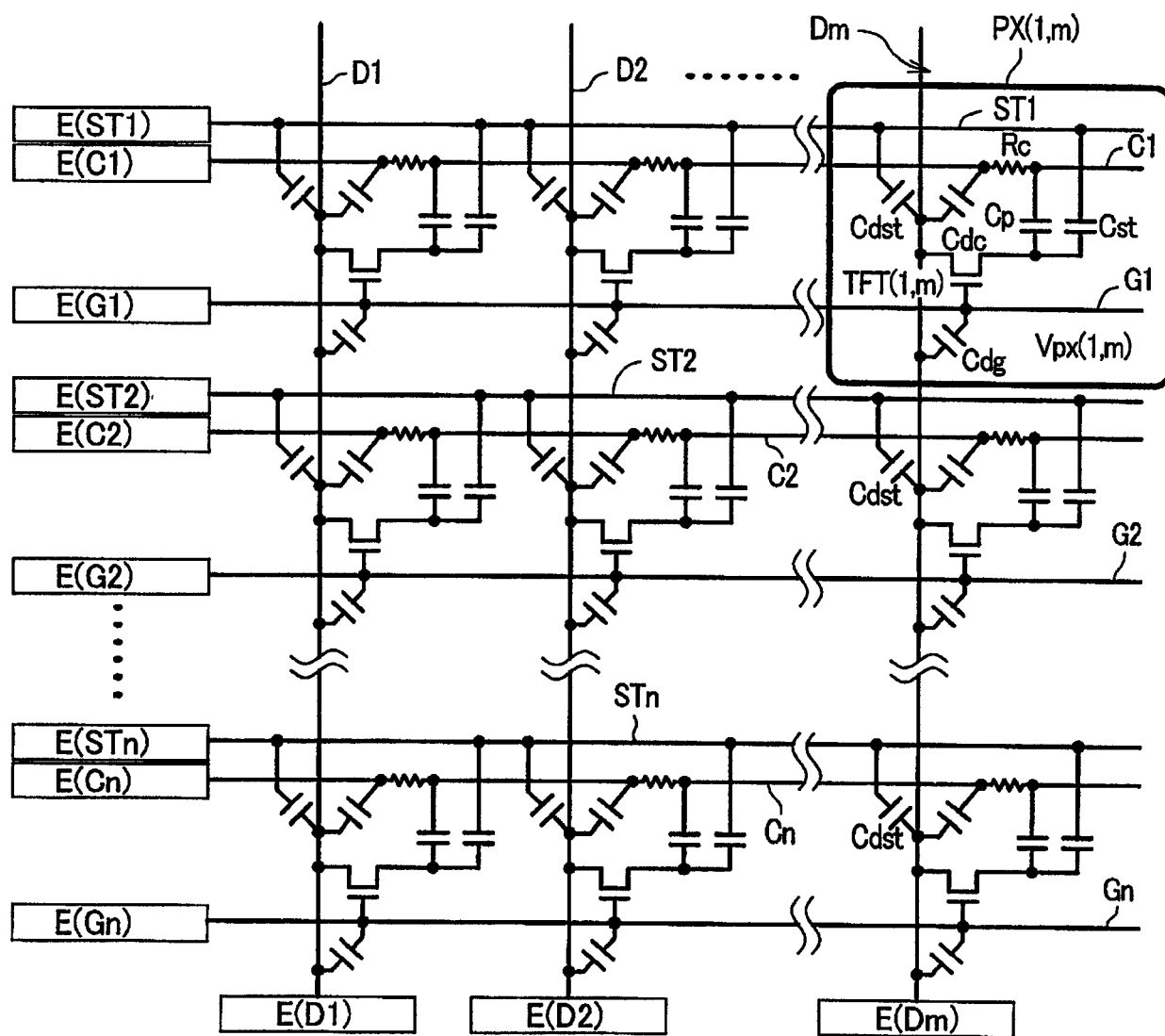


图 3

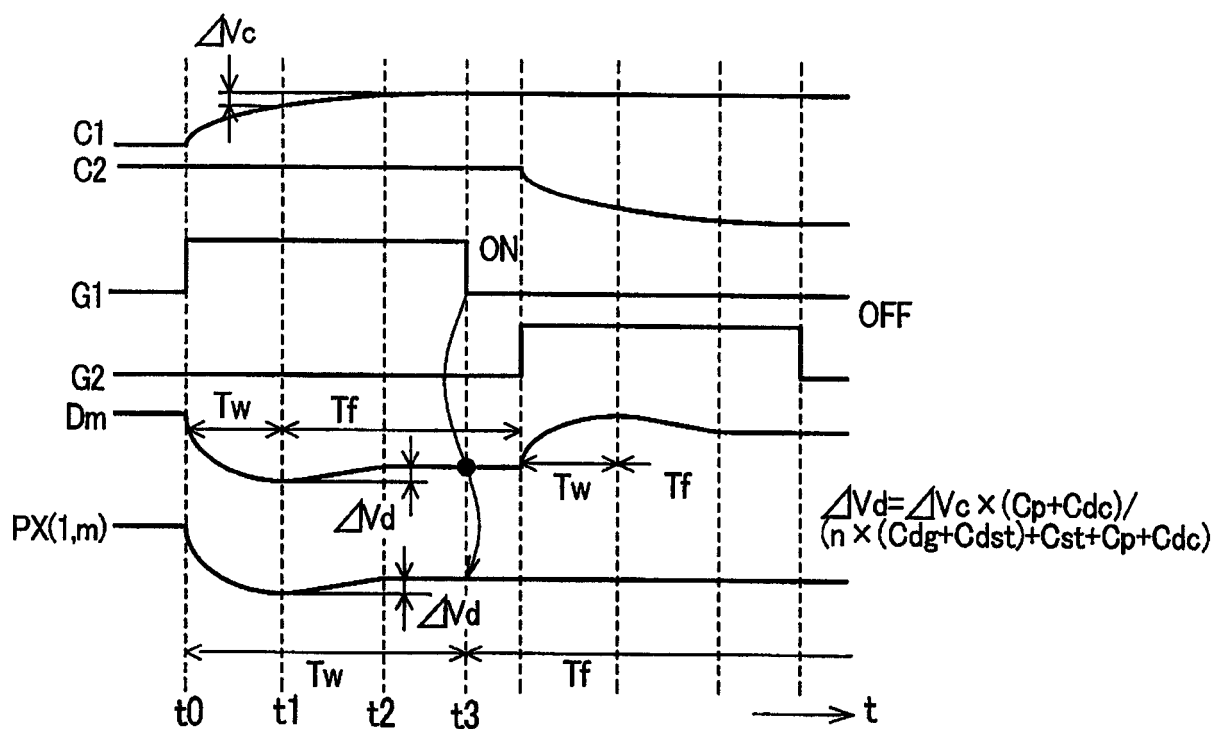


图 4

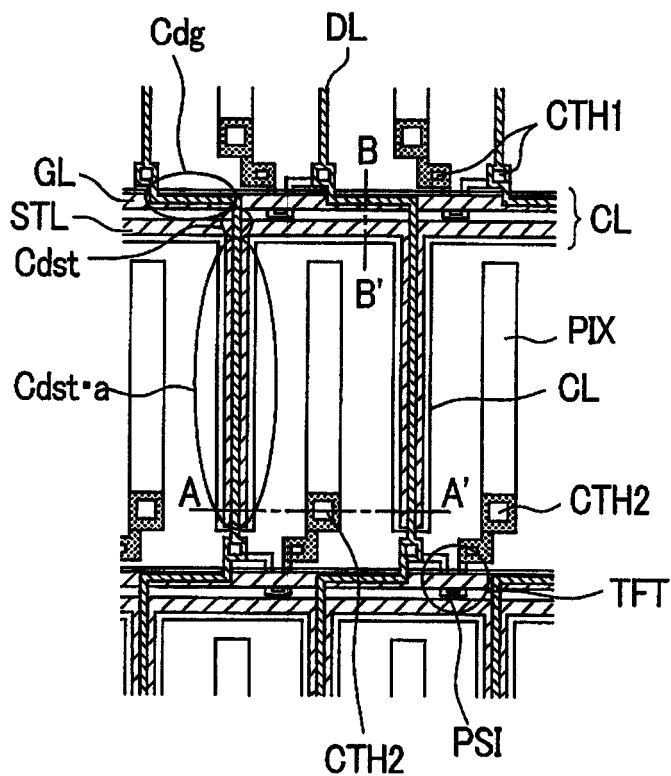


图 5

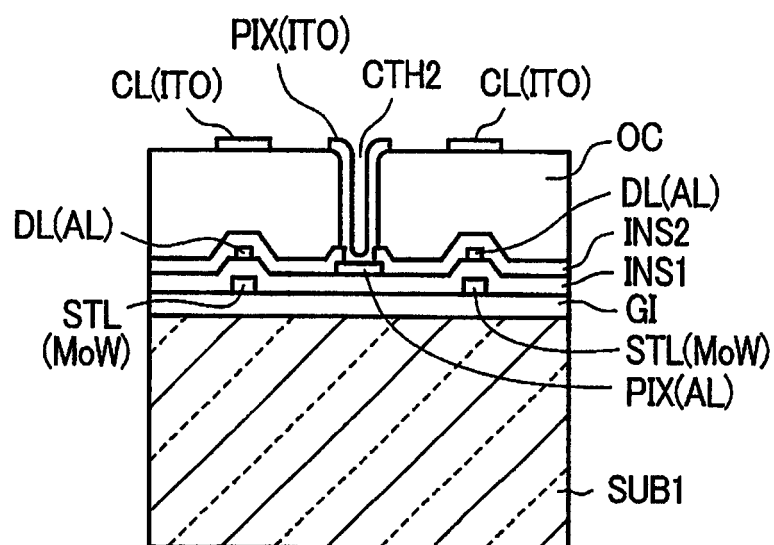


图 6

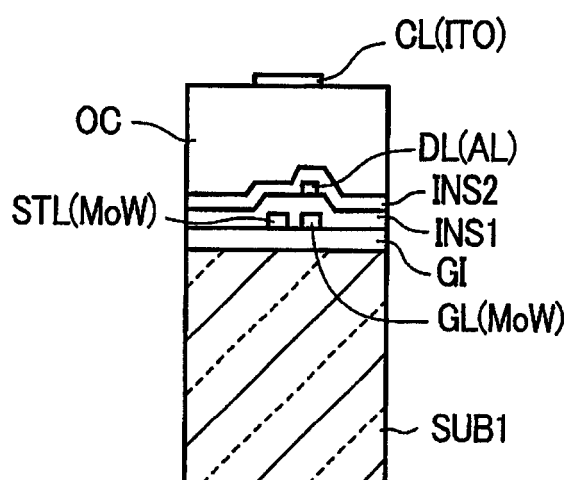


图 7

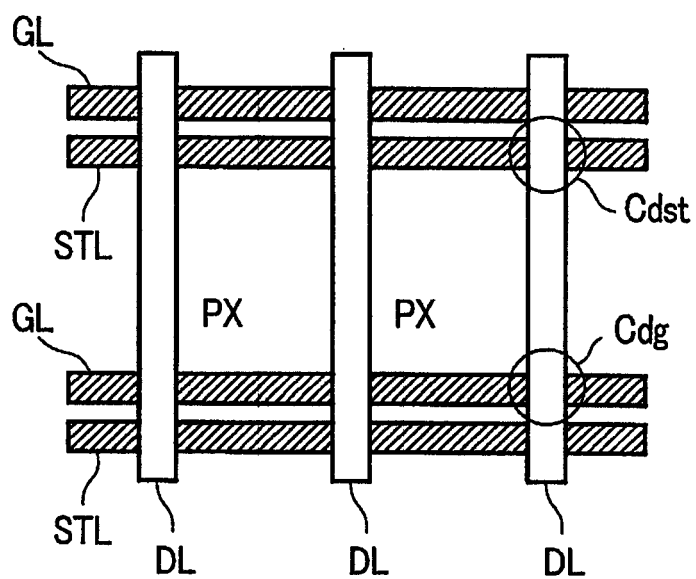


图 8

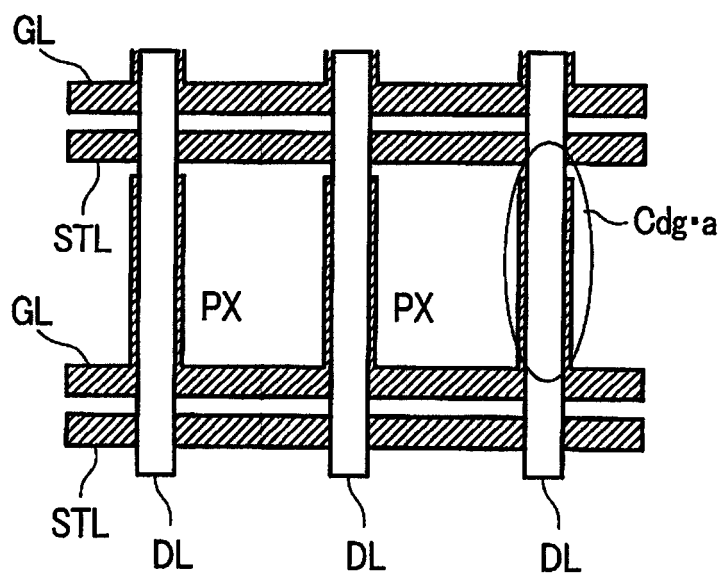


图 9

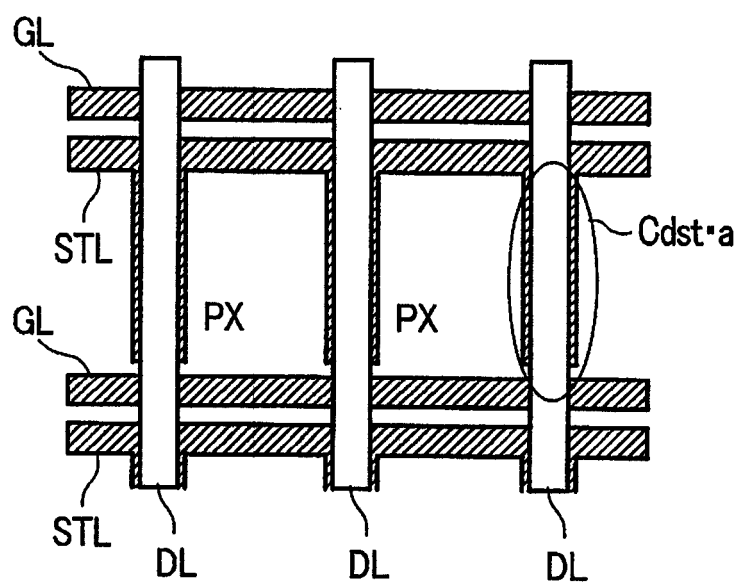


图 10

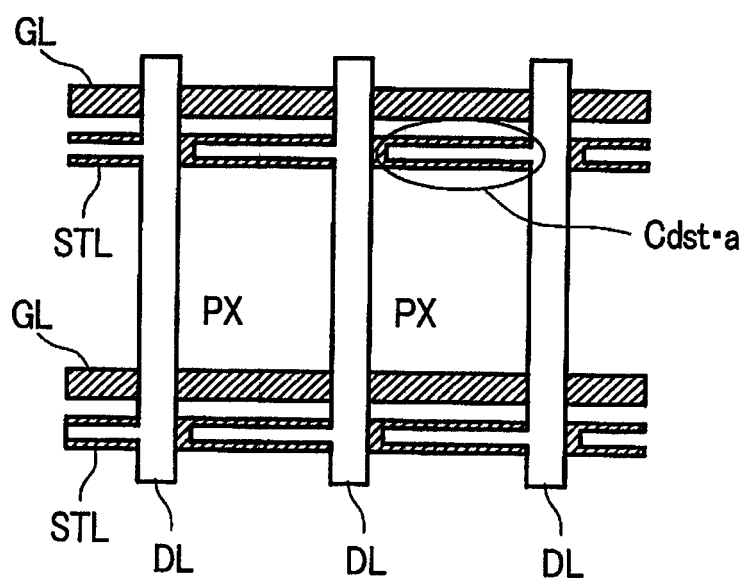


图 11

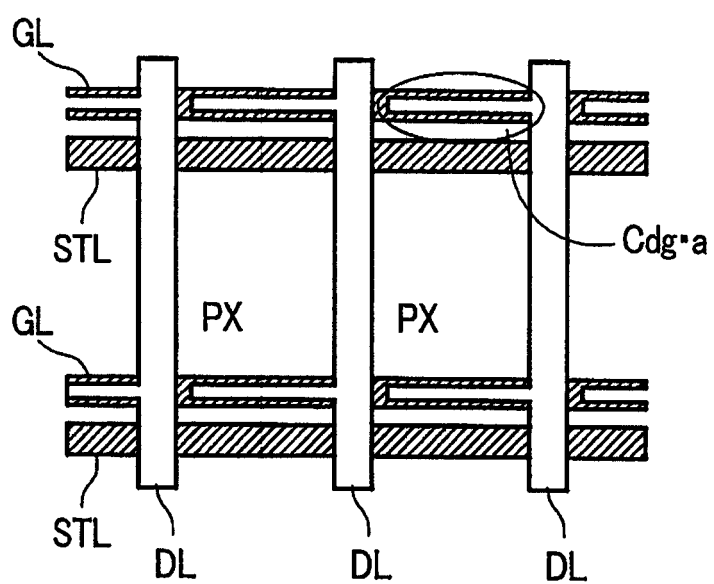


图 12

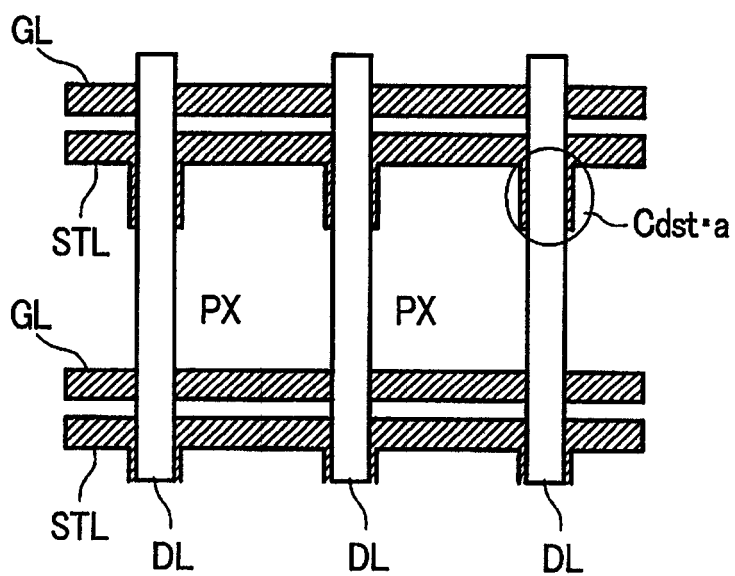


图 13

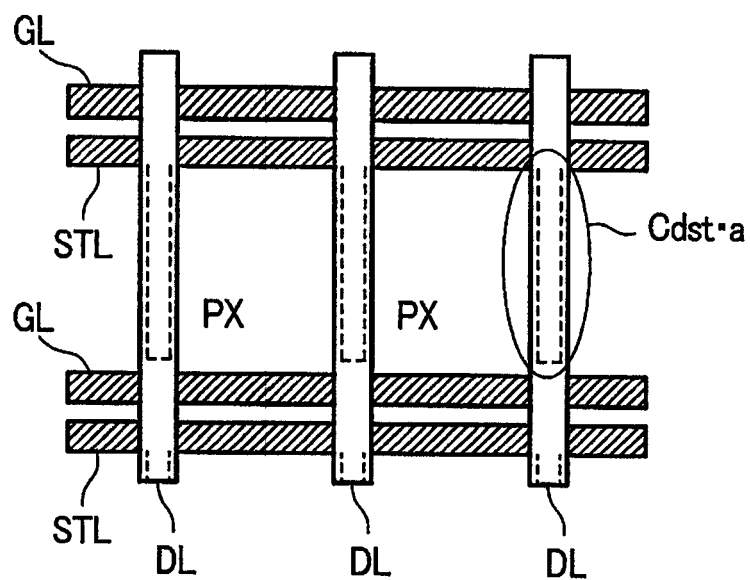


图 14

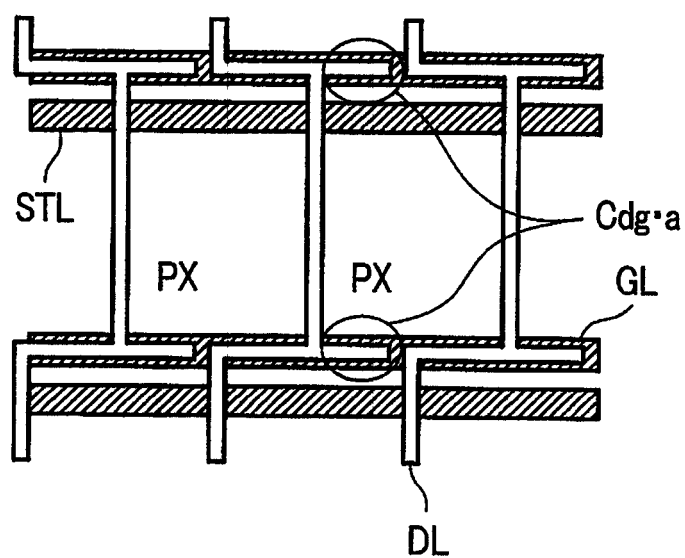


图 15

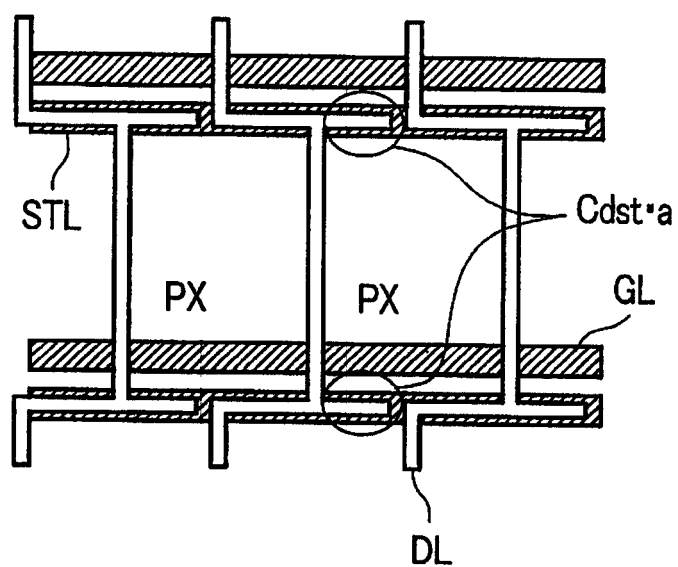


图 16

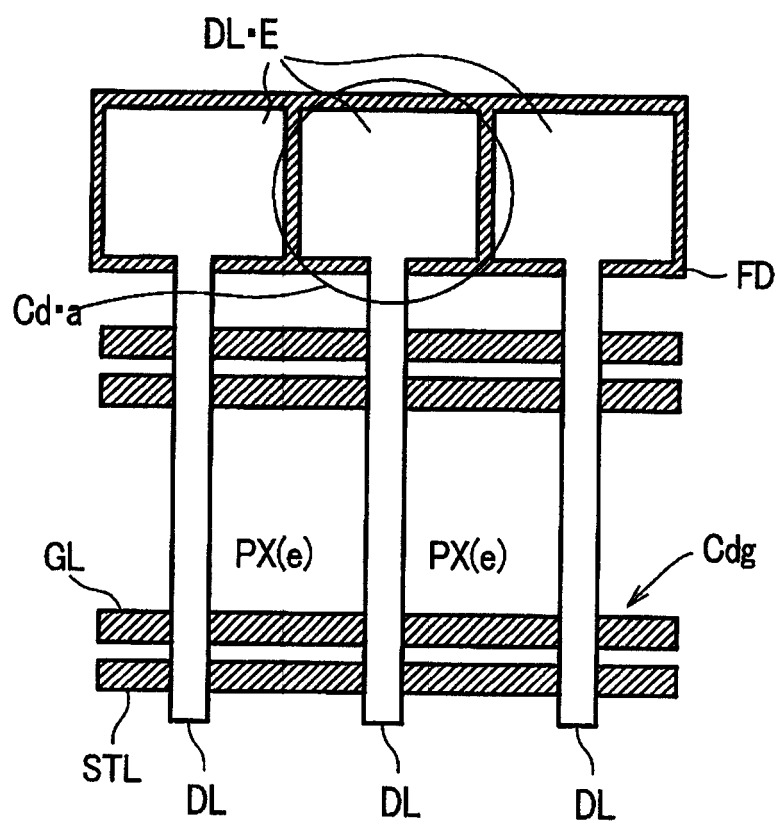


图 17

专利名称(译)	液晶显示装置		
公开(公告)号	CN1637559A	公开(公告)日	2005-07-13
申请号	CN200410103429.X	申请日	2004-12-27
[标]申请(专利权)人(译)	株式会社日立显示器		
申请(专利权)人(译)	株式会社日立显示器		
当前申请(专利权)人(译)	株式会社日本显示器 松下液晶显示器株式会社		
[标]发明人	藤冈恭弘 平贺浩二 洼田岳彦		
发明人	藤冈恭弘 平贺浩二 洼田岳彦		
IPC分类号	G02F1/1343 G02F1/133 G02F1/136 G02F1/1362 G02F1/1368 G09G3/20 G09G3/36 H01L29/786		
CPC分类号	G02F1/136213 G02F1/134363 G09G3/3614 G09G3/3648 G09G3/3688 G09G2310/0297 G09G2320/0233		
优先权	2003432389 2003-12-26 JP		
其他公开文献	CN100361013C		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示装置，沿多条分时驱动的漏极线(DL)，使栅极线(GL)的一部分延长到其下层，由处于固定电位的栅极线(GL)的延长部与漏极线(DL)形成附加电容(Cdg·a)。由此抑制像素电压的变动，得到高像质的显示。

