

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷

G02F 1/136

H01L 29/786

G02F 1/133

H01L 21/00



[12] 发明专利申请公开说明书

[21] 申请号 200410100094.6

[43] 公开日 2005 年 6 月 15 日

[11] 公开号 CN 1627170A

[22] 申请日 2004. 12. 10

[21] 申请号 200410100094.6

[30] 优先权

[32] 2003. 12. 10 [33] JP [31] 2003 - 411873

[71] 申请人 NEC 液晶技术株式会社

地址 日本神奈川县

[72] 发明人 桥本宜明

[74] 专利代理机构 中原信达知识产权代理有限责任
公司

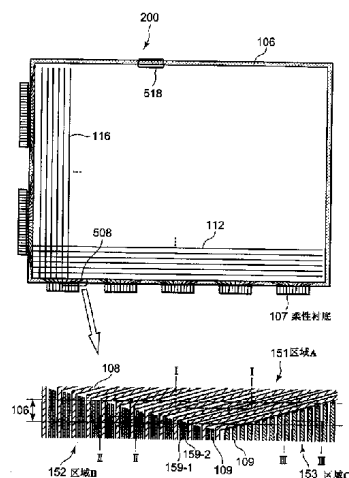
代理人 穆德骏 陆 弋

权利要求书 4 页 说明书 21 页 附图 13 页

[54] 发明名称 液晶显示设备以及制造该设备的方法

[57] 摘要

一种液晶显示设备，包括线路提取部分(508)的提供有密封元件的区域，该区域被分成三个或更多的区域，即区域 A(151)、区域 B(152) 和区域 C(153)，以有效抑制由外向线路的密度差别所引起的不平坦性。而且，在每一个区域中，隙缝变化被抑制到无法分辨的级别。另外，伪图案是在不影响密封元件凝固的条件下，在与其中形成有外向线路(108)的层不同的层上形成的。而且，合适情况下，在相对于线路提取部分的边沿上类似地形成伪图案。



1. 一种液晶显示设备，包括：

5 薄膜晶体管衬底，它包括位于下层的第一线路和位于上层的第二线路，位于透明绝缘衬底上的第一线路和第二线路基本上相互垂直，并且薄膜晶体管位于由第一线路和第二线路所包围的各个区域中；以及

反向衬底，与薄膜晶体管衬底相对放置，

10 其中薄膜晶体管衬底和反向衬底通过使用位于至少一个衬底周围的密封元件被粘贴到一起，并且液晶被插入到薄膜晶体管衬底和反向衬底之间，

其中用于将第一线路和第二线路的任何一个连接到外部电路的外向线路是在薄膜晶体管衬底的两个边沿的外围中形成的，

15 在形成外向线路的区域中提供有密封元件的区域根据外向线路的密度被分为三个或更多的区域，并且

在三个或更多区域中的至少两个区域中，由第一线路和第二线路的任何一个形成的伪图案位于与其上形成有外向线路的层不同的层上，以便与外向线路不重叠。

20 2. 如权利要求 1 所述的液晶显示设备，其中三个或更多区域包括：

第一区域，其中外向线路是相对薄膜晶体管衬底的边沿倾斜形成的；

25 第二区域，其中外向线路是在与边沿相垂直的方向上形成的；以及

第三区域，其中没有形成外向线路。

3. 如权利要求 2 所述的液晶显示设备，

30 其中包括有多个基本平行的线路的伪图案和包括有点状的伪图案中的任何一个位于第二区域中的相邻外向线路之间。

4. 如权利要求 1 所述的液晶显示设备，

其中提供的伪图案满足通过将各个组件的截面面积除以三个或更多个区域的每一个区域宽度计算得到的平均级差的最大值和最小值之差等于或小于 $0.3\mu\text{m}$ 。

5. 如权利要求 1 所述的液晶显示设备，其中

在密封元件提供到与提供外向线路的边沿相对的边沿的区域，提供由第一线路和第二线路的任何一个形成的伪图案。

6. 如权利要求 5 所述的液晶显示设备，

其中当在与第一线路同一层上形成共用线路时，也起到共用线路作用的伪图案位于在相对边沿上提供有密封元件的区域中。

7. 如权利要求 1 所述的液晶显示设备，

其中当密封元件是由通过在薄膜晶体管衬底的后端照射光线而得到凝固的材料制成时，沿着衬底的法线来看，在提供有密封元件的区域中不具有外向线路或伪图案的区域的面积比例被设定为等于或大于 25%。

8. 如权利要求 1 所述的液晶显示设备，

其中当密封元件是由通过在薄膜晶体管衬底的后端照射光线而得到凝固的材料制成时，伪图案的宽度设置为等于或小于 $80\mu\text{m}$ 。

9. 如权利要求 1 所述的液晶显示设备，

其中第二线路采取通过层叠组成薄膜晶体管的半导体层和组成漏极线路的金属层而形成的叠层结构。

10. 一种制造液晶显示设备的方法，包括的步骤有：

通过使用位于至少一个衬底的外围中的密封元件将薄膜晶体管衬

底和反向衬底粘贴在一起，薄膜晶体管衬底包括位于下层的第一线路和位于上层的第二线路，位于透明绝缘衬底上的第一线路和第二线路基本上相互垂直，并且薄膜晶体管衬底包括位于由第一线路和第二线路所包围的各个区域中的薄膜晶体管，反向衬底与薄膜晶体管衬底相对；以及

将液晶插入到薄膜晶体管衬底和反向衬底之间，

其中该方法进一步包括的步骤有：

在薄膜晶体管衬底上形成第一线路，并且同时在薄膜晶体管衬底的第一边沿外围中形成用于将第一线路连接到外部电路的外向线路以及在薄膜晶体管衬底的第二边沿外围中形成伪图案；以及

在薄膜晶体管衬底上形成第二线路，并且同时在薄膜晶体管衬底的第二边沿外围中形成用于将第二线路连接到外部电路的外向线路以及在薄膜晶体管衬底的第一边沿外围中形成伪图案，并且

当其中在第一边沿和第二边沿的任何一个上提供有密封元件的区域根据外向线路的密度被分为三个或更多的区域时，在三个或更多区域中的至少两个区域中形成伪图案。

11. 如权利要求 10 所述的制造液晶显示设备的方法，

其中在第一边沿和第二边沿的任何一个上提供有密封元件的区域被分为三个区域：第一区域，其中外向线路是相对薄膜晶体管衬底的边沿倾斜形成的；第二区域，其中外向线路是在与边沿相垂直的方向上形成的；以及第三区域，其中没有形成外向线路，并且

伪图案至少形成于第二区域和第三区域中。

12. 如权利要求 11 所述的制造液晶显示设备的方法，

其中包括有多个基本平行的线路的伪图案和包括有点状的伪图案中的任何一个位于第二区域中的相邻外向线路之间。

13. 如权利要求 10 所述的制造液晶显示设备的方法，

其中，提供的伪图案满足通过将各个组件的截面面积除以三个或

更多个区域的每一个区域宽度计算得到的平均级差的最大值和最小值之差等于或小于 $0.3\mu\text{m}$ 。

5 14. 如权利要求 10 所述的制造液晶显示设备的方法，
其中当形成第一线路时，在与其中形成有外向线路的边沿相对的边沿上提供有密封元件的区域中，进一步形成伪图案。

10 15. 如权利要求 14 所述的制造液晶显示设备的方法，
其中当在与其中形成有第一线路的层同一层上形成共用线路时，
也起到共用线路作用的伪图案形成于在相对边沿上提供有密封元件的区域中。

15 16. 如权利要求 10 所述的制造液晶显示设备的方法，
其中当密封元件是由通过在薄膜晶体管衬底的后端照射光线而得到凝固的材料制成时，沿着衬底的法线来看，在提供有密封元件的区域中不具有外向线路或伪图案的区域的面积比例被设定为等于或大于 25%。

20 17. 如权利要求 10 所述的制造液晶显示设备的方法，
其中当密封元件是由通过在薄膜晶体管衬底的后端照射光线而得到凝固的材料制成时，伪图案的宽度设置为等于或小于 $80\mu\text{m}$ 。

25 18. 如权利要求 10 所述的制造液晶显示设备的方法，
其中第二线路是通过层叠组成薄膜晶体管的半导体层和组成漏极线路的金属层而形成的。

液晶显示设备以及制造该设备的方法

5 技术领域

本发明涉及液晶显示设备以及制造该设备的方法。

背景技术

液晶显示设备（LCD）由于具有厚度薄、重量轻和功耗低等优点，
10 因此作为音像（AV）机和办公自动（OA）机的显示设备得到广泛使用。LCD 包括一对相对放置的衬底。而且，LCD 在结构上是在衬底之间对液晶进行密封。设计的 LCD 通过使用位于衬底上的电极所产生的电场来控制液晶分子的对齐方向，从而显示出图像，并且因此调节照射到 LCD 上的光。对于上述 LCD，近年对其高清晰度和大屏幕
15 尺寸的要求逐渐增加，并且增强相对放置的衬底之间隙缝的均一性以改善其显示质量这一点是很重要的。

这里，将概括介绍一下制造现有 LCD 的典型方法。

20 首先，就制造现有 LCD 的典型方法中的薄膜晶体管（TFT）衬底来说，栅极线路和栅电极是用诸如铝（Al）等金属在诸如玻璃等透明绝缘衬底上形成的。在栅极线路和栅电极上，a-Si 层和 n⁺a-Si 层通过由硅氮化物膜等制成的栅极绝缘膜来在 TFT 形成区域中形成孤岛形状。接下来，使用诸如铬（Cr）等金属来形成漏极线路和源/漏电极，
25 然后执行沟道蚀刻。之后，淀积得到由硅氮化物膜等制成的钝化膜，然后在其上淀积诸如铟锡氧化物（下文简称为 ITO）等透明电极，以形成像素电极。之后，在其上涂敷对齐层膜，并且以预定方向对其进行对齐处理，以形成 TFT 衬底。

30 同时，在相对 TFT 衬底的反向衬底中，在透明绝缘衬底上形成

每一个 RGB 颜色的颜色滤光片，以对应于各个像素。在对应于 TFT 和 TFT 衬底的线路的位置处形成黑色矩阵之后，形成了由 ITO 制成的透明电极。然后，在其上涂敷对齐层，并且以预定方向对其进行对齐处理，以形成反向衬底。

5

之后，如图 4A 所示，通过使用喷施器等在位于 TFT 衬底 102 的显示区域外部的线路提取部分涂敷上由光凝固树脂等制成的密封元件 105。然后，如图 4B 所示，通过使用液晶滴注喷施器 131 等，将适量的液晶材料 104 滴注到被密封元件 105 所包围的区域中。然后，将诸如聚合体颗粒或硅物质颗粒等间隔物喷洒到反向衬底 103 的显示区域。之后，如图 4C 所示，TFT 衬底 102 和反向衬底 103 对齐，并且以预定的较小气压被相互粘贴到一起。接着，真空室内部被调节到大气压，从而，利用来自大气压的气压差，从两侧将 TFT 衬底 102 和反向衬底 103 挤压到一起。同时，将诸如紫外线等光线照射到 TFT 衬底 102 的后端，以凝固密封元件 105。然后，在位于密封元件 105 外部的预定位置处切除 TFT 衬底 102 和反向衬底 103，以结束 LCD101。

这里，在 TFT 衬底 102 的外围部分形成外向线路，不仅用于将栅极线路以及漏极线路连接到诸如电路板等外部电路，还连接到驱动芯片，以驱动 LCD 101。由于在该部分提供了密封元件 105，因此提供有密封元件的区域的截面造成不规则性，这种不规则对应于外向线路的厚度。如果沿着一定的方向以恒间距来分布外向线路的话，则无法可视化地检测到由外向线路不规则性所引起的衬底间的隙缝改变。在 LCD 中，TFT 衬底 102 通过使用柔性衬底连接到外部电路。因此，柔性衬底是以既定的间隔来放置的。由于这个原因，在 TFT 衬底 102 的外围部分以弯曲形状也形成了外向线路。因此，外向线路的方向和间隔变得不平坦，并且以一定间隔产生了在外向线路之间具有较窄间隔的区域和在外向线路之间具有较宽间隔的区域。结果，在衬底之间的隙缝中反映出了因较窄和较宽间隔而造成的这样一大圈不规则性，并且这种不规则性可以被可视化检测到。

下面将参考附图来讲述这一问题。图 1A 和图 1B 示意性地示出了现有 LCD 的 TFT 衬底上的外向线路图案。如图所示，栅极线路 112 和漏极线路 116 在显示区域中以平均的间隔分布着。不过，外向线路 108 在 TFT 衬底 102 的外围部分弯曲，以与柔性衬底 107 的间隔相一致，并且从而形成如放大视图中所示的图案。结果，外向线路 108 的密度在区域 111（区域 A）中较高，在该区域中外向线路 108 相对于 TFT 衬底 102 的边沿倾斜分布。同时，外向线路 108 的密度在区域 112（区域 B）中较低，在该区域中外向线路 108 与 TFT 衬底 102 的边沿相垂直。另外，在相邻的柔性衬底 107 之间的区域 103（区域 C）中没有形成外向线路 108。因此，在各个区域中的隙缝根据外向线路 108 的密度不同而有变化，并且这种隙缝变化造成显示质量的恶化。

为了抑制由如上所述的外向线路 108 所引起的隙缝变化，日本未审专利公开 2000-187236 中所公开的 LCD 包括形成于相对放置且中间插入有液晶层的一对衬底之一上并且被抽取到达衬底末端的多个信号线路，在信号线路上形成的中间层绝缘膜，以及在衬底对周围形成并且在结构上以一定间隔与衬底对粘贴在一起的密封元件。而且，还公开了液晶显示元件，其中在密封部分下面的信号线和同一处理过程中具有同一宽度和同一间距的密封部分下面的相邻信号线之间形成伪元件。

不过，日本未审专利公开 2000-187236 中所公开的结构（p.3-4，图 1）具有如下问题。

第一个问题是，随着 LCD 的清晰度越来越高，以及它的框架越来越窄，外向线路 108 就变得越来越密。结果，就不可能充分地抑制由外向线路的密度差异所引起的隙缝中的不平坦，并且显示质量将最终恶化。具体地说，如上所述，密封元件所处的区域被分成具有较高的外向线路 108 的密度的区域 A，具有较低的外向线路 108 的密度的

区域 B，以及没有形成外向线路 108 的区域 C。由于自衬底表面的有效高度（平均级差）在各个区域中有变化，因此即使在区域 C 中具有伪图案，区域 A 和区域 B 之间的级差也没有得到解决，并且隙缝随着级差的不同而变化。而且，根据日本未审专利公开 2000-187236 的技术的目标只是将伪图案的宽度和间距均衡化为外向线路的宽度和间距，或者将伪图案的延伸方向对齐到信号线路的方向。换句话说，根据日本未审专利公开 2000-187236 的技术没有定义伪图案的宽度和间距等，以便与显示质量相关起来。因此，该技术不能将显示质量维持在一定级别。另外，日本未审专利公开 2000-187236 仅关注于用于抽取栅极线路和漏极线路的边沿的级差。由于在不具有外向线路的边沿上没有形成伪图案，因此该技术无法抑制在整个 LCD 上的衬底之间的隙缝变化。

同时，第二个问题是，在与栅极线路同一层上形成的外向线路，以及在与漏极线路同一层上形成的外向线路容易与伪图案发生短路，因为伪图案是在与形成外向线路的步骤的同时形成的。结果，在线路间因短路而导致的缺陷就会更加频繁地发生。

同时，第三个问题是，可能存在无法完全凝固密封元件 105 的情况。在通过将诸如紫外线等光线照射到 TFT 衬底 102 的后端来使密封元件 105 凝固时，根据日本未审专利公开 2000-187236 的技术没有考虑到用于凝固密封元件 105 的条件而设定伪图案的宽度和间距等。

本发明的提出考虑了上述问题。本发明的一个目标是提供 LCD 和制造 LCD 的方法，该方法能够通过有密封元件位于衬底边缘的区域中实现均一的隙缝从而改善显示质量，并且能够防止诸如在外向线路之间发生短路或者密封元件的不充分凝固等缺陷。

发明内容

根据本发明的液晶显示设备包括 TFT 衬底。TFT 衬底包括位于

下层的第一线路和位于上层的第二线路，它们位于透明绝缘衬底上，并且基本上相互垂直，并且薄膜晶体管位于由第一线路和第二线路所包围的各个区域中。液晶显示设备还包括与 TFT 衬底相对放置的反向衬底。这里，TFT 衬底和反向衬底通过使用位于至少一个衬底周围的密封元件被粘贴到一起，并且液晶被插入到 TFT 衬底和反向衬底之间。

而且，在本发明的液晶显示设备中，用于将第一线路或第二线路连接到外部电路的外向线路是在 TFT 衬底的两个边沿的外围中形成的。另外，在形成外向线路的区域中提供有密封元件的区域根据外向线路的密度被分为三个或更多的区域。在三个或更多区域中的至少两个区域中，由第一线路或第二线路形成的伪图案位于与其上形成有外向线路的层不同的层上，以便与外向线路不重叠。

同时，在本发明的液晶显示设备中，用于将第一线路或第二线路连接到外部电路的外向线路是在 TFT 衬底的两个边沿的外围中形成的。另外，在形成外向线路的区域中提供有密封元件的区域被分成第一区域，其中相对 TFT 衬底的边沿倾斜形成外向线路；第二区域，其中在与边沿相垂直的方向上形成外向线路；以及第三区域，其中没有形成外向线路。这里，由第一线路或第二线路形成的伪图案至少位于在与形成外向线路的层不同的层上的第二和第三区域中，以便不会与外向线路相重叠。进而，要么是包括多个基本平行的线路的伪图案，要么是点状伪图案，位于第二区域中的相邻外向线路之间。

在本发明中，优选情况下提供伪图案，以便将平均级差的最大值和最小值之间的差值设定为等于或小于 $0.3\mu\text{m}$ ，该差值是通过将各个组件的截面面积除以三个或更多个区域或第一至第三个区域中的每一个区域的宽度计算得到。

而且，在本发明中，液晶显示设备可进一步包括由与具有外向线

路的边沿相对的边沿上的区域中的第一线路或第二线路形成的伪图案，该区域中提供有密封元件。而且，当在与第一线路同一层上形成共用线路时，也起到共用线路作用的伪图案位于提供有密封元件的相对放置的边沿的区域中。

5

同时，在本发明中，当密封材料是由通过在 TFT 衬底的后端照射光线而得到凝固的材料制成时，沿着衬底的法线来看，在提供有密封元件的区域中不具有外向线路或伪图案的区域的面积比例被设定为等于或大于 25%。而且，还可以将伪图案的宽度设置为基本上等于或小于 $80\mu\text{m}$ 。

10

进而，在本发明中，第二线路可以采取通过层叠组成薄膜晶体管的半导体层和组成漏极线路的金属层而形成的叠层结构。

15 附图说明

图 1A 为平面图，示出了在现有 LCD 中的 TFT 衬底上的线路图案；

图 1B 为图 1A 中所示的 TFT 衬底的线路提取部分 208 的放大平面图；

20 图 2A 为示意性截面图，示出了在图 1B 所示的 TFT 衬底的线路提取部分 208 中沿着 VI-VI 线的截面图；

图 2B 为示意性截面图，示出了在图 1B 所示的 TFT 衬底的线路提取部分 208 中沿着 VII-VII 线的截面图；

25 图 2C 为示意性截面图，示出了在图 1B 所示的 TFT 衬底的线路提取部分 208 中沿着 VIII-VIII 线的截面图；

图 3A 示出了用于图 1A 中所示的每一个柔性衬底 7 的隙缝（具有宽隙缝的区域对应于图中的波谷，并且具有宽隙缝的区域对应于波峰）出现了不平坦部分 121a；

30 图 3B 的视图是通过获取对应于位于图 3A 中右下角的三个柔性衬底 7 的部分和对所获取图像执行图像处理而获得的，其中对应于波

峰的部分被可视化地检测为不平坦的显示；

图 4A~4C 为处理截面图，示出了 LCD 的粘贴方法；

图 5A 为平面图，示出了根据本发明第一实施例的 TFT 衬底上的
线路图案；

5 图 5B 为放大平面图，示出了根据图 5A 所示的本发明第一实施例的线路提取部分 508；

图 6 为平面图，示出了根据本发明第一实施例的线路提取部分的结构变体；

10 图 7 为平面图，示出了根据本发明第一实施例的线路提取部分的结构
的另一种变体；

图 8 为平面图，示出了根据本发明第一实施例的线路提取部分的结构
的再另一种变体；

图 9 为平面图，示出了根据本发明第一实施例的共用结的结构变体；

15 图 10 为平面图，示出了根据本发明第一实施例的共用结的结构
的另一种变体；

图 11 为平面图，示出了根据本发明第一实施例的共用结的结构
的再另一种变体；

20 图 12A 为截面图，示出了根据本发明第一实施例的线路提取部分
的结构，它是沿区域 A (151) 中的 I-I 线的示意性截面图；

图 12B 为截面图，示出了根据本发明第一实施例的线路提取部分
的结构，它是沿区域 B (152) 中的 II-II 线的示意性截面图；

图 12C 为截面图，示出了根据本发明第一实施例的线路提取部分
的结构，它是沿区域 C (153) 中的 III-III 线的示意性截面图；

25 图 13 示出了对根据本发明第一实施例的 LCD 中的隙缝不平坦部分
进行测量的结果；

图 14 示出了在根据本发明的 LCD 中的平均级差和干涉条纹个数
之间的相关性；

30 图 15A 为平面图，示出了根据 5-掩模处理而形成的 TFT 衬底
的结构；

图 15B 为在示出了图 15A 中的 TFT 衬底结构的平面图中沿着 IV-IV 线的示意性截面图；

图 16A 为平面图，示出了根据 4-掩模处理而形成的 TFT 衬底的结构；

5 图 16B 为在示出了图 16A 中的 TFT 衬底结构的平面图中沿着 V-V 线的示意性截面图；

图 17 为一表格，示出了通过根据具有平均级差为 $0.20\mu\text{m}$ （700 个样本或以上）的实施例、具有平均级差为 $0.40\mu\text{m}$ （100000 个样本或以上）的现有结构、以及具有平均级差为 $0.25\mu\text{m}$ （500 个样本或以上）的结构等三种结构类型来测量出现在 LCD 的显示表面上的干涉条纹个数而估计的显示质量结果。

10

具体实施方式

下面将参考解释性实施例来讲述本发明。本领域的一般技术人员都知道，在本发明的启发下可以完成许多可选的实施例，并且本发明并不限于用于解释目的的实施例。

15

在一个优选实施例中，本发明的 LCD 包括 TFT 衬底。TFT 衬底包括位于下层的第一线路和位于上层的第二线路，它们位于透明绝缘衬底上，并且基本上相互垂直，并且薄膜晶体管（TFT）位于由第一线路和第二线路所包围的各个区域中。LCD 还包括与 TFT 衬底相对放置的反向衬底。这里，TFT 衬底和反向衬底通过使用位于至少一个衬底周围的密封元件被粘贴到一起，并且液晶被插入到 TFT 衬底和反向衬底之间。

20

25

而且，在本发明的 LCD 中，TFT 衬底外围中的线路提取部分的提供有密封元件的区域，被分为三个区域，一个是具有较高的外向线路密度的区域，一个是具有较低的外向线路密度的区域，还有一个就是没有外向线路的区域。另外，考虑到通过将各个组件的截面面积除以宽度计算得到的自衬底表面的有效高度（平均级差），以及考虑到用

30

于凝固密封元件的条件，本发明的 LCD 包括在位于一个边沿上的三个区域的至少两或多个区域中和位于与其中形成有外向线路的层不同的层上的具有预定形状的伪图案。

5 因此，本发明的 LCD 能够通过位于 LCD 外围的衬底之间提供均一隙缝来改善显示质量，并且能够防止诸如在外向线路之间发生短路或密封元件的不充分凝固而导致的缺陷。

（第一实施例）

10 为了更加详细地讲述本发明的上述实施例，下面参考图 5A~图 17 来讲述根据本发明实施例的 LCD 及其制造方法。

图 5A 为平面图，示出了根据本发明实施例的 TFT 衬底上的外向
线路图案。图 6~图 8 为平面图，示出了线路提取部分的变体。图 9~
15 图 11 为平面图，示出了共用结的变体。同时，图 12A~图 12C 为截面
图，示出了线路提取部分的各个区域中的级差。图 13 和图 14 示出了
该实施例的 LCD 的解释性效果。图 15A 和图 15B 用于解释现有的五
个步骤（栅极图案形成步骤、半导体层图案形成步骤、漏极图案形成
步骤、接触图案形成步骤、以及像素图案形成步骤，下文中统称为 5-
20 掩模处理）。另外，图 16A 和图 16B 用于解释现有的四个步骤（栅极
图案形成步骤、半导体层图案形成步骤（与漏极图案形成步骤结合起
来）、接触图案形成步骤、以及像素图案形成步骤，下文中统称为 4-
掩模处理）。

25 如上所述，在现有的 LCD 中，线路提取部分的提供有密封元件
的区域被分为具有较高的外向线路 108 的密度的区域 A，具有较低
的外向线路 108 的密度的区域 B，以及没有形成外向线路 108 的区域 C。
现有 LCD 存在的问题是，由于外向线路 108 的密度而在区域之间形
成级差，并且衬底之间的隙缝在 TFT 衬底的边沿方向上呈周期性变
30 化。这一问题随着越来越高的清晰度和越来越窄的框架而变得更加显

著。

同时，现有 TFT 衬底 102 的制造分为五个步骤（栅极图案形成步骤、半导体层图案形成步骤、漏极图案形成步骤、接触图案形成步骤、以及像素图案形成步骤，下文中统称为 5-掩模处理）。因此，如图 15A 和图 15B 所示，在漏极线路 116 下面只有栅极绝缘膜 113 形成。

不过，近年制造 LCD 的 TFT 衬底 102 可以需要更少的步骤。具体地说，TFT 衬底 102 的制造分为四个步骤（栅极图案形成步骤、半导体层图案形成步骤（与漏极图案形成步骤结合起来）、接触图案形成步骤、以及像素图案形成步骤，下文中统称为 4-掩模处理）。

在 4-掩模处理中，半导体层图案形成步骤和漏极图案形成步骤的执行使用同一个掩模。因此，如图 16A 和图 16B 所示，半导体层 115 也是在漏极线路 116 下面形成的。结果，由外向线路 108 所引起的级差会增加更多，并且由外向线路 108 的不平坦所引起的衬底间隙缝变化也得到增加。

下面参考附图来讲述这一问题。图 2A~图 2C 为示意性截面图，示出了由 4-掩模处理所形成的现有 TFT 衬底 2 的区域 A、B 和 C 之间的级差。如图 2A 所示，由于在其上对半导体层 115 和漏极线路 116 进行层叠的外向线路 108 的宽度在区域 A 411 较大，因此通过将单位部分中各个组件（栅极绝缘膜 113、半导体层 115、漏极线路 116 和钝化膜 118）的截面总面积除以单位部分的宽度计算得到的值（平均级差）即是图中由虚线所指示的位置。同时，在区域 B 412 中，由于外向线路 108 的宽度较窄，因此平均级差低于区域 A 411。而且，在区域 C 413 中，由于其中没有形成外向线路 108，因此平均级差与钝化膜的上表面相重合，并且因此比区域 B 412 更低。结果，对于每一个柔性衬底 107，在平行于 TFT 衬底 2 的边沿的方向上重复了具有不同平均级差的区域，并且衬底之间的隙缝随着平均级差而变化。

这一方面由图 3A 所示，其中对于每一个柔性衬底 7，都有隙缝（具有宽隙缝的区域对应于图中的波谷，并且具有宽隙缝的区域对应于波峰）的不平坦部分 121a。同时，图 3B 的视图是通过获取对应于位于图 3A 中右下角的三个柔性衬底 7 的部分 121b 和对所获取图像执行图像处理而获得的，其中对应于波峰的部分被可视化地检测为不平坦的显示。

响应该问题，根据日本未审专利公开 2000-187236 (p.3-4, 图 1)，伪图案仅位于区域 C 413 中。不过，在图 3A 中很明显，在区域 A 411 和区域 B 412 之间的隙缝中也有差值。因此，通过在区域 C 413 中只提供伪图案，无法将隙缝变化抑制到小到不可分辨的程度。

因此，在该实施例中，为了有效地抑制因外向线路 108 的密度差异所引起的不平坦，线路提取部分 508 的提供有密封元件的区域被分为三个或以上的区域（下文中明确为三个区域，即区域 A 151、区域 B 152 和区域 C 153）。而且，在该实施例中，每一个区域中的隙缝变化被抑制到小到不可分辨的程度。另外，当在不影响密封元件凝固的条件下，在与形成外向线路 108 的层不同的层上形成了伪图案（具体地说，当在漏极线路 116 上形成外向线路 108 时在与栅极线路 112 同一层上，或者当在栅极线路 112 上形成外向线路 108 时在与漏极线路 116 同一层上）。而且，合适情况下，伪图案在与线路提取部分 508 相对放置的边沿上是相类似地形成的。

更为具体地说，如图 5A 和图 5B 所示，在该实施例的 LCD 中，线路提取部分的提供有密封元件的区域 106 被分成区域 A 151，其中外向线路 108 是相对 TFT 衬底 102 的边沿倾斜分布的；区域 B 152，其中外向线路 108 分布在与边沿相垂直的方向上；以及区域 C 153，位于相邻柔性衬底 107 之间，其中没有形成外向线路 108。然后，在该实施例的 LCD 中，伪图案 109 以预定间距分布在区域 C 153 中。同

时，伪图案 109 还分布在区域 B 152 中的外向线路 108 之间。另外，合适情况下，在位于线路提取部分的相对边沿（图中的上侧和右侧）上的共用结 518 中也以预定图案形成了伪图案 109。

- 5
- 因此，合适情况下，通过在线路提取部分的三个区域中的至少两个区域中和在共用结 518 中形成伪图案 109，可以调整各个区域中的线路密度，并且从而可以在预定范围内来抑制在各个区域之间的平均级差的不平坦性。
- 10
- 尽管如图 5B 所示在区域 B 152 的外向线路 108 之间提供具有两个线路（159-1 和 159-2）的伪图案，但这是用于防止在外向线路 108 之间发生短路，甚至当任何外向线路 108 与相邻伪图案（159-1 或 159-2）发生短路时。
- 15
- 当可以保证在外向线路 108 和伪图案 109 之间具有足够间隔时，就可以在如图 6 所示的每一个间隔之间形成具有单个线路的伪图案 109。同时，伪图案只形成于图 5A 和图 6 中的线路提取部分的区域 B 和区域 C 中。不过，当在区域 A 171 中的外向线路 108 之间有较大的间隔时，也可以在如图 7 所示的区域 A 中形成伪图案 109。而且，尽管在图 5A~图 7 中以一定方向和恒定间距形成了伪图案 109，但是只需要将伪图案 109 形成为在各个区域中的预定范围内实现平均级差。例如，如图 8 所示，可以将在一定区域（图中的区域 C 183）中的伪图案 109 形成为点图案 189 等。可选情况下，可以将区域 B 182 中的伪图案 109 形成为点图案 189 等，以便抑制在外向线路 108 之间发生短路。
- 20
-
- 25

同时，当在与线路提取部分相对的边沿上没有线路形成时，在该边沿上的平均级差将低于在具有线路提取部分的边沿上的平均级差。而且，当在与栅极线路 112 同一层上形成共用线路，并且在 TFT 衬底 102 的外围上将共用线路连接起来时，该边沿的平均级差将高于具有

30

线路提取部分的边沿的平均级差。在这些情况下，隙缝在整个 LCD 上都有不同。

5 在这些情况下，还可以通过提供专用伪图案 109 或也起到共用线路作用的伪图案 109，来均衡各个区域之间的平均级差，以便平均级差处于预定的范围内。当也使用共用线路作为伪图案 109 时，有必要将位于 TFT 衬底 102 外围的各行上的共用线路连接起来。因此，可以将伪图案 109 形成如图 9 所示的网格，以便将伪图案 109 形成为如图 10 所示的梯子形状，或者通过使用例如一组平行于边沿的线路来形成
10 图案 109。

需要指出的是，如图 5A 至图 11 所示的结构只是一个例子。需要在线路提取部分的各个区域 A 至 C 中和在与线路提取部分相对放置的共用结中形成伪图案 109，以便将平均级差设定在预定范围内。

15 接下来讲述通过使用基于图 16A 的 4-掩模处理来制造具有上述伪图案 109 的 TFT 衬底 102 的方法。

首先，在诸如玻璃衬底等透明绝缘衬底 110 上淀积厚度约为 200nm 的 Al，并且通过使用溅射方法在其上淀积厚度约为 70nm 的 Mo。之后，通过使用已知的光刻技术形成第一抗蚀剂图案。然后，使用第一抗蚀剂图案作为掩模，通过使用诸如磷酸、硝酸和醋酸的混合物等蚀刻剂来执行湿蚀刻。

25 然后，在显示区域形成栅极线路 112（扫描线）和栅电极 112a。同时，在显示区域外部的线路提取部分之一（图 5A 中的低端）上形成如图 5A 至图 8 所示的伪图案 109。同时，在另一个线路提取部分（图 5A 中的左端）上形成待连接到栅极线路 112 的外向线路 108。而且，在与线路提取部分（图 5A 中的上、右端）相对放置的边沿上
30 形成起到如图 9 至图 11 所示共用线路功能的伪图案 109。

接下来, 通过使用等离子 CVD 方法等, 将由硅氮化物膜制成的栅极绝缘膜 113 淀积到厚度约为 300nm。另外, 在其上先后淀积组成 TFT 110 的半导体层的 a-Si 层 114a 和 n⁺a-Si 层 114b, 厚度分别为约 200nm 和 30nm。接着, 通过使用溅射方法在其上淀积厚度约为 300nm 的 Cr。然后, 通过要么使用具有宽度等于或小于沟道部分清晰度限制的遮光部分的光掩模(刻线), 要么使用沟道部分中具有半透明区域的光掩模, 在其上形成与其他部分相比具有较薄沟道部分的第二抗蚀剂图案。

接下来, 通过使用诸如铈铵硝酸盐作为蚀刻剂同时使用抗蚀剂图案作为掩模, 来执行湿蚀刻。然后, 形成漏极线路 116(信号线路)、漏电极 116a、以及源电极 117。

接着, 通过使用干蚀刻方法对 a-Si 层 114a 和 n⁺a-Si 层 114b 进行构图, 以形成半导体层 115。在这一过程中, 在显示区域中形成了半导体层 115 在下层上和漏极线路 116 在上层上的叠片。同时, 在位于显示区域外部的线路提取部分之一(图 5A 中的下端)上形成如图 5A 所示的外向线路 108, 并且在另一个线路提取部分(图 5A 中的左端)上形成类似于图 5A 至图 8 的伪图案 109。

接下来, 通过使用诸如氧等离子灰化方法等干蚀刻方法对第二抗蚀剂图案进行蚀刻, 直到位于沟道部分上的薄的抗蚀剂被完全去除。之后, 在沟道部分中的 Cr 受到蚀刻, 并且然后通过使用干蚀刻方法将 a-Si 层 114a 和 n⁺a-Si 层 114b 部分地去除, 以便暴露出沟道区域。

接下来, 通过使用等离子 CVD 方法等, 将由硅氮化物膜制成的钝化膜 118 淀积到厚度约为 150nm。之后, 通过使用溅射方法, 将接触部分 120 中的钝化膜 118 去除, 并且将由诸如 ITO 等透明电极制成的像素电极 119 形成到厚度约为 40nm。因此, 相应地形成了在接触

部分 120 处连接到源电极 117 上的像素电极 119。之后，在其上涂敷对齐膜，并且在预定方向上受到对齐处理。因此，完成了 TFT 衬底 102。

在上述过程中形成的 TFT 衬底 102 的线路提取部分的区域 A~C 所具有的截面结构如图 12A 至图 12C 所示。具体地说，在区域 A 中形成包括有半导体层 115 和漏极线路 116 的较宽外向线路 108，其中外向线路 108 是倾斜分布的。这里，如上所述，栅极绝缘膜 113 的厚度等于 300nm，半导体层 115 的厚度等于 230nm，漏极线路 116 的厚度为 300nm，并且钝化膜 118 的厚度等于 150nm。由于每一个外向线路 108 在 I-I 方向上的宽度等于 $83\mu\text{m}$ ，并且间距设为 $110\mu\text{m}$ ，因此通过将单位部分（例如一个间距）中的组件（栅极绝缘膜 113、半导体层 115、漏极线路 116 和钝化膜 118）的截面面积除以一个间距的宽度计算得到的值（平均级差）等于 $0.40\mu\text{m}$ 。

同时，伪图案 109 进一步形成于与外向线路 108 在其中与边沿垂直形成的区域 B 中的栅极线路 112 同一层中。这里，伪图案 109 的厚度，也就是栅极线路 112 的厚度，等于 270nm，每一个外向线路 108 的宽度等于 $25\mu\text{m}$ ，其间距等于 $65\mu\text{m}$ ，并且伪图案 109 的线路和间距等于 $8\mu\text{m}$ 。因此，类似地计算平均级差得 $0.27\mu\text{m}$ 。

同时，只有伪图案 109 形成于与其中没有形成外向线路 108 的区域 C 中的栅极线路 112 同一层中。这里，伪图案 109 的厚度等于 270nm，伪图案 109 的宽度等于 $10\mu\text{m}$ ，并且伪图案 109 的间距等于 $5\mu\text{m}$ 。因此，类似地计算平均级差得 $0.20\mu\text{m}$ 。

因此，计算得到在区域 A、B 和 C 中平均级差的变化（通过将最大值减去最小值而得到的值）为 $0.40-0.20=0.20\mu\text{m}$ 。同时，在图 5A 左侧的线路提取部分中，外向线路 108 形成于与区域 A 中的栅极线路 112 同一层中，伪图案 109 进一步形成于与区域 B 中的漏极线路 116 同一层中，并且只有伪图案 109 形成于区域 C 中的漏极线路 116 同一

层中。因此，这些区域中的平均级差与上述级差的值相同。

同时，在没有形成伪图案 109 的情况下，作为对如图 2A 至图 2C 所示的现有结构进行类似计算的结果，现有结构的区域 A 中的平均级差等于 $0.40\mu\text{m}$ ，与该实施例的结构一样。区域 B 中的平均级差等于 $0.13\mu\text{m}$ ，小于该实施例的结构，因为该实施例不具有伪图案 109。区域 C 中的平均级差等于 $0\mu\text{m}$ ，它表示绝缘膜（栅极绝缘膜 113 和钝化膜 118）具有统一的厚度。因此，平均级差的变化等于 $0.40\mu\text{m}$ 。

这里，通过将组件的截面面积处以宽度计算得到的平均级差被用于估计每一个区域中的不平坦性而不是局部级差。这是因为如果应用局部级差的话，无法区分具有较高密度外向线路 108 的区域和具有较低密度外向线路的区域。通过使用平均级差，可以正确地估计出隙缝变化。而且，随着平均级差变化越来越小，区域之间的有效高度差就越来越适度。因此，可以抑制衬底之间的隙缝变化，也就是显示质量的恶化。

因此，为了估计使用平均级差的合适度，在具有该实施例结构的 LCD 外围中和在具有现有结构的 LCD 外围中生成的隙缝得到实际上的测量。结果如图 13 所示。观察图 13 可以看出，与现有结构（由细线所示）相比，该实施例结构（由粗线所示）中的隙缝变化容易受到抑制。因此，显然可以通过使用平均级差来估计衬底之间的隙缝。

而且，为了澄清平均级差和显示质量之间的相关程度，通过测量以三种结构类型出现在 LCD 的显示表面上的干涉条纹个数来估计出显示质量。这三种结构类型分别为平均级差为 $0.20\mu\text{m}$ （700 个样本以上）的该实施例结构，平均级差为 $0.40\mu\text{m}$ （100000 个样本以上）的现有结构，以及平均级差为 $0.25\mu\text{m}$ （500 个样本以上）的结构。结果如图 17 和图 14 所示。

观察图 17, 在如图 5A 和图 5B 所示的该实施例结构中, 在所有 700 个样本中, 干涉条纹的个数等于或低于一条线路, 并且显示质量是合适的。对于平均级差为 $0.25\mu\text{m}$ 的结构来说, 干涉条纹的个数在 1~2 个线路的范围内。该结构比该实施例结构具有较差的质量显示, 但是仍然在产品的可允许范围内。相反, 在现有结构中, 干涉条纹的个数在 2~4 个线路的范围内, 并且该结构的许多样本超出可允许的范围。而且, 观察图 14 明显可以看出, 各种结构的干涉条纹个数的平均值基本上位于直线上, 这意味着干涉条纹的增加与平均级差的增加成正比。结果, 将产品的可允许干涉条纹个数设为等于或低于 2 个线路是合适的。为了将干涉条纹的个数减少到 2 个线路或以下, 明显地应该将平均级差设定为约 $0.3\mu\text{m}$ 以下。因此, 就线路提取部分的提供有密封元件的区域的各个区域来说, 通过设置伪图案的线路的宽度和个数, 以便通过将各个组件的截面面积除以宽度所获得的平均级差处于等于或小于 $0.3\mu\text{m}$ 的变化范围内, 可以获得具有优良显示质量的 LCD。

同时, 当使用诸如紫外线凝固树脂等光凝固树脂来作为密封元件 105 时, 在将衬底如图 4C 所示粘贴到一起之后, 将诸如紫外线等光线照射到 TFT 衬底 102 的后端。因此, 结果是伪图案 109 的密度增加使光传输更为复杂, 并且因此使密封元件 105 的凝固更为复杂。因此, 当设置伪图案 109 的宽度和个数时, 优选情况下在保持住平均级差的变化等于或低于 $0.3\mu\text{m}$ 这一范围的同时, 通过减小伪图案 109 的宽度来提供足够的孔径大小。更为准确地说, 已经证实, 通过将数值化孔径 (其中没有形成外向线路 108 和伪图案 109 的部分的面积与这些区域的面积之比) 设置为等于或大于 25% 和将外向线路 108 和伪图案 109 的宽度设置为等于或小于 $80\mu\text{m}$, 则肯定能够凝固密封元件 105。

如上所述, 根据外向线路 108 的密度, 将线路提取部分的提供有密封元件的区域分成三个或以上的区域。而且, 在至少两个区域中形成有伪图案 109, 以便得到通过将每一个区域中的组件的横截面积除

以宽度计算得到的等于或小于 $0.3\mu\text{m}$ 的平均级差变化，以便得到等于或大于 25% 的数值化孔径，以及得到外向线路 108 和伪图案 109 的等于或小于 $80\mu\text{m}$ 的宽度。另外，在位于线路提取部分的相对边沿上的共用结中，通过形成专用的伪图案 109 或也起到共用线路作用的伪图案 109，可以将位于 LCD 外围中的隙缝变化减小到看不见的级别，以满足类似的条件。因此，可以制造出具有优良显示质量的 LCD。

（第二实施例）

接下来参考图 5A 至图 16C 来讲述根据本发明第二实施例的 LCD 及其制造方法。

在第一实施例采取的结构中，伪图案 109 位于其中形成有外向线路 108 的两个边沿（图 5A 中的下端和左端）上。相反，在本发明的第二实施例中，伪图案 109 位于边沿的任何一个上（例如，在容易引起隙缝变化的较长边沿上）。

本发明第二实施例的其他结构与第一实施例的结构一样。因此被标以相同的标号。因此，这里省略了对本发明第二实施例的详细讲述。

（第三实施例）

接下来参考图 5A 至图 16C 来讲述根据本发明第三实施例的 LCD 及其制造方法。

在第一实施例采取的结构中，位于与栅极线路 112 同一层上的伪图案 109 也用作为与线路提取部分相对的边沿上的共用线路。相反，在本发明的第三实施例中，伪图案 109 位于与共用线路相分开的漏极线路 116 同一层上。

本发明第三实施例的其他结构与第一实施例的结构一样。因此被标以相同的标号。因此，这里省略了对本发明第三实施例的详细讲述。

（第四实施例）

接下来参考图 5A 至图 16C 来讲述根据本发明第四实施例的 LCD 及其制造方法。

5

对第一实施例的讲述以使用 4-掩模处理为例。相反，根据本发明第四实施例的 LCD 及其制造方法使用了 5-掩模处理。本发明还可应用于使用 5-掩模处理的情况。因此，这里省略了对本发明第四实施例的详细讲述。

10

另外，根据本发明第一实施例的 LCD 及其制造方法采取了反向锯齿结构，其中栅电极 112a 形成于半导体层 115 的下面。不过，本发明并不限于这一结构，并且本发明还可以应用于锯齿结构，其中栅电极 112a 形成于半导体层 115 上。

15

因此，明显地，这些实施例可以应用于任何 LCD 面板，包括扭曲向列液晶显示（TN LCD）面板，其中透明电极位于各个衬底上，并且液晶被衬底之间的纵向方向上的电场所驱动；平面内开关模式液晶显示（IPS LCD）面板，其中梳状电极位于衬底之一上，并且液晶被梳状电极之间的电场所驱动；以及类似的液晶显示面板。

20

25

如上所述，根据本发明的 LCD，线路提取部分的提供有密封元件的区域根据外向线路的密度被分为三个或更多的区域，并且考虑到通过将组件的截面面积除以宽度计算得到的从衬底表面开始的有效高度，以及考虑到用于凝固密封元件的条件，在至少两个区域中形成有伪图案。因此，可以有效地抑制由各个区域之间的级差所引起的衬底间隙缝变化。而且，通过在其中没有形成外向线路的边沿上类似地形成伪图案，或者通过使用共用线路作为伪图案，可以抑制整个 LCD 上的隙缝变化，并且从而提高显示质量。进而，通过在与其中形成有外向线路的层不同的层上形成伪图案，或者通过例如以具有多个平行

30

线的图案形式或者以点图案的形式在外向线路之间形成伪图案，肯定可以防止相邻线路之间发生短路。

本发明具有下述有利作用。

5

本发明的第一个作用是能够通过抑制位于 LCD 外围中的衬底之间的隙缝变化来改善显示质量。

10

这可以归因于各个区域之间的级差能够通过根据外向线路密度将位于 TFT 衬底外围上的线路提取部分的提供有密封元件的区域分成三个或更多区域和通过在一个边沿上的至少两个区域中形成伪图案而得到有效抑制这一事实。考虑到在形成伪图案时通过在每一个区域中将组件的截面面积除以宽度计算得到的自衬底表面的有效高度（平均级差），还可以将它归因于可以通过设置伪图案的形状和其他因子来将衬底之间的隙缝变化设置在可允许的范围内以便在具有最高密度外向线路的区域和具有最低密度外向线路的区域中将平均级差之间的差设定为等于或低于根据实验所得到的标准值（ $0.3\mu\text{m}$ ）这一事实。而且，对于其中没有形成外向线路的边沿，它还可以归因于通过类似地形成伪图案或通过使用共用线路作为伪图案可以抑制整个 LCD 上的隙缝变化这一事实。

20

本发明的第二个作用是能够防止在外向线路之间发生短路。

25

这归因于在与其中形成有外向线路的层不同的层上（具体地说，当在漏极线路上形成外向线路时在与栅极线路同一层上，或者当在栅极线路上形成外向线路时在与漏极线路同一层上）形成伪图案这一事实，并且相邻外向线路通过伪图案几乎不会发生短路。而且，它还归因于即使外向线路与伪图案发生部分短路，通过将伪图案形成为具有多个平行线的图案或形成点图案，也可以防止在外向线路之间发生短路这一事实。

30

本发明的第三个作用是能够防止密封元件的不充分凝固。

5 这归因于当使用光凝固树脂作为密封元件时，考虑用于凝固密封元件的条件来设置用于形成伪图案的条件这一事实，并且因此可以从 TFT 衬底的后端将足够的光照射到密封元件上。

10 上述作用可以在任何一种 LCD 类型中实现。不过，，在以高密度提供有密封元件的区域中形成有外向线路的窄框架类型的 LCD 中或者在通过与较厚的外向线路有关的 4-掩模处理所形成的 LCD 中，作用更为明显。

很明显，本发明不仅限于上述实施例，而且可以对其进行修正和改变，只要不偏离本发明的范围和精神主旨。

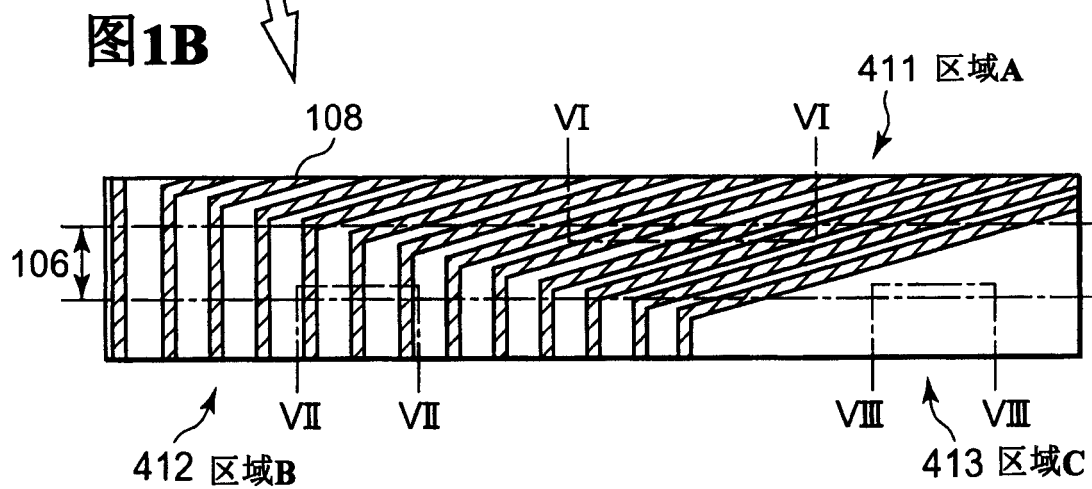
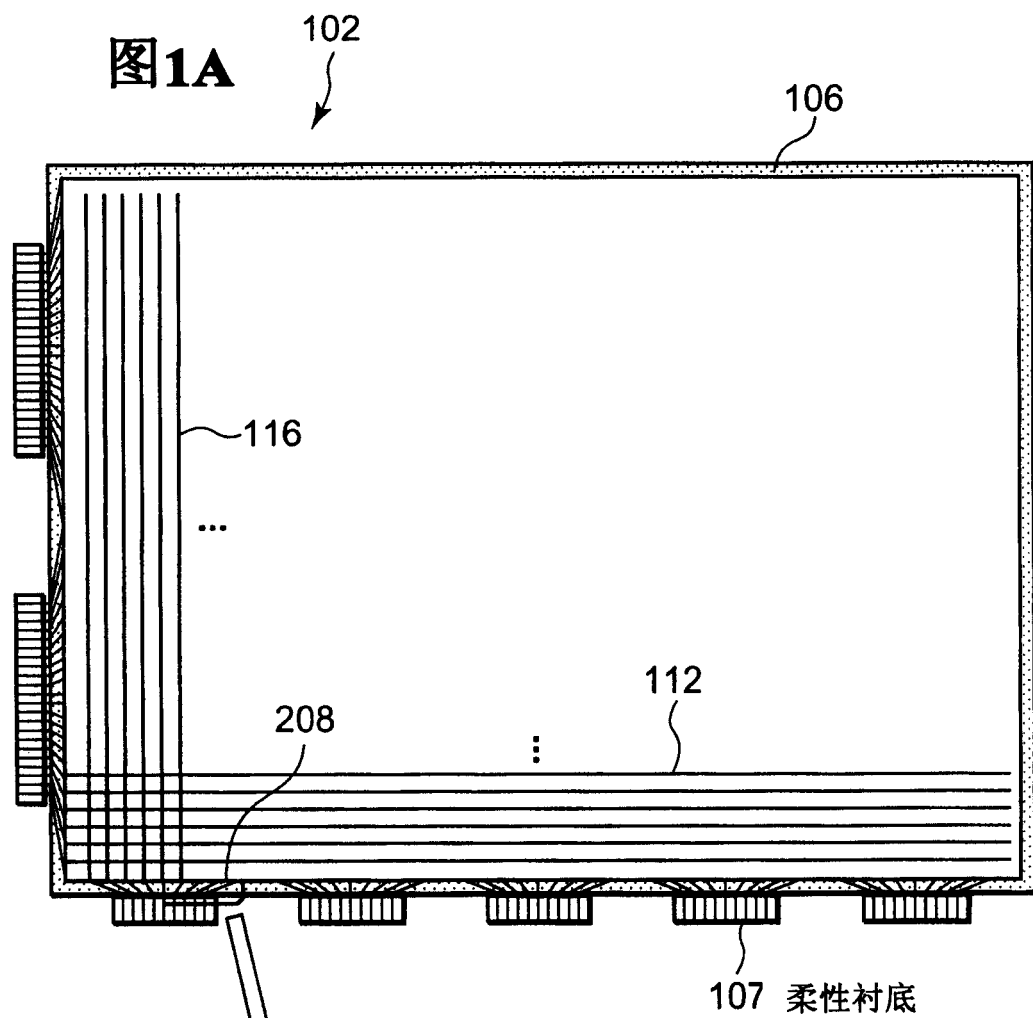
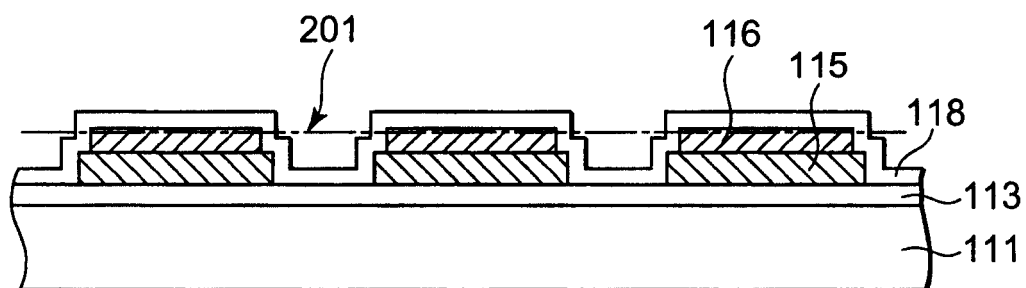
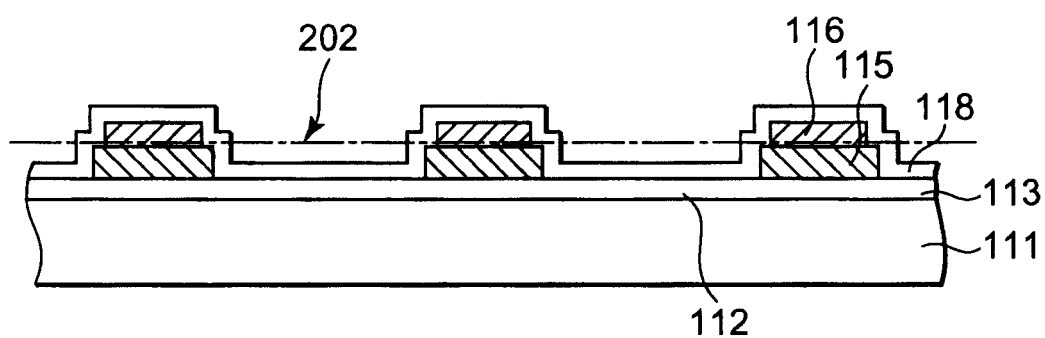


图2A

411 区域A

**图2B**

412 区域B

**图2C**

413 区域C

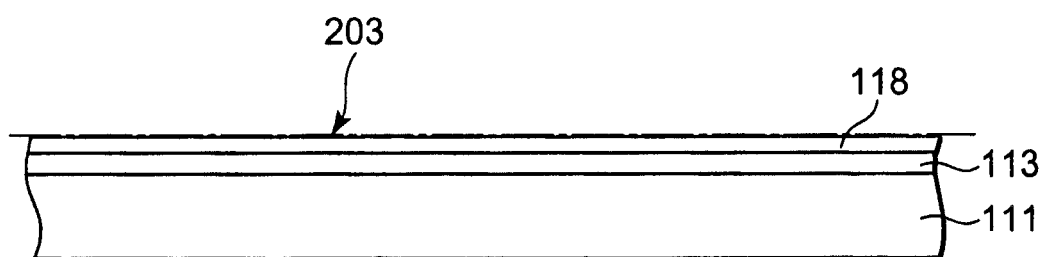


图3A

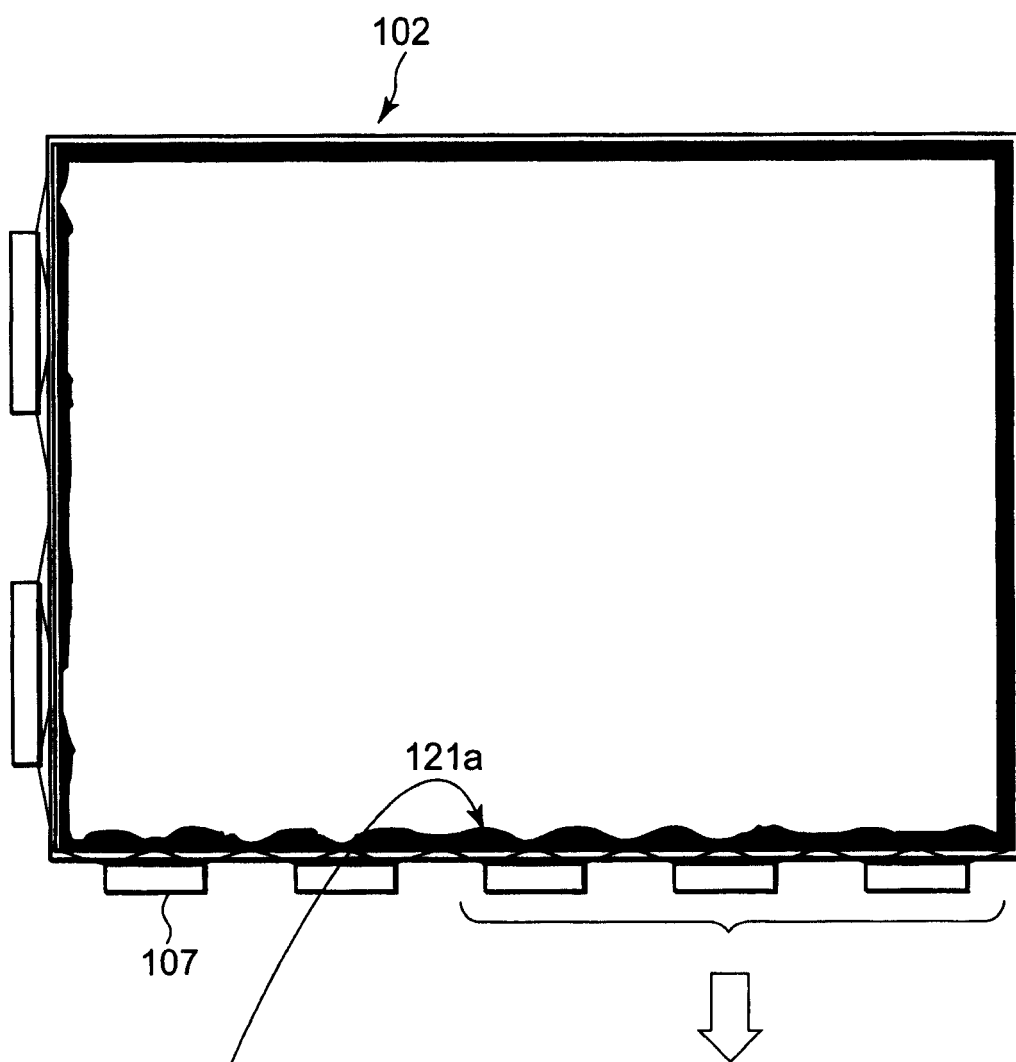


图3B

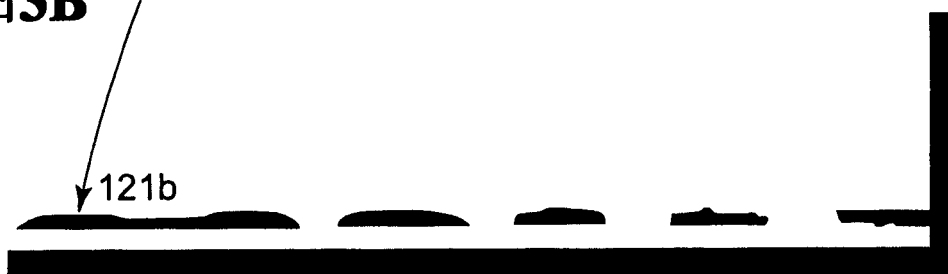


图4A



图4B

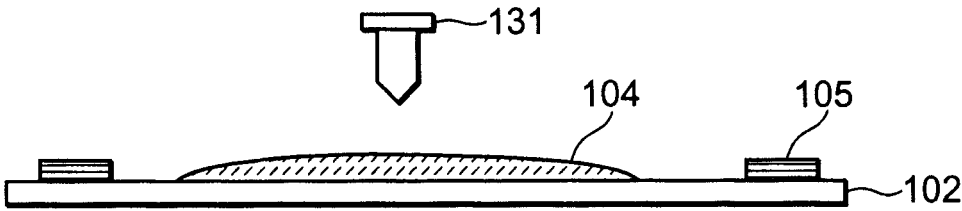
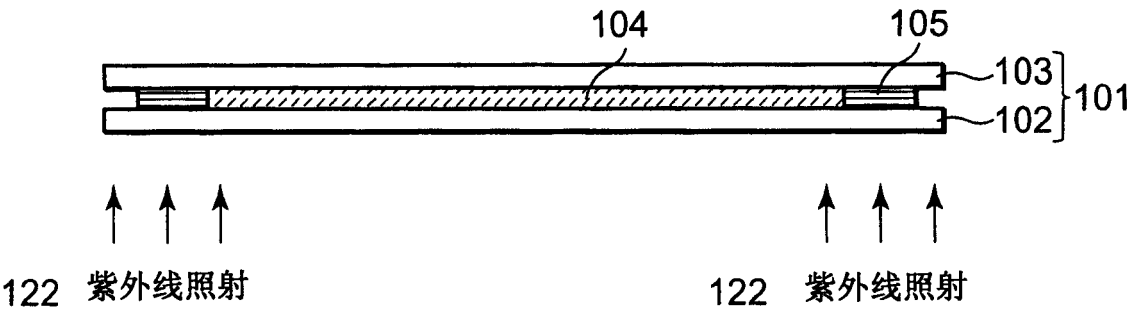


图4C



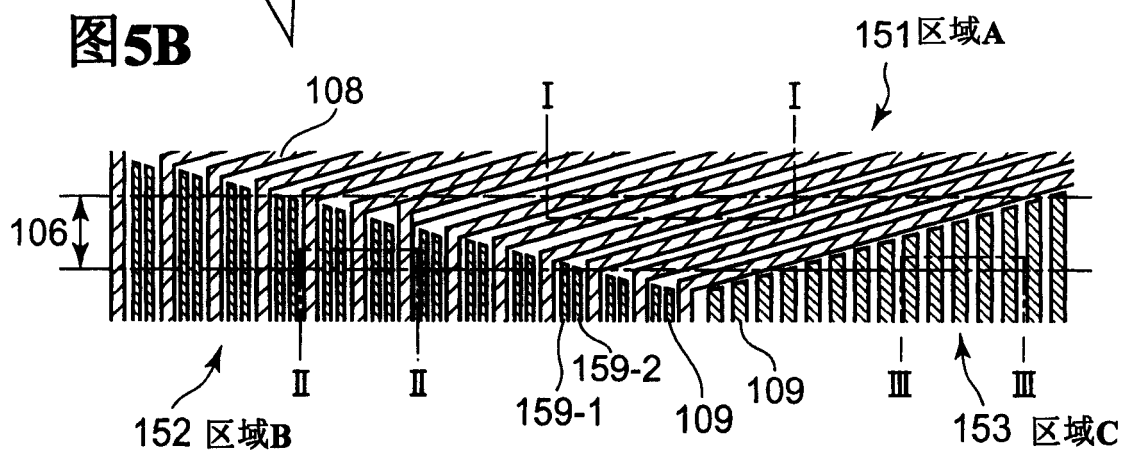
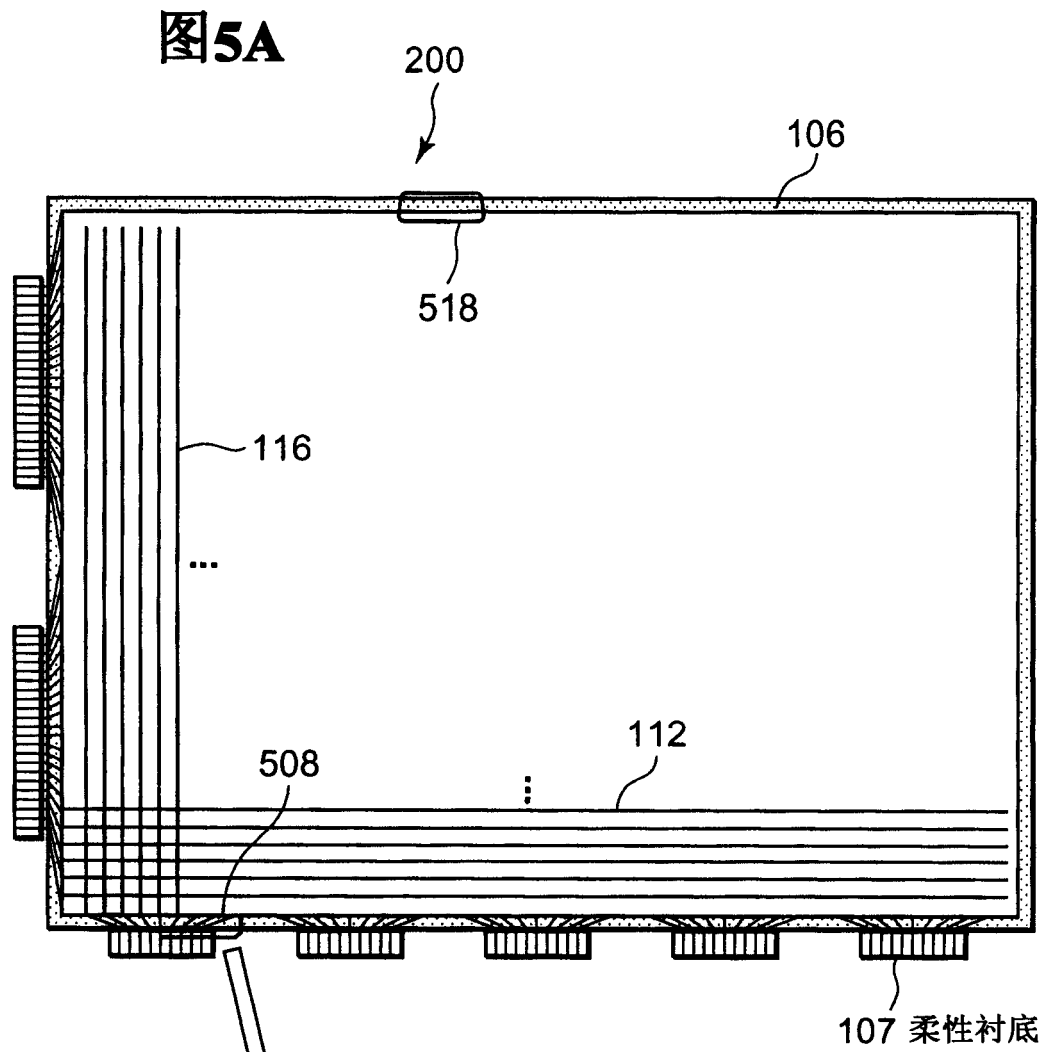


图6

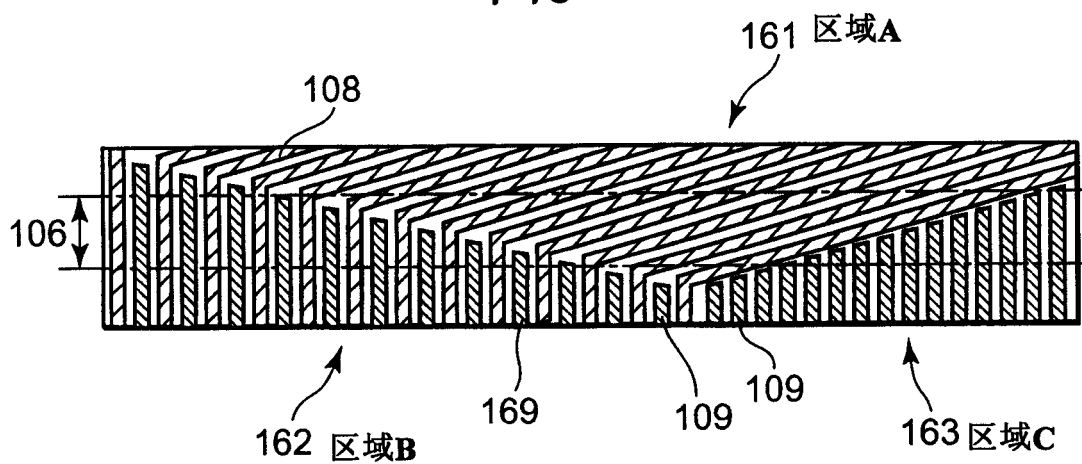


图7

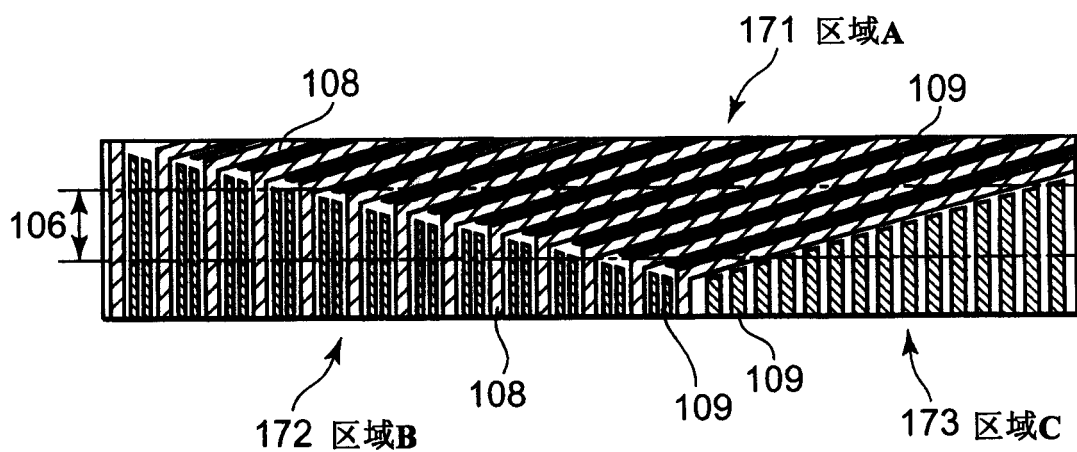


图8

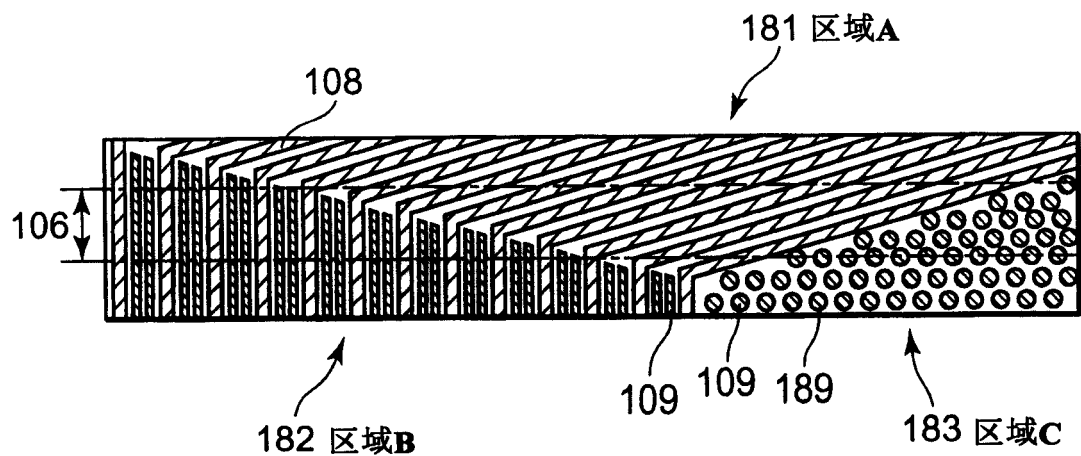


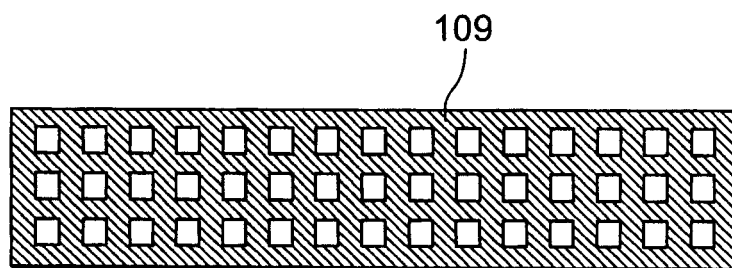
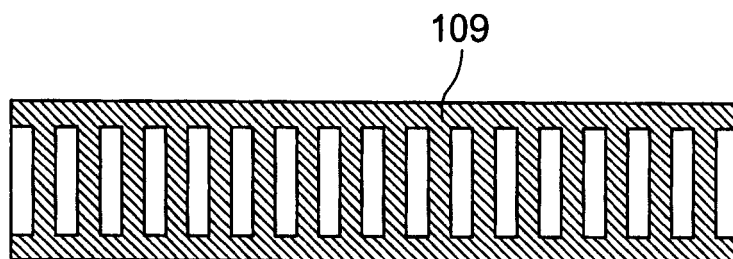
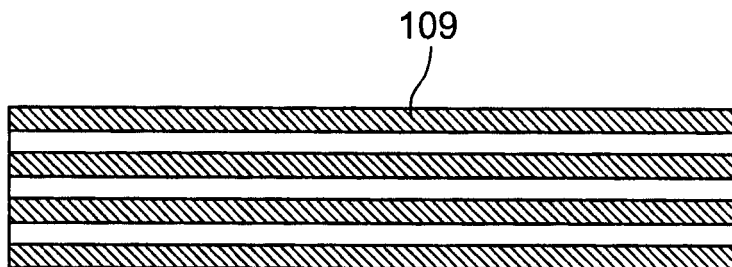
图9**图10****图11**

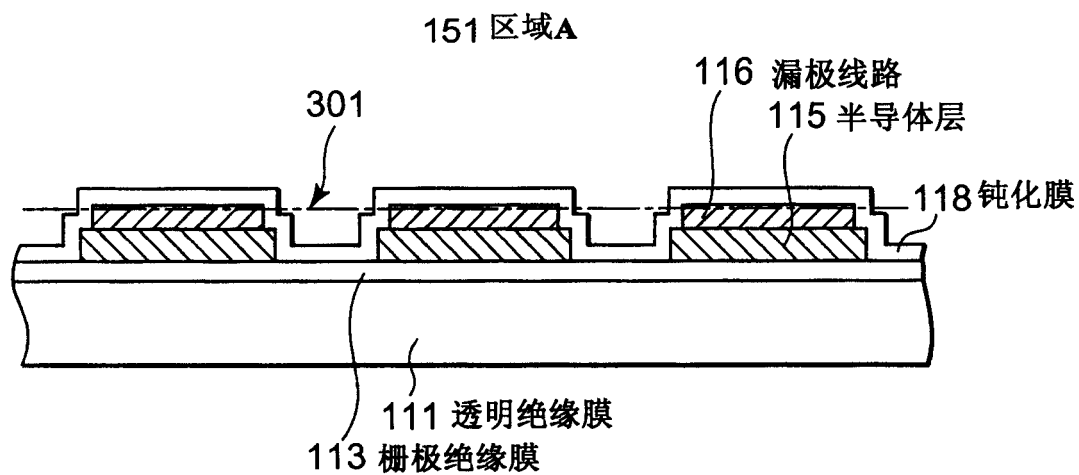
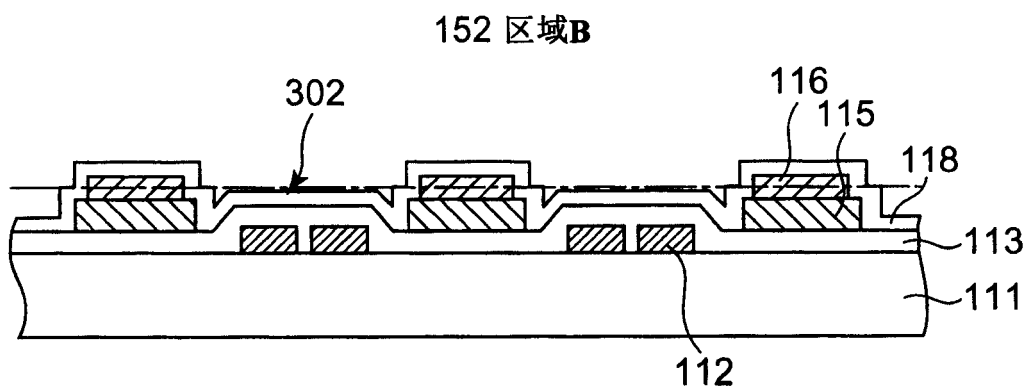
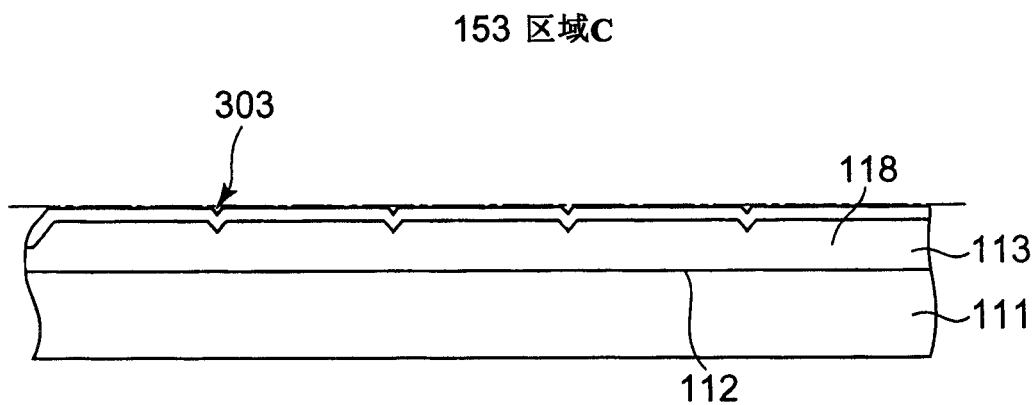
图12A**图12B****图12C**

图13

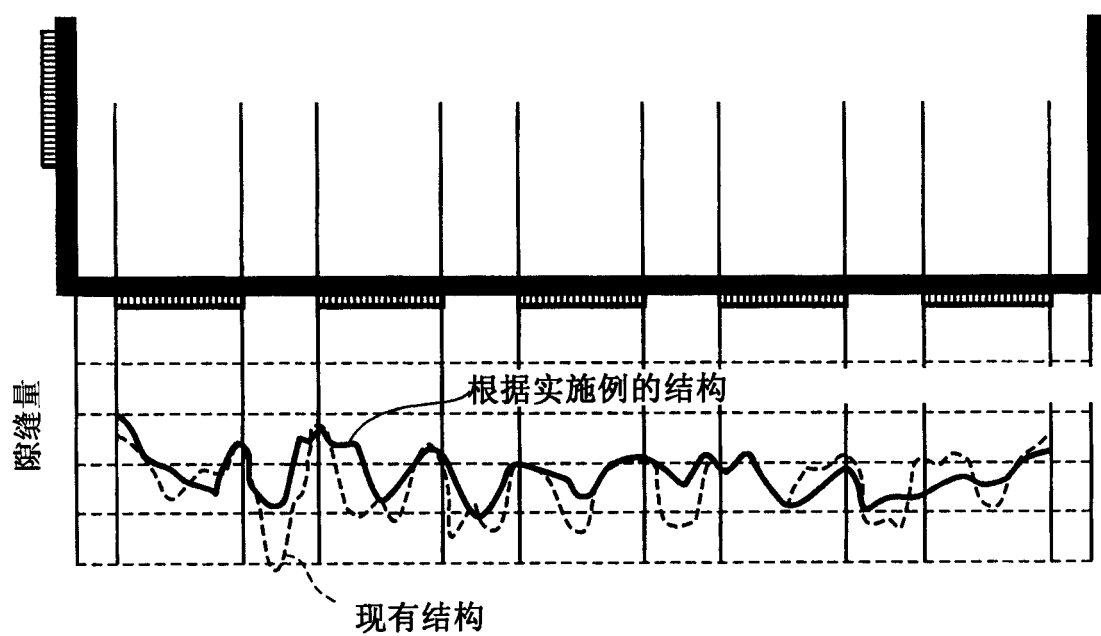


图14

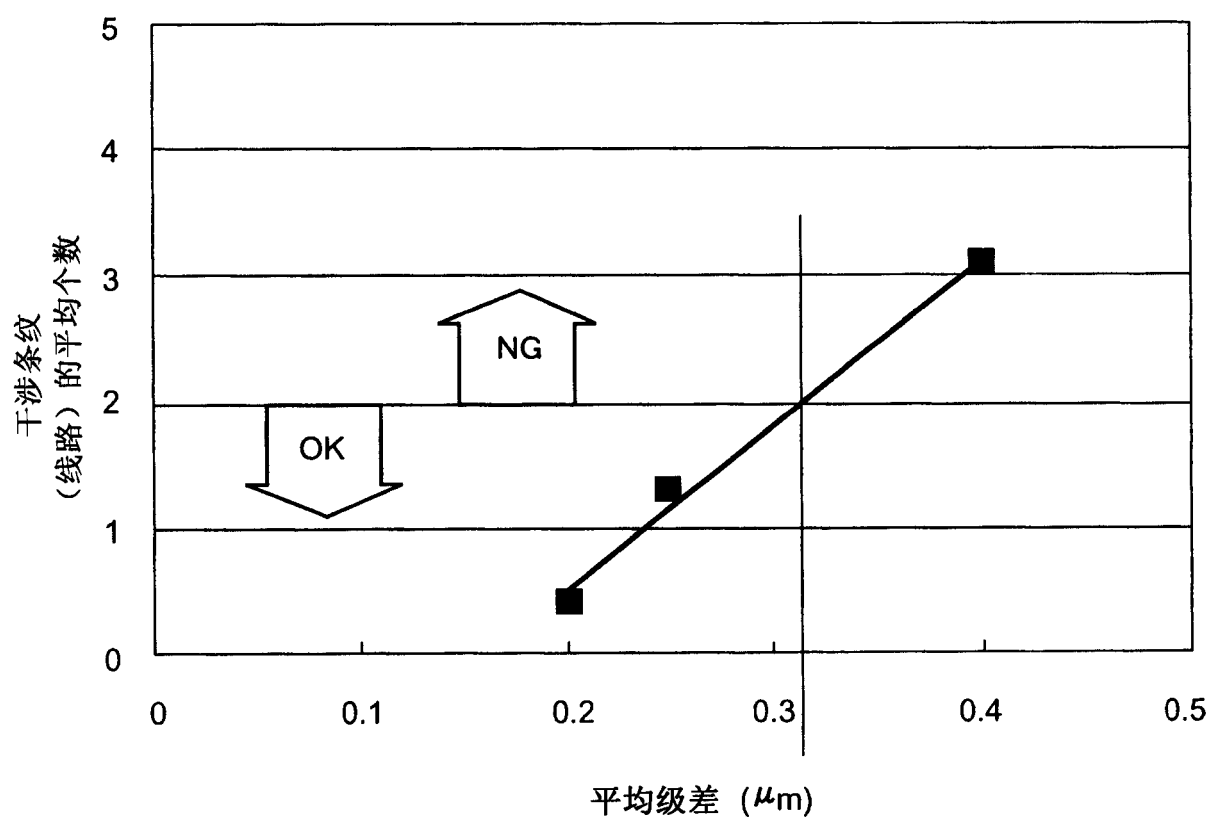


图15A

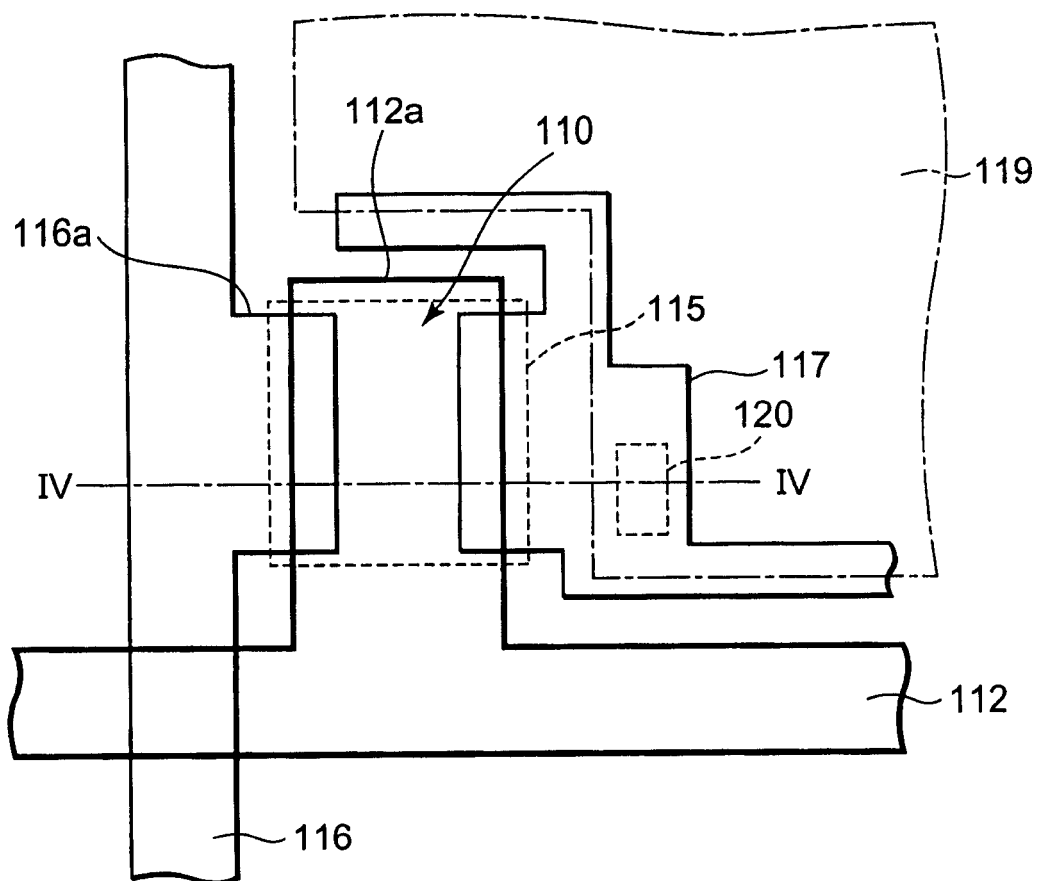


图15B

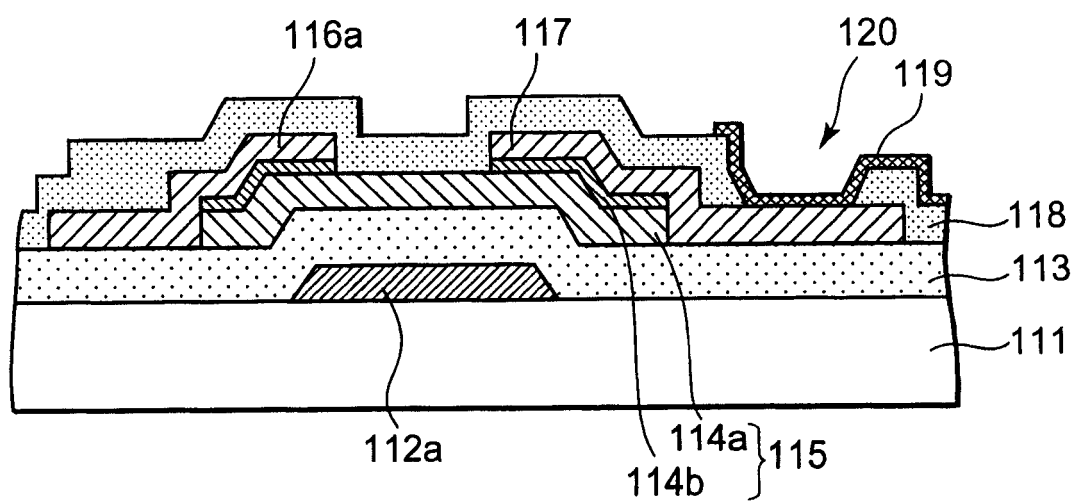


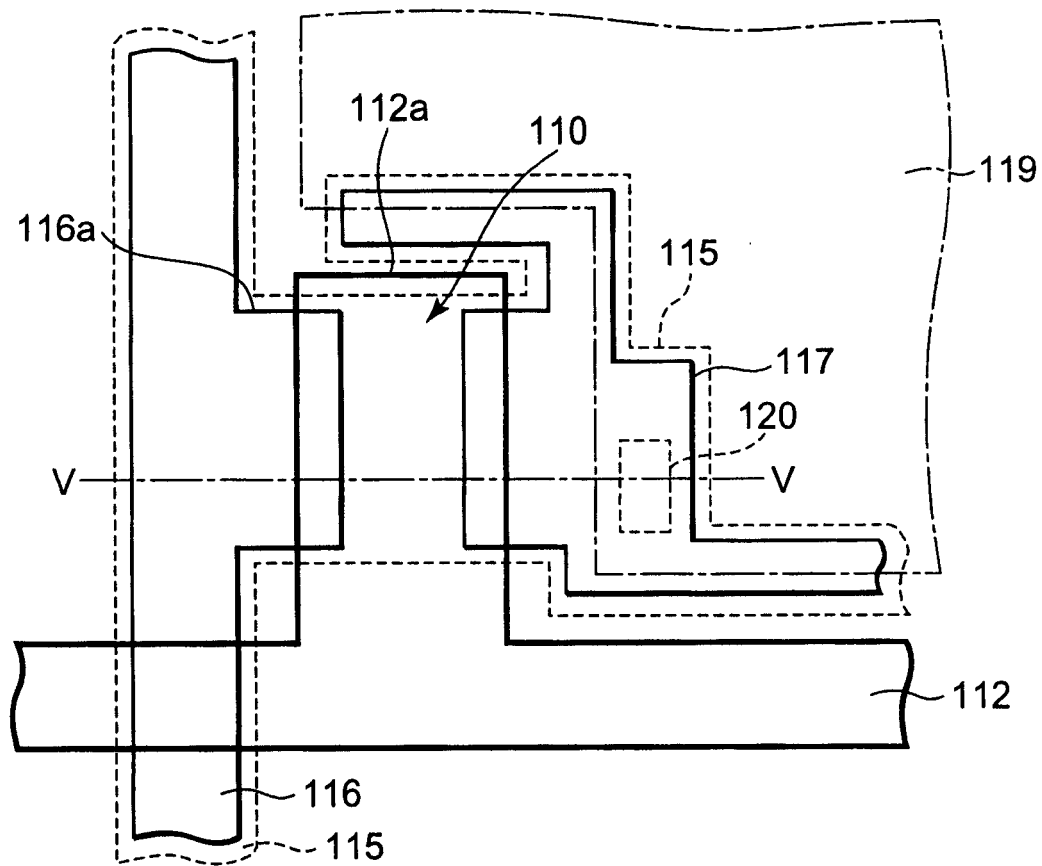
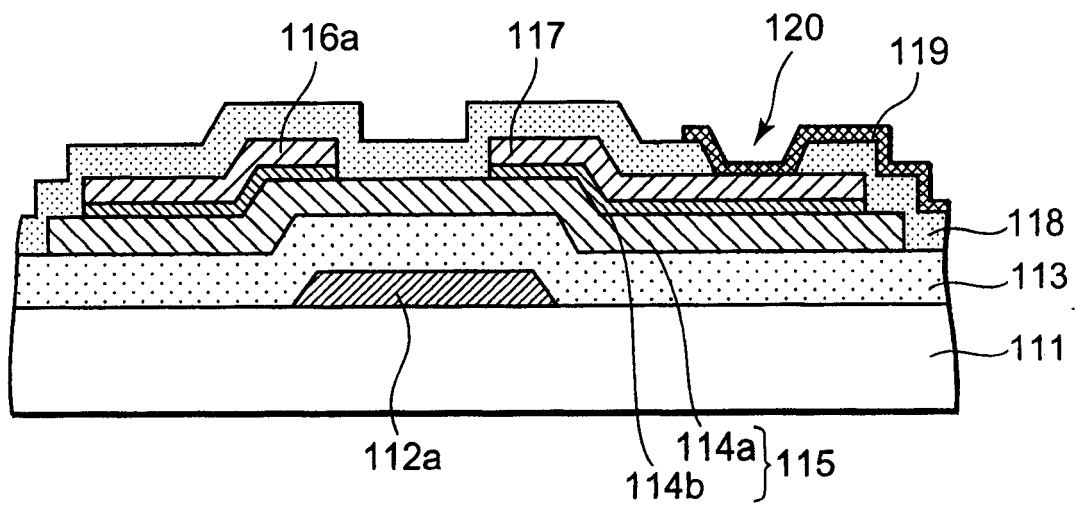
图16A**图16B**

图17

平均级差	干涉条纹的平均个数	判断	样本个数	备注
0.20 μm	1条线	○	700或以上	根据实施例的结构
0.25 μm	1至2条线	○ △	1000或以上	
0.40 μm	2至4条线	△ ×	500或以上	现有结构

专利名称(译)	液晶显示设备以及制造该设备的方法		
公开(公告)号	CN1627170A	公开(公告)日	2005-06-15
申请号	CN200410100094.6	申请日	2004-12-10
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC液晶技术株式会社		
当前申请(专利权)人(译)	NEC液晶技术株式会社		
[标]发明人	桥本宜明		
发明人	桥本宜明		
IPC分类号	G02F1/1339 G02F1/1343 G02F1/1345 G02F1/136 G02F1/133 H01L21/00 H01L29/786		
CPC分类号	G02F1/1345 G02F1/1339		
优先权	2003411873 2003-12-10 JP		
其他公开文献	CN100394288C		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示设备，包括线路提取部分(508)的提供有密封元件的区域，该区域被分成三个或更多的区域，即区域A(151)、区域B(152)和区域C(153)，以有效抑制由外向线路的密度差别所引起的不平坦性。而且，在每一个区域中，隙缝变化被抑制到无法分辨的级别。另外，伪图案是在不影响密封元件凝固的条件下，在与其中形成有外向线路(108)的层不同的层上形成的。而且，合适情况下，在相对于线路提取部分的边沿上类似地形成伪图案。

