



## [12] 发明专利申请公开说明书

[21] 申请号 01818565.7

[43] 公开日 2005 年 3 月 9 日

[11] 公开号 CN 1592866A

[22] 申请日 2001.11.6 [21] 申请号 01818565.7

[30] 优先权

[32] 2000.11.8 [33] JP [31] 340057/2000

[32] 2000.11.9 [33] JP [31] 341376/2000

[86] 国际申请 PCT/JP2001/009703 2001.11.6

[87] 国际公布 WO2002/039179 日 2002.5.16

[85] 进入国家阶段日期 2003.5.8

[71] 申请人 西铁城時計株式会社

地址 日本东京都

[72] 发明人 秋山贵 高桥贤一 渡边真

矢野结资 增田崇臣

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

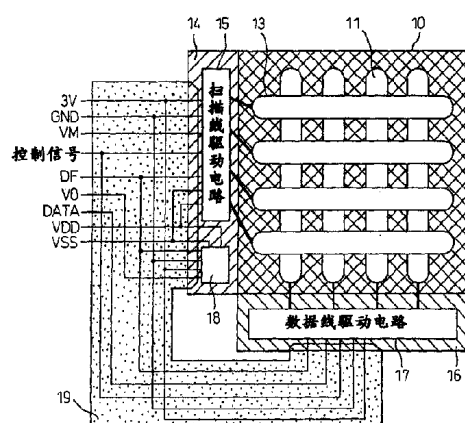
代理人 付建军

权利要求书 3 页 说明书 25 页 附图 21 页

[54] 发明名称 液晶显示装置

[57] 摘要

提供一种液晶显示装置，备有将液晶夹持在有多条数据线的第一透明基板和有与数据线交叉的多条扫描线的第二透明基板之间的液晶面板；连接在多条数据线上的数据线驱动集成电路；以及驱动多条扫描线的扫描线驱动集成电路，其特征在于：将数据线驱动集成电路安装在第一透明电极基板上，将扫描线驱动集成电路安装在第二透明基板上，同时将根据液晶驱动的交流化信号使振幅一定，摇动上述扫描线驱动集成电路的电源电位用的摇动电源集成电路直接安装配置在第一透明基板或第二透明基板上。通过这样构成，能使液晶显示装置低功耗化、小型化、低成本化，在设计及制造上也有很多优点，能提高产品的可靠性。



1. 一种液晶显示装置，备有：将液晶夹持在有多条数据线的第一透明基板和有与数据线交叉的多条扫描线的第二透明基板之间的液晶面板；连接在上述多条数据线上的数据线驱动集成电路；以及驱动上述多条扫描线的扫描线驱动集成电路，该液晶显示装置的特征在于：

将上述数据线驱动集成电路安装在上述第一透明电极基板上，将扫描线驱动集成电路安装在第二透明基板上，同时将根据液晶驱动的交流化信号使振幅一定，摇动上述扫描线驱动集成电路的电源电位用的摇动电源集成电路直接安装配置在上述第一透明基板或上述第二透明基板上。

2. 根据权利要求1所述的液晶显示装置，其特征在于：用单一的芯片构成上述摇动电源集成电路，直接安装配置在上述第二透明基板上。

3. 根据权利要求1或2所述的液晶显示装置，其特征在于：上述摇动电源集成电路将规定摇动电源的振幅的升压电路的输出、以及液晶驱动的交流化信号作为输入而取入。

4. 根据权利要求1或2所述的液晶显示装置，其特征在于：

上述摇动电源集成电路由第一输出块电路、第二输出块电路、以及第三输出块电路构成的三个输出块电路；以及一个放电块电路构成，

上述第一输出块电路由将从外部输入的基准信号的振幅变换成规定的振幅的电平移位电路；控制由电平移位电路进行了电平变换的基准信号的时序的第一逻辑电路；以及输出上述第一逻辑电路的输出的第一输出控制电路构成，

上述第二输出块电路由控制上述基准信号的时序的第二逻辑电路；以及输出上述第二逻辑电路的值的第二输出控制电路构成，

上述第三输出块电路由对上述基准信号进行箝位的箝位电路；以及输出上述箝位电路的值的第三输出控制电路构成，

上述放电块电路由检测系统电源被断开的检测电路；以及根据由

上述检测电路检测的信号使上述第三输出控制电路短路的放电电路构成。

5. 根据权利要求 1 或 2 所述的液晶显示装置，其特征在于：

上述驱动电源集成电路由第一输出块电路、第二输出块电路、第三输出块电路构成的三个输出块电路；以及一个放电块电路构成，

上述第一输出块电路由将从外部输入的基准信号的振幅变换成规定的振幅的电平移位电路；控制由上述电平移位电路进行了电平变换的基准信号的时序的第一逻辑电路；以及由上述第一逻辑电路输出的信号被连接在栅极上的倒相器构成的第一输出控制电路构成，

上述第二输出块电路由控制上述基准信号的时序的第二逻辑电路；以及由来自上述第二逻辑电路的输出信号被连接在栅极上的第一 PMOS - FET 的开路漏极电路构成的第二输出控制电路构成，

上述第三输出块电路由对上述基准信号进行箝位的箝位电路；以及由来自上述箝位电路的输出信号被连接在栅极上的第二 PMOS - FET 的开路漏极电路构成的第三输出控制电路构成，

上述放电块电路由检测系统电源被断开的检测电路；以及根据由上述检测电路检测的信号使上述第三输出控制电路短路的放电电路构成。

6. 根据权利要求 4 或 5 所述的液晶显示装置，其特征在于：上述箝位电路备有这样的结构，即电容器的一端连接作为输入的基准信号，另一端连接在第一二极管的阴极、第一电阻的一端、以及上述第二 PMOS - FET 的栅极上，上述第一二极管的阳极和上述第一电阻的另一端连接在上述第二 PMOS - FET 的源极和主体上。

7. 根据权利要求 4 或 5 所述的液晶显示装置，其特征在于：上述放电块电路备有这样的电路结构，即第三 PMOS - FET 的源极和主体连接在上述第一 PMOS - FET 的源极和主体上，栅极连接在上述第二 PMOS - FET 的源极和主体上，漏极连接在第四 PMOS - FET 的栅极和第二电阻上，上述第四 PMOS - FET 的源极和主体连接在上述第二 PMOS - FET 的源极和主体上，漏极连接在第三电阻上，上述第三电

阻的一端连接在上述第二电阻和上述第二 PMOS - FET 的漏极上。

8. 根据权利要求 4 或 5 所述的液晶显示装置, 其特征在于: 上述第一输出块电路备有输出选择电路, 该输出选择电路由多个 PMOS - FET 和多个 NMOS - FET 构成, 上述 PMOS - FET、上述 NMOS - FET 各自的栅极输入端具有不管基准信号如何, 能利用来自外部的输出设定端子, 使上述多个 PMOS - FET 的一部分和上述多个 NMOS - FET 的一部分经常断开的功能。

## 液晶显示装置

### 技术领域

本发明涉及有配置成矩阵的多条扫描线和多条数据线的液晶显示装置，特别是涉及将采用摇动驱动扫描线驱动电路的电源的摇动电源法的电源生成电路集成电路化，配置在扫描线驱动电路附近的液晶显示装置；以及摇动电源生成电路的电路结构。

### 背景技术

近年来，伴随信息化社会的进展，在电视、个人计算机监视器、导航显示装置、投影显示装置、仰视显示装置、游戏用显示装置、电话用显示装置等广大领域内，采用矩阵型显示装置。

作为矩阵型显示装置，在各种领域中采用例如 EL（电致发光）显示装置、以液晶显示装置为代表的无源地址型液晶显示装置、或有源地址型（TFT、MIM、TFD）液晶显示装置。特别是液晶显示装置具有小而薄、重量轻、功耗低等特征，在小型、中型显示装置领域中广泛地普及，使得等离子体显示装置等其他显示装置几乎来不及跟随。

这样，使用液晶或 EL 的显示装置虽然具有小而薄、重量轻、功耗低等优点，但在现实情况下，如一向所述，还不能说确实充分地发挥了这样的各种优点。

图 17 是现有的液晶显示装置的一例的主要部分结构框图。如图所示，液晶显示装置 10 由驱动数据线 11 的数据线驱动电路 17、以及驱动沿着与该数据线正交的方向设置的扫描线 13 的扫描线驱动电路 15 构成。

如图所示，电源电压 3.0V 被供给升压电路 171、电源电路 170、以及扫描线驱动电路 15，还被供给基准电压生成电路 173 及数据线驱动电路 17。而且电源 V0 从升压电路 171 供给电源电路 170，另外扫

描线驱动用电源 VDD 和 VSS 从电源电路 170 供给扫描线驱动电路 15，驱动基准电压 VM 从基准电压生成电路 173 供给扫描线驱动电路 15。另外从 LCD 控制器（图中未示出）输入控制信号。这些电源和根据控制信号驱动扫描线的驱动信号被加在扫描线上。

电源电压（也称为数据线用直流电压）3.0V 被供给数据线驱动电路 17，同时从 LCD 控制器（图中未示出）输入控制信号和数据信号。利用这些电源和时序信号驱动数据线。

可是，这样构成的液晶显示装置，由于携带性很重要，所以从市场方面要求进一步小型化，同时为了获得良好的识别性，而要求更大的显示画面。因此，强烈地要求在有限的空间内扩大显示区域，其另一方面，显示区域的周边由于小型化而变得越发狭小。

在图示的现有例中，由集成电路构成配置在液晶显示装置 10 的周边的扫描线驱动电路 15 及数据线驱动电路 17，采用以 IC 芯片状态安装在透明基板上的芯片载于玻片结构（以下称 COG）。因此，在本例的结构中，通过将集成电路作得更小，使周边区域狭窄，能使显示装置的外形小型化。

作为使安装了 IC 芯片的周边区域更狭窄的一种方法，虽然有必要使扫描线驱动电路 15 和数据线驱动电路 17 进一步小型化，但作为小型化的方法的一例，有通过降低集成电路的最大电压，使元件的尺寸更小的方法（小型化、密集化）。

图 18（A）及图 18（B）是现有结构的驱动波形的时序图。图 18（A）是扫描线驱动信号的时序图，图 18（B）是数据线驱动信号的时序图。如果采用以往使用的 IAPT 法（6 级驱动法），则如图所示，使液晶进行交流工作时，改变电位，扫描线驱动电路 15 以 V1 和 V2、以及 V3 和 V4 的组合输出，在该时刻数据线驱动电路 17 也以 V5 和 V4、以及 V1 和 V6 的组合输出。因此，扫描线驱动电路 15 及数据线驱动电路 17 都必须具有最高电位电平 V1 和最低电位电平 V4 之间（即，V1 - V4）的电位差以上的耐压能力，需要高耐压的集成电路。

即，在该方法中数据线驱动电路 17 也必须用高耐压的元件构成，

小型化、集成化还不够充分。另外，存在伴随像素数的增加导致的数据信号数增大引起的数据线驱动电路 17 的高速工作化也不能实现的问题。此外，关于功耗也由于不得不高速地以高压工作，所以存在功耗增大的问题。

另外，近年来，液晶显示装置的像素间距微细化，电极图形条数一旦增多，就必须与增加矩阵的位数  $n$  的同时增大驱动电压，不能充分地引出液晶的性能。为了提高对比度、或提高透射亮度、或者使显示灰度适当，需要较高的交流电压、或交流振幅，因此包括驱动液晶用的电源电路的低耐压化和小型化成为必要。

例如，为了提高对比度、提高透射亮度，进行液晶驱动时需要较高的交流电压、或交流振幅，作为驱动液晶用的输出电路，采用推挽驱动的方法。在社会·オプ·显示器会志 Vol. 26/1, '85, 9-15 页中公开了采用该推挽驱动法的例。在该推挽驱动中准备了交流振幅极性相反的两个电压发生电路，通过用两电压的差驱动液晶元件，最大能获得电源电压二倍的驱动电压的输出。可是，在推挽电路的驱动电压高的情况下，如果构成推挽的晶体管的切换时刻偏移，就会流过大量的贯通电流，其结果存在液晶驱动电路的功耗增大的问题。

作为解决上述的各种问题的方法之一，有本申请人先前申请的特开昭 60-149191 号公报(美国专利第 4843252 号)、或特开平 2-282788 号公报(美国专利第 5101116 号)等中公开的采用摇动电源法的驱动方法。即，如上述的公报所述，设计出了一种利用称为“摇动电源法”的技术，而不需要高耐压的 IC 的电路，上述“摇动电源法”是这样一种方法，即根据脉冲发生信号，用籍位电路作成基准电压电平不同的第二脉冲信号，将两者合成，使具有电源电压以上的电位差的驱动输出在同一时间轴时刻不具有电源电压以上的电位差。

图 19 是说明现有技术中的摇动电源法的驱动波形图。该图表示摇动电源法中的电源电位的状态。在该图中，输入扫描线驱动电路 15 的正侧电源的电源(高电位电源) VDD 与脉冲发生信号同步地交替地输入 VC 和 VD，输入扫描线驱动电路 15 的负侧电源的电源(低电位电

源) VSS 与脉冲发生信号同步地交替地输入 VA 和 VB。因此不会提高扫描线驱动电路 15 的耐压能力, 而有可能使数据线驱动电路 17 的耐压能力大幅度下降, 可能造成由数据信号的增加引起的数据线驱动电路 17 的高速工作、高密度化、低功耗化。

可是, 在采用这样的现有的摇动电源法驱动扫描线驱动电路 15 的情况下, 有必要生成本图所示的高电位电源 VDD 和低电位电源 VSS。由图 17 中的电源电路 170 生成这样的高电位电源 VDD 和低电位电源 VSS (另外, 也将这些 VDD 和 VSS 统称为“摇动电源”)。如上所述从升压电路 171 输出的直流高压 V0、以及电源电压 3.0V 和接地电位 (GND) 作为电源被供给该电源电路 170。电源电路 170 根据这些电压, 生成所希望的摇动电源 VDD 及 VSS。

图 20 是图 17 中的电源电路 170 之一例的电路图, 是生成摇动电源的基本的电路。另外, 该电路的进一步的研究电路示于后面所述的图 22 中。

如图 20 所示, 电源电路 170 由第一电路 200 和第二电路 201 构成。首先第一电路 200 是脉冲放大电路, 将输入的脉冲信号变换成振幅为 V0 的高压脉冲。在第一电路 200 中, 将直流高压 V0 和 GND 作为电源, 用推挽电路结构连接 PMOS - 电场效应晶体管 (以下称 PMOS - FET) 205 和 NMOS - 电场效应晶体管 (以下称 NMOS - FET) 206, 通过由电容器 202、电阻 203 和二极管 204 构成的箝位电路 212, 将脉冲信号输入 PMOS - FET205 的栅极。该箝位电路 212 的作用是将脉冲信号的高电平箝位到高电压 V0 的电位。另一方面, 脉冲信号直接输入 NMOS - FET206 的栅极。因此在与脉冲信号反相的时刻, 从第一电路 200 输出被放大成高电平 V0 的高压脉冲, 被输入第二电路 201。

其次第二电路 201 是根据输入的高压脉冲, 生成摇动电源 VDD 及 VSS 的电路。在第二电路 201 中, 将电容器 208 的一个端子和电容器 209 的一个端子共同连接在第一电路 200 的输出端子上。电容器 208 的另一端子连接在二极管 207 的阴极上, 阳极连接电源电压 3.0V, 阴极端子还连接在电容器 211 的一个端子上, 输出高电位的摇动电源



VDD。另外，电容器 209 的另一端子连接在二极管 210 的阳极上，另外阴极侧连接在 GND 上。二极管 210 的阳极端子还连接在电容器 211 的另一端子上，输出低电位的摇动电源 VSS。

在第二电路 201 中，从第一电路 200 输入的高压脉冲在电容器 208 和电容器 209 中被削减成直流分量，在各个二极管 207 及二极管 210 中被箝位后输出。摇动电源 VSS 连接二极管 210，以便在高电位侧箝位到 GND 电平，摇动电源 VDD 连接二极管 207，以便在低电位侧箝位到电源电压 3.0V。

这样在第二电路 201 中，摇动电源 VDD 及 VSS 一边将其电位差保持一定，电位一边与脉冲信号同步地以高电位振幅变化，生成高电位和低电位的摇动电源。在电源电路 170 中如上生成的摇动电源 VDD 及 VSS 被供给安装在液晶显示装置 10 中的扫描线驱动电路 15。这样在现有的摇动电源法中，必须用高耐压的元件构成用来构成扫描线驱动电路 15 的全部元件。

可是，关于扫描线驱动电路 15，实际上需要用高耐压的元件构成的部分只是驱动液晶元件的输出控制部。因此，在用高耐压的元件构成所构成的全部元件的扫描线驱动电路 15 中，对小型化、低功耗化来说，不能说是充分的。

因此，本申请人进一步讨论了摇动电源法的结果，着眼于构成扫描线驱动电路 15 的电路的大部分不需要用高耐压的元件构成，说明如下，用低耐压的元件构成输出控制部以外的部分，以扫描线驱动电路 15 的小型化为目标。

图 21 是将驱动低耐压元件用的电源加在图 20 所示的现有的电路结构上的摇动电源法中的电源电位的状态的说明图。高电位 (VDD) 及低电位 (VSS) 进行已经说明的工作。然后，新生成的低电位 (VCC) 也将与低电位 (VSS) 同步的 VE 切换成 VF 的电位输入扫描线驱动电路 15。这样能不破坏由扫描线驱动电路 15 内的低耐压元件构成的电路，进行驱动。

图 22 表示发生图 21 所示的摇动电源法中的电源电位用的一例的

电路结构。本图与前面所述的图 20 的结构大致相同，但在本图中，输入 VDL、VSL、基准信号等，输出 VCC。

图 22 中的 VDL 系统的电源，VSL 是系统的地（GND），V0 是高电源电压，VD2（即，直流电压 3.0V）表示给数据线驱动电路 17 的液晶驱动电压。基准信号是具有 VDL 和 VSL 之间的电平的信号，是决定图 21 中的周期 A、周期 B 的信号。

虽然也有与上述的图 20 中的电路工作说明重复的部分，但以下说明图 22 的结构和工作。图中，223 及 230 表示 PMOS-FET，224 表示 NMOS-FET。221、228 及 229 是二极管，222 是电阻，220、225、226 及 227 是电容器。

如图所示，基准信号被输入电容器 220 中，被箝位到 V0 的信号从由电容器 220、二极管 221 和电阻 222 构成的箝位电路 212 输入 PMOS-FET223 的栅极。此外基准信号还被输入 NMOS-FET224 中，直接输入 PMOS-FET223 的栅极。

PMOS-FET223 和 NMOS-FET224 根据基准信号呈高电平和低电平进行开关，用高电平 V0 及低电平 VSL 进行开关的电压被加在连接在推挽电路的输出侧的电容器 225、电容器 226、电容器 227 上。

其次，二极管 228 连接在电容器 225 的另一端子上，被箝位的 VDD 被输出给 VD2。二极管 229 连接在电容器 227 的另一端子上，被箝位的 VSS 被输出给 VSL。PMOS-FET230 漏极侧连接在电容器 226 的另一端子上，被箝位的 VCC 与基准信号同步地输出给 VDL。利用这样的电路结构，能生成图 21 所示的利用摇动电源法的电源电位。

可是，在图 20 及图 22 所示的现有的利用摇动电源法的电源生成电路中，还存在以下说明的问题。即，现有的电源生成电路的全部零件由呈单体的晶体管或二极管、电阻、电容器等个别零件（分散零件）构成，因此虽然具有摇动电源法的优点，但特别是为了进一步获得小型化、低功耗、高通用性，仍然是一种不够充分的结构。

即，为了生成安装了这些个别零件的摇动电源，另外还需要电源生成电路的电路基板，所以设计产品时，该电路基板妨碍小型化。而

且，由于液晶面板的驱动电压为 20V~40V，所以需要高耐压的零件，必然变成大零件，存在电路面积进一步增大的问题。

另外，电源生成电路用的电路基板必须与液晶显示面板（对应于图 17 中的液晶显示装置 10）个别地配置。因此，在提供液晶显示面板的制造者和设计作为最终产品的设计者不同的情况下，摇动电源的规格不匹配而屡屡发生误工作的问题。因此，通过将电源生成电路的设计图提供给液晶显示面板的制造者一侧，能解决该问题。可是，这样一来不仅增加了制造者一侧的负担，而且在设计最终产品的一侧也没有设计的自由度，成为妨碍低成本化、小型化的主要原因。因此，在现有的采用摇动电源法的电源生成电路中，包括小型化在内，在液晶显示面板的通用性方面存在很大的课题。

### 发明内容

因此，本发明的目的在于提供解决了这些问题的液晶显示装置，基本的着眼点在于排除各种技术问题，将生成摇动电源的电源生成电路集成电路化，安装在液晶显示装置中。

根据本发明，液晶显示装置备有：将液晶夹持在有多条数据线的第一透明基板和有与数据线交叉的多条扫描线的第二透明基板之间的液晶面板；连接在多条数据线上的数据线驱动集成电路；以及驱动多条扫描线的扫描线驱动集成电路，该液晶显示装置的特征在于：

将数据线驱动集成电路安装在第一透明电极基板上，将扫描线驱动集成电路安装在第二透明基板上，同时将根据液晶驱动的交流化信号使振幅一定，摇动扫描线驱动集成电路的电源电位用的摇动电源集成电路直接安装配置在第一透明基板或第二透明基板上。

作为优选实施形态，用单一的芯片构成摇动电源集成电路，直接安装配置在第二透明基板上。

作为优选实施形态，摇动电源集成电路将规定摇动电源的振幅的升压电路的输出、以及液晶驱动的交流化信号作为输入而取入。

作为优选实施形态，摇动电源集成电路由第一输出块电路、第二

输出块电路和第三输出块电路构成的三个输出块电路；以及一个放电块电路构成，

第一输出块电路由将从外部输入的基准信号的振幅变换成规定的振幅的电平移位电路；控制由电平移位电路进行了电平变换的基准信号的时序的第一逻辑电路；以及输出第一逻辑电路的输出的第一输出控制电路构成，

第二输出块电路由控制基准信号的时序的第二逻辑电路；以及输出第二逻辑电路的值的第二输出控制电路构成，

第三输出块电路由对基准信号进行箝位的箝位电路；以及输出箝位电路的值的第三输出控制电路构成，

放电块电路由检测系统电源被断开的检测电路；以及根据由检测电路检测的信号使第三输出控制电路短路的放电电路构成。

作为优选实施形态，摇动电源集成电路由第一输出块电路、第二输出块电路和第三输出块电路构成的三个输出块电路；以及一个放电块电路构成，

第一输出块电路由将从外部输入的基准信号的振幅变换成规定的振幅的电平移位电路；控制由电平移位电路进行了电平变换的基准信号的时序的第一逻辑电路；以及由第一逻辑电路输出的信号被连接在栅极上的倒相器构成的第一输出控制电路构成，

第二输出块电路由控制基准信号的时序的第二逻辑电路；以及由来自第二逻辑电路的输出信号被连接在栅极上的第一 PMOS - FET 的开路漏极电路构成的第二输出控制电路构成，

第三输出块电路由对基准信号进行箝位的箝位电路；以及由来自箝位电路的输出信号被连接在栅极上的第二 PMOS - FET 的开路漏极电路构成的第三输出控制电路构成，

放电块电路由检测系统电源被断开的检测电路；以及根据由检测电路检测的信号使第三输出控制电路短路的放电电路构成。

作为优选实施形态，箝位电路备有这样的结构：电容器的一端连接作为输入的基准信号，另一端连接在第一二极管的阴极、第一电阻

的一端、以及第二 PMOS - FET 的栅极上，第一二极管的阳极和第一电阻的另一端连接在第二 PMOS - FET 的源极和主体上。

作为优选实施形态，放电块电路备有这样的电路结构：第三 PMOS - FET 的源极和主体连接在第一 PMOS - FET 的源极和主体上，栅极连接在第二 PMOS - FET 的源极和主体上，漏极连接在第四 PMOS - FET 的栅极和第二电阻上，第四 PMOS - FET 的源极和主体连接在第二 PMOS - FET 的源极和主体上，漏极连接在第三电阻上，第三电阻的一端连接在第二电阻和第二 PMOS - FET 的漏极上。

作为优选实施形态，第一输出块电路备有输出选择电路，该输出选择电路由多个 PMOS - FET 和多个 NMOS - FET 构成，PMOS - FET、NMOS - FET 各自的栅极输入端具有不管基准信号如何，能利用来自外部的输出设定端子，使多个 PMOS - FET 的一部分和上述多个 NMOS - FET 的一部分经常断开的功能。

通过这样构成，本发明具有如下列举的各种效果。

- 在设计时刻，由于能设计组装了摇动电源集成电路的液晶显示装置，所以产品设计时能确保规格上的自由度大。现有的摇动电源生成电路利用个别零件组装在另外的电路基板上后，连接在液晶显示装置上，所以妨碍了总体的产品设计上的自由度。

- 如后面所述，由于能在 FPC 基板上连接扫描线驱动电路、数据线驱动电路和摇动电源集成电路，所以能大幅度地简化布线。

- 由于将摇动电源生成电路集成电路化，安装在液晶显示面板上，所以能降低液晶显示装置总体的噪声。

- 由于将摇动电源生成电路集成电路化，安装在液晶显示面板上，所以能大幅度减少零件个数，其结果，显著地提高了制造上的稳定性，而且能实现减少组装工时和降低成本。

- 由于将摇动电源生成电路集成电路化，所以能实现液晶显示装置的低功耗化，能实现产品总体的小型化和轻量化。

- 更具体地说，例如，如后面所述，由于利用设定端子能容易地变更驱动器的输出阻抗，所以能设定对应于液晶显示面板的尺寸的驱

动器的输出阻抗,另外,在扫描线驱动电路的选择期间即使电源断开,也能防止放电电路启动后继续施加直流分量。

另外,作为具体的结构,采用摇动电源法而呈一个被集成电路化了的摇动电源集成电路,如后面所述,在与扫描线驱动电路为同一个基板上被组装在该扫描线驱动电路附近(进行COG安装)。

#### 附图说明

图1是本发明的一实施形态的液晶显示装置的基本结构图。

图2是驱动图1所示的基本结构的外围电路的主要部分框图。

图3是图1所示的本发明的摇动电源集成电路的基本电路图。

图4是表示图1所示的液晶显示装置的驱动波形的时序图。

图5是说明图1所示的摇动电源集成电路的连接结构的主要部分剖面图。

图6是本发明的摇动电源集成电路的一实施形态的框图。

图7是由图6所示的摇动电源集成电路供给的电源电压的关系的说明图。

图8是构成图6所示结构的第一输出块电路的电平移位电路之一例的电路结构图。

图9是构成图6所示结构的第一输出块电路的第一输出控制电路之一例的电路结构图。

图10是构成图6所示结构的第二输出块电路的第二输出控制电路之一例的电路结构图。

图11是构成图6所示结构的第三输出块电路的箝位电路之一例的电路结构图。

图12是构成图6所示结构的第三输出块电路的第三输出控制电路之一例的电路结构图。

图13是将外带电容器连接在图6所示结构的摇动电源集成电路上的框图。

图14是图6所示结构的摇动电源集成电路生成的摇动电源的波形

图。

图 15 是图 6 所示结构的放电电路之一例的电路结构图。

图 16 是构成图 6 所示结构的第一输出块电路的第一逻辑电路和第一输出控制电路之一例的结构图。

图 17 是现有技术的液晶显示装置的结构图。

图 18 (A)、图 18 (B) 是表示图 17 所示的现有技术的液晶显示装置的基本驱动波形的时序图。

图 19 是表示图 17 所示的现有技术的采用摇动电源法的液晶显示装置的驱动波形的基本波形图。

图 20 是图 17 中使用的现有的摇动电源电路的基本电路图。

图 21 是为了驱动低耐压的元件而施加了电源的现有的摇动电源法的电源电位的状态图。

图 22 是现有的摇动电源法的发生电源电位用的电路结构之一例图。

### 具体实施方式

以下，用附图说明利用本发明的液晶显示装置的最佳实施形态。

图 1 是本发明的一实施形态的基本结构图。液晶显示面板 10 是用密封材料将以 ITO 为材料的透明电极上形成了数据线 11 的上侧玻璃基板 16、以及以 ITO 为材料的透明电极上形成了扫描线 13 的下侧玻璃基板 14 相对地粘接起来构成的。

液晶被夹在下侧玻璃基板 14 和上侧玻璃基板 16 之间，为了使液晶分子沿一定方向对齐，将取向膜（图中未示出）涂敷在两侧玻璃基板上。数据线驱动电路 17 为了驱动数据线 11，采用 COG（芯片载于玻片）的方法被安装在下侧玻璃基板 14 上，与扫描线 13 导电性地连接。

在本发明的实施形态中，还将产生摇动电源的电源生成电路集成电路（IC）化了的摇动电源集成电路 18 用 COG 法安装在下侧玻璃基板 14 上。因此摇动电源集成电路 18 的输入输出端子与在下侧玻璃基

板 14 上形成的 ITO 导电性地连接。

为了实现这样的本发明的摇动电源集成电路 18，先用图 5 说明重要的 COG 安装。

图 5 是说明图 1 中的摇动电源集成电路的连接结构的主要部分剖面图。即，是对图 1 中的摇动电源集成电路 18 进行 COG 安装的地方的主要部分剖面图。在图 5 中在摇动电源集成电路 18 的各电极上形成凸起电极 51。在本实施形态中，用 Au 形成凸起电极 51。该凸起电极如果是导电性的，则即使是其他材料也能适用。凸起电极 51 通过各向异性导电膜（以下称 ACF）与下侧玻璃基板 14 导电性地连接。由导电性颗粒 52 和热硬化型非导电性黏合剂 53 构成 ACF，如果沿箭头方向对摇动电源集成电路 18 加热加压，则凸起电极 51 将导电性颗粒 52 压碎，其结果，与在下侧玻璃基板 14 上形成的 ITO 布线 55 导电性地连接，黏合剂 53 原封不动地硬化，以便维持连接。另外，也可以用在导电性颗粒上形成了薄的绝缘膜的颗粒（图中未示出）代替导电性颗粒 52。

在这样的下侧玻璃基板 14 上的摇动电源集成电路 18 的 COG 安装中，图 1 中的扫描线驱动电路 15、数据线驱动电路 17 和摇动电源集成电路 18 的输入输出端子和电源端子通过在各玻璃基板上形成的 ITO 布线，在玻璃基板上与挠性印刷基板（以下称 FPC）19 导电性地连接。

通常，FPC19 在基底材料上作成了厚度为 150 微米的聚酰亚胺的基板的两面上，用铜箔形成布线图形，通过用通孔适当地连接两面上的布线图形，实现电路布线。利用这样的布线图形，图 1 中的扫描线驱动电路 15、数据线驱动电路 17、摇动电源集成电路 18 公用的电源线和控制信号线配置在 FPC19 上，下工夫尽量减少至外部的连接端子。

其次，利用图 1 及图 2，按照 FPC19 的外部连接端子的顺序，说明 FPC19 上的各布线。第一端子是供给电源电压 3.0V 的端子，作为扫描线驱动电路 15 的逻辑电源、摇动电源集成电路 18 的箝位用电源、



数据线驱动电路 17 的逻辑电源和数据线驱动电源使用。第二端子作为接地 (GND) 使用, 连接在上述的各电源端子的 GND 端子上。第三端子成为液晶驱动电压的驱动基准电源 VM, 被供给扫描线驱动电路 15。

第四端子是控制信号用的端子, 作为控制信号, 由供给扫描时序的脉冲 LP、供给帧时序的帧信号 FR、供给将数据信号 DATA 传输给数据线驱动电路 107 的时序的时钟脉冲 CP 这样三个信号群构成。在图 1 中将这些信号汇总起来作为“控制信号”表示。这些控制信号从 FPC19 供给, 其中, 脉冲 LP 被供给扫描线驱动电路 15 和数据线驱动电路 17, 帧信号 FR 被供给扫描线驱动电路 15, 时钟脉冲 CP 被供给数据线驱动电路 17。

第五端子是供给液晶的交流化时序的时序信号 DF, 被供给扫描线驱动电路 15、驱动电源集成电路 18 和数据线驱动电路 17。第六端子是液晶驱动用的高压直流电源的输入端子 V0, 被供给驱动电源集成电路 18。第七端子是 DATA 端子, 连接在数据线驱动电路 17 上, 传输图像数据。第八端子是呈高电位 VDD 的电源端子, 第九端子是呈低电位 VSS 的电源, 它们分别从驱动电源集成电路 18 的驱动电源的输出端供给, 而且分别被供给扫描线驱动电路 15 的 VDD 电源和 VSS 电源。

如上所述, 在 FPC19 上设有连接在各电路 15、17、18 上的端子, 尽量减少从外部连接的端子数。如果减少了端子数, 则其结果, 装置整体的小型化成为可能, 还有连接器的成本降低、作业的简化、提高连接的可靠性等效果。在本实施形态中, 如上所述在下侧玻璃基板 14 上对驱动电源集成电路 18 进行 COG 安装, 在 FPC19 上进行各电路之间的布线。

图 2 是驱动图 1 中的基本结构的外围电路的主要部分框图。在图 1 所示的结构中, 基准电压生成电路 21、升压电路 22 及电容器等相连接。电源电压 3.0V 被供给基准电压生成电路 21、升压电路 22 和 FPC19 的端子, 控制信号 (如上所述扫描时序信号、帧信号、数据锁存信号

等逻辑信号群)、数据信号、DF信号等被供给FPC19对应的端子。

作为液晶驱动交流信号的DF信号被供给FPC19的DF端子,作为图像数据的数据信号被供给DATA端子,升压电路22的输出V0被供给FPC19的V0端子,基准电压生成电路21的输出VM被供给FPC19的VM端子。基准电压生成电路21和升压电路22的地连接在FPC19的GND端子上。电容为1微法的层叠陶瓷电容器23连接在FPC19的VDD端子和VSS端子之间。

以下,说明各电路块的工作。基准电压生成电路21是生成液晶显示面板10的驱动电压的基准电压VM的电路,由串联稳压器生成3.0V至1.5V的直流电压。除了串联稳压器以外,虽然用开关电容器方式、或降压型开关稳压器等也能生成,但在本实施形态中采用零件个数最少的串联稳压器。

另外,升压电路22是生成电源电压3.0V至直流高压V0的电路,用升压型开关稳压器构成。在本实施形态中,在升压电路22中装有液晶的温度补偿电路(图中未示出),设计得在室温下输出20V,温度系数为 $-0.4\text{V}/^{\circ}\text{C}$ 。虽然将温度补偿电路和开关稳压器组合起来的电路设计出了这样的方法,但在本实施形态中,通过将热敏电阻用于开关稳压电路的输出电压分压电阻来实现。因此,升压电路22的输出电压V0对应于温度变化而变化,液晶显示装置10能经常以最佳的对比度进行显示。虽然将开关稳压器用于升压电路22,但如果允许零件个数增加,那么也能使用充电方式的升压电路。

图3是本发明的摇动电源集成电路的基本电路图。如上所述,作为摇动电源集成电路18用半导体集成电路构成本发明的摇动电源生成电路。即,将根据电源电压3.0V和直流高压V0,生成摇动电源用的电源生成电路集成电路化,并在硅基板上形成。

以下说明本图的电路工作。由PMOS-FET31、PMOS-FET33、NMOS-FET32、NMOS-FET34四个FET构成电平移位电路。

如图所示,PMOS-FET31和PMOS-FET33的源极侧连接在直流高压V0的电源线上,PMOS-FET31的栅极连接在PMOS-FET33

的漏极侧上, PMOS - FET33 的栅极连接在 PMOS - FET31 的漏极侧上。另外, NMOS - FET32 的漏极侧与 PMOS - FET31 的漏极侧连接, NMOS - FET34 的漏极侧连接在 PMOS - FET33 的漏极侧上。

NMOS - FET32 及 NMOS - FET34 的源极侧连接在 GND 上, NMOS - FET32 的栅极侧连接输入信号 DF, NMOS - FET34 的栅极侧连接在倒相器 37 的输出侧。另外 DF 信号被输入倒相器 37 的输入侧。通过以上连接, 构成电平移位电路, 将以 GND - 3.0V 电平输入的 DF 信号放大变换成与 GND - 0V 电平大小的 DF 信号相同的信号。

倒相器连接 PMOS - FET35 和 NMOS - FET36, 构成输出摇动电源 VDD 的输出缓冲器。PMOS - FET35 的源极侧连接在直流高压 V0 的电源线上, NMOS - FET36 的源极侧连接在电源电压 3.0V 的电源线上。作为来自电平移位电路的输出的 GND - 0V 电平被放大变换后的 DF 信号被供给输出缓冲器的输入端。在被输入的 DF 信号取得呈高电平的 V0 电位期间, NMOS - FET36 导通, PMOS - FET35 截止, 所以作为 VDD 输出 3.0V。

另一方面, 在取得作为低电平的 GND 电位的期间, PMOS - FET35 导通, NMOS - FET36 截止, 所以 V0 电压被输出给 VDD。这样与 DF 信号同步地交替地选择直流电压 V0 和电源电压 3.0V, 输出给 VDD。该 VDD 成为摇动电源的正侧输出端。

另外, 在图 3 中, PMOS - FET41 是箝位用的晶体管, 利用将摇动电源 VDD 附加在外部的电容器进行电容耦合时, 起着将直流电位供给交流电压的作用。箝位电路这样构成: 将 PMOS - FET41 的源极侧、二极管 39 的阴极侧和电阻 40 的一端连接在 GND 线上, 将二极管 39 的阳极侧、电阻 40 的另一端和电容器 38 的一端连接在 PMOS - FET41 的栅极上。将 DF 信号输入电容器 38 的另一端。

电容器 38 是 MOS 电容, 被集成在半导体集成电路中, 静电容设定为 470pF。电阻 40 用多晶硅形成, 设定为 2~5M $\Omega$ 。这些值有必要使由静电电容和电阻值的积表示的时间常数  $\tau$  比摇动电源的切换时间长很多。在短的情况下, PMOS - FET41 的栅压下降, 不能获得充分

的导通电阻。以上是摇动电源集成电路 18 的电路结构。

在下侧玻璃基板 14 上对以上的摇动电源集成电路 18 进行 COG 安装。上述电路是生成摇动电源的电路的一例，如果将本实施形态作为参考，则除此以外的电路结构也能同样地实现。另外，如果是半导体集成电路，则由于能进行 COG 安装，所以能同样地实施本发明。另外，如果是半导体集成电路，则即使由多芯片构成也没关系。可是如本实施形态所示，用一个芯片形成的方法在成本和小型化方面有利。

图 4 是表示图 1 中的液晶显示装置的驱动波形的时序图。FPC19 的 V0 端子连接在升压电路 22 的输出端上，所以作为 V0 输入直流 20V。另外，3.0V 和 0V 分别被输入 3.0V 端子和 GND 端子。作为液晶交流化信号的 DF 信号被输入 DF 端子，是高电平为 3.3V、低电平为 0V 的矩形波。以上是输入端子的波形。

如上述的图 1 所示，从 FPC19 的各输入端子输入的 V0、3.0V、GND 各电源和 DF 信号被输入摇动电源集成电路 18。另外如图 3 所示，在由 PMOS - FET31 和 33、以及 NMOS - FET32 和 34 构成的电平移位电路中，输入的 DF 信号被变换成取得 V0 和 0V 电压电平的矩形波。变换后的 DF 信号被输入输出缓冲器，成为交替地选择与 DF 信号同步的 V0 和 3.0V 的电压电平而成的摇动电源 VDD 进行输出。图 4 表示该摇动电源 VDD 的输出波形。

DF 信号呈高电平时，VDD 输出 3.0V，呈低电平时输出作为 V0 的 20V。另外如图 2 所示，摇动电源 VDD 通过电容器 23 连接在 FPC19 的 VSS 端子上。VSS 端子连接在摇动电源集成电路 18 的 VSS 端子上，所以摇动电源 VDD 通过电容器 23 输入图 2 中的 VSS 端子上。这里，由于通过电容器 23 输入，所以摇动电源 VDD 的直流电压分量被削减后的交流电压被加在 VSS 端子上。另一方面，VSS 端子是 PMOS - FET41 的漏极输出端。

现在，DF 信号呈低电平时 PMOS - FET41 呈导通状态，0V 加在 VSS 端子上。这时电容器 23 的 VSS 端子侧的电位被充电到 0V。因此，如图 4 所示，在 DF 信号呈低电平期间，0V 被输出给 VSS 端子。其次，

如果 DF 信号变成高电平, 则 PMOS - FET41 转移到截止状态。与此同时, 连接在电容器 23 的另一端上的摇动电源 VDD 从 20V 变成 3.0V, 电位下降 17V。

因此, 电容器 23 的 VSS 侧端子的电位也从 0V 下降到 -17V。因此, 如图 4 所示, VSS 端子在 DF 信号呈低电平的期间输出 0V, 在高电平的期间输出 -17V。它变成摇动电源 VSS。从前面所述的图 1 可知, 该摇动电源 VDD 和 VSS 通过 FPC19 连接在扫描线驱动电路 15 的电源端子上。因此扫描线驱动电路 15 能用摇动电源驱动。

如果采用本实施形态, 则被输入 FPC19 的各电源端子中的各电压都是直流电压, 连接在 VDD、VSS 之间的电容器 23 也是一般的陶瓷电容器。这样如果从外部电路看, 可知采用只施加直流低压和直流高压的简单的电路结构就能进行驱动。

另外如上所述, 不需要现有的摇动电源法所必要的外带的个别零件构成的电源生成电路基板, 能实现电路基板尺寸的大幅度的小型化、低成本化。另外, 如上所述, 摇动电源集成电路 18 通过 COG 安装而被安装在液晶显示装置中, 所以制造者能设计成最佳状态提供给使用者, 以便使液晶面板和摇动电源电路没有误工作等的不良现象, 使用者只要准备简单的直流电源, 就能驱动使用摇动电源法的液晶显示装置, 而在感觉上与以往完全没有变化。

图 6 是本发明的摇动电源集成电路 18 的一实施形态的结构框图。在摇动电源集成电路 18 中, 输入四种电源, 即 VSL、VDL、VD2、V0。如上所述, VSL 表示系统的地, VDL 表示系统的电源, VD2 表示数据线驱动电路 17 的液晶驱动电压, V0 表示成为摇动电源的基础的高压电源。另外, 图 6 中的 VSL 对应于图 3 中的 GND, 图 6 中的 VDL 和 VD2 都对应于图 3 中的 3V。用以下的附图说明各块的详细结构。

图中, 61 表示基准信号, 低电平的电位变为 VSL, 高电平的电位变为 VDL。这里, 图 6 中的基准信号 61 对应于图 3 中的 DF。62 是第一输出块电路, 67 是第二输出块电路, 71 是第三输出块电路。基准信

号 61 被供给所有的输出块电路。

另外, 66、70、74 等表示摇动电源集成电路 18 的输出, 66 是第一输出块电路 62 的输出 (VDD), 70 表示第二输出块电路 67 的输出 (VCC), 74 表示第三输出块电路 71 的输出 (VSS)。另外 76 及 77 是第一逻辑电路 64 的输出设定端子, 是电路内部使用的端子。

第一输出块电路 62 由三个电路块构成, 63 是电平移位电路, 64 是第一逻辑电路, 65 是第一输出控制电路。

电平移位电路 (对应于图 3 中的电平移位电路 (FET31、32、33、34)) 63 是将基准信号 61 的信号电平 VDL、VSL 电平放大变换成 V0、VSL 电平的电路。

图 7 是图 6 中的摇动电源集成电路供给的电源电压的关系的说明图。从上述的说明可知, 一般说来  $V0 > VD2$ 、 $VDL > VSL$  的关系成立。如上所述, 在使 VSL 为 0V 的情况下, V0 为 20V 左右, VD2 为 3.0V 左右, VDL 为 2.7V 左右。但是, 这里所示的电压随着环境温度、使用的液晶、液晶显示装置的系统设计等的不同而有很大变化。

图 8 是构成图 6 所示结构的第一输出块电路的一例的电路结构图。该电路是上述的图 3 所示电路中的电平移位电路的另一例。80 和 81 是倒相器, 电源输入 VDL、VSL。基准信号 61 也被输入倒相器 80 的输入端, 倒相器 80 的输出端连接在倒相器 81 上。

83、84、85、86 是 PMOS-FET, 87、88 是 NMOS-FET。全部 PMOS-FET 的主体侧连接在 V0 的电源线上, PMOS-FET83 及 PMOS-FET84 的源极侧也连接在 V0 的电源线上。PMOS-FET83 漏极侧连接在 PMOS-FET85 的源极侧上, PMOS-FET84 漏极侧连接在 PMOS-FET86 的源极侧上。

PMOS-FET85 漏极侧连接在 NMOS-FET87 的漏极侧和 PMOS-FET86 的栅极侧上, PMOS-FET86 漏极侧连接在 NMOS-FET88 的漏极侧和 PMOS-FET85 的栅极侧上。NMOS-FET87、NMOS-FET88 的源极侧和主体侧连接在 VSL 上。

倒相器 81 的输出端连接在 PMOS-FET83 及 NMOS-FET87 的

栅极侧上，倒相器 80 的输出端连接在 PMOS - FET84 及 NMOS - FET88 的栅极侧上。

82 表示电平移位电路 63 的输出信号。基准信号 61 为 VDL 时，NMOS - FET87 呈导通状态，NMOS - FET88 呈非导通状态，所以输出信号 82 变为 V0。另一方面，基准信号 61 为 VSL 时，相反地 NMOS - FET87 呈非导通状态，NMOS - FET88 呈导通状态，所以输出信号 82 输出 VSL。

如上所述，用电平移位电路 63 将基准信号 61 的 VDL 和 VSL 的振幅变换成 V0 和 VSL 之间的振幅的输出信号 82 被输入第一逻辑电路 64 中。

如图 6 所示，V0 和 VSL 两种电源被输入第一逻辑电路 64 中，用后面所述的逻辑电路对来自电平移位电路 63 的输出信号进行处理。根据降低功耗等的目的的不同，第一逻辑电路 64 能采取各种结构，但作为最简单的工作目的，是使第一输出控制电路 65 进行开关工作。因此，作为最简单的结构，也可以在 V0 和 VSL 之间构成进行开关的一个缓冲器。

用第一逻辑电路 64 处理的信号被输入第一输出控制电路 65 中。V0、VD2 两个电源被输入第一输出控制电路 65 中。第一输出控制电路 65 也与第一逻辑电路 64 相同，根据降低功耗、设定输出阻抗等的不同，可以考虑各种结构。图 9 中示出了最简单的电路结构的一例。

图 9 是图 6 所示结构的第一输出控制电路的一例的电路结构图。91 是 PMOS - FET，92 是 NMOS - FET。91 的源极侧和主体侧连接在 V0 的电源线上，漏极侧连接在 NMOS - FET92 的漏极侧上，NMOS - FET92 的源极侧和主体侧连接在 VD2 的电源线上。另外，90 表示来自第一逻辑电路 64 的输出信号。

第一输出控制电路 65 在来自第一逻辑电路 64 的输出信号为 V0 时，NMOS - FET92 呈导通状态，输出 VD2 作为 VDD66，另一方面，在上述输出信号 90 为 VSL 时，PMOS - FET91 呈导通状态，输出 V0 作为 VDD66。

因此, 如果将第一输出块电路 62 的工作归纳一下, 则基准信号 61 为 VDL 时, VDD66 变为 VD2, 基准信号 61 为 VSL 时, 进行 VDD66 为 V0 的工作。

其次, 按照图 6 说明第二输出块电路 67 的工作。第二输出块电路 67 由两个电路块 68 及 69 构成, 68 是第二逻辑电路, 69 表示由第一 PMOS-FET 的开路漏极电路构成的第二输出控制电路。

VDL 及 VSL 被输入第二逻辑电路 68, 作为信号输入基准信号 61。第二逻辑电路 68 的电路结构如图 10 中的前级所示, 例如是一种若干个、而且偶数个倒相器连接而成的电路结构。

第二逻辑电路 68 的输出被供给第二输出控制电路 69。这里, 第二输出控制电路 69 的详细电路结构示于图 10 的后级。

图 10 是第二输出控制电路之一例的电路结构图。101 表示 PMOS-FET。100 是第二逻辑电路 68 的输出端, 输出被输入给 PMOS-FET101 的栅极侧。PMOS-FET101 的源极侧和主体侧连接在 VDL 上。PMOS-FET101 的漏极侧连接在 VCC70 上, 其结果, VCC70 成为 PMOS-FET101 的开路漏极的输出。另外, 如图所示, 第二逻辑电路 68 例如由输入基准信号 61 的倒相器 102 和 103 构成。

因此, 第二输出块电路 67 在基准信号 61 为 VDL 时, 由于 PMOS-FET101 呈非导通状态, 所以 VCC70 (参照图 6) 呈高阻抗状态, 在基准信号 61 为 VSL 时, 由于 PMOS-FET101 呈导通状态, 所以 VCC70 进行输出 VDL 的工作。

其次, 按照图 6 说明第三输出块电路 71 的工作。第三输出块电路 71 由两个电路块 72 及 73 构成, 72 表示对基准信号 61 进行籍位的籍位电路, 73 表示由 PMOS-FET 的开路漏极电路构成的第三输出控制电路。以下说明详细结构。

图 11 是构成图 6 所示结构的第三输出块电路的籍位电路之一例的电路结构图。籍位电路 72 是将基准信号 61 籍位到 VSL 的电路。111 是电容器, 112 是二极管, 113 是第一电阻。电容器 111 的一个端子连接基准信号 61, 另一个端子连接在二极管 112 的阴极和第一电阻 113



的一端上,二极管 112 的阳极和第一电阻 113 的另一端连接在 VSL 的电源线上。

因此,在箝位电路 72 中,基准信号 61 为 VDL 时,二极管 112 导通,被箝位到 VSL,另一方面,基准信号 61 为 VSL 时,二极管 112 不导通,被箝位到 -VDL,该信号被供给第三输出控制电路 73。

图 12 是图 6 所示结构的第三输出控制电路之一例的电路结构图。121 表示 PMOS-FET。图 11 中的箝位电路 72 的输出 120 被输入 PMOS-FET121 的栅极侧。PMOS-FET121 的源极侧和主体侧连接在 VSL 上。PMOS-FET121 的漏极侧是输出,被供给 VSS74。其结果,VSS74 成为 PMOS-FET121 的开路漏极输出。

因此,第三输出块电路 71 在基准信号 61 为 VDL 时,PMOS-FET121 呈非导通状态,所以 VSS74 呈高阻抗状态,在基准信号 61 为 VSL 时,PMOS-FET121 呈导通状态,所以 VSS74 进行输出 VSL 的工作。

以上是图 6 所示的本发明的摇动电源集成电路 18 的基本工作。可是,这里实际上在将摇动电源集成电路 18 作为按照摇动电源法构成的电源生成电路实际使用的情况下,有必要连接外带的电容器。

图 13 是将外带电容器连接在图 6 所示结构的电源生成电路上的框图。本图中的 130 是第一电容器,131 是第二电容器。第一电容器 130 的一个端子连接在 VDD66 上,另一个端子连接在 VSS74 上。另外,第二电容器 131 将一个端子连接在 VSS74 上,将另一个端子连接在 VCC70 上。这里,第一电容器 130、第二电容器 131 的电容量都根据所使用的面板的大小、驱动频率等,选择适当的大小。

图 14 是图 6 所示结构的摇动电源集成电路生成的摇动电源的波形图。图中,140 表示 V0,141 表示 VD2,142 表示 VDL,143 表示 VSL。另外 144 表示基准信号,145 表示 VDD,146 表示 VCC,147 表示 VSS。

在作为输出的 VDD (145)、VCC (146)、VSS (147) 中,基准信号 144 为 VDL 时,VDD (145) 为 VD2 (146),VCC (146) 为  $(VDL - (V0 - VD2))$ ,VSS (147) 输出  $(VSL - (V0 - VD2))$

电位。基准信号 144 为 VSL 时, VDD(145) 为 V0(140), VCC(146) 为 VDL, VSS(147) 输出 VSL 电位。

因此, 通过使用具有以上这样的电路结构的集成电路化了的摇动电源集成电路, 能按照摇动电源法发生电源。

图 15 是图 6 所示结构的放电电路之一例的电路结构图, 表示图 6 中的放电电路 75 的详细结构。在放电电路 75 中, VDL、VSL 和 VSS 的电源线相连接。150 是 PMOS-FET, 151 是电阻, 152 是 PMOS-FET, 153 是电阻。PMOS-FET150 的源极侧和主体侧连接在 VDL 上, 栅极侧连接在 VSL 上。另外漏极侧连接在电阻 151 和 PMOS-FET152 上。PMOS-FET152 的源极侧和主体侧连接在 VSL 上, 另外漏极侧连接在电阻 153 上。电阻 151 的一端和电阻 153 的一端都连接在 VSS 上。另外, 131 表示图 13 所示的外带的电容器。

系统总体工作时, 就是说在输入 VDL 的状态下, 由于 PMOS-FET150 的  $V_{th}$  以上的电位差、即这时 VDL 和 VSL 的电位差加在 PMOS-FET150 的栅极侧, 所以呈导通状态。这里, 通过调整 PMOS-FET150 导通状态时的导通电阻值和电阻 151 的电阻值的比, 使 PMOS-FET150 的漏极侧的电位至少达到  $VSL - V_{th}$  以上的电压, 超过  $V_{th}$  的电压不会加在 PMOS-FET152 的栅极侧上, 所以呈非导通状态。因此, 系统工作时, VSL 和 VSS 不通过 PMOS-FET152、电阻 153 导通。

系统不工作时, 就是说电源被切断时, VDL 接近于 VSL。如果 VDL 的电位达到 PMOS-FET150 的  $V_{th}$  以下, 则 PMOS-FET150 呈非导通状态。

如果 PMOS-FET150 呈非导通状态, 则 PMOS-FET150 的漏极侧呈 VSS。因此 VSS 也加在 PMOS-FET152 的栅极侧上。这里, 特别是基准信号为 VDL 时, 切断了电源时, 由于 VSS 超过 PMOS-FET152 的  $V_{th}$ , 所以 PMOS-FET152 立刻呈导通状态。

因此 VSL 和 VSS 通过 PMOS-FET152 和电阻 153 导通, 蓄积在外带的电容器 131 中的电荷放电, VSS 变成与 VSL 的电位大致等电位。

153 具有放电时限制电流，防止其他元件破坏的作用，可以设定成适当的电阻值。

通过进行以上的工作，扫描线驱动电路在选择期间即使被切断电源，但由于放电电路的工作，能使所施加的驱动电压无电荷，所以能防止继续施加直流分量。

图 16 是构成图 6 所示结构的第一输出块电路的第一逻辑电路和第一输出控制电路之一例的结构图。另外，64 是图 6 中的第一逻辑电路 64，65 是第一输出控制电路 65。

在第一逻辑电路 64 中，160 表示缓冲器，图 6 所示的电平移位电路 63 的输出端连接在缓冲器 160 的输入端上。161 是第一输出选择电路，162 是第二输出选择电路。这些输出选择电路由一个 OR 电路和一个 AND 电路构成。即，163 表示构成输出选择电路 161 的 OR 电路，164 表示构成输出选择电路 161 的 AND 电路。另外，165 是第一输出设定端子，166 是第二输出设定端子。另外，167 及 168 是倒相器，倒相器 167 的输入端连接在第一输出设定端子 165 上。另外，倒相器 168 的输入端连接在第二输出设定端子 166 上。

第一输出选择电路 161 的 OR 电路 163 的一个输入端连接在第一输出设定端子 165 上，另一个输入端连接在缓冲器 160 的输出端上。另外第一输出选择电路 161 的 AND 电路 164 的一个输入端连接在倒相器 167 的输出端上，另一个输入端连接在缓冲器 160 的输出端上。代替第一输出设定端子 165，将第二输出设定端子 166 连接在第二输出选择电路 162 上，代替倒相器 167 的输出端，将倒相器 168 的输出端连接在第二输出选择电路 162 上，除此以外结构完全相同。

下面，说明第一输出控制电路 65 的结构。169 是第一输出控制器，170 是第二输出控制器，第一输出控制器 169 及第二输出控制器 170 基本上呈图 9 所示的结构。在图 9 所示的结构中，PMOS-FET 和 NMOS-FET 侧短路，输入来自第一逻辑电路 64 的输出，但在图 16 所示的结构中，各个栅极侧连接在 OR 电路或 AND 电路的输出侧上。另一方面，第一输出控制器 169 的输出端和第二输出控制器 170 的输

出端短路，成为 VDD66。

如上所述，第一输出设定电路 161 的 OR 电路 163 的输出端连接在第一输出控制器 169 的 PMOS - FET 的栅极侧输入端上，AND 电路 164 的输出端连接在 NMOS - FET 的栅极侧输入端上。另外，同样地第二输出设定电路 162 的输出端连接在第二输出控制器 170 上。

其次，说明第一输出设定端子 165 及第二输出设定端子 166 都输入高电平的情况。这里，第一逻辑电路 64 的逻辑信号的电平已经说明过，高电平为 V0，低电平为 VSL。

第一输出设定端子 165 呈高电平时，不管在缓冲器 160 的输入呈高电平的情况下，还是呈低电平的情况下，OR 电路 163 的输出呈高电平，AND 电路 164 的输出呈低电平。因此，第一输出控制器 169 的输出呈高阻抗状态，第二输出控制器 170 也呈同样的状态。

其次，说明第一输出设定端子 165 及第二输出设定端子 166 都输入低电平的情况。第一输出设定端子 165 呈低电平、缓冲器 160 的输入呈高电平时，OR 电路 163 的输出及 AND 电路 164 的输出都呈高电平。因此，第一输出控制器 169 的输出选择 NMOS - FET，输出 VD2。

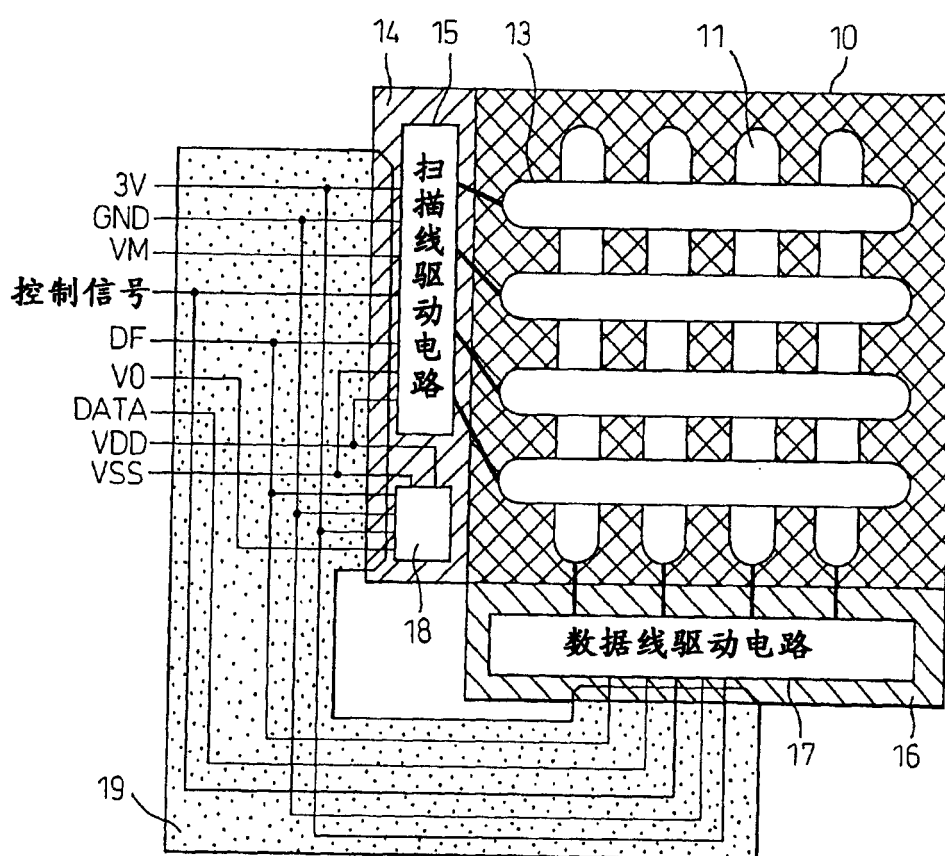
其次，缓冲器 160 的输入呈低电平时，OR 电路 163 的输出及 AND 电路 164 的输出都低高电平。因此，第一输出控制器 169 的输出选择 PMOS - FET，输出 V0。而且第二输出控制器 170 也进行同样的工作。

这里，考虑第一输出设定端子 165 呈低电平、第二输出设定端子 166 呈高电平的情况。在这样的情况下，第一控制器 169 根据基准信号的输入极性，输出 V0 或 VD2。可是，第二控制器 170 不管基准信号的输入极性如何，输出都呈高阻抗状态。由于这样处理，所以能呈将第一输出设定端子 165 及第二输出设定端子 166 都设定为低电平时的输出阻抗的一半。因此，由于能使用同一芯片，根据显示面板的尺寸等，变成最佳的输出阻抗，所以不呈必要以上低阻抗，也能降低贯通电流，达到低功耗化。字本发明中，虽然只进行了两个输出设定，但即使在两个以上的情况下，也能取得同样的结构，能进行更细的设定。

### 工业上利用的可能性

如本发明所述，通过使摇动电源法的电源生成电路集成电路化，组装在液晶显示装置中，能实现低功耗化、小型化、低成本化，设计及制造上的优点也多，能提高产品的可靠性，所以工业上的可利用性非常高。

图1



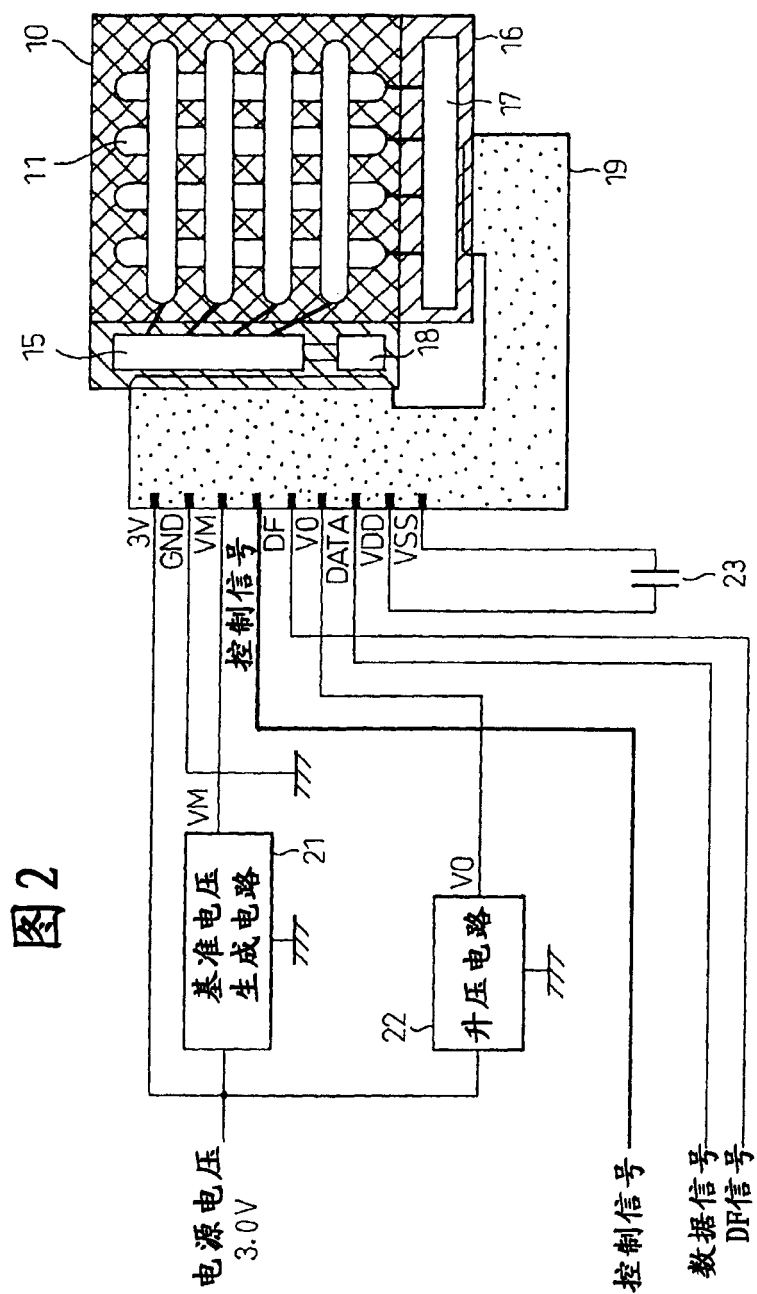


图 3

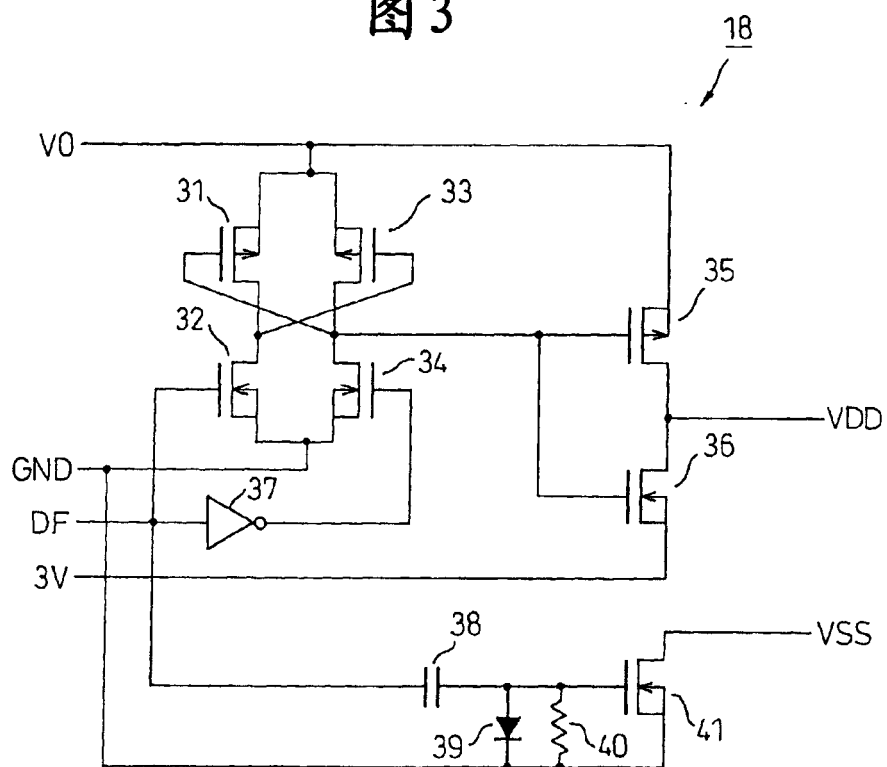






图5

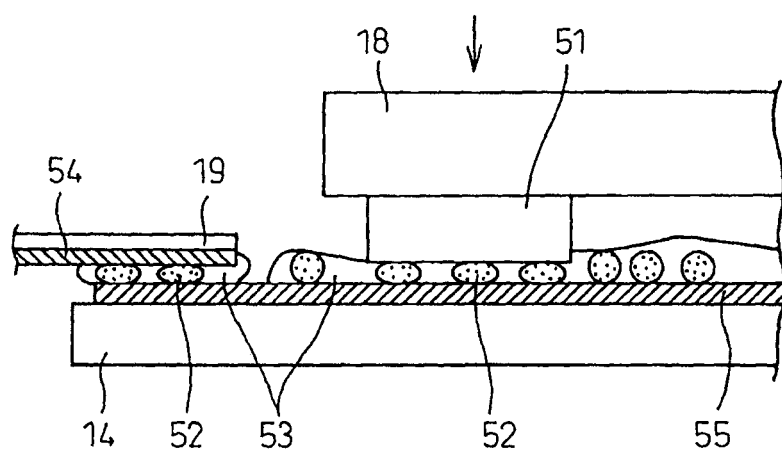


图 6

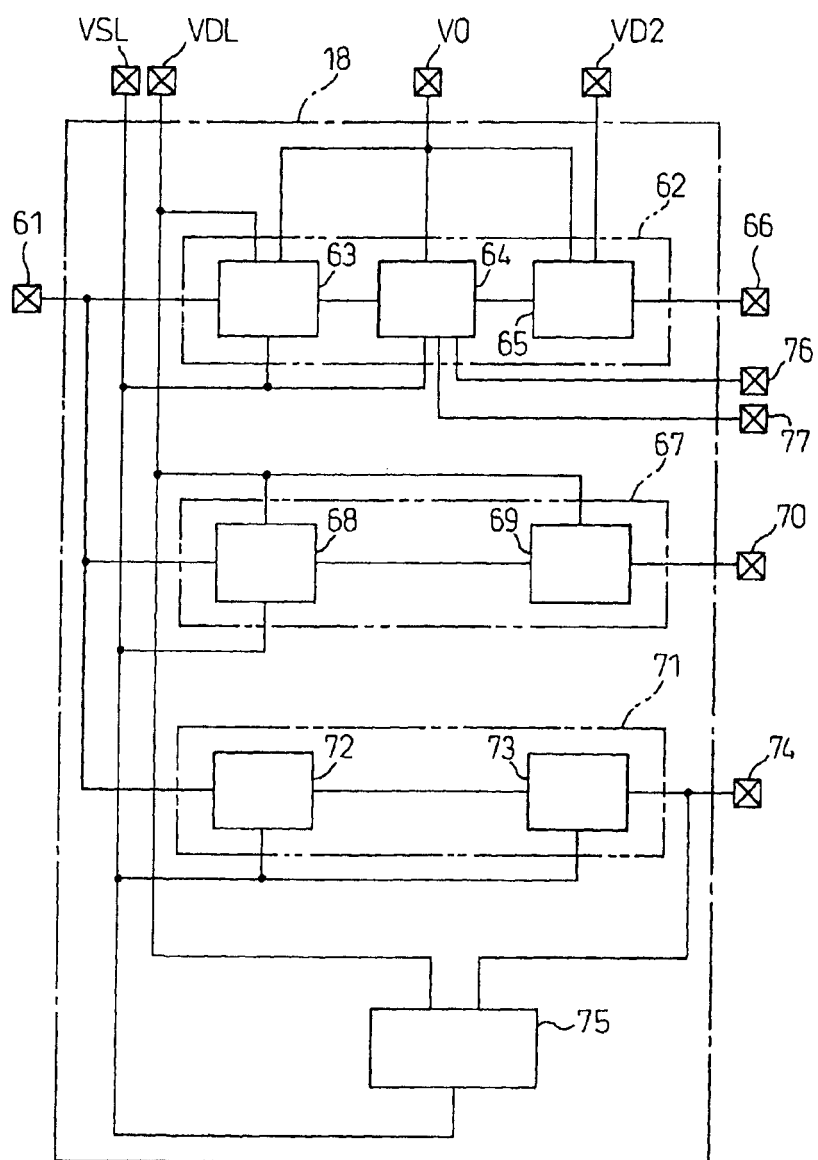


图7

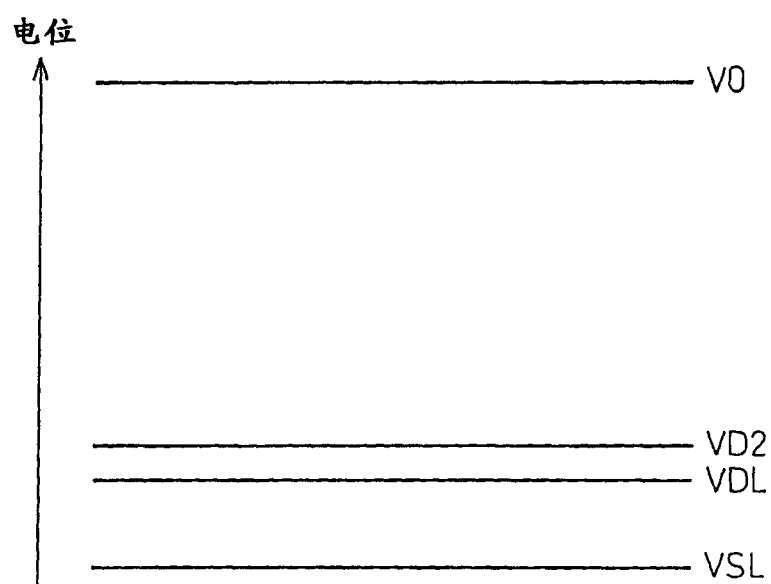


图 8

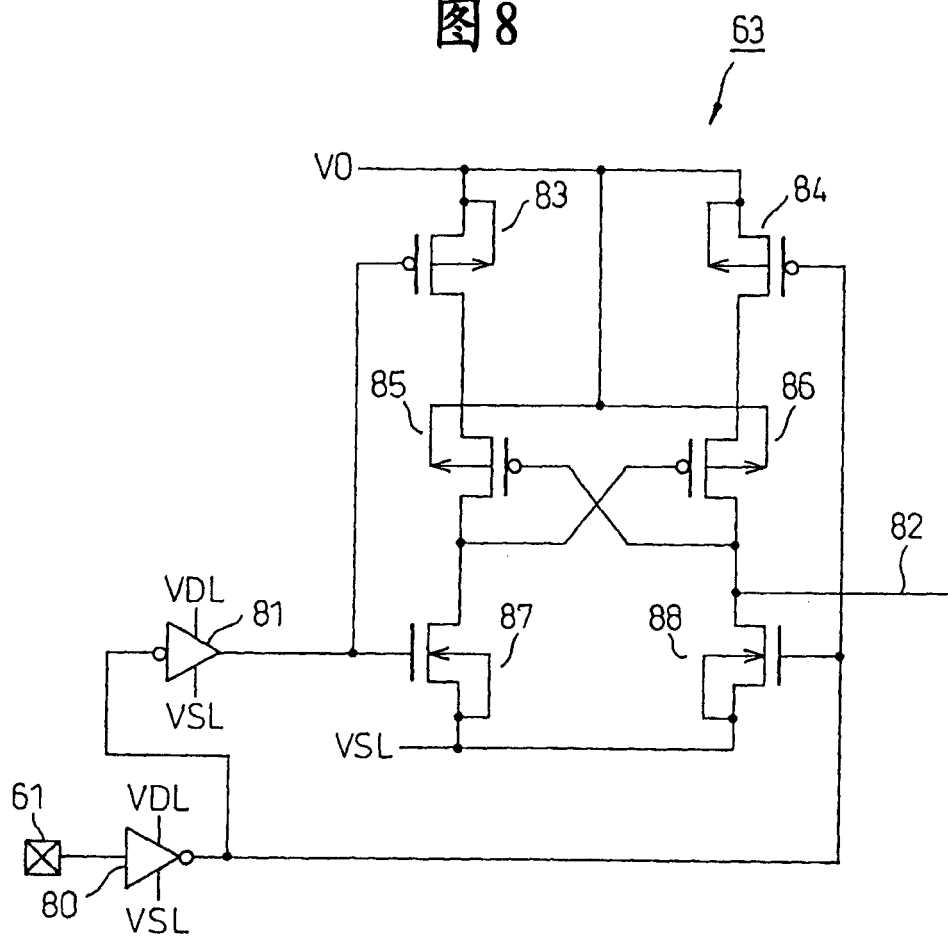


图 9

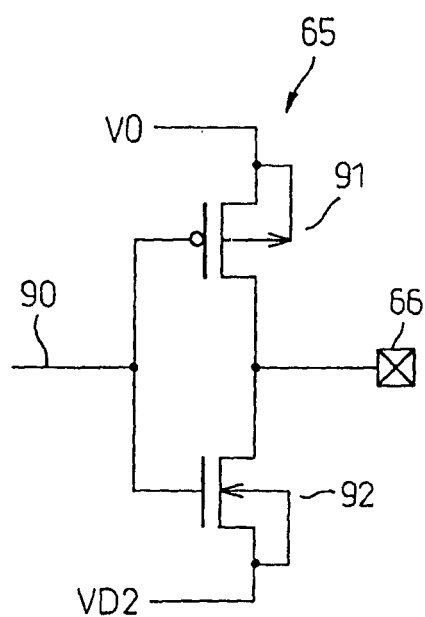


图 10

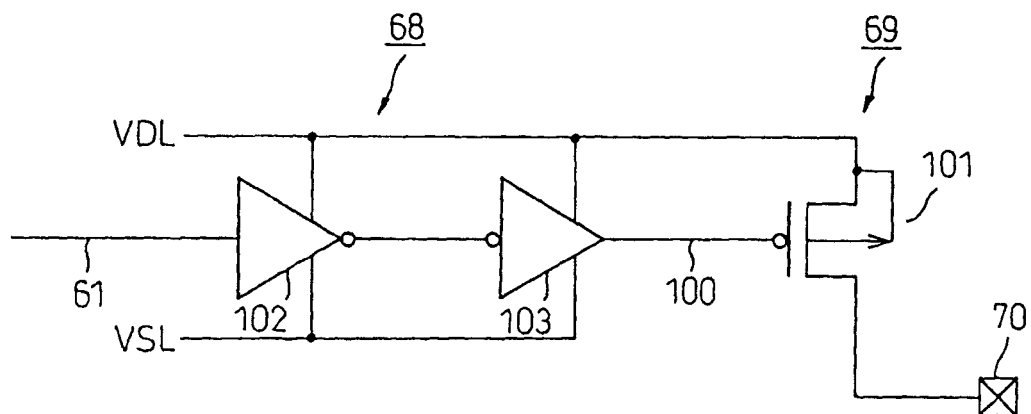


图 11

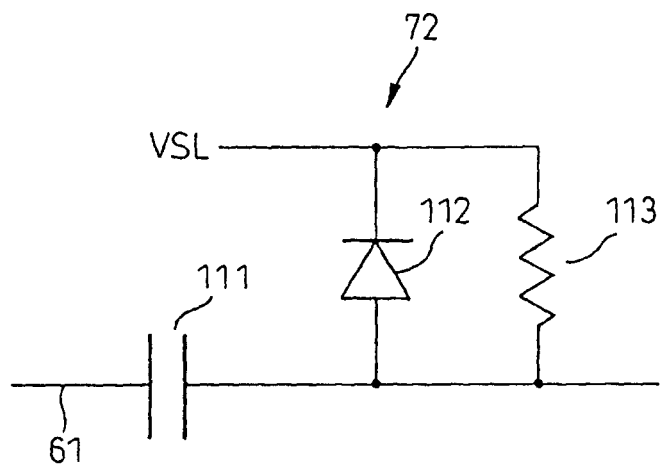


图 12

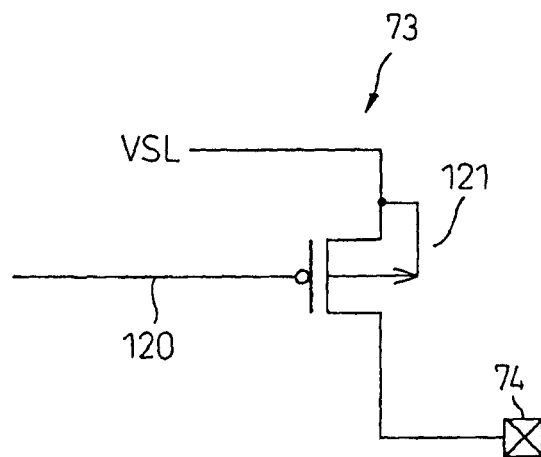


图13

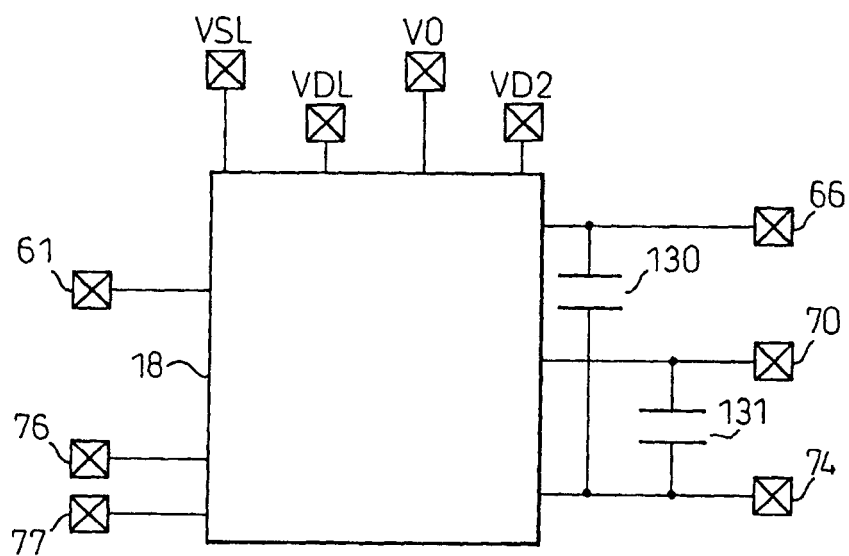




图14

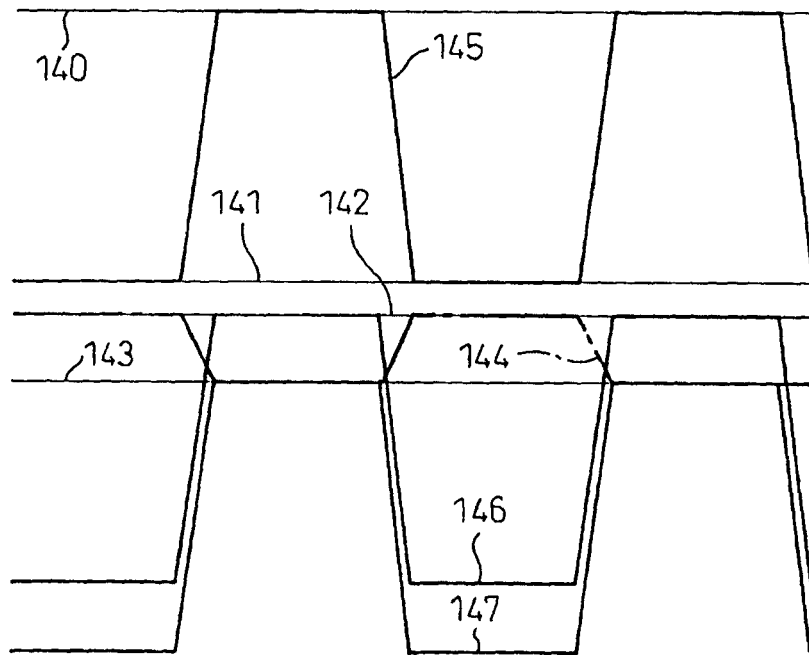


图15

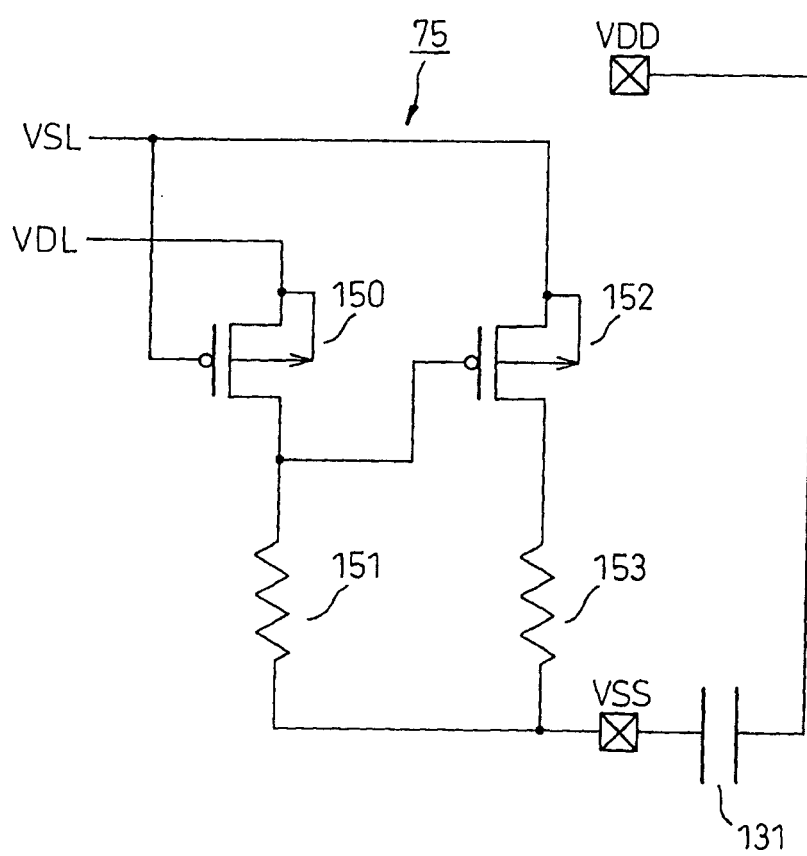


图16

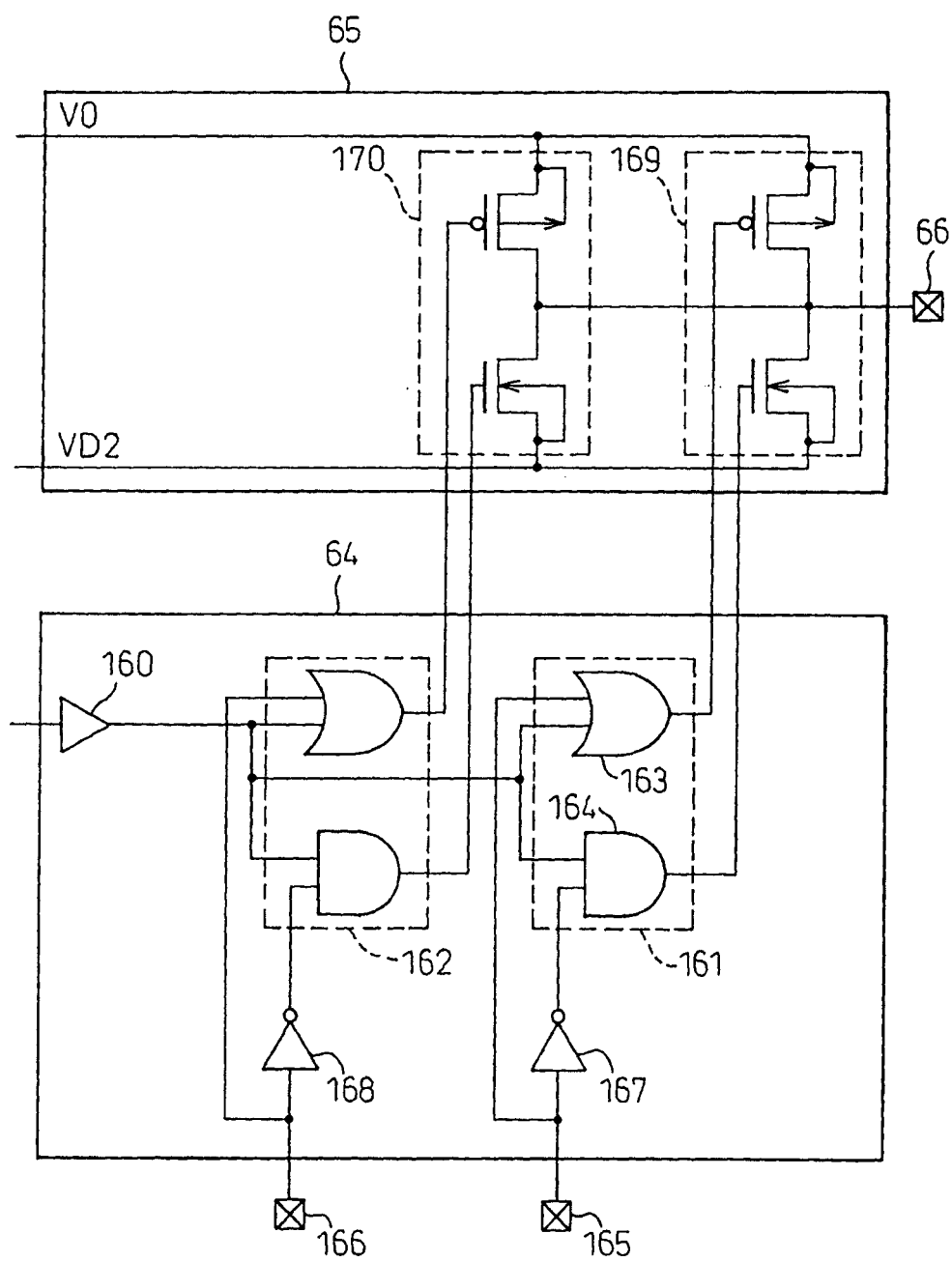
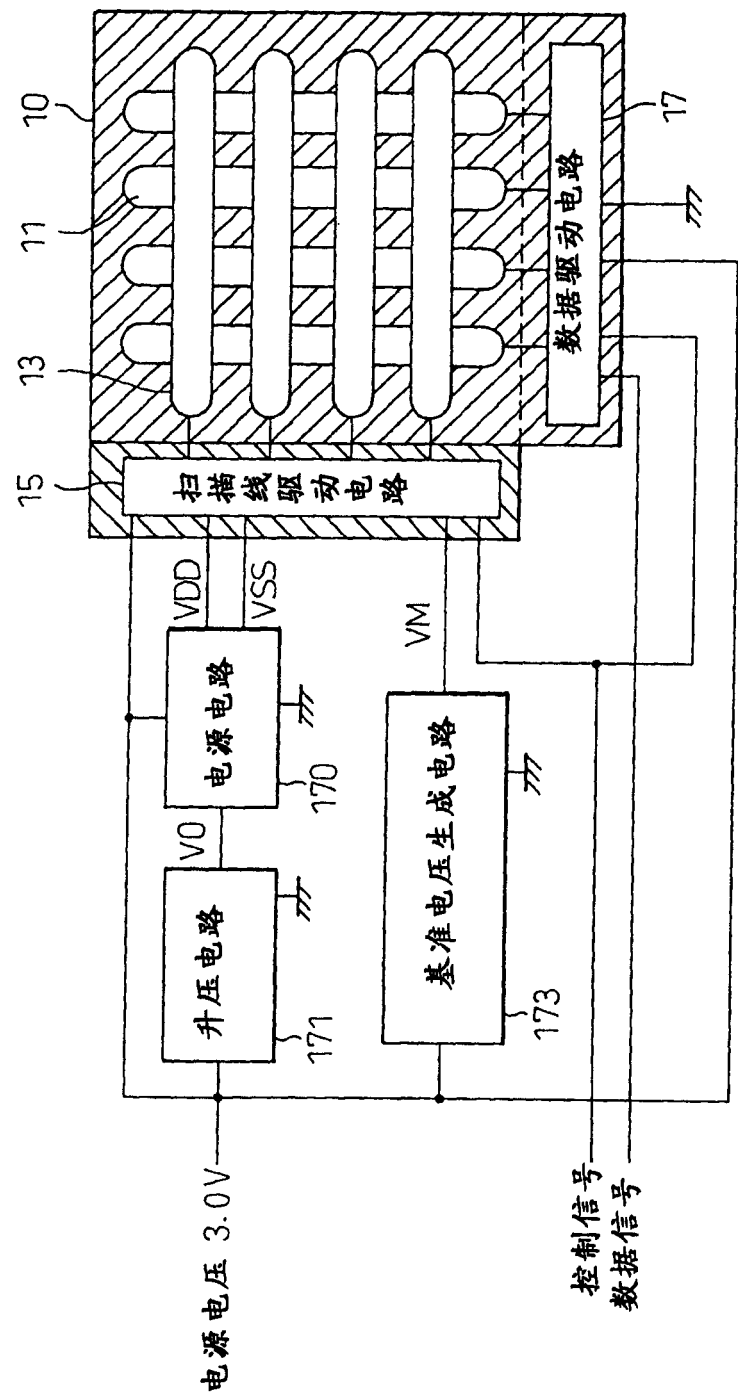


图17



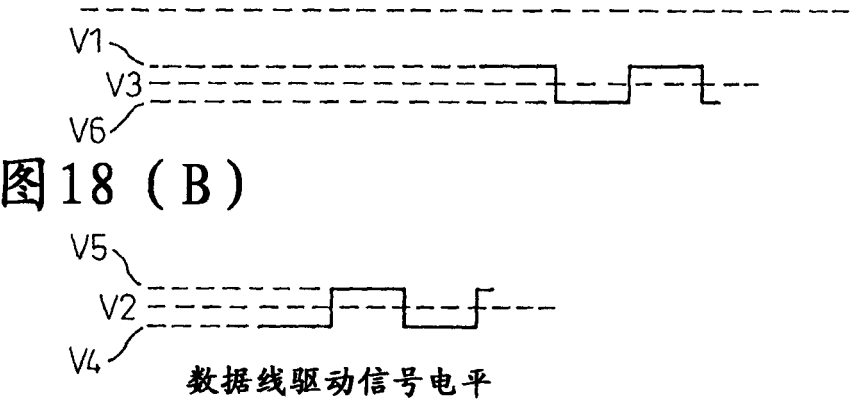
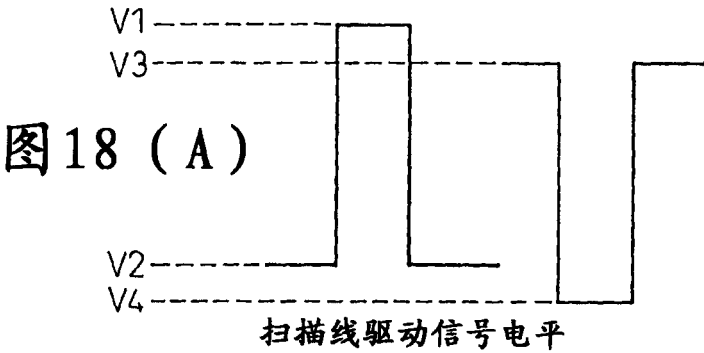


图 19

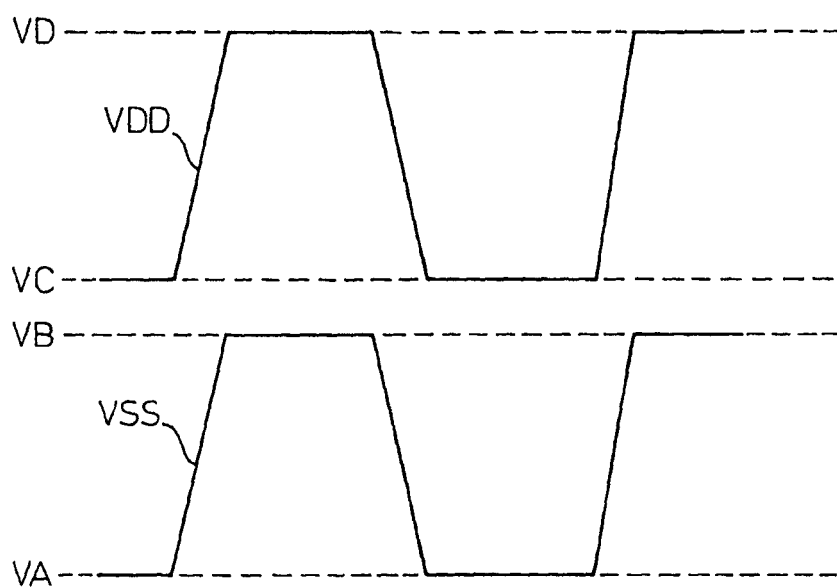


图 20

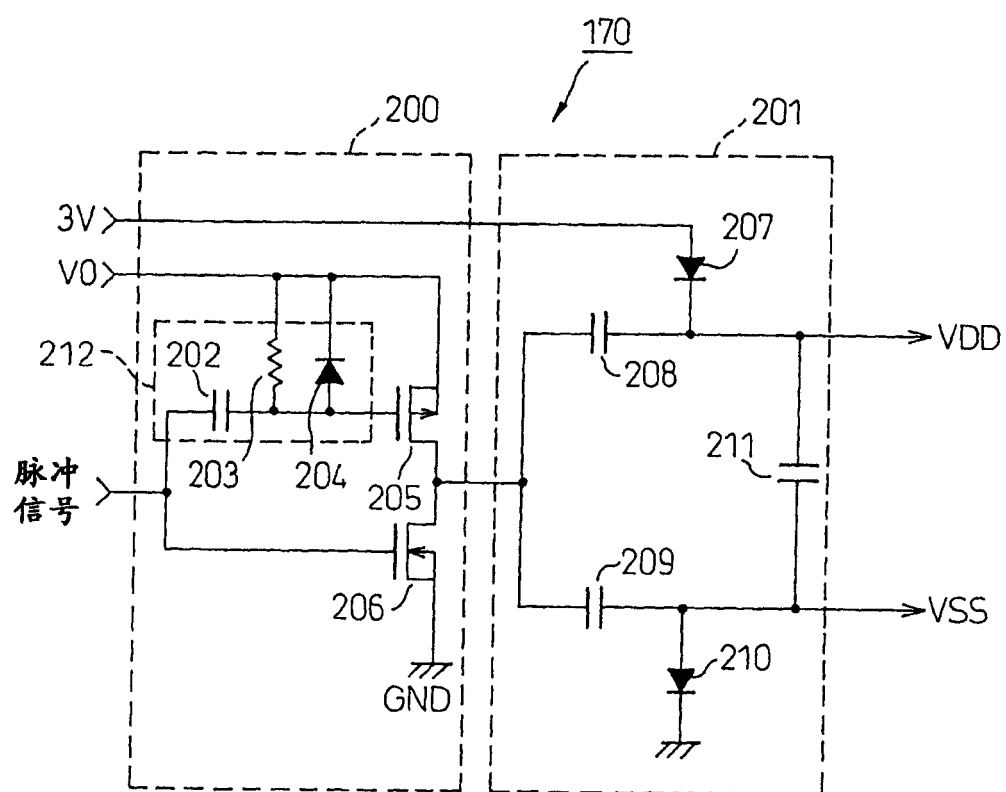


图 21

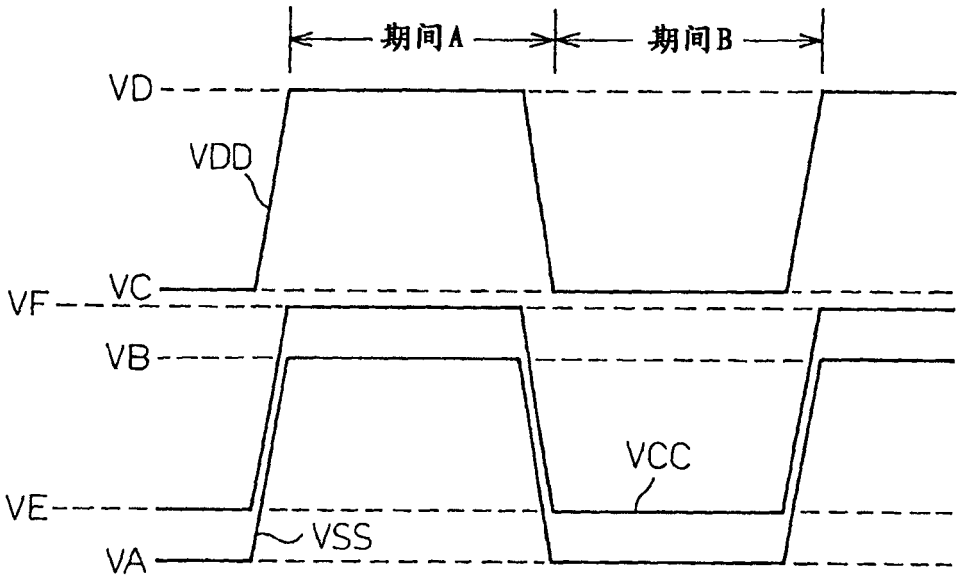
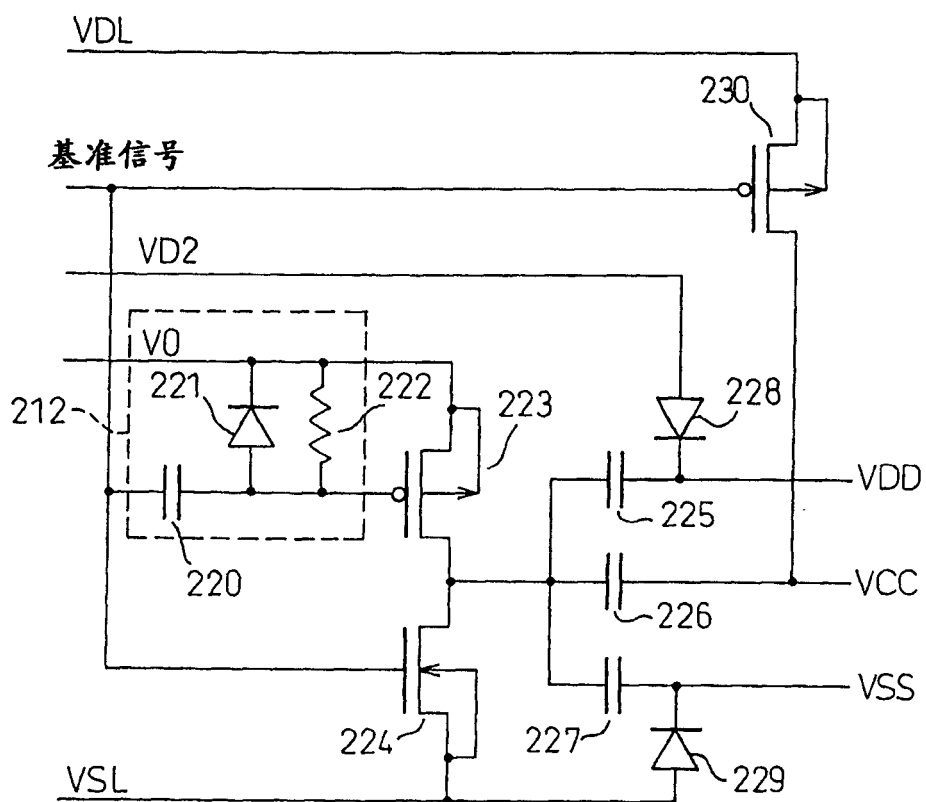




图 22



## 附图标号-览表

|                    |   |                 |
|--------------------|---|-----------------|
| 1 0                | … | 液晶屏             |
| 1 1                | … | 数据线             |
| 1 3                | … | 扫描线             |
| 1 4                | … | 下侧玻璃基板          |
| 1 5                | … | 扫描线驱动电路         |
| 1 6                | … | 上侧玻璃基板          |
| 1 7                | … | 数据线驱动电路         |
| 1 8                | … | 摇动电源集成电路        |
| 1 9                | … | FPC             |
| 2 1                | … | 基准电压生成电路        |
| 2 2                | … | 升压电路            |
| 2 3                | … | 电容器             |
| 3 1, 3 2, 3 3, 3 4 | … | 第 1 ~ 4 F E T   |
| 3 5, 3 6, 4 1      | … | 第 5 ~ 第 7 F E T |
| 6 1                | … | 基准信号            |
| 6 2                | … | 第1输出块电路         |
| 6 3                | … | 电平移位电路          |
| 6 4                | … | 第1逻辑电路          |
| 6 5                | … | 第1输出块电路         |
| 6 7                | … | 第2输出块电路         |
| 6 8                | … | 第2逻辑电路          |
| 6 9                | … | 第2输出块电路         |
| 7 1                | … | 第3输出块电路         |
| 7 2                | … | 箝位电路            |
| 7 3                | … | 第3输出块电路         |
| 7 5                | … | 放电电路            |

|                |                                                                     |         |            |
|----------------|---------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶显示装置                                                              |         |            |
| 公开(公告)号        | <a href="#">CN1592866A</a>                                          | 公开(公告)日 | 2005-03-09 |
| 申请号            | CN01818565.7                                                        | 申请日     | 2001-11-06 |
| [标]申请(专利权)人(译) | 西铁城控股株式会社                                                           |         |            |
| 申请(专利权)人(译)    | 西铁城時計株式会社                                                           |         |            |
| 当前申请(专利权)人(译)  | 西铁城時計株式会社                                                           |         |            |
| [标]发明人         | 秋山贵<br>高桥贤一<br>渡边真<br>矢野结资<br>增田崇臣                                  |         |            |
| 发明人            | 秋山贵<br>高桥贤一<br>渡边真<br>矢野结资<br>增田崇臣                                  |         |            |
| IPC分类号         | G09G3/36 H02M3/07 G02F1/133 G09F9/00 G09G3/20                       |         |            |
| CPC分类号         | H02M3/07 G09G2300/0408 G09G2330/02 G09G3/3685 G09G3/3622 G09G3/3696 |         |            |
| 代理人(译)         | 付建军                                                                 |         |            |
| 优先权            | 2000340057 2000-11-08 JP<br>2000341376 2000-11-09 JP                |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a>                      |         |            |

#### 摘要(译)

提供一种液晶显示装置，备有将液晶夹持在有多条数据线的第一透明基板和与数据线交叉的多条扫描线的第二透明基板之间的液晶面板；连接在多条数据线上的数据线驱动集成电路；以及驱动多条扫描线的扫描线驱动集成电路，其特征在于：将数据线驱动集成电路安装在第一透明电极基板上，将扫描线驱动集成电路安装在第二透明基板上，同时将根据液晶驱动的交流化信号使振幅一定，摇动上述扫描线驱动集成电路的电源电位用的摇动电源集成电路直接安装配置在第一透明基板或第二透明基板上。通过这样构成，能使液晶显示装置低功耗化、小型化、低成本化，在设计及制造上也有很多优点，能提高产品的可靠性。

