



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 00121925.1

[45] 授权公告日 2004 年 5 月 26 日

[11] 授权公告号 CN 1151405C

[22] 申请日 2000.7.25 [21] 申请号 00121925.1

[71] 专利权人 友达光电股份有限公司
地址 台湾省新竹市科学工业园区

[72] 发明人 翁嘉璠
审查员 焦丽宁

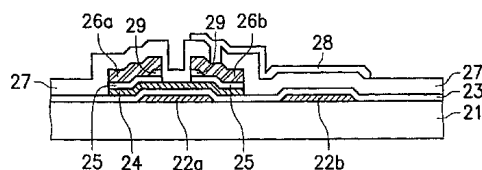
[74] 专利代理机构 北京市柳沈律师事务所
代理人 陶凤波

权利要求书 10 页 说明书 14 页 附图 9 页

[54] 发明名称 薄膜晶体管液晶显示器及其制造方法

[57] 摘要

一种薄膜晶体管液晶显示器，其采用的薄膜晶体管的制作是利用金属电极层作为掩模，在蚀刻掺杂硅层以形成源/漏电极时，可同时将薄膜晶体管以外区域的半导体层去除干净，藉此降低半导体层可能残留的制作工艺缺陷，而提高薄膜晶体管的制造成品率。



1. 一种薄膜晶体管的制造方法, 包括:
提供一基板;
5 在上述基板上限定形成一导电层, 作为上述薄膜晶体管的栅极;
形成一栅极绝缘层, 覆盖于上述导电层和上述基板之上;
在上述栅极绝缘层之上依次形成一半导体层与一掺杂硅层;
在上述掺杂硅层之上限定形成一岛状牺牲层, 且上述岛状牺牲层位于
上述导电层的正上方;
10 形成一金属层, 覆盖于上述岛状牺牲层和上述掺杂硅层之上;
限定蚀刻上述金属层, 形成一源极电极层与一漏极电极层; 其中, 在
上述源极电极层与该漏极电极层间的区域限定为一通道区域, 且未被上述
源极电极层、上述漏极电极层与上述通道区域覆盖的上述基板区域被限定
为一非薄膜晶体管区域; 如此蚀刻移去该源极电极层与该漏极电极层以外
15 的上述金属层, 使上述岛状牺牲层暴露于上述通道区域中, 上述掺杂硅层
暴露于该非薄膜晶体管区域中;
以上述源极电极层和漏极电极层为掩模, 进行一预定时段的蚀刻程序,
在该预定时段内, 同时完成下列二蚀刻制作工艺: (a)于上述通道区域中,
去除上述岛状牺牲层和掺杂硅层, 以露出上述半导体层, (b)在上述非薄膜
20 晶体管区域中, 去除上述掺杂硅层和半导体层, 以露出上述栅极绝缘层;
以及
形成一保护层, 覆盖上述源极电极层、漏极电极层、通道区域、以及
非薄膜晶体管区域。
2. 如权利要求1所述的方法, 其中, 上述蚀刻程序对上述岛状牺牲层、
25 掺杂硅层、和半导体层的蚀刻率分别为 R_{IS} 、 R_n 、和 R_a ; 上述岛状牺牲层、
掺杂硅层、和半导体层的厚度分别为 T_{IS} 、 T_n 、和 T_a ; 去除上述源极电极层、
漏极电极层间的上述岛状牺牲层和掺杂硅层的时间($T_{IS}/R_{IS}+T_n/R_n$)不小于去
除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层的时间
($T_n/R_n+T_a/R_a$)。
30 3. 如权利要求2所述的方法, 其中, 通过控制上述岛状牺牲层厚度的
方式, 使得上述蚀刻程序在去除上述通道区域中上述岛状牺牲层和掺杂硅

层而露出上述半导体层的同时，除了将上述非薄膜晶体管区域中的上述掺杂硅层和半导体层去除之外，也对露出于上述非薄膜晶体管区域中的上述栅极绝缘层进行蚀刻，去除一部分上述栅极绝缘层，而减小上述栅极绝缘层的厚度。

- 5 4. 如权利要求3所述的方法，其中，对上述部分栅极绝缘层的蚀刻率为 R_{INS} ，且上述部分栅极绝缘层的厚度为 T_{INS} ，其中，去除上述源极电极层、漏极电极层间的上述岛状牺牲层和掺杂硅层的时间 $(T_{IS}/R_{IS}+T_n/R_n)$ 将等于去除上述非薄膜晶体管区域中的上述掺杂硅层、半导体层和部分栅极绝缘层的时间 $(T_n/R_n+T_a/R_a+T_{INS}/T_{INS})$ 。

- 10 5. 如权利要求1所述的方法，完成上述蚀刻程序后，还包括如下步骤：
蚀刻上述保护层，露出上述源极和漏极电极层之一；以及
限定形成一透明导电层于上述保护层上，并与上述源极和漏极电极层之一形成电接触。

- 15 6. 如权利要求5所述的方法，其中，上述半导体层为非晶硅层；上述掺杂硅层为掺有 n 型杂质的多晶硅层；上述导电层为金属层；上述基板的材质为玻璃或石英；该透明导电层为铟锡氧化物层。

7. 一种薄膜晶体管的制造方法，包括：
提供一基板；
在上述基板上限定形成一导电层，作为上述薄膜晶体管的栅极；
20 形成一栅极绝缘层，覆盖于上述导电层和上述基板之上；
在上述栅极绝缘层之上形成一半导体层；
在上述半导体层之上限定形成一岛状牺牲层，且上述岛状牺牲层位于上述导电层的正上方；
形成一掺杂硅层，覆盖于上述岛状牺牲层和上述半导体层之上；
25 在上述掺杂硅层之上形成一金属层；

- 限定蚀刻上述金属层，形成一源极电极层与一漏极电极层；其中，在上述源极电极层与该漏极电极层间的区域限定为一通道区域，且未被上述源极电极层、上述漏极电极层与上述通道区域覆盖的上述基板区域被限定为一非薄膜晶体管区域；如此蚀刻移去该源极电极层与该漏极电极层以外的
30 上述金属层，使上述掺杂硅层暴露于上述通道区域中，使上述掺杂硅层暴露于上述与非薄膜晶体管区域中；

以上述源极电极层和漏极电极层为掩模进行一预定时段的蚀刻程序，在该预定时段内，同时完成下列二蚀刻制程：(a)于上述通道区域中，去除上述掺杂硅层和岛状牺牲层，以露出上述半导体层，(b)在上述非薄膜晶体管区域中，去除上述掺杂硅层和半导体层，以露出上述栅极绝缘层；以及

5 形成一保护层，覆盖上述源极电极层、漏极电极层、通道区域、以及非薄膜晶体管区域。

8. 如权利要求 7 所述的方法，其中，上述蚀刻程序对上述岛状牺牲层、掺杂硅层、和半导体层的蚀刻率分别为 R_{IS} 、 R_n 、和 R_a ；上述岛状牺牲层、掺杂硅层、和半导体层的厚度分别为 T_{IS} 、 T_n 、和 T_a ；去除上述两电极间的

10 上述牺牲层和掺杂硅层的时间($T_{IS}/R_{IS}+T_n/R_n$)不小于去除上述电极层两侧的上述掺杂硅层和半导体层的时间($T_n/R_n+T_a/R_a$)。

9. 如权利要求 8 所述的方法，其中，通过控制上述岛状牺牲层厚度的方式，使得上述蚀刻程序在去除上述通道区域中上述掺杂硅层和岛状牺牲层而露出上述半导体层的同时，除了将上述非薄膜晶体管区域中的上述掺杂硅层和半导体层去除之外，也对露出于上述非薄膜晶体管区域中的上述

15 栅极绝缘层进行蚀刻，去除一部分上述栅极绝缘层，而减小上述栅极绝缘层的厚度。

10. 如权利要求 9 所述的方法，其中，对上述部分栅极绝缘层的蚀刻率为 R_{INS} ，且上述部分栅极绝缘层的厚度为 T_{INS} ，其中，去除上述源极电极层、漏极电极层间的上述岛状牺牲层和掺杂硅层的时间($T_{IS}/R_{IS}+T_n/R_n$)将等于去

20 除上述非薄膜晶体管区域中的上述掺杂硅层、半导体层和部分栅极绝缘层的时间($T_n/R_n+T_a/R_a+T_{INS}/R_{INS}$)。

11. 如权利要求 7 所述的方法，完成上述蚀刻程序后，还包括如下步骤：蚀刻上述保护层，露出上述两电极之一；以及

25 在上述保护层上限定形成一透明导电层，并与上述电极之一形成电接触。

12. 如权利要求 11 所述的方法，其中，上述半导体层为非晶硅层；上述掺杂硅层为掺有 n 型杂质的多晶硅层；上述导电层为金属层；上述基板的材质为玻璃或石英；上述透明导电层为铟锡氧化物层。

13. 一种薄膜晶体管液晶显示器的制造方法，该液晶显示器至少包括一薄膜晶体管及一存储电容器，其制作方法至少包括以下步骤；

30

提供一基板;

在上述基板上限定形成第一和第二导电层, 分别作为上述薄膜晶体管的一栅极及上述存储电容器的一下电极;

形成一绝缘层, 覆盖上述第一、第二导电层和上述基板;

5 在上述绝缘层之上依次形成一半导体层与一掺杂硅层;

在上述掺杂硅层之上限定形成一岛状牺牲层, 且上述岛状牺牲层位于上述第一导电层的正上方;

形成一金属层, 覆盖第一导电层上方的上述岛状牺牲层和上述掺杂硅层;

10 在上述第一导电层的上方限定蚀刻上述金属层, 形成一源极电极层与一漏极电极层, 其中, 在上述源极电极层与该漏极电极层之间限定一通道区域, 如此使上述岛状牺牲层暴露于上述通道区域中, 上述基板上未被上述源极、漏极电极层与上述通道区域覆盖的部分限定为一非薄膜晶体管区域, 上述掺杂硅层暴露于该非薄膜晶体管区域中;

15 以上述源极、漏极电极层及遮蔽电极层为掩模, 进行一蚀刻程序, 将上述通道区域中的上述岛状牺牲层和掺杂硅层去除, 以露出上述通道区域中的上述半导体层, 同时也去除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层, 以露出上述绝缘层;

20 形成一保护层, 覆盖上述漏极电极、源极电极、通道区域与上述第二导电层之上;

蚀刻上述保护层, 形成一穿孔以露出上述源极和漏极电极层之一; 以及

25 在上述保护层上限定形成一透明导电层, 且延伸于上述源极和漏极电极层之一与该第二导电层上方, 该透明导电层通过该穿孔与上述源极和漏极电极层之一形成电接触, 使上述透明导电层构成上述存储电容器的一上电极。

14. 如权利要求 13 所述的方法, 其中, 上述蚀刻程序对上述岛状牺牲层、掺杂硅层、和半导体层的蚀刻率分别为 R_{IS} 、 R_n 、和 R_a ; 上述岛状牺牲层、掺杂硅层、和半导体层的厚度分别为 T_{IS} 、 T_n 、和 T_a ; 去除上述源极电极层、漏极电极层间的上述岛状牺牲层和掺杂硅层的时间($T_{IS}/R_{IS}+T_n/R_n$)不小于去除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层的时间

30

$(T_n/R_n+T_a/R_a)$ 。

15. 如权利要求 14 所述的方法, 其中, 通过控制上述岛状牺牲层厚度的方式, 使得上述蚀刻程序在去除上述通道区域中上述岛状牺牲层和掺杂硅层而露出上述半导体层的同时, 除了将上述非薄膜晶体管区域中的上述
5 掺杂硅层和半导体层去除之外, 也对露出于上述非薄膜晶体管区域中的上述绝缘层进行蚀刻, 去除一部分上述绝缘层, 而减小上述绝缘层的厚度。

16. 如权利要求 15 所述的方法, 其中, 对上述部分栅极绝缘层的蚀刻率为 R_{INS} , 且上述部分绝缘层的厚度为 T_{INS} , 其中, 去除上述源极电极层、漏极电极层间的上述岛状牺牲层和掺杂硅层的时间 $(T_{IS}/R_{IS}+T_n/R_n)$ 将等于去
10 除上述非薄膜晶体管区域中的上述掺杂硅层、半导体层和部分绝缘层的时间 $(T_n/R_n+T_a/R_a+T_{INS}/R_{INS})$ 。

17. 一种薄膜晶体管液晶显示器的制造方法, 该液晶显示器至少包括一薄膜晶体管及一存储电容器, 其制作方法至少包括以下步骤:

提供一基板;

15 在上述基板上限定形成第一和第二导电层, 分别作为一薄膜晶体管的一栅极及一存储电容器的一下电极;

形成一绝缘层, 覆盖上述第一、第二导电层和上述基板;

于上述绝缘层之上依次形成一半导体层与一掺杂硅层;

于上述掺杂硅层之上限定形成一岛状牺牲层, 且上述岛状牺牲层位于
20 上述第一导电层的正上方;

形成一金属层, 覆盖于上述岛状牺牲层以及上述掺杂硅层;

限定蚀刻上述金属层, 于上述第一导电层的上方形成一源极电极层与一漏极电极层, 并于上述第二导电层的上方形成一遮蔽电极层; 其中, 在上述源极电极层与该漏极电极层之间限定一通道区域, 如此使上述岛状牺
25 牲层暴露于上述通道区域中, 上述基板上被上述遮蔽电极层覆盖的区域限定为一电容区域, 上述基板上未被上述源极、漏极电极层、上述电容区域与上述通道区域覆盖的区域限定为一非薄膜晶体管区域, 上述掺杂硅层暴露于该非薄膜电晶体区域中;

以上述源极、漏极电极层及遮蔽电极层为掩模, 进行一蚀刻程序, 将
30 上述通道区域中的上述岛状牺牲层和掺杂层去除, 以露出上述通道区域中的上述半导体层, 同时也去除上述非薄膜晶体管区域中的上述掺杂硅层和

半导体层,以露出上述栅极绝缘层;

形成一保护层,覆盖上述漏极电极、源极电极、通道区域与上述电容区域之上;

5 蚀刻上述保护层,形成一第一穿孔,以露出上述源极和漏极电极层之一,及形成一第二穿孔,以露出上述电容区域的上述遮蔽电极层;以及

在上述保护层上限定形成一透明导电层,且延伸于上述源极和漏极电极层之一与该遮蔽电极层上方,该透明导电层通过该第一穿孔与上述源极和漏极电极层之一形成电接触,该透明导电层通过该第二穿孔与上述遮蔽电极层形成电接触,使上述透明导电层构成上述存储电容器的一上电极。

10 18. 如权利要求 17 所述的方法,其中,上述蚀刻程序对上述岛状牺牲层、掺杂硅层、和半导体层的蚀刻率分别为 R_{IS} 、 R_n 、和 R_a ; 上述岛状牺牲层、掺杂硅层、和半导体层的厚度分别为 T_{IS} 、 T_n 、和 T_a ; 去除上述源极电极层、漏极电极层间的上述岛状牺牲层和掺杂硅层的时间($T_{IS}/R_{IS}+T_n/R_n$)不小于去除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层的时间

15 ($T_n/R_n+T_a/R_a$)。

19. 一种薄膜晶体管液晶显示器的制造方法,该液晶显示器至少包括一薄膜晶体管及一存储电容器,其制作方法包括以下步骤:

提供一基板;

20 于上述基板上限定形成第一和第二导电层,分别作为一薄膜晶体管的一栅极、及上述存储电容器的一下电极;

形成一绝缘层,覆盖于上述第一、第二导电层和上述基板之上;

于上述绝缘层之上形成一半导体层;

于上述半导体层之上限定形成一岛状牺牲层,且上述岛状牺牲层位于上述第一导电层的正上方;

25 形成一掺杂硅层,覆盖于上述岛状牺牲层和上述半导体层之上;

形成一金属层,覆盖于上述掺杂硅层和上述岛状牺牲层之上;

限定蚀刻上述金属层,于上述第一导电层的上方形成一源极电极层与一漏极电极层;其中,在上述源极电极层与该漏极电极层之间限定为一通道区域,如此使上述掺杂硅层暴露于上述通道区域中;上述基板上未被上述源极、漏极电极层、及上述通道区域覆盖的区域限定为一非薄膜晶体管区域,于上述非薄膜晶体管区域中也露出上述掺杂硅层;

30

以上述源极、漏极电极层为掩模，进行一蚀刻程序，将上述通道区域中的上述掺杂硅层和岛状牺牲层去除，以露出上述通道区域中的上述半导体层，同时也去除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层，以露出上述绝缘层；

- 5 形成一保护层，覆盖上述漏极电极、源极电极、通道区域与上述第二导电层之上；

蚀刻上述保护层，形成一穿孔，以露出上述源极和漏极电极层之一，以及

- 10 于上述保护层上限定形成一透明导电层，且延伸于上述源极和漏极电极层之一与该第二导电层上方，该透明导电层通过该穿孔与上述源极和漏极电极层之一形成电接触，使上述透明导电层构成上述存储电容器的一上电极。

20. 如权利要求 19 所述的方法，其中，上述蚀刻程序对上述岛状牺牲层、掺杂硅层、和半导体层的蚀刻率分别为 R_{IS} 、 R_n 、和 R_a ；上述岛状牺牲层、掺杂硅层、和半导体层的厚度分别为 T_{IS} 、 T_n 、和 T_a ；去除上述源极电极层、漏极电极层间的上述岛状牺牲层和掺杂硅层的时间 $(T_{IS}/R_{IS}+T_n/R_n)$ 不小于去除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层的时间 $(T_n/R_n+T_a/R_a)$ 。

21. 如权利要求 20 所述的方法，其中，通过控制上述岛状牺牲层厚度的方式，使得上述蚀刻程序在去除上述通道区域的上述掺杂硅层和岛状牺牲层而露出上述半导体层的同时，除了将上述非薄膜晶体管区域中的上述掺杂硅层和半导体层去除之外，也对露出于上述非薄膜晶体管区域中的上述绝缘层进行蚀刻，去除一部分上述绝缘层，而减小上述绝缘层的厚度。

22. 如权利要求 21 所述的方法，其中，对上述部分栅极绝缘层的蚀刻率为 R_{INS} ，且上述部分绝缘层的厚度为 T_{INS} ，其中，去除上述源极电极层、漏极电极层间的上述岛状牺牲层和掺杂硅层的时间 $(T_{IS}/R_{IS}+T_n/R_n)$ 将等于去除上述非薄膜晶体管区域中的上述掺杂硅层、半导体层和部分绝缘层的时间 $(T_n/R_n+T_a/R_a+T_{INS}/R_{INS})$ 。

23. 一种薄膜晶体管液晶显示器的制造方法，该液晶显示器至少包括一薄膜晶体管及一存储电容器，其制作方法包括以下步骤：

提供一基板；

- 限定形成第一和第二导电层于上述基板上，分别作为一薄膜晶体管的一栅极、及上述存储电容器的一下电极；
- 形成一绝缘层，覆盖上述第一、第二导电层和上述基板之上；
- 于上述绝缘层之上形成一半导体层；
- 5 于上述半导体层之上限定形成一岛状牺牲层，且上述岛状牺牲层位于上述第一导电层的正上方；
- 于上述岛状牺牲层和上述半导体层之上形成一掺杂硅层覆盖；
- 形成一金属层，覆盖于上述掺杂硅层和上述岛状牺牲层之上；
- 限定蚀刻上述金属层，于上述第一导电层的上方形成一源极电极层与
- 10 一漏极电极层，以及于上述第二电极层的正上方形成一遮蔽电极层；其中，在上述源极电极层与该漏极电极层之间限定一通道区域，如此使上述掺杂硅层暴露于上述通道区域中，在上述第二导电层上方限定为一电容区域，在上述基板上未被上述源极、漏极电极层、上述电容区域与上述通道区域覆盖的区域限定为一非薄膜晶体管区域，于上述非薄膜晶体管区域中也露
- 15 出上述掺杂硅层；
- 以上述源极、漏极电极层及电容区域为掩模，进行一蚀刻程序，将上述通道区域中的上述掺杂硅层和岛状牺牲层去除，以露出上述通道区域中的上述半导体层，同时也去除上述非薄膜晶体管区域中的上述掺杂硅层和
- 20 半导体层，以露出上述绝缘层；
- 形成一保护层，覆盖上述漏极电极、源极电极、通道区域与上述电容区域之上；
- 蚀刻上述保护层，形成一第一穿孔以露出上述源极和漏极电极层之一，及形成一第二穿孔以露出上述电容区域的上述遮蔽电极层；以及
- 25 在上述保护层上限定形成一透明导电层，且延伸于上述源极和漏极电极层之一与该遮蔽电极层上方，该透明导电层通过该第一穿孔与上述源极和漏极电极层之一形成电接触，该透明导电层通过该第二穿孔与上述遮蔽电极层形成电接触，使上述透明导电层构成上述存储电容器的一上电极。
24. 如权利要求 23 所述的方法，其中，上述蚀刻程序对上述岛状牺牲
- 30 层、掺杂硅层、和半导体层的蚀刻率分别为 R_{IS} 、 R_n 、和 R_a ；上述岛状牺牲层、掺杂硅层、和半导体层的厚度分别为 T_{IS} 、 T_n 、和 T_a ；去除上述源极电

极层、漏极电极层间的上述岛状牺牲层和掺杂硅层的时间($T_{IS}/R_{IS}+T_n/R_n$)等于去除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层的时间($T_n/R_n+T_a/R_a$)。

25. 一种薄膜晶体管, 包括:

- 5 一岛状栅极层, 设置于一基板上;
 一栅极绝缘层, 覆盖上述岛状栅极层;
 一岛状半导体层, 设置于上述栅极绝缘层上, 且位于上述岛状栅极层的上方;
 一源极掺杂硅层和一漏极掺杂硅层, 设置于上述岛状半导体层之上,
10 上述源极掺杂硅层和漏极掺杂硅层相间隔的区域限定为一通道区域, 于上述通道区域露出上述岛状半导体层;
 一第一岛状牺牲层和第二岛状牺牲层, 分别设置于上述源极掺杂硅层和漏极掺杂硅层之上, 并以该通道区域间隔上述第一岛状牺牲层和第二岛状牺牲层;
15 一源极电极, 设置于上述源极掺杂硅层及上述第一岛状牺牲层上; 以及
 一漏极电极, 设置于上述漏极掺杂硅层及上述第二岛状牺牲层上;
 其中, 上述第一与第二岛状牺牲层的厚度, 取决于上述岛状半导体层的厚度, 使蚀刻该第一岛状牺牲层、该第二岛状牺牲层、与该岛状半导体
20 层时, 需要大致相同的蚀刻时间。

26. 如权利要求 25 所述的薄膜晶体管, 其中, 上述第一与第二岛状牺牲层的蚀刻率为 R_{IS} , 上述源极掺杂硅层与漏极掺杂硅层的蚀刻率为 R_n , 上述岛状半导体层的蚀刻率为 R_a , 当上述源极与漏极掺杂硅层厚度为 T_n 且上述岛状半导体层的厚度为 T_a 时, 上述第一与第二岛状牺牲层的厚度 T_{IS} 须符合($T_{IS}/R_{IS}+T_n/R_n$) $\geq$ ($T_n/R_n+T_a/R_a$)的条件。
25

27. 如权利要求 25 所述的薄膜晶体管, 还包括一保护层, 覆盖上述源极电极、漏极电极、与通道区域, 且上述薄膜晶体管用于一平面转动型液晶显示器。

28. 如权利要求 25 所述的薄膜晶体管, 还包括:

- 30 一保护层, 用以覆盖该薄膜晶体管, 上述保护层于上述漏极电极上方具有一开口; 以及

一透明导电层，位于上述漏极电极之上，并与上述漏极电极形成电连接。

29. 一种薄膜晶体管，包括：

一岛状栅极层，设置于一基板上；

5 一栅极绝缘层，覆盖上述岛状栅极层；

一岛状半导体层，设置于上述栅极绝缘层上，且位于上述岛状栅极层的上方；

一第一岛状牺牲层和一第二岛状牺牲层，设置于上述岛状半导体层之上，上述第一岛状牺牲层和第二岛状牺牲层相间隔的区域限定为一通道区域，于上述通道区域露出上述岛状半导体层；

一源极掺杂硅层和一漏极掺杂硅层，设置于上述岛状半导体层，上述第一和第二岛状牺牲层之上，并以该通道区域间隔上述源极掺杂硅层和漏极掺杂硅层；以及

一源极电极和一漏极电极，分别设置于上述源极掺杂硅层和漏极掺杂硅层之上；

其中，上述第一与第二岛状牺牲层的厚度，取决于上述岛状半导体层的厚度，使蚀刻该第一岛状牺牲层、该第二岛状牺牲层与该岛状半导体层时，需要大致相同的蚀刻时间。

30. 如权利要求 29 所述的薄膜晶体管，其中，上述第一与第二岛状牺牲层的蚀刻率为 R_{IS} ，上述源极掺杂硅层与漏极掺杂硅层的蚀刻率为 R_n ，上述岛状半导体层的蚀刻率为 R_a ，当上述源极与漏极掺杂硅层厚度为 T_n 且上述岛状半导体层的厚度为 T_a 时，上述第一与第二岛状牺牲层的厚度 T_{IS} 须符合 $(T_{IS}/R_{IS} + T_n/R_n) \geq (T_n/R_n + T_a/R_a)$ 的条件。

31. 如权利要求 29 所述的薄膜晶体管，还包括一保护层，覆盖上述源极电极、漏极电极、与通道区域，且上述薄膜晶体管用于一平面转动型液晶显示器。

32. 如权利要求 29 所述的薄膜晶体管，还包括：

一保护层，用以覆盖该薄膜晶体管，上述保护层于上述漏极电极上方具有一开口；以及

30 一透明导电层，位于上述漏极电极之上，并与上述漏极电极形成电连接。

薄膜晶体管液晶显示器 及其制造方法

5

本发明涉及一种薄膜晶体管液晶显示器及其制造方法，特别是涉及利用金属电极层作为掩模，在蚀刻掺杂硅层形成源/漏电极时，一并去除电极两侧的半导体层的薄膜晶体管液晶显示器及其制造方法。

10 在主动阵列式液晶显示器(Active Matrix Liquid Crystal Display)的应用中，薄膜晶体管(thin-film transistor；下文简称为 TFT)被认为是具有良好驱动和切换能力的元件。TFT 元件的基本架构之一，如图 1 所示。图中，标号 1 为基板，例如为玻璃或石英；标号 2a 为导电层，作为 TFT 的栅极；标号 2b 为储存电容器的电极；标号 3 为栅极绝缘层；4 为 TFT 的半导体层，由非晶硅(amorphous silicon layer)所构成；标号 5 为掺杂硅层，为掺有 n + 型杂质的多晶硅，可作为 TFT 的源/漏极区；标号 6 为电极层，通常为金属；标号 7 为保护层(passivation layer)；以及标号 8 为透明导电层，通常为铟锡氧化物层(ITO layer)，可作为驱动液晶的下电极，标号 9 为通道区。

20 图 1 所示的 TFT，一般是先限定形成非晶硅层 4 于上述栅极绝缘层 3 之上，之后再进行蚀刻而形成上述通道区 9。在蚀刻非晶硅层 4 时，倘若有非晶硅层 4 残留于 TFT 元件区外的栅极绝缘层 3 上，则会破坏 TFT 的特性，而降低其生产成品率。另外，在电极 2b 上形成有双层介电层(亦即栅极绝缘层 3 和保护层 7)，将会造成储存电容器的电容值 Cs 降低。

25 有鉴于此，本发明的一目的，为提出新颖薄膜晶体管的制造方法，利用金属电极层作为掩模，在蚀刻掺杂硅层形成源/漏极区时，可一并将薄膜晶体管以外区域的半导体层完全去除干净，藉此避免半导体层残留所造成的制作工艺缺陷，提高薄膜晶体管的制造成品率。

本发明的另一目的为提出新颖薄膜晶体管液晶显示器的制造方法，藉控制蚀刻源/漏极区的时间，且在不影响通道区特性的情形下，可依应用的需要，将栅极绝缘层的厚度适当地降低，以增加储存电容器的电容值 Cs。

30 本发明的又一目的为提出新颖薄膜晶体管液晶显示器的制造方法，在限定电极层时，还限定一金属遮蔽层于储存电容器电极的上方，之后在完成源

/漏极区的蚀刻后，即在上述储存电容器电极的上方形成一堆叠层，以增加储存电容器的单位面积。

为实现上述目的，本发明提出的薄膜晶体管的第一种制造方法，包括如下步骤：

- 5 提供一基板；
 在上述基板上限定形成一导电层，作为上述薄膜晶体管的栅极；
 形成一栅极绝缘层覆盖于上述导电层和上述基板之上；
 在上述栅极绝缘层之上依次形成一半导体层与一掺杂硅层；
 在上述掺杂硅层之上限定形成一岛状牺牲层，且上述岛状牺牲层位于上
- 10 述导电层的正上方；
 形成一金属层，覆盖于上述岛状牺牲层和上述掺杂硅层之上；
 限定蚀刻上述金属层，形成一源极电极层与一漏极电极层，其中，在上述源极电极层与该漏极电极层间的区域限定为一通道区域，且未被上述源极电极层、上述漏极电极层与上述通道区域覆盖的上述基板区域被限定为一非
- 15 薄膜晶体管区域，如此蚀刻移去该源极电极层与该漏极电极层以外的上述金属层，使上述岛状牺牲层暴露于上述通道区域中，上述掺杂硅层暴露于该非薄膜晶体管区域中；
 以上述源极电极层和漏极电极层为掩模，进行一预定时段的蚀刻程序，在该预定时段内，同时完成下列二蚀刻制作工艺：(a)于上述通道区域中，去
- 20 除上述岛状牺牲层和掺杂硅层，以露上述半导体层，(b)于上述非薄膜晶体管区域中，去除上述掺杂硅层和半导体层，以露出上述栅极绝缘层；以及形成一保护层覆盖上述源极电极层、漏极电极层、通道区域、以及非薄膜晶体管区域。

- 为达成上述目的，本发明另一方面提出的薄膜晶体管的第二种制造方法
- 25 包括如下步骤：

- 提供一基板；
 限定形成一导电层于上述基板上，作为上述薄膜晶体管的栅极；
 在上述导电层和上述基板之上形成一栅极绝缘层覆盖；
 在上述栅极绝缘层之上形成一半导体层；
- 30 在上述半导体层之上限定形成一岛状牺牲层，且上述岛状牺牲层位于上述导电层的正上方；

形成一掺杂硅层，覆盖于上述岛状牺牲层和上述半导体层之上；

在上述掺杂硅层之上形成一金属层；

限定蚀刻上述金属层，形成一源极电极层与一漏极电极层，其中，在上述源极电极层与该漏极电极层间的区域限定为一通道区域，且未被上述源极电极层、上述漏极电极层与上述通道区域覆盖的上述基板区域被限定为一非薄膜晶体管区域，如此蚀刻移去该源极电极层与该漏极电极层以外的金属层，使上述掺杂硅层暴露于通道区域中与非薄膜晶体管区域中；

以上述源极电极层和漏极电极层为掩模进行一预定时段的蚀刻程序，在该预定时段内，同时完成下列二蚀刻制作工艺：(a)在上述通道区域中，去除上述掺杂硅层和岛状牺牲层，以露出上述半导体层，(b)在上述非薄膜晶体管区域中，去除上述掺杂硅层和半导体层，以露出上述栅极绝缘层；以及形成一保护层，覆盖上述源极电极层、漏极电极层、通道区域、以及非薄膜晶体管区域。

在上述蚀刻程序中，上述岛状牺牲层、掺杂硅层、和半导体层的蚀刻率分别为 R_{IS} 、 R_n 、和 R_a ；上述岛状牺牲层、掺杂硅层、和半导体层的厚度分别为 T_{IS} 、 T_n 、和 T_a ；去除上述源极电极层、漏极电极层间的上述岛状牺牲层和掺杂硅层的时间($T_{IS}/R_{IS}+T_n/R_n$)不小于去除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层的时间($T_n/R_n+T_a/R_a$)。此外，通过控制上述岛状牺牲层厚度的方式，使得上述蚀刻程序在去除上述通道区域中的上述掺杂硅层和岛状牺牲层而露出上述半导体层的同时，除了将上述非薄膜晶体管区域中的上述掺杂硅层和半导体层去除之外，亦对露出于上述非薄膜晶体管区域中的上述栅极绝缘层进行蚀刻，去除一部分上述栅极绝缘层，而减小上述栅极绝缘层的厚度。

为实现上述目的，本发明的又一方面提出的薄膜晶体管液晶显示器(TFT-LCD)的第一种制造方法，包括以下步骤；

提供一基板；

在上述基板上限定形成第一和第二导电层，分别作为上述薄膜晶体管的一栅极及上述存储电容器的一下电极；

形成一绝缘层，覆盖上述第一、第二导电层和上述基板；

在上述绝缘层之上依次形成一半导体层与一掺杂硅层；

在上述掺杂硅层之上限定形成一岛状牺牲层，且上述岛状牺牲层位于上

述第一导电层的正上方;

形成一金属层, 覆盖第一导电层上方的上述岛状牺牲层和上述掺杂硅层;

- 5 限定蚀刻上述金属层, 在上述第一导电层的上方形成一源极电极层与一漏极电极层, 其中, 在上述源极电极层与该漏极电极层之间限定一通道区域, 如此使上述岛状牺牲层暴露于上述通道区域中, 且基板上未被源极、漏极电极层与通道区域覆盖的部分限定为一非薄膜晶体管区域, 上述掺杂硅层暴露于该非薄膜晶体管区域中;

- 10 以上述源极、漏极电极层及遮蔽电极层为掩模, 进行一蚀刻程序, 将上述通道区域中的上述岛状牺牲层和掺杂硅层去除, 以露出上述通道区域中的上述半导体层, 同时也去除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层, 以露出上述绝缘层;

形成一保护层, 覆盖上述漏极电极、源极电极、通道区域与上述第二电层之上;

- 15 蚀刻上述保护层, 形成一穿孔, 以露出上述源极和漏极电极层之一, 以及

- 20 于上述保护层上限定形成一透明导电层, 且延伸于上述源极和漏极电极层之一与该第二导电层上方, 该透明导电层通过该穿孔与上述源极和漏极电极层之一形成电接触, 使上述透明导电层构成上述存储电容器的一上电极。

为实现上述目的, 本发明再一方面提出的薄膜晶体管液晶显示器(TFT-LCD)的第二种制造方法, 该液晶显示器至少包括一薄膜晶体管及一存储电容器, 其制作方法包括以下步骤:

提供一基板;

- 25 在上述基板上限定形成第一和第二导电层, 分别作为一上述薄膜晶体管的一栅极及一存储电容器的一下电极;

形成一绝缘层, 覆盖上述第一、第二导电层和上述基板;

在上述绝缘层之上依次形成一半导体层与一掺杂硅层;

- 30 在上述掺杂硅层之上限定形成一岛状牺牲层, 且上述岛状牺牲层位于上述第一导电层的正上方;

形成一金属层, 覆盖上述岛状牺牲层以及上述掺杂硅层;

限定蚀刻上述金属层，在上述第一导电层的上方形成一源极电极层与一漏极电极层，并于上述第二导电层的上方形成一遮蔽电极层；其中，在上述源极电极层与该漏极电极层之间限定一通道区域，如此使上述岛状牺牲层暴露于上述通道区域中，上述基板上被上述遮蔽电极层覆盖的区域限定为一电容区域，上述基板上未被上述源极、漏极电极层、上述电容区域与上述通道区域覆盖的区域限定为一非薄膜晶体管区域，上述掺杂硅层暴露于该非薄膜

5

晶体管区域中;

以上述源极、漏极电极层及遮蔽电极层为掩模, 进行一蚀刻程序, 将上述通道区域中的上述岛状牺牲层和掺杂硅层去除, 以露出上述通道区域中的上述半导体层, 同时也去除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层, 以露出上述栅极绝缘层;

形成一保护层, 覆盖上述漏极电极、源极电极、通道区域与上述电容区域之上;

蚀刻上述保护层, 形成一第一穿孔以露出上述源极和漏极电极层之一, 及形成一第二穿孔以露出上述电容区域的上述遮蔽电极层; 以及

- 10 在上述保护层上限定形成一透明导电层, 且延伸于上述源极和漏极电极层之一与该遮蔽电极层上方, 该透明导电层通过该第一穿孔与上述源极和漏极电极层之一形成电接触, 该透明导电层通过该第二穿孔与上述遮蔽电极层形成电接触, 使上述透明导电层构成上述存储电容器的一上电极。

- 15 以上薄膜晶体管液晶显示器(TFT-LCD)的制造方法中, 上述蚀刻程序对上述岛状牺牲层、掺杂硅层、和半导体层的蚀刻率分别为 R_{IS} 、 R_n 、和 R_a ; 上述岛状牺牲层、掺杂硅层、和半导体层的厚度分别为 T_{IS} 、 T_n 、和 T_a ; 去除上述源极电极层、漏极电极层间的上述岛状牺牲层和掺杂硅层的时间 $(T_{IS}/R_{IS}+T_n/R_n)$ 不小于去除上述非薄膜晶体管区域中的上述掺杂硅层和半导体层的时间 $(T_n/R_n+T_a/R_a)$ 。另外, 通过控制上述岛状牺牲层厚度的方式, 使得上述蚀刻程序在去除上述通道区域中上述岛状牺牲层和掺杂硅层而露出上述半导体层的同时, 除了将上述非薄膜晶体管区域中的上述掺杂硅层和半导体层去除之外, 亦对露出于上述非薄膜晶体管区域中的上述绝缘层进行蚀刻, 去除一部分上述绝缘层, 而减小上述绝缘层的厚度。

- 25 依上述方法制作而得的第一种薄膜晶体管, 包括: 一岛状栅极层, 设置于一基板上; 一栅极绝缘层, 覆盖上述岛状栅极层; 一岛状半导体层, 设置于上述栅极绝缘层上, 且位于上述岛状栅极层的上方; 一源极掺杂硅层和一漏极掺杂硅层, 设置于上述岛状半导体层之一, 上述源极掺杂硅层和漏极掺杂硅层相间隔的区域限定为一通道区域, 在上述通道区域露出上述岛状半导体层; 一第一岛状牺牲层和第二岛状牺牲层, 分别设置于上述源极掺杂硅层和漏极掺杂硅层之上, 并紧临露出于上述源极层和漏极层间的上述岛状半导体层, 并以该通道区域间隔上述第一岛状牺牲层和第二岛

- 状牺牲层；一源极电极，设置于上述源极掺杂硅层及上述第一岛状牺牲层上；以及，一漏极电极，设置于上述漏极掺杂硅层及上述第二岛状牺牲层上。其中，上述第一、第二岛状牺牲层的厚度，取决于上述岛状半导体层的厚度，使蚀刻该第一岛状牺牲层、该第二岛状牺牲层、与该岛状半导体层时，需要大致相同的蚀刻时间。
- 5

依上述方法制作而得的第二种薄膜晶体管，包括：一岛状栅极层，设置

于一基板上；一栅极绝缘层，覆盖上述岛状栅极层；一岛状半导体层，设置于上述栅极绝缘层上，且位于上述岛状栅极层的上方；一第一岛状牺牲层和一第二岛状牺牲层，设置于上述岛状半导体层上，上述第一岛状牺牲层和第二岛状牺牲层相间隔的区域限定为一通道区域，与上述通道区域露出上述岛状半导体层；一源极掺杂硅层和一漏极掺杂硅层，设置于上述岛状半导体层、上述第一和第二岛状牺牲层之上，并以该通道区域间隔上述源极掺杂硅层和漏极掺杂硅层；以及，一源极导电层和一漏极导电层，分别设置于上述源极层和漏极层之上，其中，上述第一与第二岛状牺牲层的厚度，取决于上述岛状半导体层的厚度，使蚀刻该第一岛状牺牲层、该第二岛状牺牲层、与
 5 该岛状半导体层时，需要大致相同的蚀刻时间。

为使本发明的上述目的、特征、和优点能更明显易懂，下文特举优选实施例，并配合附图，做详细说明如下；其中，相同或类似层面的材料均以相同的数字或符号表示。附图中：

图 1 显示 TFT 元件的基本构架；

15 图 2A 至图 2F 显示本发明第一实施例的流程剖面图；

图 3A 至图 3F 显示本发明第二实施例的流程剖面图；

图 4A 至图 4F 显示本发明第三实施例的流程剖面图；

图 5A 至图 5F 显示本发明第四实施例的流程剖面图。

符号说明：

20 1、21、41～基板；2a～栅极金属层；2b～存储电容器的电极；3、23、43～栅极绝缘层；4、24、44～半导体层；5、25、45～掺杂硅层；6、26、46～电极层；7、27、47～保护层；8、28、48～透明导电层；9、30、32、52、53～通道区；22a、42a～第一导电层；22b、42b～第二导电层；26a、46a～源极电极；26b、46b～漏极电极；
 25 29、49～岛状牺牲层； R_{IS} 、 R_n 、 R_a 、 R_{INS} ～蚀刻率； T_{IS} 、 T_n 、 T_a 、 T_{INS} ～厚度；SL～堆叠层；1、51～金属遮蔽层。

实施例一

图 2A 至图 2F 显示本发明制作一薄膜晶体管液晶显示器的第一实施例的流程剖面图。

30 首先，在一基板 21 之上限定形成第一导电层 22a、及第二导电层 22b；其中，第一导电层 22a 作为薄膜晶体管(TFT)的栅极；第二导电层 22b 作为储

存电容器的下电极；在此实施例中，第一、二导电层(22a、22b)均为金属层；基板材料为玻璃或石英。

形成栅极绝缘层 23，覆盖于上述第一、第二导电层 22a、22b 和基板 21 之上，如图 2A 所示。接着，在栅极绝缘层 23 之上依次形成一半导体层 24 与一掺杂硅层 25。在此实施例中，半导体层 24 为非晶硅(amorphous silicon)层，掺杂硅层 25 为掺有 n+型杂质的多晶硅层。

接着，在掺杂硅层 25 之上限定形成岛状牺牲层 29，且岛状牺牲层 29 位于第一导电层 22a 的正上方；如图 2B 所示。

接下来，形成一金属层，覆盖于岛状牺牲层 29 和掺杂硅层 25 之上，再限定蚀刻金属层，用以形成包括源极、漏极电极 26a、26b 的电极层 26，其中，在源极、漏极电极 26a、26b 间露出岛状牺牲层 29。于源极、漏极电极 26a、26b 之间限定一通道区域 30，且基板 21 上未被上述电极层 26 与上述通道区域覆盖的区域限定为一非薄膜晶体管区域，于非薄膜晶体管区域中露出有掺杂硅层 25，如图 2C 所示。

以电极层 26 为掩模，进行一预定时段的蚀刻程序，在该预定时段内，同时进行两部分的蚀刻工艺。也就是说，在此蚀刻程序中不但将源极、漏极电极 26a、26b 间的岛状牺牲层 29 和掺杂硅层 25 去除，以露出源极、漏极电极 26a、26b 间的半导体层 24，同时，也将非薄膜晶体管区域上的掺杂硅层 25 和半导体层 24 去除，以露出栅极绝缘层 23，结果如图 2D 所示。

上述蚀刻程序中，岛状牺牲层 29、掺杂硅层 25、和半导体层 24 的蚀刻率分别为 R_{IS} 、 R_n 、和 R_a ；而岛状牺牲层 29、掺杂硅层 25、和半导体层 24 的厚度分别为 T_{IS} 、 T_n 和 T_a 。

根据应用的需要，可预先调整、设定岛状牺牲层 29、掺杂硅层 25、和半导体层 24 的厚度 T_{IS} 、 T_n 、和 T_a ，配合适当的蚀刻方式，而使去除源极、漏极电极 26a、26b 间的牺牲层 29 和掺杂硅层 25 的时间 $T1(T1=(T_{IS}/R_{IS}+T_n/R_n))$ 不小于去除上述电极层 26 两侧的掺杂硅层 25 和半导体层 24 的时间 $T2(T2=(T_n/R_n+T_a/R_a))$ 。当蚀刻终止时，半导体层 24 暴露在源极、漏极电极 26a、26b 间的通道区域中，栅极绝缘层 23 也露出于电极层 26 的两侧。

另外，通过控制岛状牺牲层 29 厚度的方式，使得上述蚀刻程序在去除通道区域中岛状牺牲层 29 和掺杂硅层 25 的同时，除了将非薄膜晶体管区域

中的掺杂硅层 25 和半导体层 24 移除外，亦对露出于非薄膜晶体管区域的栅极绝缘层 23 进行蚀刻，用以去除一部分的栅极绝缘层 23 而减小栅极绝缘层 23 的厚度。也就是说，当栅极绝缘层的蚀刻率为 R_{INS} ，且被去除的部分栅极绝缘层的厚度为 T_{INS} ，则去除源极、漏极电极层间的岛状牺牲层和掺杂硅层的时间 $T_1(T_1=(T_{IS}/R_{IS}+T_n/R_n))$ 将等于去除非薄膜晶体管区域中的掺杂硅层、半导体层和部分栅极绝缘层的时间 $T_3(T_3=(T_n/R_n+T_a/R_a+T_{INS}/R_{INS}))$ 。

接着，形成一保护层(passivation layer)27，覆盖上述源极电极 26a、漏极电极 26b、与通道区域 30，可完成一种用于一平面转动型(In plane switch)液晶显示器的薄膜晶体管。

之后，蚀刻保护层 27 以露出电极 26b，如图 2F 所示。最后，限定形成一透明导电层 28 于上述保护层 27 上，并与电极 26b 形成电接触。该透明导电层可为一层铟锡氧化物层(ITO layer)28。

实施例二

图 3A 至图 3F 显示本发明第二实施例的流程剖面图；其中，和图 2A 至图 2F 相同的单元将以相同符号表示。

第二实施例和第一实施例的主要步骤、条件均相同，主要的差别在于，限定蚀刻上述金属层时，除形成包含电极 26a、26b 的上述电极层 26 外，还在上述储存电容器电极 22b 的正上方有金属遮蔽层 31；如图 3C 所示。藉此，在完成上述蚀刻程序后，上述金属遮蔽层 31 与上述掺杂硅层 25、通道层 24 构成一堆叠层 SL 于上述栅极绝缘层 23 和电极 22b 之上；如图 3D 所示。

形成保护层 27，将上述 TFT 覆盖，再蚀刻上述保护层 27，露出电极 26b 和堆叠层 SL；如图 3E 所示。

最后，在上述保护层 27 上限定形成铟锡氧化物层(ITO layer)28，并与上述电极 26b、和上述堆叠层 SL 中的金属遮蔽层 31 形成电接触，并共同作为存储电容器的上电极金属层时，除形成包含源极、漏极电极 26a、26b 的电极层 26 外，还在存储电容器电极 22b 的正上方形成一金属遮蔽层 31，如图 3C 所示。藉此，在完成上述蚀刻程序后，金属遮蔽层 31、掺杂硅层 25、与半导体层 24 在栅极绝缘层 23 和电极 22b 之上构成一堆叠层 SL，如图 3D 所示。

在此实施例中，源极、漏极电极 26a、26b 之间限定为一通道区 32，未被源极、漏极电极 26a、26b、通道区域 32、与存储电容器覆盖的基板

部分限定为一非薄膜晶体管区。此时，去除源极、漏极电极 26a、26b 间的岛状牺牲层 29 和掺杂硅层 25 的时间 $T_1(T_1=(T_{1s}/R_{1s}+T_n/R_n))$ 等于去除非薄膜晶体管区的掺杂硅层 25 和半导体层 24 的时间 $T_2(T_2=(T_n/R_n+T_a/R_a))$ 。当蚀刻终止时，半导体层 24 暴露在源极、漏极电极(26a、26b)间的通道区 32 中，

5 栅极绝缘层 23 也露出于非薄膜晶体管区上，如图 3D 所示。

接着形成保护层(passivation layer)27，覆盖源极电极 26a、漏极电极 26b、通道区 30，与堆叠层 SL 之上，如此可完成一种用于一平面转动型(In plane switch)液晶显示器的薄膜晶体管。再蚀刻保护层 27，露出漏极电极 26b 和堆叠层 SL；如图 3F 所示。最后，在保护层 27 上限定形成一透明导电层，

10 如铟锡氧化物层(ITO layer)28，并与电容的金属遮蔽层 31 形成电接触，并共同作为储存电容器的上电极，如图 3F 所示。

由于堆叠层 SL 的形成，使得储存电容器的单位表面积增加，故可增加其电容值 C_s 。

实施例三

15 图 4A 至图 4F 显示本发明第三实施例的流程剖面图。第一实施例中，岛状牺牲层形成于半导体层与掺杂硅层之上。第三实施例和第一实施例的步骤、条件大致相同，主要差别在于岛状牺牲层是形成于半导体层之上、掺杂硅层之下。

首先，限定形成第一导电层 42a 及第二导电层 42b 于一基板 41 之上，

20 其中，第一导电层 42a 作为薄膜晶体管(TFT)的栅极，而第二导电层 42b 作为存储电容器的电极。在此实施例中，第一、二导电层(42a、42b)均为金属层，而基板 14 的材质为玻璃或石英。

形成栅极绝缘层 43，覆盖于第一、第二导电层(42a、42b)和基板 41 之上，如图 4A 所示。之后，在栅极绝缘层 43 之上形成半导体层 44。在此实

25 施例中，半导体层 44 为非晶硅(amorphous silicon)层。

接着，在半导体层 44 之上限定形成岛状牺牲层 49，且岛状牺牲层 49 位于第一导电层 22a 的正上方，如图 4B 所示。形成掺杂硅层 45，覆盖于上述岛状牺牲层 49 和上述半导体层 44 之上。

形成金属层，覆盖于上述掺杂硅层 45 之上，再限定蚀刻金属层，形成

30 包含源极、漏极电极 46a、46b 的电极层 46。于源极、漏极电极 46a、46b 之间限定一通道区域 52，且掺杂硅层 45 暴露于通道区 52 中。基板 41 上未

被电极层 46 与通道区 52 覆盖的部分限定为一非薄膜晶体管区域，掺杂硅层 45 亦露出于非薄膜晶体管区域中，如图 4C 所示。

以电极层 46 为掩模，进行一预定时段的蚀刻程序，将源极、漏极电极 46a、46b 间的掺杂硅层 45 和牺牲层 49 去除，以露出源极、漏极电极 46a、46b 间的半导体层 44，同时也将非薄膜晶体管区域的掺杂硅层 45 和半导体层 44 去除，以露出栅极绝缘层 43，结果如图 4D 所示。当然，也可以通过控制岛状牺牲层 49 的厚度，使得上述蚀刻程序中亦对露出于非薄膜晶体管区域中的栅极绝缘层 43 进行蚀刻，去除一部分的栅极绝缘层 43，而减小栅极绝缘层 43 的厚度。

上述蚀刻程序中岛状牺牲层 49、掺杂硅层 45、半导体层 44 的蚀刻率分别为 R_{IS} 、 R_n 、 R_a ，且岛状牺牲层 49、掺杂硅层 45、和半导体层 44 的厚度分别为 T_{IS} 、 T_n 、和 T_a 。

上述蚀刻程序中，依照应用的需要，可预先调整，设定上述岛状牺牲层 49、掺杂硅层 45、和半导体层 44 的厚度 T_{IS} 、 T_n 、和 T_a ，而去除通道区 52 中掺杂硅层 45 和岛状牺牲层 49 的时间 $T_1(T_1=(T_{IS}/R_{IS}+T_n/R_n))$ 不小于去除非薄膜晶体管区的掺杂硅层 45 和半导体层 44 的时间 $T_2(T_2=(T_n/R_n+T_a/R_a))$ ，藉以让蚀刻程序的反应终点为通道区的半导体层 44 及非薄膜晶体管区的栅极绝缘层 43。

更进一步地说，当栅极绝缘层的蚀刻率为 R_{INS} ，且被去除的部分栅极绝缘层的厚度为 T_{INS} ，则去除源极、漏极电极层间的岛状牺牲层和掺杂硅层的时间 $T_1(T_1=(T_{IS}/R_{IS}+T_n/R_n))$ 将等于去除非薄膜晶体管区域中的掺杂硅层、半导体层和部分栅极绝缘层的时间 $T_3(T_3=(T_n/R_n+T_a/R_a+T_{INS}/R_{INS}))$ 。

接着，形成保护层(passivation layer)47，再蚀刻保护层 47，以露出漏极电极 46b，如图 4E 所示。最后，在保护层 47 上限定形成铟锡氧化物层(ITO layer)48，并与漏极电极 46b 形成电接触。

实施例四

图 5A 至图 5F 显示本发明第四实施例的流程剖面图；其中，图 4A 至图 4F 相同的单元将以相同符号表示。

第四实施例和第三实施例的主要步骤、条件均相同，主要的差别在于，限定蚀刻上述金属层时，除形成包括源极、漏极电极 46a、46b 的上述电极层 46 外，还在上述储存电容器电极 42b 的正上方形成有金属遮蔽层 51；如

图 5C 所示。藉此，在完成上述蚀刻程序后，上述金属遮蔽层 51 与上述掺杂硅层 45、半导体层 44 构成一在上述栅极绝缘层 43 和电极 42b 之上的堆叠层 SL；如图 5D 所示。

在此实施例中，源极、漏极电极 46a、46b 之间限定为一通道区 53，
5 未被源极、漏极电极(46a、46b)、通道区域 53、与储存电容器覆盖的基板部分限定为一非薄膜晶体管区。此时，去除源极、漏极电极(46a、46b)间的牺牲层 49 和掺杂硅层 45 的时间 $T_1(T_1=(T_{IS}/R_{IS}+T_n/R_n))$ 等于去除非薄膜晶体管区的掺杂硅层 45 和半导体层 44 的时间 $T_2(T_2=(T_n/R_n+T_a/R_a))$ 。当蚀刻终止时，半导体层 44 暴露在源极、漏极电极(46a、46b)间的通道区 53 中，栅极
10 绝缘层 43 也露出于非薄膜晶体管区上，如图 5D 所示。

接着，形成保护层 47 覆盖源极电极 26a、漏极电极 26b、通道区 30、与堆叠层 SL 之上，如此可完成一种用于一平面转动型(In plane switch)液晶显示器的薄膜晶体管。再蚀刻上述保护层 47，露出电极 46b 和堆叠层 SL；如图 5E 所示。

15 最后，在保护层 47 上限定形成一透明导电层，如铟锡氧化物层(ITO layer)48，并与漏极电极 46b 和堆叠层 SL 中的金属遮蔽层 51 形成电接触，并共同作为储存电容器的上电极，如图 5F 所示。

由于堆叠层 SL 的形成，使得存储电容器的单位表面积增加，故可增加其电容值 C_s 。

20 由上述实施例可知，本发明利用金属电极层作为掩模，在蚀刻掺杂硅层形成源/漏极区时，可一并将薄膜晶体管以外区域的半导体层完全去除干净，藉此降低半导体层可能残留的制造工艺缺陷，提高薄膜晶体管的制造成品率。另外，可以通过对栅极绝缘层进行过蚀刻、或形成堆叠层，以增加储存电容器的电容值。

25 此外，参照图 2F、图 3F，依上述方法制作而得的第一种薄膜晶体管，其结构包括：一岛状栅极层 22a，设置于一基板 21 上；一栅极绝缘层 23，覆盖岛状栅极层 22a；一岛状半导体层 24，设置于栅极绝缘层 23 上，且位于岛状栅极层 22a 的上方；一源极掺杂硅层 25 和一漏极掺杂硅层 25，设置于岛状半导体层 24 之上，上述源极掺杂硅层和漏极掺杂硅层相间隔的区域
30 限定为一通道区域，在通道区域露出岛状半导体层；一第一岛状牺牲层 29 和第二岛状牺牲层 29，分别设置于上述源极掺杂硅层 25 和漏极掺杂硅层 25

之上，并以该通道区域间隔上述第一岛状牺牲层和第二岛状牺牲层；一源极电极 26a，设置于上述源极掺杂硅层 25 及上述第一岛状牺牲层 29 上；以及，一漏极电极 26b，设置于漏极掺杂硅层 25 及第二岛状牺牲层 29 上。

其中，第一与第二岛状牺牲层 29 的厚度，取决于岛状半导体层 25 的厚度，使蚀刻该第一岛状牺牲层、该第二岛状牺牲层、与该岛状半导体层时，需要相同的蚀刻时间。

另一方面，请参照图 4F、图 5F，依上述方法制作而得的第二种薄膜晶体管，包括：一岛状栅极层 42a，设置于一基板 41 上；一栅极绝缘层 43，覆盖岛状栅极 42a 层；一岛状半导体层 44，设置于栅极绝缘层 43 上，且位于上述岛状栅极层 42a 之上方；一第一岛状牺牲层和一第二岛状牺牲层 49，设置于上述岛状半导体层 44 上，第一岛状牺牲层和第二岛状牺牲层相间隔的区域限定为一通道区域，在通道区域露出岛状半导体层；一源极掺杂硅层和一漏极掺杂硅层 45，设置于岛状半导体层 44、第一和第二岛状牺牲层 49 之上，并以该通道区域间隔上述源极掺杂硅层和漏极掺杂硅层；以及一源极电极 46a 和一漏极电极 46b，分别设置于上述源极掺杂硅层 45 和漏极掺杂硅层 45 之上。

其中，第一与第二岛状牺牲层 49 的厚度，取决于岛状半导体层 44 的厚度，使蚀刻第一岛状牺牲层、第二岛状牺牲层、与岛状半导体层时，需要大致相同的蚀刻时段。

虽然本发明已以四个优选实施例揭露如上，但是其并非用以限定本发明，本领域的技术人员，在不脱离本发明的精神和范围内，可做出一些更动和润饰，因此本发明的保护范围应当由后附的权利要求界定。

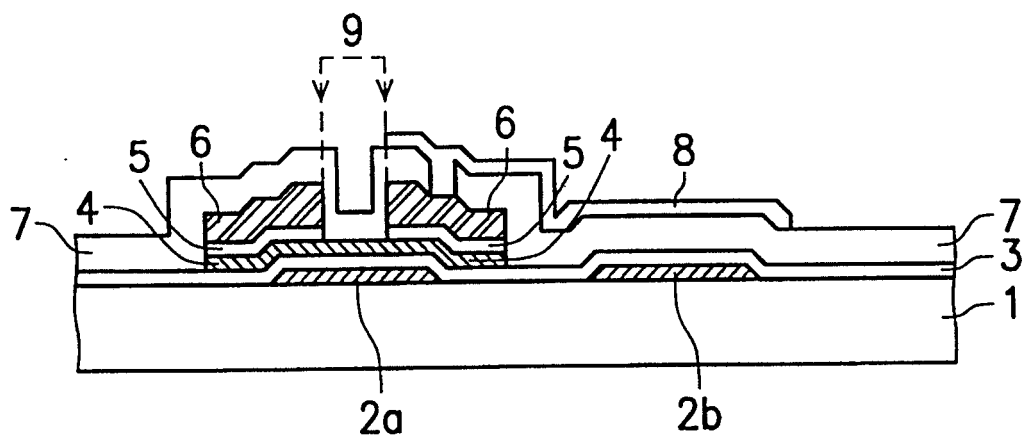


图 1

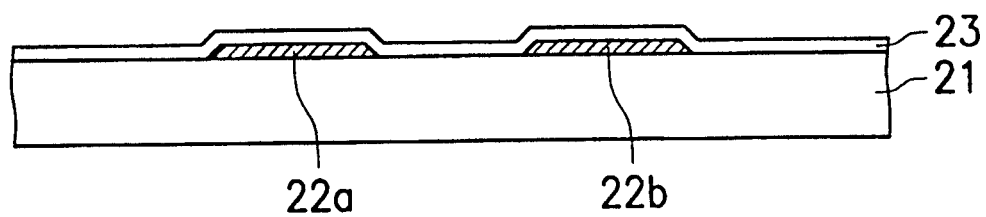


图 2A

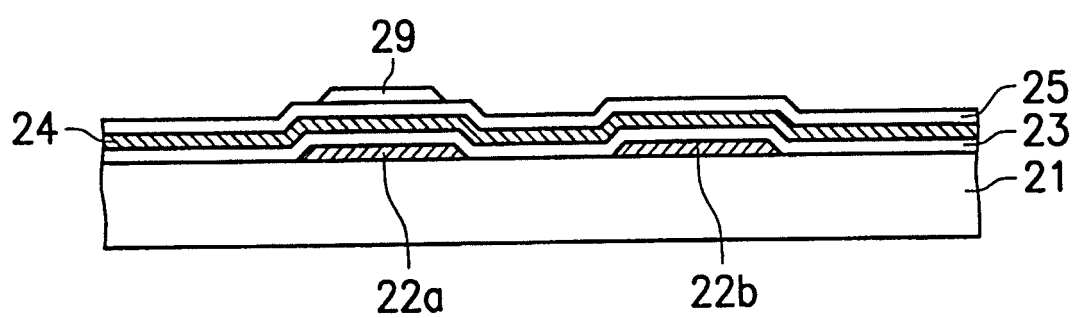


图 2B

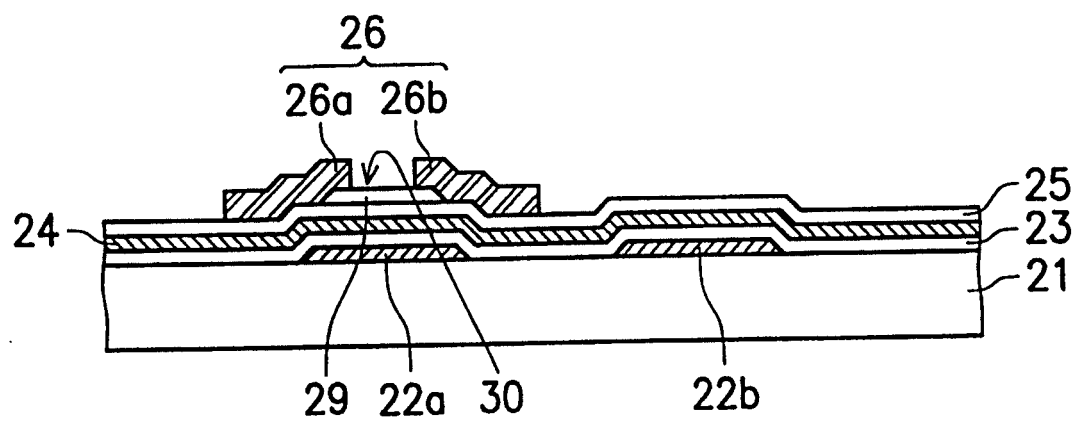


图 2C

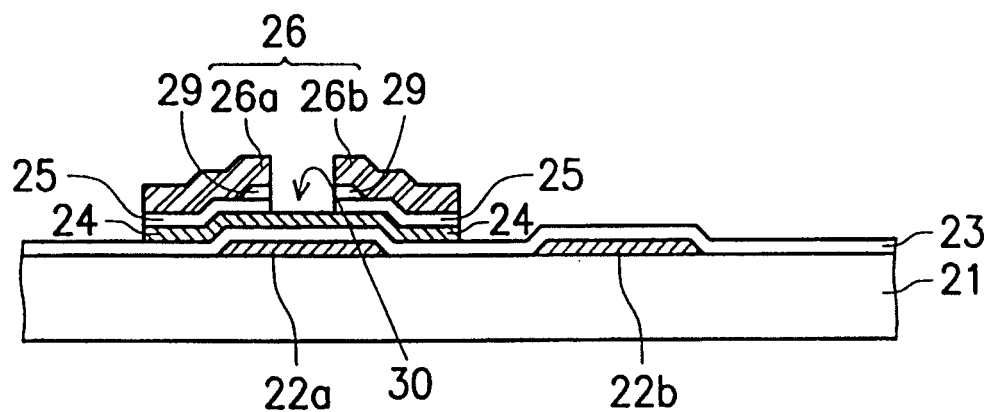


图 2D

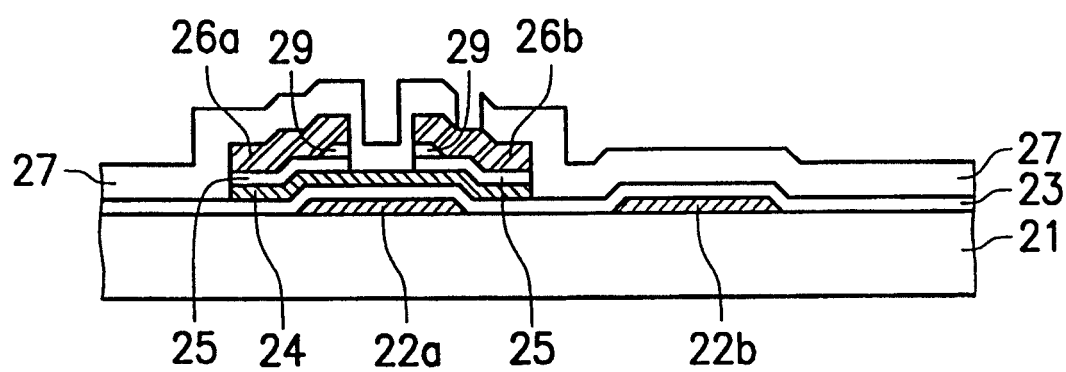


图 2E

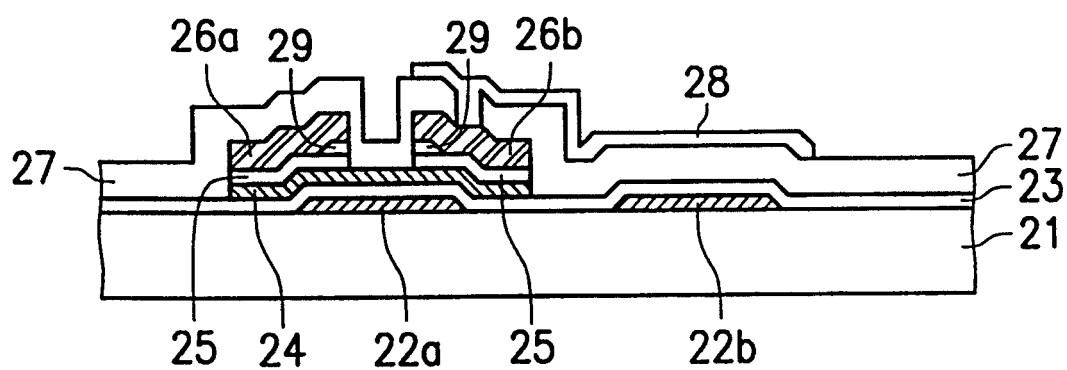


图 2F

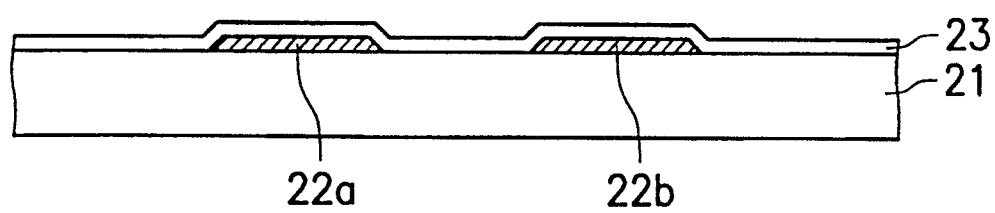


图 3A

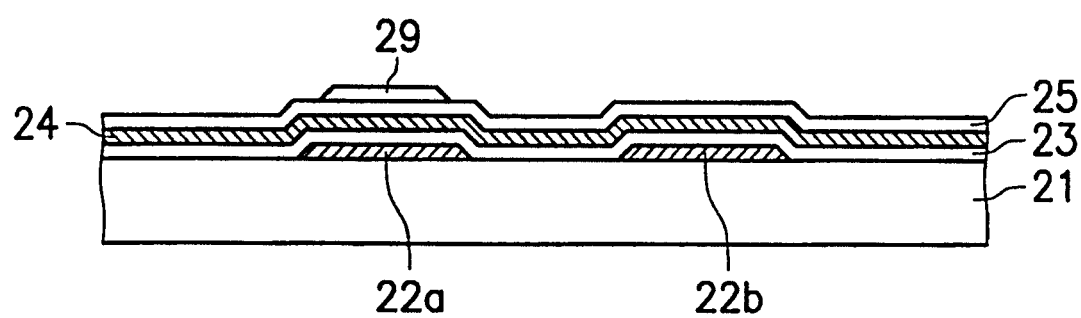


图 3B

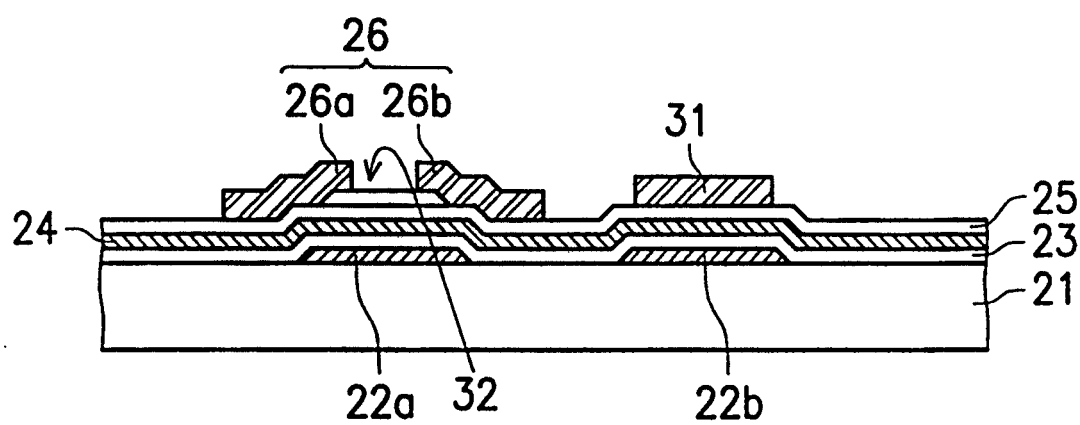


图 3C

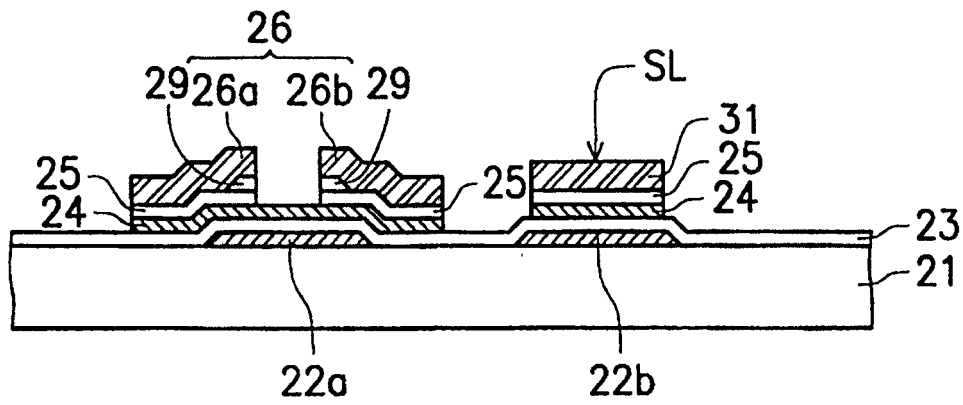


图 3D

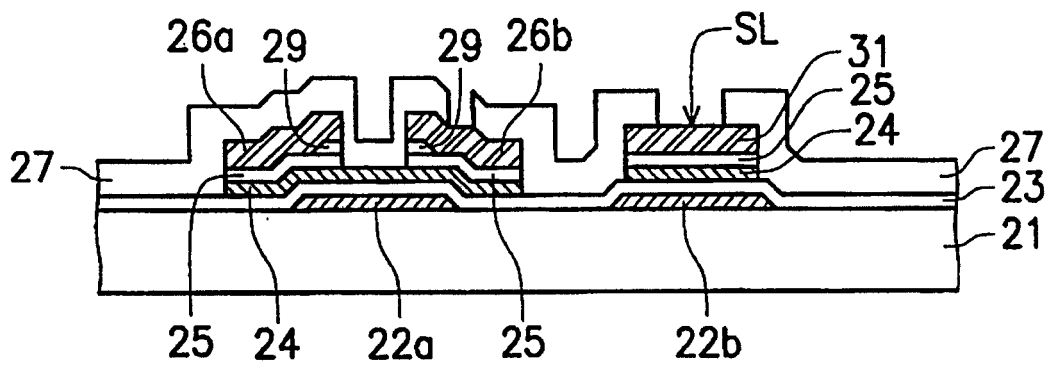


图 3E

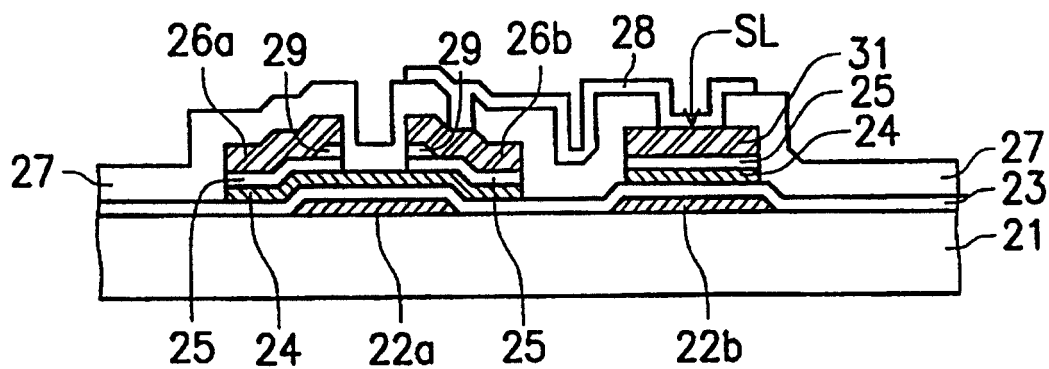


图 3F

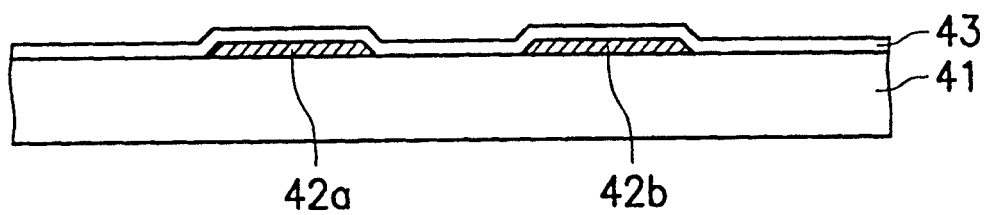


图 4A

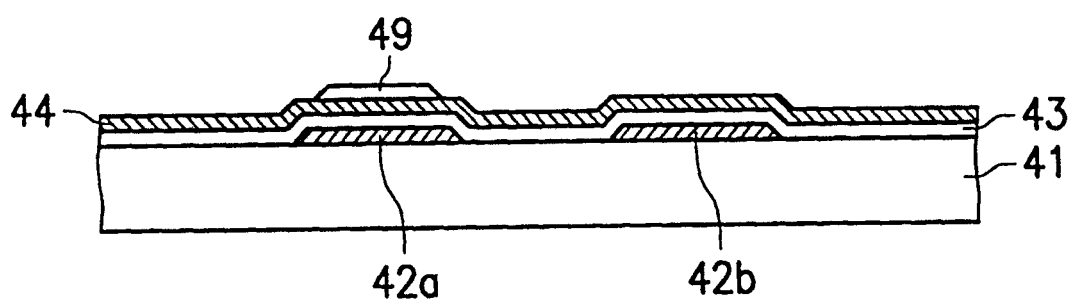


图 4B

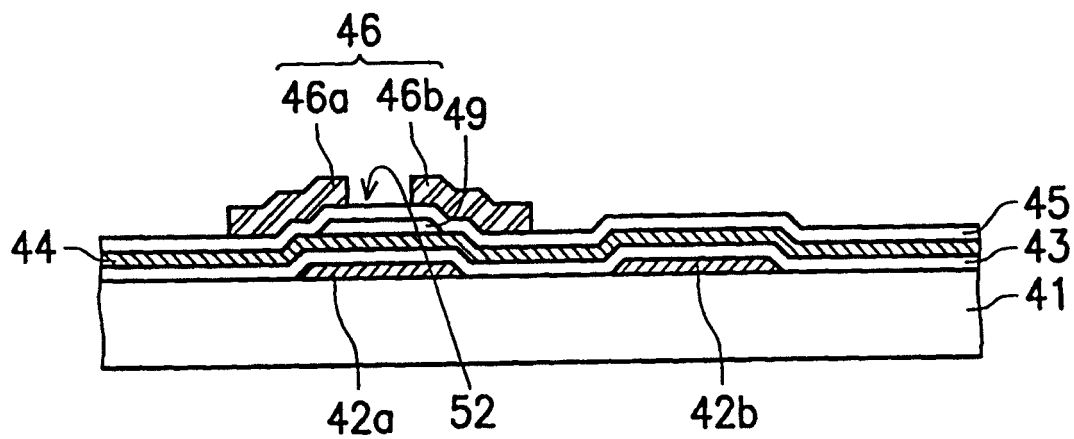


图 4C

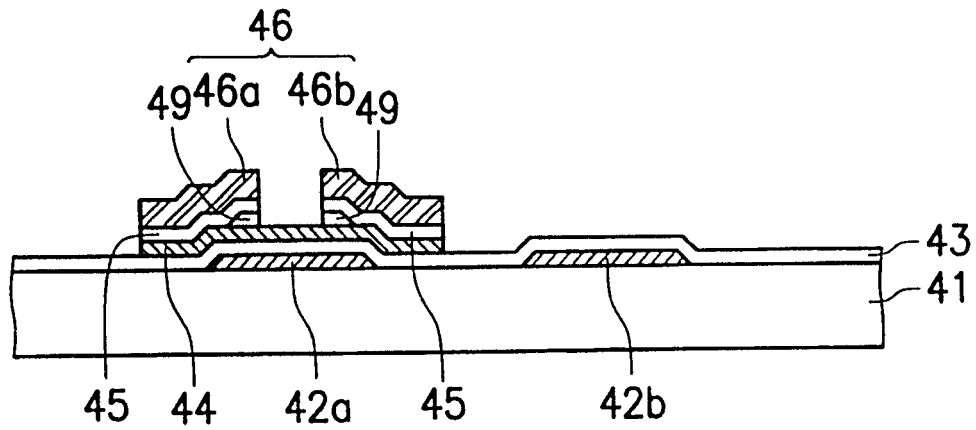


图 4D

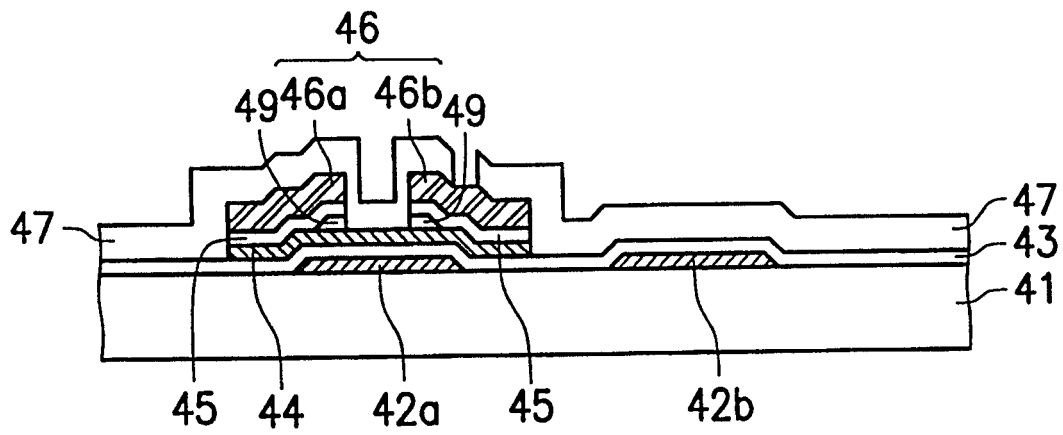


图 4E

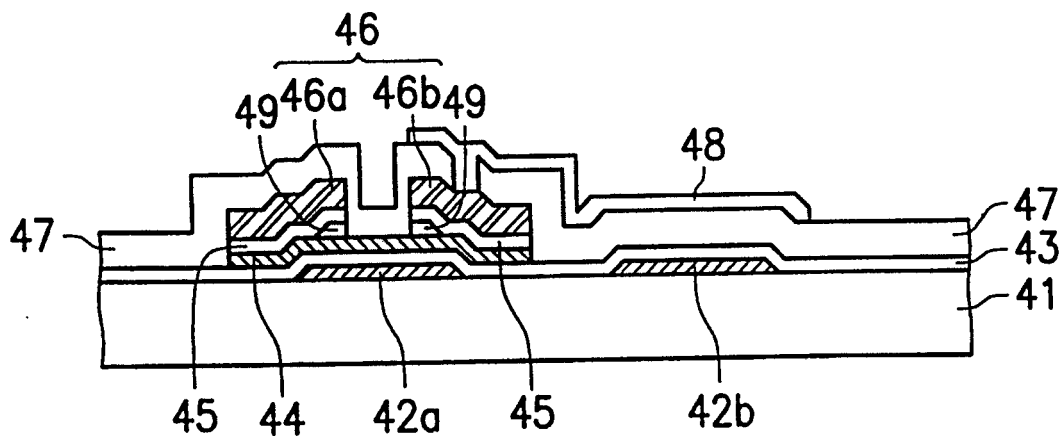


图 4F

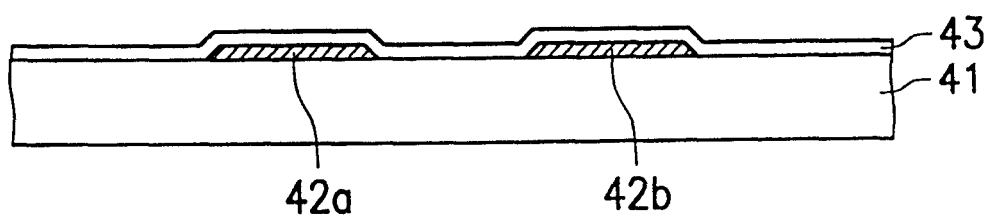


图 5A

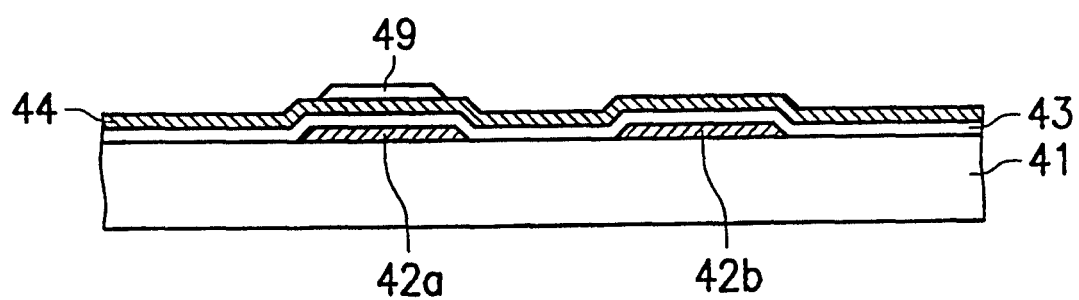


图 5B

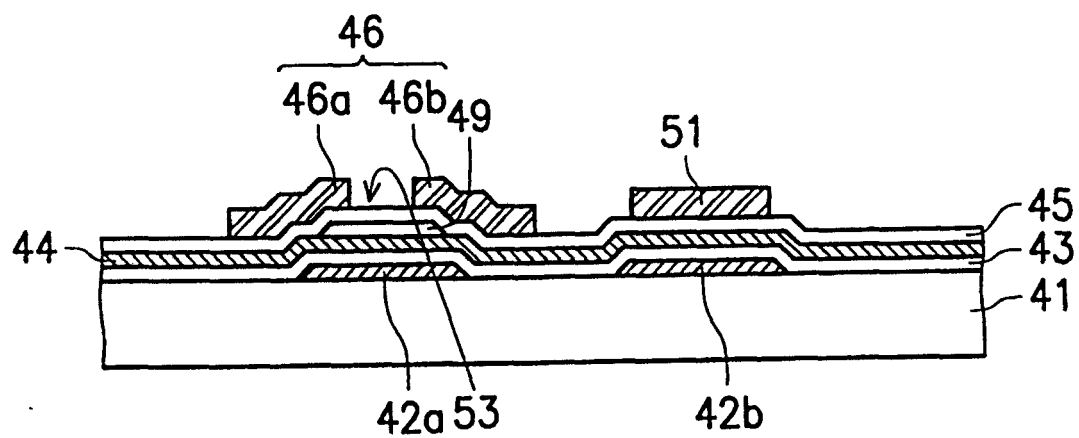


图 5C

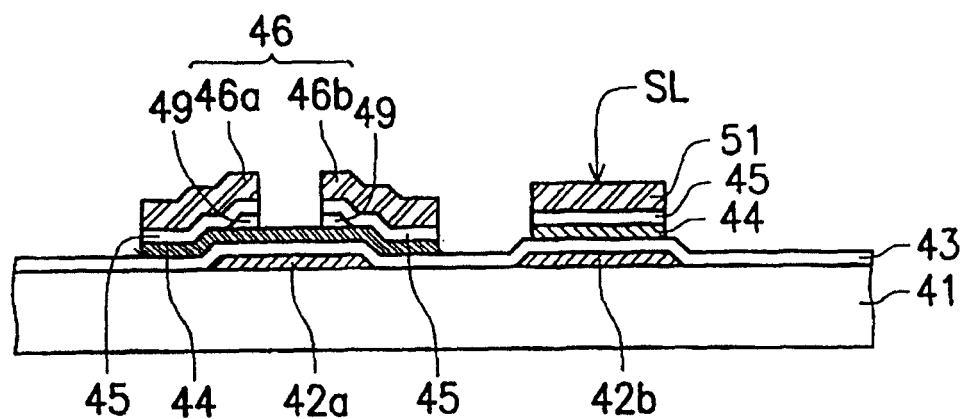


图 5D

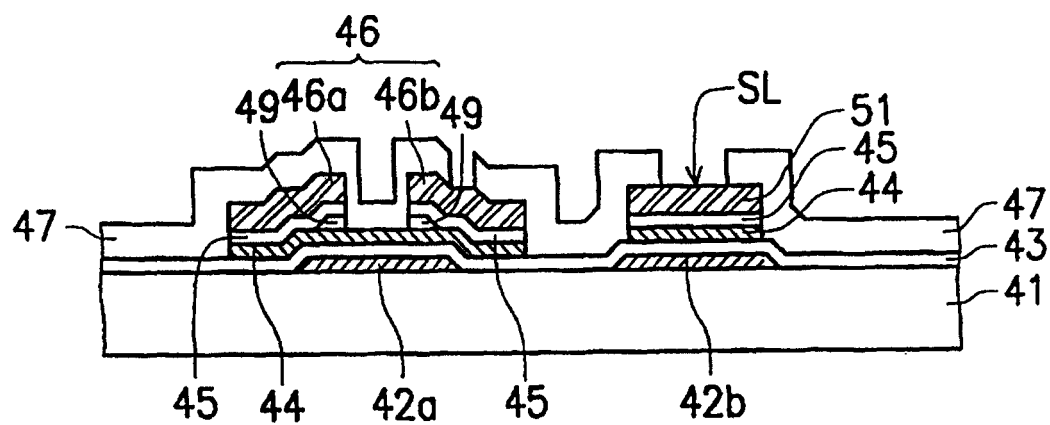


图 5E

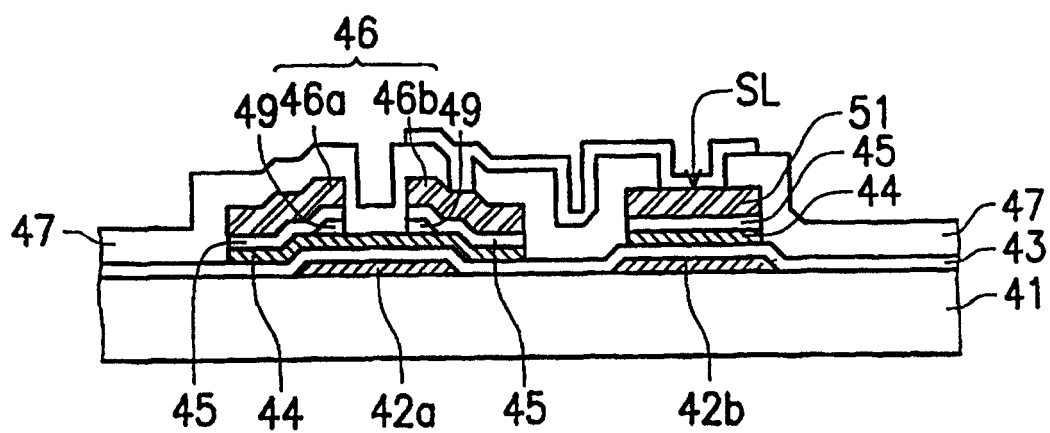


图 5F

专利名称(译)	薄膜晶体管液晶显示器及其制造方法		
公开(公告)号	CN1151405C	公开(公告)日	2004-05-26
申请号	CN00121925.1	申请日	2000-07-25
[标]申请(专利权)人(译)	达碁科技股份有限公司		
申请(专利权)人(译)	达碁科技股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	翁嘉璠		
发明人	翁嘉璠		
IPC分类号	G02F1/136		
其他公开文献	CN1335533A		
外部链接	Espacenet SIPO		

摘要(译)

一种薄膜晶体管液晶显示器，其采用的薄膜晶体管的制作是利用金属电极层作为掩模，在蚀刻掺杂硅层以形成源/漏电极时，可同时将薄膜晶体管以外区域的半导体层去除干净，藉此降低半导体层可能残留的制作工艺缺陷，而提高薄膜晶体管的制造成品率。

