



(12) 发明专利申请

(10) 申请公布号 CN 102629053 A

(43) 申请公布日 2012. 08. 08

(21) 申请号 201110251655. 2

(22) 申请日 2011. 08. 29

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
申请人 成都京东方光电科技有限公司

(72) 发明人 王本莲 张智钦 白峰

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

G02F 1/1362(2006. 01)

H01L 27/02(2006. 01)

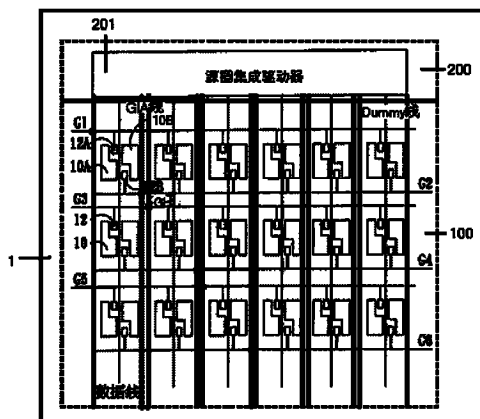
权利要求书 1 页 说明书 5 页 附图 2 页

(54) 发明名称

阵列基板及显示装置

(57) 摘要

本发明公开了一种阵列基板及显示装置, 涉及 TFT-LCD 技术领域。该阵列基板包括: 有源像素区域以及端子区域, 所述有源像素区域内包括: 像素单元、栅线、数据线、以及栅极引线, 相邻的两条所述数据线之间设置两列像素单元, 其特征在于, 所述栅极引线设置在所述两列像素单元之间, 所述栅极引线与所述栅线对应相连。本发明的阵列基板及包括该阵列基板的显示装置将栅极引线做在有源像素区域, 可平衡数据线对像素的不平衡影响, 同时缩窄边框。



1. 一种阵列基板,包括:有源像素区域以及端子区域,所述有源像素区域内包括:像素单元、栅线、数据线、以及栅极引线,相邻的两条所述数据线之间设置两列像素单元,其特征在于,所述栅极引线设置在所述两列像素单元之间,所述栅极引线与所述栅线对应相连。

2. 如权利要求1所述的阵列基板,其特征在于,所述栅线的数量为像素单元的行数的两倍,在两行所述像素单元之间设置两条栅线。

3. 如权利要求1所述的阵列基板,其特征在于,所述端子区域位于有源像素区域的一侧或者相对的两侧,所述端子区域内设置有源极驱动器以及栅极驱动器,所述数据线均连接至所述源极驱动器,所述栅极引线均连接至栅极驱动器。

4. 如权利要求1所述的阵列基板,其特征在于,所述端子区域位于有源像素区域的一侧或者相对的两侧,所述端子区域内设置有源栅极集成驱动器,所述数据线以及所述栅极引线均连接至所述源栅极集成驱动器。

5. 如权利要求1所述的阵列基板,其特征在于,所述栅极引线与所述数据线位于同一层,所述栅极引线与所述数据线平行,所述栅极引线通过过孔与所述栅线电连接。

6. 如权利要求1所述的阵列基板,其特征在于,所述两列像素单元之间设置一条和/或两条所述栅极引线。

7. 如权利要求1-6任一所述的阵列基板,其特征在于,该阵列基板还包括假线,所述假线设置于所述两列像素单元之间,所述假线为与所述栅线不连接的引线。

8. 如权利要求7所述的阵列基板,其特征在于,所述两列像素单元之间设置一条和/或两条所述假线。

9. 如权利要求8所述的阵列基板,其特征在于,所述栅线为640根,所述数据线为360根,所述栅极引线为640根,每任意320组所述两列像素单元之间设置两条所述栅极引线。

10. 如权利要求9所述的阵列基板,其特征在于,剩余的40组所述两列像素单元之间设置两条所述假线。

11. 一种显示装置,其特征在于,包括如权利要求1-10任一所述的阵列基板。

## 阵列基板及显示装置

### 技术领域

[0001] 本发明涉及薄膜晶体管液晶显示 (Thin Film Transistor Liquid Crystal Display, TFT-LCD) 技术领域,尤其涉及一种窄边框阵列基板及包括该阵列基板的显示装置。

### 背景技术

[0002] TFT-LCD 具有体积小、功耗低、无辐射等特点,在当前的平板显示器市场占据了主导地位。

[0003] 一般而言,TFT-LCD 基板上的有源像素区域(显示区)包含多个有源像素单元,每个像素单元为两条栅线和两条数据线交叉所形成的矩形区域,其内设置 TFT 以及一像素电极,每个 TFT 的栅极及源极均分别与栅线及数据线相连,所有栅线均与栅极驱动器相连,数据线与源极驱动器相连,以为 TFT 的栅极及源极提供驱动信号。

[0004] 由于源极驱动 IC 芯片的成本比栅极驱动 IC 芯片的成本要高,所以,传统的布线技术(驱动 IC 芯片的数目与引线数目对应)使得 LCD 的制造成本较高。为了克服这一缺陷,出现了双栅极 (Dual Gate) 技术,即通过增加一倍栅极引线(与栅极驱动 IC 芯片数目对应)的方法来实现数据线(与源极驱动 IC 芯片数目对应)减半的效果,从而可以减少数据线,以降低整个 LCD 的制造成本。如图 1 所示,采用了 Dual Gate 技术的阵列基板上包括互相平行的第一栅线 G1、G3、G5 以及互相平行的第二栅线 G2、G4、G6,数据线与第一栅线以及第二栅线均绝缘垂直相交,相邻的两条数据线之间包含两列像素单元,两列像素单元的 TFT 分别与第一栅线以及第二栅线相连,例如像素电极 10A 所在的像素单元的 TFT 12A 与第一栅线 G1 相连,像素电极 10B 所在的像素单元的 TFT 12B 与第二栅线 G2 相连,第一栅线 G1、G3、G5 从基板左侧引出,第二栅线 G2、G4、G6 从与基板右侧引出,并分别连接至相应的栅极驱动器 A 以及栅极驱动器 B,数据线从与两个栅极驱动器相邻的一侧引出,并连接至源极驱动器,由时序控制器 (T-con) 控制栅极驱动器以及源极驱动器输送信号至相应的像素电极。

[0005] 对于传统的单栅线像素结构:数据线对于像素电极的耦合电容与数据线和像素电极之间的间距成反比,如果在理想情况下,对位精度很好,像素单元距离其相邻的数据线的距离相等,则每个像素单元的耦合电容相等。由于实际工艺中像素电极层与数据线层对位存在偏差,间距减小则耦合电容增大;间距增大则耦合电容减小,但是因为每个像素单元两侧都有数据线,对位偏移的时候,一根数据线的耦合电容增大,而另一根数据线的耦合电容式相应的减小的,两者叠加后不平衡影响则会相抵消,并且每个像素单元都是同样的偏移。然而,对于 Dual Gate 像素结构,如图 2(a) 所示,数据线对每个电极的耦合电容只有一个,以像素电极 10A 对应  $C_{pd1}$ ,以像素电极 10B 对应  $C_{pd2}$ ,像素电极 10A 与其相邻的数据线的间距为  $d_1$ ,像素电极 10B 与其相邻的数据线的间距为  $d_2$ 。如图 2(b) 所示,在实际工艺中,当像素电极层与数据线层的对位存在偏差的时候,偏差导致  $d_1$  减小  $C_{pd1}$  增大,则数据线对像素电极 10A 影响增大, $d_2$  增大  $C_{pd2}$  减小,则数据线对像素电极 10B 的影响减小,因此,相

邻两个像素电极受到的数据线的影晌不平衡,从而影晌 LCD 的显示效果。

[0006] 类似地,在数据线和像素单元不是一一间隔排列的情况下,相邻两个像素电极受到的数据线的影晌不平衡,由于实际工艺中像素电极层与数据线层对位存在偏差就会影晌 LCD 的显示效果。

[0007] 在传统的 TFT-LCD 基板上,栅极均采用侧引线方式,TFT-LCD 有源像素区域的相对的两侧存在栅极引线,从而将栅极驱动器输出的扫描信号传输到像素区域的扫描线,以控制各个像素单元。然而,每一根栅极引线需占用一定的面积,因此需要预留足够的外围布线区域 (fan-out) 以排布所有的栅极引线,fan-out 的大小决定了 TFT-LCD 基板边框的宽窄,而 fan-out 区域的大小取决于栅极引线的数量,即由 TFT-LCD 的分辨率决定了边框尺寸。

[0008] 为减少 TFT-LCD 边框尺寸,现有技术中存在一种外围双层布线 (Dual fan-out) 的设计,fan-out 采用两种金属在不同层布线,一般选用栅 (Gate) 层金属和源漏 (SD) 层金属分别在 Gate 层和 SD 层布线,这样每一层的引线数目减半,则布线区域所占面积相应减小,可以使得边框尺寸减薄。随着 LCD 分辨率越来越大,边框尺寸也会越来越大,即使采用 Dual fan-out 区域的设计方式可以减小边框尺寸,仍会受到 LCD 分辨率的限制,有碍于大尺寸、薄边框 LCD 的发展。

## 发明内容

[0009] (一) 要解决的技术问题

[0010] 本发明要解决的技术问题是:提供一种既能够降低数据线成本又能提高显示效果的窄边框阵列基板及包括该阵列基板的显示装置。

[0011] (二) 技术方案

[0012] 为解决上述问题,本发明提供了一种阵列基板,该阵列基板包括:有源像素区域以及端子区域,所述有源像素区域内包括:像素单元、栅线、数据线、以及栅极引线,相邻的两条所述数据线之间设置两列像素单元,所述栅极引线设置在所述两列像素单元之间,所述栅极引线与所述栅线对应相连。

[0013] 优选地,所述栅线的数量为像素单元的行数的两倍,在两行所述像素单元之间设置两条栅线。

[0014] 优选地,所述端子区域位于有源像素区域的一侧或者相对的两侧,所述端子区域内设置有源极驱动器以及栅极驱动器,所述数据线均连接至所述源极驱动器,所述栅极引线均连接至栅极驱动器。

[0015] 优选地,所述端子区域位于有源像素区域的一侧或者相对的两侧,所述端子区域内设置有源栅极集成驱动器,所述数据线以及所述栅极引线均连接至所述源栅极集成驱动器。

[0016] 优选地,所述栅极引线与所述数据线位于同一层,所述栅极引线与所述数据线平行,所述栅极引线通过过孔与所述栅线电连接。

[0017] 优选地,所述两列像素单元之间设置一条和 / 或两条所述栅极引线。

[0018] 优选地,该阵列基板还包括假线,所述假线设置于所述两列像素单元之间,所述假线为与所述栅线不连接的引线。

[0019] 优选地,所述两列像素单元之间设置一条和 / 或两条所述假线。

[0020] 优选地,所述栅线为 640 根,所述数据线为 360 根,所述栅极引线为 640 根,每任意 320 组所述两列像素单元之间设置两条所述栅极引线。

[0021] 优选地,剩余的 40 组所述两列像素单元之间设置两条所述假线。

[0022] 本发明还提供了一种显示装置,包括上述的阵列基板。

[0023] (三) 有益效果

[0024] 本发明的阵列基板及包括该阵列基板的显示装置将栅极引线做在有源像素区域,可平衡数据线对像素的不平衡影响,同时缩窄边框。

## 附图说明

[0025] 图 1 为采用传统的 Dual Gate 技术的阵列基板示意图;

[0026] 图 2(a)-图 2(b) 分别为采用传统的 Dual Gate 技术的阵列基板理想像素结构示意图以及实际像素结构示意图;

[0027] 图 3 为依照本发明一种实施方式的阵列基板示意图。

## 具体实施方式

[0028] 本发明提出的阵列基板及显示装置,结合附图及实施例详细说明如下。

[0029] 本发明的核心思想为:在数据线和像素单元不是一一间隔排列的情况下,将栅极引线做在有源像素区域。更进一步的,将栅极引线设置在没有设置数据线的两列像素单元之间,以平衡数据线对像素的不平衡影响,同时缩窄边框。

[0030] 以采用了传统的 Dual Gate 技术的阵列基板为例,但不限于此。采用传统的 Dual Gate 技术阵列基板的数据线和像素单元不是一一间隔排列的,栅线的数量为像素单元的行数的两倍,每两行像素单元之间设置两条栅线,两根相邻的数据线之间设置有两列像素单元。按照本发明,将栅极引线做在没有设置数据线的两列像素单元之间,可以解决 Dual Gate 中的数据线对像素的不平衡影响,同时缩窄边框。

[0031] 如图 2(a)-图 2(b) 所示,数据线对像素电极的耦合电容为  $C_{pd1}$ ,  $C_{pd2}$ , 以像素电极 10A 对应  $C_{pd1}$ , 以像素电极 10B 对应  $C_{pd2}$ 。像素电极 10A 与其相邻的数据线的间距为  $d_1$ , 像素电极 10B 与其相邻的数据线的间距为  $d_2$ 。当将栅极引线做在 10A 和 10B 之间,如果在实际工艺中,当像素电极层与数据线层的对位存在偏差导致  $C_{pd1}$  增大和  $C_{pd2}$  减小时,因为栅极引线做在 10A 和 10B 之间,偏差导致栅极引线对像素电极 10A 的耦合电容减小,对像素电极 10B 的耦合电容增大,因此综合起来,相邻两个像素电极受到的耦合电容的影响平衡了,因此 LCD 的显示效果提高。

[0032] 同理,设置 Dummy 线(假线)在 10A 和 10B 之间,和/或将栅极引线设置在有源像素区域的其他位置,也可以达到解决 Dual Gate 中的数据线对像素的不平衡影响,同时缩窄边框的效果。

[0033] 这样,既可解决 Dual Gate 中的数据线对像素的不平衡影响,也可避免栅极引线跟数据线并行排列造成的相互干扰,以提高显示效果。

[0034] 如图 3 所示,依照本发明一种实施方式的超窄边框阵列基板 1 包括:有源像素区域 100 以及端子区域 200,有源像素区域为有效显示区域,端子区域为非显示区域。有源像素区域 100 为矩形区域,端子区域 200 可位于有源区域 100 的一侧或相对的两侧。这样就可

以实现窄边框的效果。有源像素区域 100 内包括：像素单元、栅线、数据线、以及栅极引线，栅线包括互相平行的多条第一栅线以及互相平行的多条第二栅线，第一栅线如图中 G1、G3、G5，第二栅线如图中 G2、G4、G6；第一栅线与第二栅线间隔设置，如图中所示，由上至下依次为第一栅线 G1、第二栅线 G2、第一栅线 G3、第二栅线 G4、第一栅线 G5 以及第二栅线 G6；互相平行的多条数据线与第一栅线以及第二栅线绝缘垂直相交；相邻的两条数据线之间包含两列像素单元，两列像素单元分别与第一栅线以及第二栅线相连，栅极引线与栅线对应相连。

[0035] 在如图 3 所示的实施方式中，栅极引线设置于两列像素单元之间，且每两个像素单元之间可设置一条和 / 或两条栅极引线（不限于此）。

[0036] 换句话说，每两列相邻的像素单元之间有一条数据线，以其间有一条数据线的两列像素单元以及该数据线为一个组，每两个相邻的组之间有一条和 / 或两条栅极引线，且每个组中，两列像素单元的 TFT 的栅极分别连接至第一栅线以及第二栅线。如图 3 中所示，像素单元 10A 所在列与像素单元 10B 所在列之间设置一条数据线，且 TFT 12A 的栅极与第一栅线 G1 相连，TFT 12B 的栅极与第二栅线 G2 相连。

[0037] 每条栅极引线可分别通过过孔（GI 孔）与一条栅线电连接。栅极引线的数量与栅线的数量是相同的。但是，由于栅极引线设置方式的不同（两个组之间设置有一条和 / 或两条栅极引线），有可能在栅极引线排布完以后，有的像素单元之间并没有数据线也没有栅极引线的情况，这样，将仍存在数据线对像素的不平衡影响，为了避免这种影响，可设置 Dummy 线。优选地在未设置栅极引线的区域，对应栅极引线的设置方式设置该 Dummy 线，即该 Dummy 线为仅设置方式与栅极引线相同，但实质上并不与栅线电连接的引线，其可悬空设置也可接入 1/2V 的电压，Dummy 线的设置可平衡像素电极受到的电容耦合效应，从而提高显示品质。

[0038] 在本发明的所有实施例中，如果存在数据线和像素单元不是一一间隔排列的情况下，就可以通过本发明的技术方案来平衡数据线对像素的不平衡影响，同时缩窄边框。栅极引线和 Dummy 线可以在没有设置数据线的两列像素单元之间任意组合分布，只要确保每两列像素单元有其中任意一种或多种线分布即可。较佳地，栅极引线和 Dummy 线与数据线平行。

[0039] 栅极引线及数据引线可分别连接至端子区域 200 内设置的栅极驱动器以及源极驱动器，本实施方式中，为进一步减小基板尺寸，可将栅极驱动器与源极驱动器集成为源栅集成驱动器 201，将栅极引线以及数据引线据与其相连。

[0040] 在本发明的显示器的制备过程中，可在同一道光刻或掩膜（mask）工序中，将栅极引线和数据线以同样的材质做在同一层，栅极引线通过过孔与栅线相连，这样可以减少工艺，减少 mask；也可以将栅极引线做在与数据线不同的层，或不使用同一道工序制备，这样可以将栅线引线和数据线在垂直于基板的方向上重叠布置，可以有效地提高开口率。在此不做赘述，也不应作为对本发明技术方案的限制。

[0041] 本发明还公开了一种包括上述阵列基板的显示装置。显示装置可以包括：液晶面板、液晶电视、液晶显示器件、数码相框、电子纸、手机等等。

[0042] 实施例 1

[0043] 本实施例以 QVGA 显示器为例，该显示器的分辨率为  $320 \times 240$  (RGB)，即基板上包括栅线 320 根，数据线  $240 \times 3 = 720$  根。依照本发明的方法，采用 Dual Gate 技术则栅线增

倍为 640 根,对应地,栅极引线也为 640 根,与栅线一一对应,而数据线则减半为 360 根。如图 3 中的像素排列,每条栅极引线通过 GI 孔与一条栅线电连接,且每两条数据线之间的两列像素单元之间设置两条栅极引线,即每两根栅极引线为一根数据线交错排列,则在第 320 根数据线后栅极引线已经全部排完,为保证数据线对像素的影响平衡,后面的 40 根数据线中间应设置栅极引线的位置引入两条 Dummy 线(无 GI 孔)与数据线交错排列。使 Dummy 线与数据线交错排列,或者栅极引线与数据线交错排列,即数据线旁的栅极引线或 Dummy 线对称分布,以更好地保证金属线对像素的影响平衡,以利于显示的稳定和显示质量的提高。

[0044] 可替代的另外的一种排列方式:在任意两条数据线之间的任意 280 组两列像素单元之间设置两条栅极引线,在剩下的 80 组两列像素单元之间设置一条栅极引线,则可以不需要 Dummy 线,也恰好排完。不用设置 Dummy 线,可以扩大单位像素单元的开口率,以提高光线的利用率。可替代地,可以在任意两条数据线之间的 280 组两列像素单元之间设置两条栅极引线,在剩下的 80 组两列像素单元之间设置一条栅极引线和一条 Dummy 线,以利于平衡数据线对像素的影响。

#### [0045] 实施例 2

[0046] 本实施例以 QCIF 显示器为例,该显示器的分辨率为  $176 \times 144$  (RGB),即基板上包括栅线 176 根,数据线  $144 \times 3 = 432$  根。依照本发明的方法,采用 Dual Gate 技术则栅线增倍为 352 根,对应地,栅极引线也为 352 根,与栅线一一对应,而数据线则减半为 216 根。在其中任意的两条数据线之间的 80 组两列像素单元之间布局两条栅极引线,其余的 136 组两列像素单元之间布局两条栅极引线,既可以完成 352 根引线的布局效果,每条栅极引线均通过 GI 孔与一条栅线电连接,且可无需设置 Dummy 线。不用设置 Dummy 线,可以扩大单位像素单元的开口率,以提高光线的利用率。

#### [0047] 实施例 3

[0048] 本实施例以 HVGA 显示器为例,该显示器的分辨率为  $480 \times 320$  (RGB),即基板上包括栅线 480 根,数据线  $320 \times 3 = 960$  根。依照本发明的方法,采用 Dual Gate 技术则栅线增倍为 960 根,对应地,栅极引线也为 960 根,与栅线一一对应,而数据线则减半为 480 根。每条栅极引线通过 GI 孔与一条栅线电连接,每两列像素单元间布局两根栅极引线,每两根栅极引线与一根数据线交错排列,则可对应全部数据线排完。在第 480 根数据线后栅极引线已经全部排完。无需引入 Dummy 线,这样可以扩大单位像素单元的开口率,以提高光线的利用率。

[0049] 以上的所有的实施例中,在每两条数据线之间的两列像素单元之间,可以按照需要设置一条、两条、三条、或四条等等多条栅极引线,或者也可以不设置栅极引线。在每两列像素单元之间,也可以按照需要设置一条、两条、三条、或四等等多条 Dummy 线,或者不设置 Dummy 线,这样有利于设计的自由度。栅极引线对称分布于数据线两侧,或者按照需要对称地设置 Dummy 线,可以更好地保证数据线对像素的影响平衡,以利于显示的稳定和显示质量的提高。

[0050] 以上实施方式仅用于说明本发明,而并非对本发明的限制,有关技术领域的普通技术人员,在不脱离本发明的精神和范围的情况下,还可以做出各种变化和变型,因此所有等同的技术方案也属于本发明的范畴,本发明的专利保护范围应由权利要求限定。

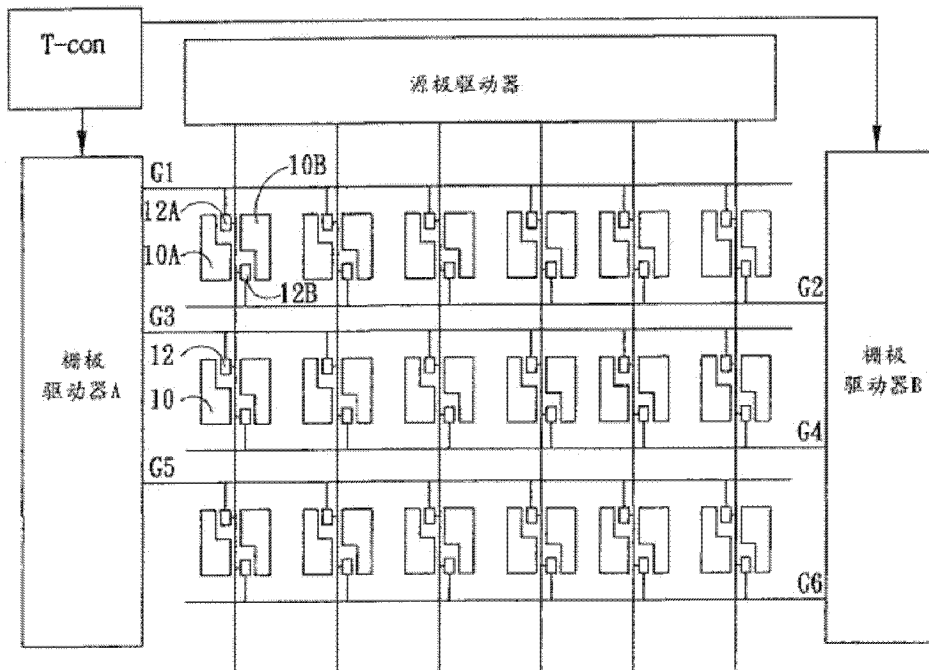


图 1

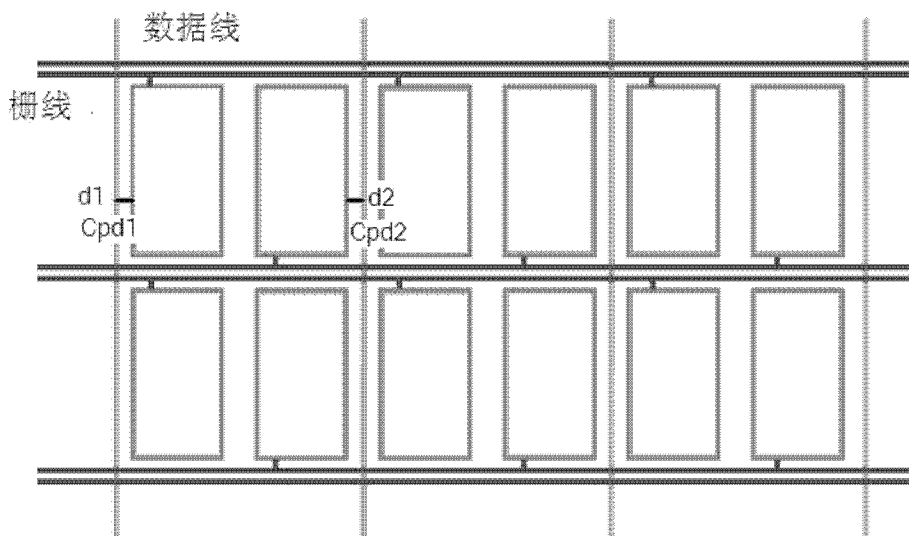


图 2(a)

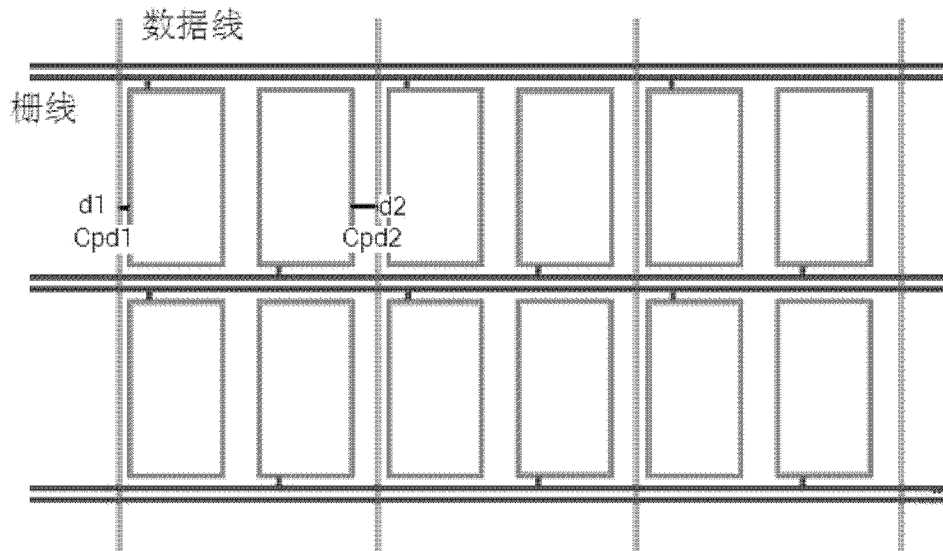


图 2(b)

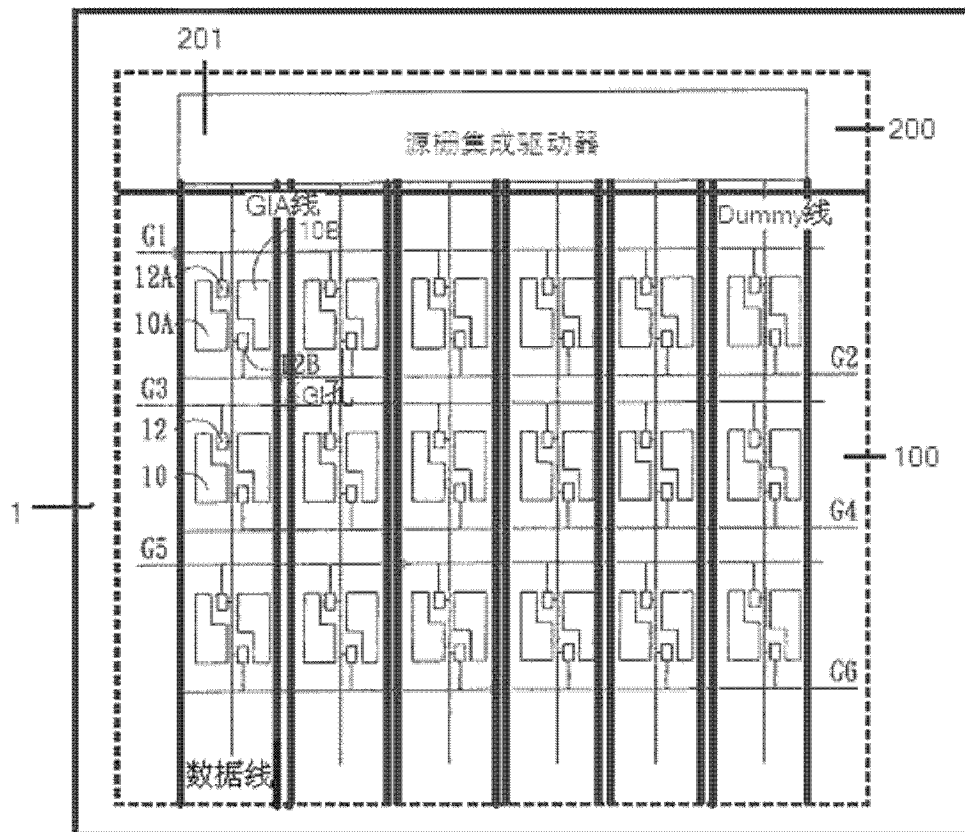


图 3

专利名称(译)	阵列基板及显示装置		
公开(公告)号	<a href="#">CN102629053A</a>	公开(公告)日	2012-08-08
申请号	CN201110251655.2	申请日	2011-08-29
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	王本莲 张智钦 白峰		
发明人	王本莲 张智钦 白峰		
IPC分类号	G02F1/1362 H01L27/02		
CPC分类号	G02F2001/136231 G02F2001/13456 G02F2201/506 G09G2310/0281 G09G3/3648 G09G3/00 G09G2300/0426 H01L27/156 G02F1/136286 G02F2201/40 G02F2001/13606		
代理人(译)	王莹		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开了一种阵列基板及显示装置，涉及TFT-LCD技术领域。该阵列基板包括：有源像素区域以及端子区域，所述有源像素区域内包括：像素单元、栅线、数据线、以及栅极引线，相邻的两条所述数据线之间设置两列像素单元，其特征在于，所述栅极引线设置在所述两列像素单元之间，所述栅极引线与所述栅线对应相连。本发明的阵列基板及包括该阵列基板的显示装置将栅极引线做在有源像素区域，可平衡数据线对像素的不平衡影响，同时缩窄边框。

