

(12) 发明专利

(10) 授权公告号 CN 102467891 B

(45) 授权公告日 2013. 10. 09

(21) 申请号 201010532031. 3

(22) 申请日 2010. 10. 29

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号
专利权人 成都京东方光电科技有限公司

CN 101765876 A, 2010. 06. 30, 全文.
JP 2008217902 A, 2008. 09. 18, 全文.
JP 2004078172 A, 2004. 03. 11, 全文.
EP 1445862 A2, 2004. 08. 11, 全文.

审查员 林峰

(72) 发明人 谭文 祁小敬 青海刚

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 王莹

(51) Int. Cl.

G09G 3/36 (2006. 01)

(56) 对比文件

CN 101546607 A, 2009. 09. 30, 说明书第 8 页第 7 段至第 12 页第 1 段, 第 12 页最后一段和第 13 页第 5 段至第 14 页第 1 段、图 7, 11, 16-17.

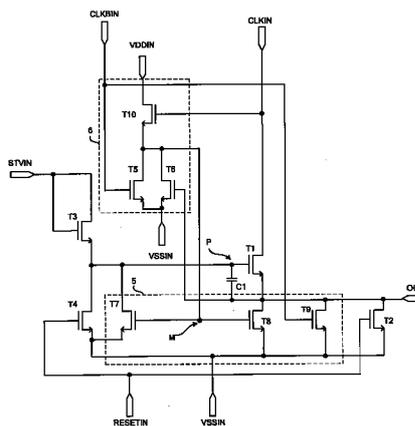
权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

移位寄存器单元、栅极驱动装置及液晶显示器

(57) 摘要

本发明提供一种移位寄存器单元、栅极驱动装置及液晶显示器, 其中移位寄存器单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管, 还包括驱动单元和下拉单元, 下拉单元用于在栅极驱动信号输出端需要输出低电平信号时, 将栅极驱动信号输出端输出的信号拉至低电平; 驱动单元用于在栅极驱动信号输出端需要输出低电平信号时, 产生用于驱动下拉单元的交流驱动信号。由于移位寄存器单元包括驱动单元和下拉单元, 这样就可以保证移位寄存器单元在需要输出低电平的时候, 输出的栅极驱动信号稳定地保持在低电平, 而且下拉单元在一个交流电流驱动下工作, 可以避免下拉单元的薄膜晶体管的阈值电压发生较大偏移。



1. 一种移位寄存器单元,其特征在于,包括:

第一薄膜晶体管,其漏极与第一时钟信号输入端连接,源极与栅极驱动信号输出端连接;

第二薄膜晶体管,其漏极与栅极驱动信号输出端连接,栅极与复位信号输入端连接,源极与低电平信号输入端连接;

第三薄膜晶体管,其漏极和栅极与起始信号输入端连接,源极与所述第一薄膜晶体管的栅极连接;

第四薄膜晶体管,其漏极与所述第三薄膜晶体管的源极连接,栅极与复位信号输入端连接,源极与低电平信号输入端连接;

电容,其两端分别与所述第一薄膜晶体管的栅极和源极连接;

下拉单元,用于在所述栅极驱动信号输出端需要输出低电平信号时,将所述栅极驱动信号输出端输出的信号拉至低电平;

驱动单元,用于在所述栅极驱动信号输出端需要输出低电平信号时,产生用于驱动所述下拉单元的交流驱动信号;

所述驱动单元包括:

第十薄膜晶体管,其漏极与所述高电平信号输入端连接,栅极与第一时钟信号输入端连接;

第五薄膜晶体管,其漏极与所述第十薄膜晶体管的源极连接,栅极与所述第二时钟信号输入端连接,源极与所述低电平信号输入端连接;

第六薄膜晶体管,其漏极与所述第十薄膜晶体管的源极连接,栅极与所述栅极驱动信号输出端连接,源极与所述低电平信号输入端连接。

2. 根据权利要求 1 所述的移位寄存器单元,其特征在于,所述下拉单元包括:

第七薄膜晶体管,其漏极与所述第三薄膜晶体管的源极连接,栅极与所述第十薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第八薄膜晶体管,其漏极与所述第一薄膜晶体管的源极连接,栅极与所述第十薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第九薄膜晶体管,其漏极与所述栅极驱动信号输出端连接,栅极与所述第二时钟信号输入端连接,源极与所述低电平信号输入端连接。

3. 一种液晶显示器栅极驱动装置,其特征在于,包括顺次连接的 n 个如权利要求 1 或 2 所述的移位寄存器单元; n 为自然数;

除第一个移位寄存器单元和第 n 个移位寄存器单元之外,每个移位寄存器单元的栅极驱动信号输出端均和相邻的上一个移位寄存器单元的复位信号输入端以及相邻的下一个移位寄存器单元的起始信号输入端连接;

第一个移位寄存器单元的栅极驱动信号输出端与第二个移位寄存器单元的起始信号输入端连接;

最后一个移位寄存器单元的栅极驱动信号输出端与第 $n-1$ 个移位寄存器单元的复位信号输入端以及自身的复位信号输入端连接。

4. 根据权利要求 3 所述的液晶显示器栅极驱动装置,其特征在于,对于第奇数个移位寄存器单元,其第一时钟信号输入端用于输入第一时钟信号,第二时钟信号输入端用于输

入第二时钟信号；

对于第偶数个移位寄存器单元,其第一时钟信号输入端用于输入第二时钟信号,第二时钟信号输入端用于输入第一时钟信号；

所述第一时钟信号与第二时钟信号互为反相信号。

5. 一种液晶显示器,其特征在于,包括如权利要求3或4所述的液晶显示器栅极驱动装置。

移位寄存器单元、栅极驱动装置及液晶显示器

技术领域

[0001] 本发明实施例涉及驱动技术领域,尤其涉及一种移位寄存器单元、栅极驱动装置及液晶显示器。

背景技术

[0002] 在薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 中,通常通过栅极驱动装置向像素区域的各个薄膜晶体管的栅极提供栅极驱动信号。栅极驱动装置可以通过阵列工艺形成在液晶显示器的阵列基板上,这种技术也称作 GOA 技术 (Gate on Array, 简称 GOA)。

[0003] 采用 GOA 技术形成的液晶显示器栅极驱动装置包括多个移位寄存器单元,每个移位寄存器单元包括多个薄膜晶体管。移位寄存器单元与像素区域 (像素区域是指液晶显示器的显示区域,包括多个子像素) 的栅线连接。当需要打开某行栅线时,与该行栅线连接的移位寄存器单元输出高电平的栅极驱动信号。当不需要打开该行栅线时,与该行栅线连接的移位寄存器单元输出低电平的栅极驱动信号。

[0004] 然而,很多情况下,移位寄存器单元输出的信号会受到输入的时钟信号的干扰,在本来不需要输出高电平信号的时候输出了高电平信号。因此,如何使得移位寄存器单元能够在需要的时候可靠地保持在低电平,是一个亟待解决的问题。

发明内容

[0005] 本发明提供一种移位寄存器单元、栅极驱动装置及液晶显示器,用以解决现有技术中移位寄存器单元无法在需要保持低电平的时候可靠地保持在低电平的问题。

[0006] 本发明提供了一种移位寄存器单元,包括:

[0007] 第一薄膜晶体管,其漏极与第一时钟信号输入端连接,源极与栅极驱动信号输出端连接;

[0008] 第二薄膜晶体管,其漏极与栅极驱动信号输出端连接,栅极与复位信号输入端连接,源极与低电平信号输入端连接;

[0009] 第三薄膜晶体管,其漏极和栅极与起始信号输入端连接,源极与所述第一薄膜晶体管的栅极连接;

[0010] 第四薄膜晶体管,其漏极与所述第三薄膜晶体管的源极连接,栅极与复位信号输入端连接,源极与低电平信号输入端连接;

[0011] 电容,其两端分别与所述第一薄膜晶体管的栅极和源极连接;

[0012] 下拉单元,用于在所述栅极驱动信号输出端需要输出低电平信号时,将所述栅极驱动信号输出端输出的信号拉至低电平;

[0013] 驱动单元,用于在所述栅极驱动信号输出端需要输出低电平信号时,产生用于驱动所述下拉单元的交流驱动信号。

[0014] 本发明还提供了一种液晶显示器栅极驱动装置,包括顺次连接的 n 个如前所述的

移位寄存器单元； n 为自然数；

[0015] 除第一个移位寄存器单元和第 n 个移位寄存器单元之外，每个移位寄存器单元的栅极驱动信号输出端均和相邻的上一个移位寄存器单元的复位信号输入端以及相邻的下一个移位寄存器单元的起始信号输入端连接；

[0016] 第一个移位寄存器单元的栅极驱动信号输出端与第二个移位寄存器单元的起始信号输入端连接；

[0017] 最后一个移位寄存器单元的栅极驱动信号输出端与第 $n-1$ 个移位寄存器单元的复位信号输入端以及自身的复位信号输入端连接。

[0018] 本发明还提供了一种液晶显示器，包括如前所述的液晶显示器栅极驱动装置。

[0019] 本发明提供的移位寄存器单元、栅极驱动装置及液晶显示器中，移位寄存器单元包括下拉单元和驱动单元，下拉单元在栅极驱动信号需要输出低电平信号的时候，将栅极驱动信号输出端输出的信号拉至低电平，这样就可以保证移位寄存器单元在需要输出低电平的时候，输出的栅极驱动信号稳定地保持在低电平。而且，驱动单元在栅极驱动信号输出单元需要输出低电平时，产生用于驱动下拉单元的交流驱动信号，这样下拉单元就是在一个交流信号的驱动下工作，可以避免下拉单元的薄膜晶体管的阈值电压发生较大偏移。

附图说明

[0020] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

[0021] 图 1 所示为本发明移位寄存器单元第一实施例的结构示意图；

[0022] 图 2 所示为本发明移位寄存器单元第二实施例的结构示意图；

[0023] 图 3 所示为本发明液晶显示器栅极驱动装置的结构示意图；

[0024] 图 4 所示为图 3 所示的液晶显示器栅极驱动装置的输入和输出信号的时序图；

[0025] 图 5 所示为图 2 所示的移位寄存器单元的输入输出时序图。

具体实施方式

[0026] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

[0027] 如图 1 所示为本发明移位寄存器单元第一实施例的结构示意图，该移位寄存器单元包括第一薄膜晶体管 T1、第二薄膜晶体管 T2、第三薄膜晶体管 T3、第四薄膜晶体管 T4 电容 C1、下拉单元 5 和驱动单元 6。

[0028] 第一薄膜晶体管 T1 的漏极与第一时钟信号输入端 (CLKIN) 连接，源极与栅极驱动信号输出端 (OUT) 连接。

[0029] 第二薄膜晶体管 T2 的漏极与栅极驱动信号输出端 (OUT) 连接，栅极与复位信号输入端 (RESETIN) 连接，源极与低电平信号输入端 (VSSIN) 连接。

[0030] 第三薄膜晶体管 T3 的漏极和栅极与起始信号输入端 (STVIN) 连接,源极与第一薄膜晶体管的栅极连接。

[0031] 第四薄膜晶体管 T4 的漏极与第三薄膜晶体管 T3 的源极连接,栅极与复位信号输入端 (RESETIN) 连接,源极与低电平信号输入端 (VSSIN) 连接。

[0032] 电容 C1 的两端分别与第一薄膜晶体管 T1 的栅极和源极连接。

[0033] 下拉单元 5 分别与第三薄膜晶体管 T3 的源极、低电平信号输入端 (VSSIN)、第一薄膜晶体管 T1 的源极、第一时钟信号输入端 (CLKIN)、第二时钟信号输入端 (CLKBIN) 以及栅极驱动信号输出端 (OUT) 连接,用于在栅极驱动信号输出端 (OUT) 需要输出低电平信号时,将栅极驱动信号输出端 (OUT) 输出的信号拉至低电平。

[0034] 驱动单元 6 与第一时钟信号输入端 (CLKIN)、第二时钟信号输入端 (CLKBIN)、低电平信号输入端 (VSSIN)、高电平信号输入端 (VDDIN)、栅极驱动信号输出端 (OUT) 以及下拉单元 5 连接,用于在栅极驱动信号输出端 (OUT) 需要输出低电平信号时,产生用于驱动下拉单元 5 的交流驱动信号。

[0035] 其中,第一时钟信号输入端 (CLKIN) 用于输入时钟信号。第二时钟信号输入端 (CLKBIN) 用于输入与第一时钟信号输入端输入的信号的反相时钟信号。复位信号输入端 (RESETIN) 用于输入复位信号。起始信号输入端 (STVIN) 用于输入起始信号。低电平信号输入端 (VSSIN) 用于输入低电平信号。高电平信号输入端用于输入高电平信号。栅极驱动信号输出端 (OUT) 用于输出栅极驱动信号。

[0036] 其中,驱动单元 6 可以包括至少一个薄膜晶体管,薄膜晶体管在栅极驱动信号输出端 (OUT) 需要输出低电平信号时打开,薄膜晶体管的漏极可以产生交流驱动信号,驱动下拉单元 5 工作,将栅极驱动信号输出端 (OUT) 输出的信号拉至低电平。产生的交流驱动信号可以与第一时钟信号输入端 (CLKIN) 输入的时钟信号的波形类似。

[0037] 下拉单元 5 可以包括至少一个薄膜晶体管,薄膜晶体管在驱动单元 6 产生的交流驱动信号的作用下打开,并且薄膜晶体管的源极连接低电平信号输入端 (VSSIN) 连接,这样,薄膜晶体管可以起到将栅极驱动信号输出端 (OUT) 输出的信号拉至低电平的作用。下拉单元 5 包括的薄膜晶体管的数量是多个时,可以更加可靠地将栅极驱动信号输出端 (OUT) 输出的信号拉至低电平。

[0038] 对于液晶显示器而言,当需要控制一行栅线打开时,与该行栅线连接的移位寄存器单元输出的栅极驱动信号为高电平,当需要控制该行栅线关闭时,与该行栅线连接的移位寄存器单元输出的栅极驱动信号为低电平。如果液晶显示器采用逐行扫描的方式,假设有 a 行栅线,液晶显示器一帧的显示时间是 T,那么栅极驱动信号保持高电平的时间为 T/a。

[0039] 然而,第一信号输出端输出的栅极驱动信号,在需要保持低电平的阶段,也可能由于时钟信号的影响而变成高电平,从而影响液晶显示器的正常显示。图 1 为例,第一薄膜晶体管 T1 的漏极与第一时钟信号输入端 (CLKIN) 连接,在栅极驱动信号需要保持低电平的阶段,第一时钟信号输入端输入的信号依然会变化到高电平,而第一时钟信号输入端输入的信号变为高电平有可能导致栅极驱动信号也变为高电平。尽管第二薄膜晶体管 T2 可以起到将栅极驱动信号的电平拉低的作用,但是第二薄膜晶体管只在复位信号输入端 (RESETIN) 输入的信号为高电平时才起到拉低电平的作用,在第二薄膜晶体管截止时,则无法保证栅极驱动信号可靠地保持在低电平。

[0040] 本发明第一实施例提供的移位寄存器单元包括下拉单元和驱动单元,下拉单元在栅极驱动信号需要输出低电平信号的时候,将栅极驱动信号输出端输出的信号拉至低电平,这样就可以保证移位寄存器单元在需要输出低电平时的时候,输出的栅极驱动信号稳定地保持在低电平。而且,驱动单元在栅极驱动信号输出单元需要输出低电平时,产生用于驱动下拉单元的交流驱动信号,这样下拉单元就是在一个交流信号的驱动下工作,可以避免下拉单元的薄膜晶体管的阈值电压发生较大偏移。

[0041] 如图 2 所示为本发明移位寄存器单元第二实施例的结构示意图。该实施例中,驱动单元 6 包括第十薄膜晶体管 T10、第五薄膜晶体管 T5 和第六薄膜晶体管 T6。

[0042] 第十薄膜晶体管 T10 的漏极与高电平信号输入端 (VDDIN) 连接,栅极与第一时钟信号输入端 (CLKIN) 连接。第五薄膜晶体管 T5 的漏极与第十薄膜晶体管 T10 的源极连接,栅极与第二时钟信号输入端 (CLKBIN) 连接,源极与低电平信号输入端 (VSSIN) 连接。第六薄膜晶体管 T6 的漏极与第十薄膜晶体管 T10 的源极连接,栅极与栅极驱动信号输出端 (OUT) 连接,源极与低电平信号输入端 (VSSIN) 连接。

[0043] 下拉单元 5 包括第七薄膜晶体管 T7、第八薄膜晶体管 T8 和第九薄膜晶体管 T9。第七薄膜晶体管 T7 的漏极与第三薄膜晶体管 T3 的源极连接,栅极与第十薄膜晶体管 T10 的源极连接,源极与低电平信号输入端 (VSSIN) 连接。第八薄膜晶体管 T8 的漏极与第一薄膜晶体管 T1 的源极连接,栅极与第十薄膜晶体管 T10 的源极连接,源极与低电平信号输入端 (VSSIN) 连接。第九薄膜晶体管 T9 的漏极与栅极驱动信号输出端 (OUT) 连接,栅极与第二时钟信号输入端 (CLKBIN) 连接,源极与低电平信号输入端 (VSSIN) 连接。

[0044] 如图 3 所示为本发明液晶显示器栅极驱动装置的结构示意图,该装置包括顺次连接的 n 个如前述各个实施例所示的移位寄存器单元; n 为自然数。各个移位寄存器单元分别标记为 SR_1 、 SR_2 、……、 SR_n 。

[0045] 除第一个移位寄存器单元 SR_1 和第 n 个移位寄存器单元 SR_n 之外,每个移位寄存器单元的栅极驱动信号输出端 (OUT) 均和相邻的上一个移位寄存器单元的复位信号输入端 (RESETIN) 以及相邻的下一个移位寄存器单元的起始信号输入端 (STVIN) 连接。

[0046] 第一个移位寄存器单元 SR_1 的栅极驱动信号输出端 (OUT) 与第二个移位寄存器单元的起始信号输入端 (STVIN) 连接。

[0047] 最后一个移位寄存器单元 SR_n 的栅极驱动信号输出端 (OUT) 与第 $n-1$ 个移位寄存器单元的复位信号输入端 (RESETIN) 以及自身的复位信号输入端 (RESETIN) 连接。

[0048] 各个移位寄存器单元输出的栅极驱动信号分别记为 GL_1 、 GL_2 、……、 GL_n 。

[0049] 结合图 3 以及前述各个移位寄存器单元的实施例可以清楚看出本发明提供的栅极驱动装置中各个移位寄存器单元的连接关系。下面介绍单个移位寄存器单元中输入和输出的信号之间的时序关系,以及液晶显示器栅极驱动装置中输入和输出的信号之间的时序关系。

[0050] 如图 4 所示为图 3 所示的液晶显示器栅极驱动装置的输入和输出信号的时序图。STV 为帧起始信号,STV 输入到第一个移位寄存器单元 SR_1 的起始信号输入端 (STVIN),其余的移位寄存器单元的起始信号输入端 (STVIN) 均与相邻的上一个移位寄存器单元的栅极驱动信号输出端 (OUT) 连接,也就是说,其余的移位寄存器单元的起始信号输入端 (STVIN) 输入的是相邻的上一个移位寄存器单元的栅极驱动信号输出端 (OUT) 输出的信号。每个移

位寄存器单元的栅极驱动信号输出端 (OUT) 输出一个栅极驱动信号,用于驱动液晶显示器的一行栅线。

[0051] 低电平信号 (VSS) 和高电平信号 (VDD) 分别 (图 4 中未示出 VSS 和 VDD) 输入到每个移位寄存器单元的低电平信号输入端 (VSSIN) 和高电平信号输入端 (VDDIN)。

[0052] 对于第奇数个移位寄存器单元,其第一时钟信号输入端 (CLKIN) 用于输入第一时钟信号 (CLK),第二时钟信号输入端 (CLKBIN) 用于输入第二时钟信号 (CLKB)。对于第偶数个移位寄存器单元,其第一时钟信号输入端 (CLKIN) 用于输入第二时钟信号 (CLKB),第二时钟信号输入端 (CLKBIN) 用于输入第一时钟信号 (CLK);第一时钟信号 (CLK) 与第二时钟信号 (CLKB) 互为反相信号。

[0053] 如图 5 所示为图 2 所示的移位寄存器单元的输入输出时序图。图 2 所示的移位寄存器单元的起始信号输入端 (STVIN) 输入帧起始信号 (STV),第一时钟信号输入端 (CLKIN) 输入第一时钟信号 (CLK),第二时钟信号输入端 (CLKBIN) 输入第二时钟信号 (CLKB),低电平信号输入端 (VSSIN) 输入低电平信号 (VSS),复位信号输入端 (RESETIN) 输入复位信号 (RESET),栅极驱动信号输出端 (OUT) 输出栅极驱动信号 (GL_1)。图 5 中没有示出低电平信号 (VSS) 和高电平信号 (VDD)。高电平信号 (VDD) 是一个一直保持高电平的信号。

[0054] 图 2 所示的移位寄存器单元中,第三薄膜晶体管 T3 的栅极、第一薄膜晶体管 T1 的栅极、电容 C1 的一端、第七薄膜晶体管 T7 的漏极和第三薄膜晶体管 T3 的源极的汇聚处形成 P 结点。第八薄膜晶体管 T6 的栅极、第七薄膜晶体管 T7 的栅极、第五薄膜晶体管 T5 的漏极以及第六薄膜晶体管 T6 的漏极的汇聚处形成 M 结点。图 3 中一并示出了 M 结点和 P 结点处的时序。

[0055] 下面结合如图 2、图 3、图 4 和图 5,说明本发明提供的移位寄存器单元的工作原理,假设图 2 所示的移位寄存器单元是如图 3 所示的栅极驱动装置中的第一个移位寄存器单元。

[0056] 选择图 5 所示的时序图的一部分,并从中选择 5 个阶段,分别标记为 A、B、C、D 和 E。

[0057] 在 A 阶段,第二时钟信号 (CLKB) 为高电平,第九薄膜晶体管 T9 导通,第五薄膜晶体管 T5 导通。第一时钟信号 (CLK) 为低电平,第四薄膜晶体管 T4 和第六薄膜晶体管 T6 截止,因此, M 结点的电平被拉至低电平,第七薄膜晶体管 T7 和第八薄膜晶体管 T8 截止。帧起始信号 (STV) 为高电平,第三薄膜晶体管 T3 工作于饱和区, P 结点处的电平被拉至高电平,第一薄膜晶体管 T1 导通。由于第九薄膜晶体管 T9 导通,第九薄膜晶体管 T9 的源极与低电平信号输入端 (VSSIN) 连接,所以栅极驱动信号输出端 (OUT) 输出的信号 (GL_1) 被拉至低电平。电容 C1 两端的充电电压为高电平的电平值与低电平的电平之间的差值。

[0058] 在 B 阶段,复位信号 (RESET) 和第二时钟信号 (CLKB) 为低电平,帧起始信号 (STV) 为低电平,因此,第三薄膜晶体管 T3、第十薄膜晶体管 T10、第二薄膜晶体管 T2、第九薄膜晶体管 T9 截止和第五薄膜晶体管 T5 截止。由于电容 C1 的电荷保持作用, P 结点的电平仍维持在高电平,第一薄膜晶体管 T1 保持导通。第一时钟信号 (CLK) 为高电平,第十薄膜晶体管 T10 导通。由于第一薄膜晶体管 T1 保持导通,而且第一时钟信号 (CLK) 为高电平,因此栅极驱动信号输出端 (OUT) 输出的信号 (GL_1) 为高电平,第六薄膜晶体管 T6 导通, M 结点保持低电平,第七薄膜晶体管 T7 和第八薄膜晶体管 T8 截止。

[0059] 另外,在B阶段,由于电容C1的耦合作用,将P结点的电平进一步拉高至高电平的电平值的2倍与低电平的电平之间的差值,即提高了第一薄膜晶体管T1的栅极电压,增大了第一薄膜晶体管T1的导通电流,这样可以使得栅极驱动信号输出端(OUT)输出的栅极驱动信号(GL_1)变得陡峭。

[0060] 当该移位寄存器单元处于B阶段时,相邻的下一个移位寄存器单元处于A阶段,这样,栅极驱动信号输出端(OUT)输出的信号(GL_1)正好可以作为相邻的下一个移位寄存器单元的帧起始信号。

[0061] 在C阶段,帧起始信号(STV)为低电平,第三薄膜晶体管T3截止。第二时钟信号(CLKB)为高电平,第九薄膜晶体管T9导通,第五薄膜晶体管T5导通。第一时钟信号(CLK)为低电平,第十薄膜晶体管T10截止,M点的电平被拉至低电平,第七薄膜晶体管T7和第八薄膜晶体管T8截止。由于第九薄膜晶体管T9导通,栅极驱动信号输出端(OUT)输出的信号(GL_1)为低电平。

[0062] 另外,在C阶段,复位信号(RESET)为高电平,第二薄膜晶体管T2和第四薄膜晶体管T4导通,P结点的电平被拉至低电平。第二薄膜晶体管T2的导通也进一步保证了栅极驱动信号输出端(OUT)输出的信号(GL_1)被可靠地拉至低电平。因为,栅极驱动信号输出端(OUT)与阵列基板上的栅线连接,存在较大的寄生电容,如果第二薄膜晶体管T2导通,则可以加快寄生电容放电,使得栅极驱动信号输出端(OUT)输出的信号(GL_1)快速恢复到低电平。

[0063] 在D阶段,复位信号(RESET)为低电平,第二薄膜晶体管T2和第四薄膜晶体管T4截止。第二时钟信号(CLKB)为低电平,第九薄膜晶体管T9和第五薄膜晶体管T5截止。第一时钟信号(CLK)为高电平,第四薄膜晶体管T4导通,M结点的电平被拉至高电平,第七薄膜晶体管T7和第八薄膜晶体管T8导通,P结点和栅极信号输出端(OUT)输出的信号(GL_1)被拉至低电平。

[0064] 在E阶段,第一时钟信号(CLK)为低电平,第四薄膜晶体管T4截止。第二时钟信号(CLKB)为高电平,第九薄膜晶体管T9和第五薄膜晶体管T5导通,由于第四薄膜晶体管T4截止,因此M结点的电平被拉至低电平,第七薄膜晶体管T7和第八薄膜晶体管T8截止。由于第九薄膜晶体管T9导通,因此栅极驱动信号输出端(OUT)输出的信号(GL_1)为低电平。帧起始信号(STV)为低电平,第三薄膜晶体管T3截止,P结点保持低电平。

[0065] 在E阶段之后,帧起始信号(STV)维持低电平,移位寄存器单元的输入和输出时序信号重复D阶段和E阶段的时序信号,随着第一时钟信号(CLK)和第二时钟信号(CLKB)交替变为高电平,第七薄膜晶体管T7和第八薄膜晶体管T8交替地将栅极驱动信号输出端(OUT)输出的信号(GL_1)拉至低电平。

[0066] 当帧起始信号(STV)的下一个高电平到来时,移位寄存器单元重复A-E阶段的时序。

[0067] 在上述A、B和C阶段,移位寄存器单元输出一个栅极驱动信号,使得与该移位寄存器单元的第一信号输出端连接的栅线控制一行TFT打开,液晶显示器的源极驱动电路的数据信号输入到像素电极,对像素电极进行充电。

[0068] 通过上述的工作原理的介绍可以看出,图2中,第七薄膜晶体管T7和第八薄膜晶体管T8主要起到了将栅极驱动信号 GL_1 的电平拉低的作用,能够保证在栅极驱动信号需要

保持低电平的阶段,使得栅极驱动信号可靠地维持在低电平。

[0069] 图 2 所示的移位寄存器单元中,第七薄膜晶体管 T7 和第八薄膜晶体管 T8 并不是一直导通,而是随着第一时钟信号 (CLK) 和第二时钟信号 (CLKB) 交替变换为高电平,第七薄膜晶体管 T7 和第八薄膜晶体管 T8 也交替导通 (参见图 5, CLKB 和 M 点的时序交替变为高电平),这样第七薄膜晶体管 T7 和第八薄膜晶体管 T8 的栅极就是处于一个交流偏置电压的作用下,而不是处于一个直流偏置电压的作用下,从而可以避免第七薄膜晶体管 T7 和第八薄膜晶体管 T8 的阈值电压 V_{th} 产生过大的漂移。

[0070] 如图 2 所示的实施例中,各个薄膜晶体管的宽长比可以如下:

[0071] 第一薄膜晶体管 T1 :1800 微米 /4.5 微米 ;第二薄膜晶体管 T2 :800 微米 /4.5 微米 ;第三薄膜晶体管 T3 :100 微米 /4.5 微米 ;第四薄膜晶体管 T4 :200 微米 /4.5 微米 ;第五薄膜晶体管 T5 :200 微米 /4.5 微米 ;第六薄膜晶体管 T6 :200 微米 /4.5 微米 ;第七薄膜晶体管 T7 :300 微米 /4.5 微米 ;第八薄膜晶体管 T8 :100 微米 /4.5 微米 ;第九薄膜晶体管 T9 :100 微米 /4.5 微米 ;第十薄膜晶体管 T10 :50 微米 /4.5 微米 ;。其中第一薄膜晶体管 T1、第二薄膜晶体管 T2、第七薄膜晶体管 T7、第八薄膜晶体管 T8 和第四薄膜晶体管 T4 的宽长比可以根据需要相应地调大,以提高这些薄膜晶体管的驱动能力。

[0072] 其中电容 C1 的容值可以是 0.3 皮法 (pF)。

[0073] 本发明还提供一种液晶显示器,可以包括前述各个实施例的液晶显示器栅极驱动装置。液晶显示器栅极驱动装置中的各个薄膜晶体管可以采用与像素区域的薄膜晶体管类似的制造工艺沉积在阵列基板上,较佳地,可以沉积在阵列基板的边缘处。

[0074] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

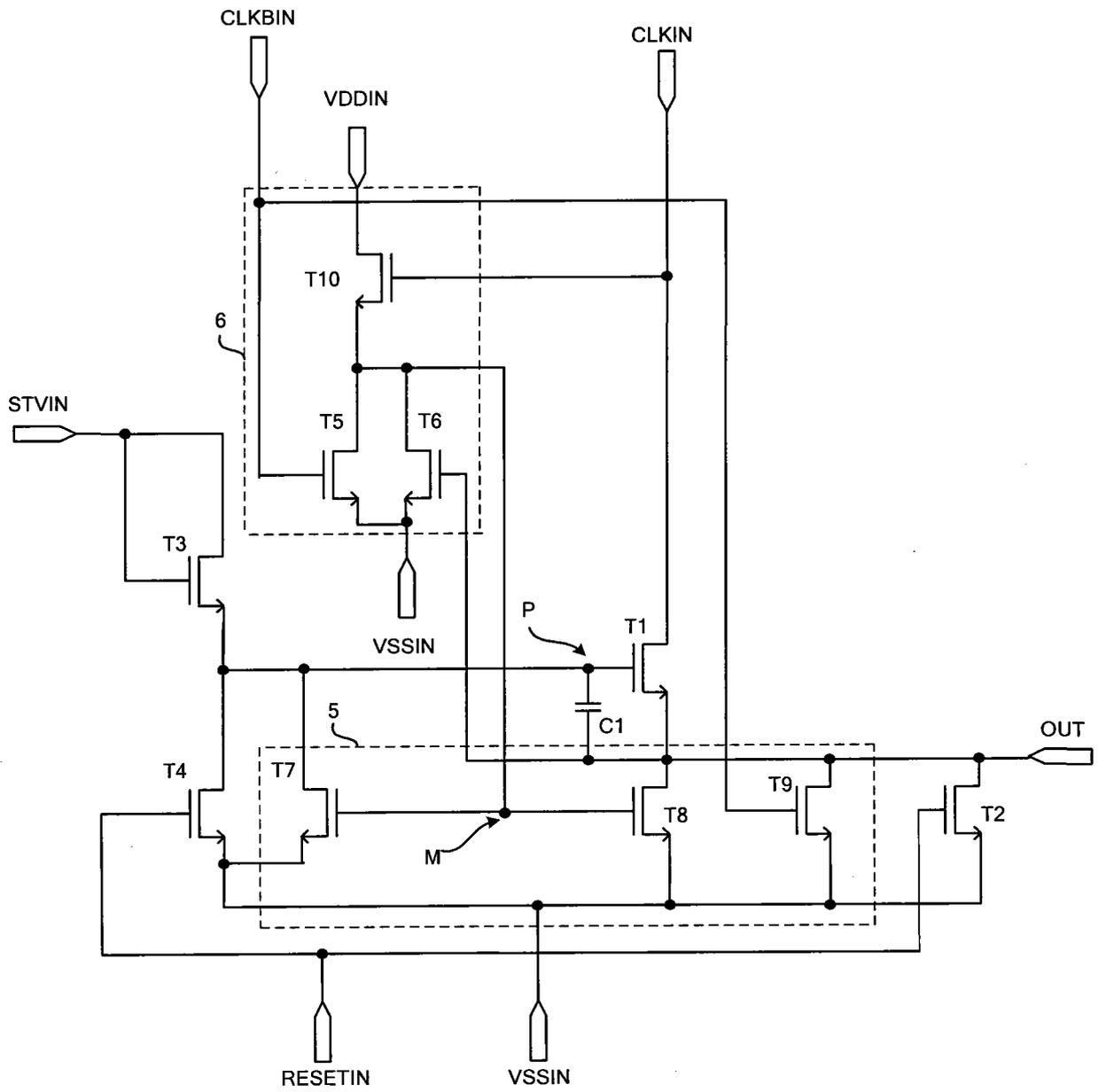


图 2

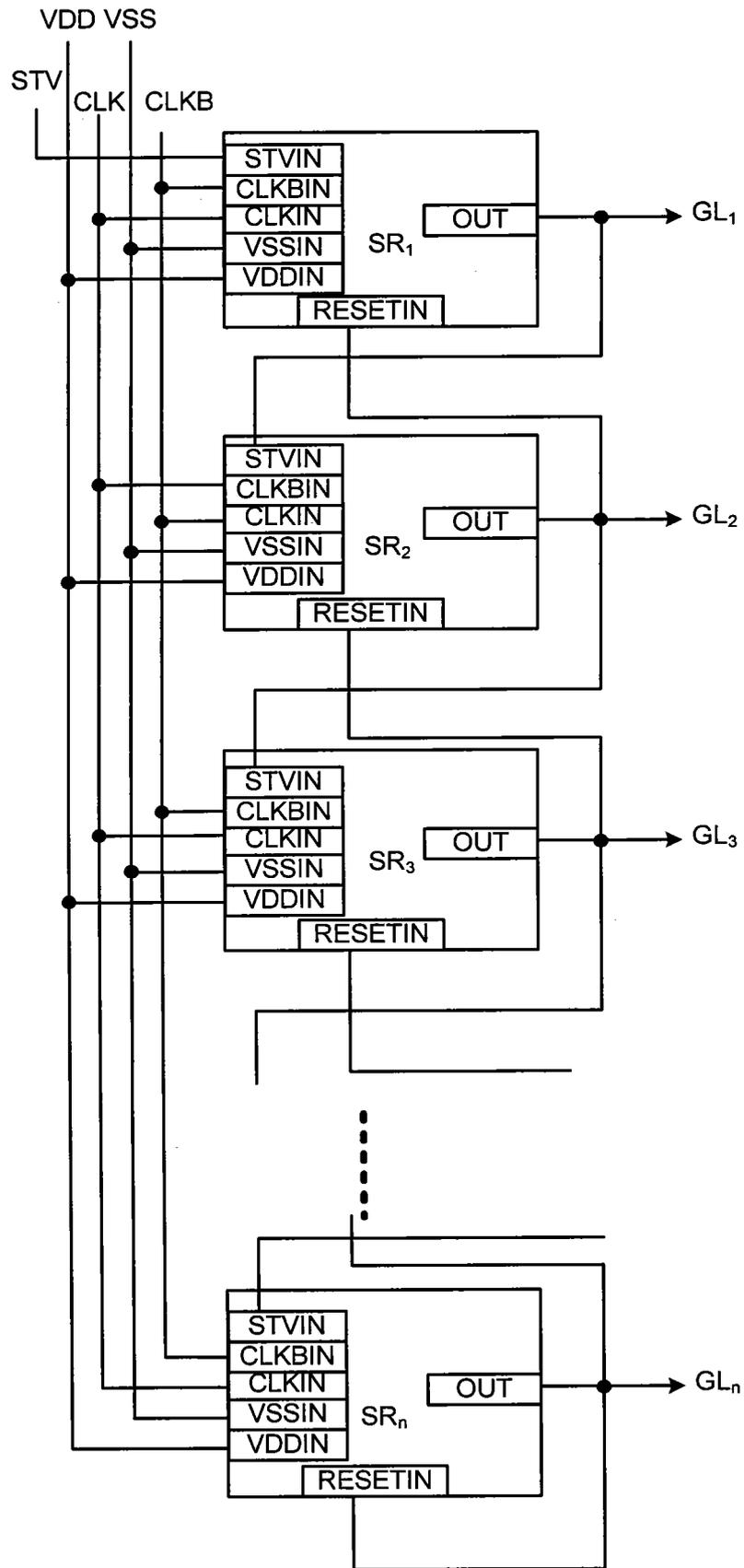


图 3

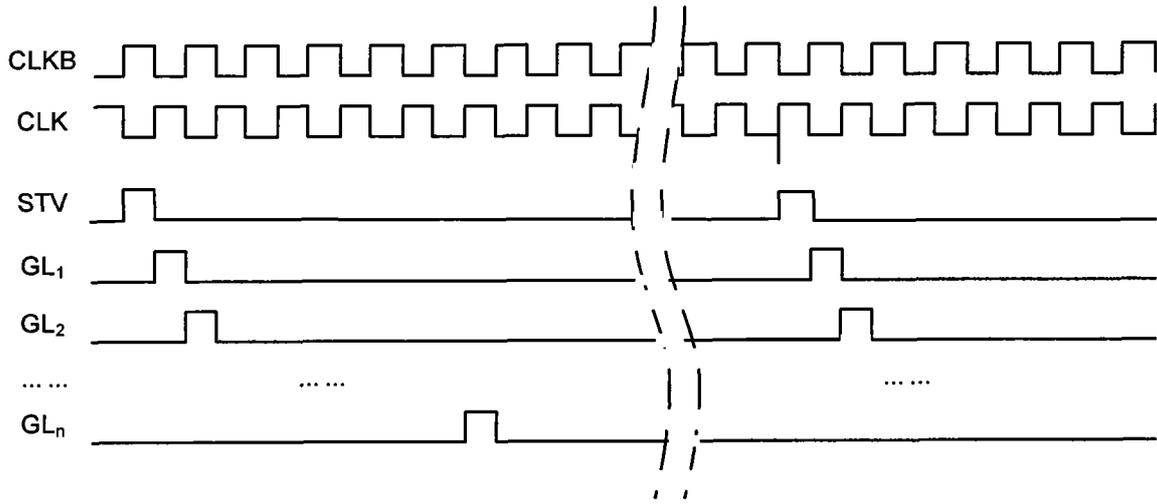


图 4

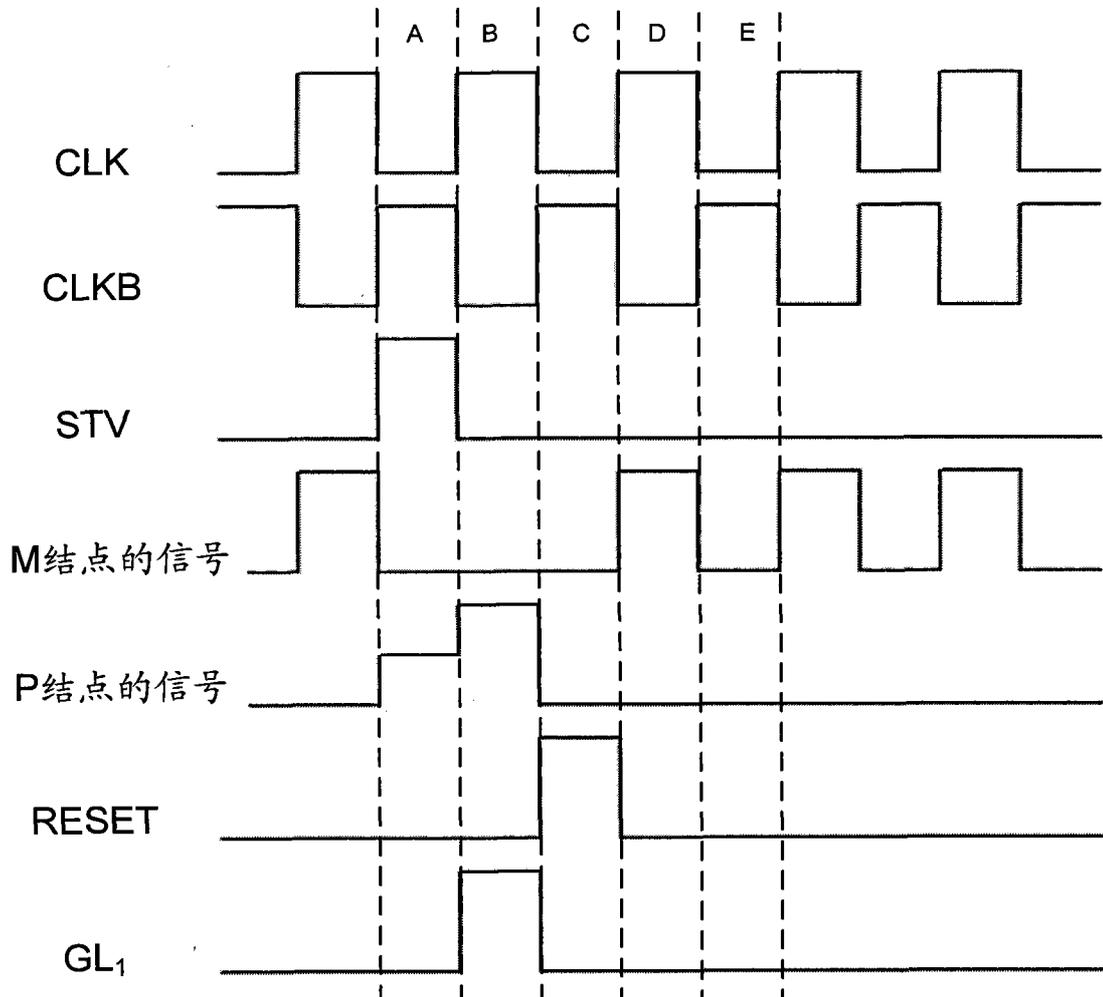


图 5

专利名称(译)	移位寄存器单元、栅极驱动装置及液晶显示器		
公开(公告)号	CN102467891B	公开(公告)日	2013-10-09
申请号	CN201010532031.3	申请日	2010-10-29
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 成都京东方光电科技有限公司		
[标]发明人	谭文 祁小敬 青海刚		
发明人	谭文 祁小敬 青海刚		
IPC分类号	G09G3/36		
CPC分类号	G09G2310/0286 G09G3/3677		
代理人(译)	王莹		
审查员(译)	林峰		
其他公开文献	CN102467891A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种移位寄存器单元、栅极驱动装置及液晶显示器，其中移位寄存器单元包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管和第四薄膜晶体管，还包括驱动单元和下拉单元，下拉单元用于在栅极驱动信号输出端需要输出低电平信号时，将栅极驱动信号输出端输出的信号拉至低电平；驱动单元用于在栅极驱动信号输出端需要输出低电平信号时，产生用于驱动下拉单元的交流驱动信号。由于移位寄存器单元包括驱动单元和下拉单元，这样就可以保证移位寄存器单元在需要输出低电平的时候，输出的栅极驱动信号稳定地保持在低电平，而且下拉单元在一个交流电流驱动下工作，可以避免下拉单元的薄膜晶体管的阈值电压发生较大偏移。

