



(12) 发明专利申请

(10) 申请公布号 CN 102033377 A

(43) 申请公布日 2011. 04. 27

(21) 申请号 201010298079. 2

(22) 申请日 2010. 09. 28

(30) 优先权数据

223022/2009 2009. 09. 28 JP

(71) 申请人 卡西欧计算机株式会社

地址 日本东京都

(72) 发明人 渡边仁 石井裕满

(74) 专利代理机构 永新专利商标代理有限公司

72002

代理人 黄剑锋

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

H01L 27/12 (2006. 01)

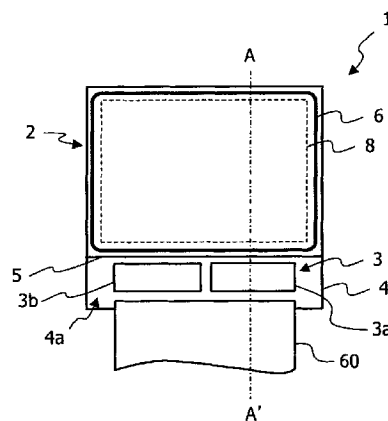
权利要求书 2 页 说明书 9 页 附图 8 页

(54) 发明名称

显示装置

(57) 摘要

一种显示装置,具备:第1栅极线,沿预先设定的方向延伸;第2栅极线,与上述第1栅极线平行地延伸;第1栅极输出端子,对应于上述第1栅极线;第2栅极输出端子,对应于上述第2栅极线;第1栅极引绕线,将上述第1栅极线与上述第1栅极输出端子电连接;第2栅极引绕线,将上述第2栅极线与上述第2栅极输出端子电连接,并且配线长度被形成为比上述第1栅极引绕线的配线长度长;以及静电保护环,被配置成在与上述第1栅极引绕线之间及与上述第2栅极引绕线之间介入绝缘层,并与上述第1栅极引绕线及上述第2栅极引绕线重叠;上述第1栅极引绕线与上述静电保护环重叠的面积比上述第2栅极引绕线与上述静电保护环重叠的面积大。



1. 一种显示装置,其特征在于,
具备:

第 1 栅极线,沿预先设定的方向延伸;

第 2 栅极线,与上述第 1 栅极线平行地延伸;

第 1 栅极输出端子,对应于上述第 1 栅极线;

第 2 栅极输出端子,对应于上述第 2 栅极线;

第 1 栅极引绕线,将上述第 1 栅极线与上述第 1 栅极输出端子电连接;

第 2 栅极引绕线,将上述第 2 栅极线与上述第 2 栅极输出端子电连接,并且配线长度被形成为比上述第 1 栅极引绕线的配线长度长;以及

静电保护环,被配置成在与上述第 1 栅极引绕线之间及与上述第 2 栅极引绕线之间介入绝缘层,并与上述第 1 栅极引绕线及上述第 2 栅极引绕线重叠;

上述第 1 栅极引绕线与上述静电保护环重叠的面积比上述第 2 栅极引绕线与上述静电保护环重叠的面积大。

2. 如权利要求 1 所述的显示装置,其特征在于,

上述第 1 栅极引绕线与上述静电保护环重叠的区域中的上述第 1 栅极引绕线的配线宽度比上述第 2 栅极引绕线与上述静电保护环重叠的区域中的上述第 2 栅极引绕线的配线宽度宽。

3. 如权利要求 2 所述的显示装置,其特征在于,

上述静电保护环的配线宽度是一定的。

4. 如权利要求 3 所述的显示装置,其特征在于,

上述第 1 栅极引绕线与上述静电保护环不重叠的区域中的上述第 1 栅极引绕线的配线宽度,和上述第 2 栅极引绕线与上述静电保护环不重叠的区域中的上述第 2 栅极引绕线的配线宽度相等。

5. 如权利要求 1 所述的显示装置,其特征在于,

上述静电保护环与上述第 1 栅极引绕线重叠的区域中的上述静电保护环的宽度,比上述静电保护环与上述第 2 栅极引绕线重叠的区域中的上述静电保护环的宽度宽。

6. 如权利要求 5 所述的显示装置,其特征在于,

上述第 1 栅极引绕线的配线宽度与上述第 2 栅极引绕线的配线宽度相等。

7. 如权利要求 1 所述的显示装置,其特征在于,

相对于上述第 1 栅极引绕线的时间常数与相对于上述第 2 栅极引绕线的时间常数设定为相等。

8. 如权利要求 1 所述的显示装置,其特征在于,

上述静电保护环形成为,使其包围显示区域。

9. 如权利要求 1 所述的显示装置,其特征在于,

上述静电保护环被设定为与共用电极相同的电压。

10. 如权利要求 1 所述的显示装置,其特征在于,

引绕上述第 1 栅极引绕线及上述第 2 栅极引绕线,以使其绕过显示区域。

11. 如权利要求 1 所述的显示装置,其特征在于,

上述静电保护环经由静电保护电路连接在上述第 1 栅极线及上述第 2 栅极线上。

12. 如权利要求 1 所述的显示装置,其特征在于,
上述静电保护环具有形成与数据线同一层的线区域;
上述第 1 栅极引绕线及上述第 2 栅极引绕线在上述线区域与上述静电保护环重叠。
13. 一种显示装置,其特征在于,具备:
多个栅极线,对形成在显示像素中的薄膜晶体管传送扫描信号;
多个栅极引绕线,将上述栅极线与预先设定的栅极输出端子之间电连接;以及
静电保护环,与上述多个栅极引绕线立体交叉;
上述多个栅极引绕线,配线长度是相互不同的,且与上述静电保护环立体交叉的区域的面积是相互不同的。
14. 如权利要求 13 所述的显示装置,其特征在于,
与配线长度长的栅极引绕线相比,配线长度短的栅极引绕线的与上述静电保护环立体交叉的区域的面积更大。
15. 一种显示装置,其特征在于,具备:
多个像素电极;
共用电极;
液晶层,设置在上述多个像素电极与上述共用电极之间;
多个薄膜晶体管,源电极连接在对应的上述像素电极上;
多个栅极线,连接在对应的上述薄膜晶体管的栅电极上;
多个栅极输出端子;
多个栅极引绕线,将对应的上述栅极线与对应的上述栅极输出端子电连接,并且相互的配线长度不同;以及
共用线,设定为与上述共用电极相等的电压,并且与上述多个栅极引绕线立体交叉;
上述多个栅极引绕线,与上述共用线立体交叉的区域的面积是相互不同的。
16. 如权利要求 15 所述的显示装置,其特征在于,
与配线长度长的栅极引绕线相比,配线长度短的栅极引绕线的与上述共用线立体交叉的区域的面积大。
17. 如权利要求 15 所述的显示装置,其特征在于,
具备连接在对应的上述薄膜晶体管的漏电极上的多个数据线;
上述共用线具有被形成与上述多个数据线同一层的线区域;
上述多个栅极引绕线在上述线区域与上述静电保护环重叠。
18. 如权利要求 17 所述的显示装置,其特征在于,
上述线区域被形成比上述多个栅极引绕线接近于上述液晶层的层。

显示装置

技术领域

[0001] 本发明涉及将对薄膜晶体管传送扫描信号的栅极线与规定的连接端子电连接的连接配线的配线长度以各栅极线而不同的显示装置。

背景技术

[0002] 作为显示装置,主动矩阵方式的液晶显示装置在栅极线与源极线的交点附近配置有薄膜晶体管(Thin Film Transistor:以下记作 TFT)、和连接在该 TFT 上的像素电极。

[0003] 此外,在像素电极与对置于该像素电极而配置的对置电极(共用电极)之间形成有液晶层。

[0004] 并且,通过经由用经由栅极线输入的扫描信号设为选择状态的 TFT 对像素电极施加对应于灰阶水平的电压,液晶的取向状态变化为对应于灰阶水平的取向状态。

[0005] 然而,在这样的液晶显示装置中,有在显示面板上的规定的区域中将驱动电路 COG(Chip On Glass) 安装的结构。例如在日本特开 2006-71814 号公报中,提出了在显示面板的各边中的相对于栅极线延伸的方向平行的一边侧设置另一个基板从一个基板突出的突出区域、将由驱动栅极线的栅极驱动器及驱动源极线的源极驱动器构成的作为 IC 芯片的半导体元件安装到该突出区域中的结构。

[0006] 但是,在这样相对于栅极线延伸的方向平行的显示面板的一边侧安装栅极驱动器的情况下,将栅极线和栅极驱动器电连接的引绕线的配线长度依各栅极线而不同。因而,栅极驱动器与栅极线之间的时间常数依各栅极线而不同,如果栅极驱动器对该栅极驱动器的输出端输出扫描信号以使作为扫描信号的开启电压在各栅极线间相等,则对 TFT 施加的开启电压的执行(有效)电压依各栅极线而不同。因此,即使在将对应于相互相等的灰阶水平的电压写入到各像素电极中的情况下,保持在像素电极中的电压也依各行而不同,例如即使在对画面一面进行单一灰阶显示的情况下也会在画面面内发生亮度差,有显示品质下降的问题。

发明内容

[0007] 所以,本发明的目的是提供一种即使将栅极线与栅极驱动器之间电连接的配线的配线长度依各栅极线而不同、也能够抑制显示品质的下降的显示装置。

[0008] 本发明的显示装置的技术方案之一是一种显示装置,具备:第 1 栅极线,沿预先设定的方向延伸;第 2 栅极线,与上述第 1 栅极线平行地延伸;第 1 栅极输出端子,对应于上述第 1 栅极线;第 2 栅极输出端子,对应于上述第 2 栅极线;第 1 栅极引绕线,将上述第 1 栅极线与上述第 1 栅极输出端子电连接;第 2 栅极引绕线,将上述第 2 栅极线与上述第 2 栅极输出端子电连接,并且配线长度被形成为比上述第 1 栅极引绕线的配线长度长;静电保护环,被配置成在与上述第 1 栅极引绕线之间及与上述第 2 栅极引绕线之间介入绝缘层,并与上述第 1 栅极引绕线及上述第 2 栅极引绕线重叠;上述第 1 栅极引绕线与上述静电保护环重叠的面积比上述第 2 栅极引绕线与上述静电保护环重叠的面积大。

[0009] 所述的显示装置,其特征在于,上述第 1 栅极引绕线与上述静电保护环重叠的区域中的上述第 1 栅极引绕线的配线宽度比上述第 2 栅极引绕线与上述静电保护环重叠的区域中的上述第 2 栅极引绕线的配线宽度宽。

[0010] 所述的显示装置,其特征在于,上述静电保护环的配线宽度是一定的。

[0011] 所述的显示装置,其特征在于,上述第 1 栅极引绕线与上述静电保护环不重叠的区域中的上述第 1 栅极引绕线的配线宽度,和上述第 2 栅极引绕线与上述静电保护环不重叠的区域中的上述第 2 栅极引绕线的配线宽度相等。

[0012] 所述的显示装置,其特征在于,上述静电保护环与上述第 1 栅极引绕线重叠的区域中的上述静电保护环的宽度,比上述静电保护环与上述第 2 栅极引绕线重叠的区域中的上述静电保护环的宽度宽。

[0013] 所述的显示装置,其特征在于,上述第 1 栅极引绕线的配线宽度与上述第 2 栅极引绕线的配线宽度相等。

[0014] 所述的显示装置,其特征在于,相对于上述第 1 栅极引绕线的时间常数与相对于上述第 2 栅极引绕线的时间常数设定为相等。

[0015] 所述的显示装置,其特征在于,上述静电保护环形成为,使其包围显示区域。

[0016] 所述的显示装置,其特征在于,上述静电保护环被设定为与共用电极相同的电压。

[0017] 所述的显示装置,其特征在于,引绕上述第 1 栅极引绕线及上述第 2 栅极引绕线,以使其绕过显示区域。

[0018] 所述的显示装置,其特征在于,上述静电保护环经由静电保护电路连接在上述第 1 栅极线及上述第 2 栅极线上。

[0019] 所述的显示装置,其特征在于,上述静电保护环具有形成为与数据线同一层的线区域;

[0020] 上述第 1 栅极引绕线及上述第 2 栅极引绕线在上述线区域与上述静电保护环重叠。

[0021] 本发明的显示装置的其他技术方案之一是一种显示装置,具备:多个栅极线,对形成在显示像素中的薄膜晶体管传送扫描信号;多个栅极引绕线,将上述栅极线与预先设定的栅极输出端子之间电连接;静电保护环,与上述多个栅极引绕线立体交叉;上述多个栅极引绕线的与上述静电保护环立体交叉的区域的面积相互不同,以使配线长度相互不同。

[0022] 所述的显示装置,其特征在于,与配线长度长的栅极引绕线相比,配线长度短的栅极引绕线的与上述静电保护环立体交叉的区域的面积更大。

[0023] 本发明的显示装置的其他技术方案之一是一种显示装置,具备:多个像素电极;共用电极;液晶层,设置在上述多个像素电极与上述共用电极之间;多个薄膜晶体管,源电极连接在对应的上述像素电极上;多个栅极线,连接在对应的上述薄膜晶体管的栅电极上;多个栅极输出端子;多个栅极引绕线,将对应的上述栅极线与对应的上述栅极输出端子电连接,并且相互的配线长度不同;共用线,设定为与上述共用电极相等的电压,并且与上述多个栅极引绕线立体交叉;上述多个栅极引绕线的与上述共用线立体交叉的区域的面积相互不同。

[0024] 所述的显示装置,其特征在于,与配线长度长的栅极引绕线相比,配线长度短的栅极引绕线的与上述共用线立体交叉的区域的面积大。

[0025] 所述的显示装置,其特征在于,具备连接在对应的上述薄膜晶体管的漏电极上的多个数据线;上述共用线具有被形成为与上述多个数据线同一层的线区域;上述多个栅极引绕线在上述线区域与上述静电保护环重叠。

[0026] 所述的显示装置,其特征在于,上述线区域被形成为比上述多个栅极引绕线接近于上述液晶层的层。

[0027] 根据本发明,即使将栅极线与栅极驱动器之间电连接的配线的配线长度依各栅极线而不同,也能够抑制显示品质的下降。

[0028] 本发明的优点会在以下的叙述中进行说明,并且部分会变得清楚,或者可以通过实践本发明得到理解。

[0029] 本发明的优点通过特别在这里指出的手段和组合能够被认识和达到。

[0030] 构成说明书的一部分的附图是说明本发明的实施方式的,并且与上面给出的发明内容和下面给出的具体实施方式一起用来解释本发明的原理。

附图说明

[0031] 图 1 是液晶显示装置的概略俯视图。

[0032] 图 2 是液晶显示装置的概略剖视图。

[0033] 图 3 是显示面板等价电路的俯视图。

[0034] 图 4 是栅极线用静电保护电路的等价电路的俯视图。

[0035] 图 5 是数据线用静电保护电路的等价电路的俯视图。

[0036] 图 6 是开关用薄膜晶体管的剖视图。

[0037] 图 7 是栅极驱动器搭载区域的剖视图。

[0038] 图 8 是栅极驱动器搭载区域的剖视图。

[0039] 图 9 是数据驱动器搭载区域的剖视图。

[0040] 图 10 是数据驱动器搭载区域的剖视图。

[0041] 图 11 是引绕线与作为静电保护线的共用线的重叠区域的俯视图。

[0042] 图 12 是沿着图 11 所示的 B-B' 的剖视图。

[0043] 图 13 是变形例的引绕线与作为静电保护线的共用线的重叠区域的俯视图。

[0044] 图 14 是沿着图 13 所示的 C-C' 的剖视图。

[0045] 图 15 是变形例的引绕线与作为静电保护线的共用线的重叠区域的俯视图。

[0046] 图 16 是沿着图 15 所示的 D-D' 的剖视图。

[0047] 图 17 是变形例的引绕线与作为静电保护线的共用线的重叠区域的俯视图。

[0048] 图 18 是沿着图 17 所示的 E-E' 的剖视图。

具体实施方式

[0049] 以下,对本发明的实施方式进行说明。

[0050] 作为本发明的显示装置,在图 1 中表示主动(active)矩阵方式的液晶显示装置的概略俯视图,在图 2 中表示其剖视图。液晶显示装置 1 具备显示面板 2、驱动该显示面板 2 的驱动器电路 3、和用来将驱动器电路 3 再连接到外部电路上的 FPC(Flexible printed circuits)60。驱动器电路 3 由栅极驱动器 3a 和数据驱动器 3b 构成。并且,栅极驱动器 3a

和数据驱动器 3b 分别由作为半导体元件的 IC 芯片构成,通过 COG(Chip on Glass) 安装在显示面板 2 的预先设定的区域中,搭载到显示面板 2 上。

[0051] 显示面板 2 将有源基板 4 通过大致方形框状的密封件 6 贴合在相对于该有源基板 4 对置配置的对置基板 5 上。并且,在由该框状的密封件 6 包围的区域中的两基板 4、5 间形成有液晶层 7。此外,通过使有源基板 4 的下边部从对置基板 5 突出而设有突出部 4a。并且,在该突出部 4a 上搭载有驱动器电路 3 并且接合着 FPC60。这里,在图 1 中,将由双点划线包围的方形状的区域表示为显示区域 8。并且,密封件 6 包围该显示区域 8 而设置。另外,有源基板 4 和对置基板 5 分别由玻璃等的透明性材料形成。

[0052] 图 3 是显示面板 2 的主要部分的等价电路的俯视图。在显示区域 8 中,以矩阵状排列有显示像素。并且,在有源基板 4 上,各显示像素形成有由 IT0 等构成的透明性的像素电极 9、和源电极 S 连接在该像素电极 9 上的 nMOS 型的开关用薄膜晶体管 10。开关用薄膜晶体管 10 的栅电极 G 连接在栅极线 11 上、并且漏电极 D 连接在数据线 12 上。这里,栅极线 11 是将从栅极驱动器 3a 输出的扫描信号传送给开关用薄膜晶体管 11 的,并使对应于像素行沿行方向延伸,而在有源基板 4 上形成有多个。此外,数据线 12 是将从数据驱动器 3b 输出的灰阶信号经由开关用薄膜晶体管 10 传送给像素电极 9 的,并使对应于像素列沿列方向延伸,而在有源基板 4 上形成有多个。

[0053] 另外,突出部 4a 设在显示面板 2 的各边中的相对于栅极线 11 延伸的方向而平行的一边侧。此外,在突出部 4a 上,设有搭载栅极驱动器 3a 的栅极驱动器搭载区域 13 和搭载数据驱动器 3b 的数据驱动器搭载区域 14。

[0054] 这里,在图 3 中,像素电极 9 仅图示了 5 个 × 3 个是为了图面的明了化,实际上排列有几百个 × 几百个或更多的个数。在有源基板 4 上的显示区域 8 的周围,设有方形框状的作为静电保护环的共用线 15、以及与其连接的连接垫板 16。连接垫板 16 经由基板间导通件连接在设于对置基板 5 的与有源基板 4 的对置面上的由 IT0 等构成的透明性的共用电极 17 上。即,设定为使共用线 15 和共用电极 17 成为相等的电压。

[0055] 栅极线 11 连接在绕过显示区域 8、而从该栅极线 11 的一个端部朝向突出部 4a 的栅极引绕线 18 上。并且,栅极线 11 经由栅极引绕线 18 电连接在排列于突出部 4a 的栅极驱动器搭载区域 13 中的栅极输出端子 19 上。

[0056] 此外,数据线 12 连接在从该数据线 12 的一个端部朝向突出部 4a 的数据引绕线 20 上。并且,数据线 12 经由数据引绕线 20 电连接在排列于突出部 4a 的数据驱动器搭载区域 14 中的数据输出端子 21 上。

[0057] 另外,栅极输出端子 19 是用来将栅极线 11 与搭载在栅极驱动器搭载区域 13 中的栅极驱动器 3a 经由栅极引绕线 18 电连接的连接端子,将栅极驱动器 3a 输出扫描信号的该栅极驱动器 3a 中的规定的连接端子在 COG 安装时连接到该栅极输出端子 19 上。此外,数据输出端子 21 是用来将数据线 12 与搭载在数据驱动器搭载区域 14 中的数据驱动器 3b 经由数据引绕线 20 电连接的连接端子,将数据驱动器 3b 输出灰阶信号的该数据驱动器 3b 中的规定的连接端子在 COG 安装时连接到该数据输出端子 21 上。

[0058] 在栅极驱动器搭载区域 13 中,设有栅极输入端子 22,以使其平行于栅极输出端子 19 的排列方向。栅极输入端子 22 是用来将经由 FPC60 从外部电路传送来的信号输入到栅极驱动器 3a 中的连接端子,连接在栅极驱动器 3a 中的规定的连接端子上。此外,栅极输入

端子 22 经由朝向有源基板 4 的端部延伸的第 1 输入线 23 连接在栅极用外部连接端子 24 上。并且,栅极用外部连接端子 24 连接在形成于 FPC60 上的规定的连接端子上。

[0059] 在数据驱动器搭载区域 14 中,设有数据输入端子 25,以使其平行于数据输出端子 21 的排列方向。数据输入端子 25 是用来将经由 FPC60 从外部电路传送来的信号输入到数据驱动器 3b 中的连接端子,连接在数据驱动器 3b 的规定的连接端子上。此外,数据输入端子 25 经由朝向有源基板 4 的端部延伸的第 2 输入线 26 连接在数据用外部连接端子 27 上。并且,数据用外部连接端子 27 连接在形成于 FPC60 上的规定的连接端子上。

[0060] 图 4 是设在栅极驱动器搭载区域 13 中的栅极线用静电保护电路 28 的等价电路的俯视图。栅极线用静电保护电路 28 具有栅极线用静电保护线 29、二极管连接型薄膜晶体管 30、和第 1 浮动栅极型薄膜晶体管 31。

[0061] 二极管连接型薄膜晶体管 30 的栅电极 G 和漏电极 D 通过栅极输出端子 19 相互连接,并且也连接在该栅极输出端子 19 上,源电极 S 连接在栅极线用静电保护线 29 上。此外,第 1 浮动栅极型薄膜晶体管 31 的栅电极 G 被从周围绝缘而成为浮动栅极,漏电极 D 连接在栅极输出端子 19 上,源电极 S 连接在栅极线用静电保护线 29 上。即,二极管连接型薄膜晶体管 30 和第 1 浮动栅极型薄膜晶体管 31 在栅极输出端子 19 与栅极线用静电保护线 29 之间并列地连接。

[0062] 栅极线用静电保护线 29 的一端部经由连接用薄膜晶体管 32 及连接用引绕线 33 连接在共用线 15 上。在此情况下,连接用薄膜晶体管 32 的栅电极 G 及漏电极 D 连接在栅极线用静电保护线 29 上,源电极 S 经由第 1 连接用引绕线 33 连接在共用线 15 上。

[0063] 图 5 是设在数据驱动器搭载区域 14 中的数据用静电保护电路 34 的等价电路的俯视图。数据线用静电保护电路 34 具有数据线用静电保护线 35、和第 2 浮动栅极型薄膜晶体管 36。

[0064] 第 2 浮动栅极型薄膜晶体管 36,栅电极 G 被从周围绝缘而成为浮动栅极,漏电极 D 连接在数据输出端子 21 上,源电极 S 连接在数据线用静电保护线 35 上。

[0065] 数据线用静电保护线 35 的一端部经由并列设置的第 1、第 2 连接用薄膜晶体管 37、38 及第 2 连接用引绕线 39,连接在共用线 15 上。在此情况下,第 1 连接用薄膜晶体管 37 的栅电极 G 和漏电极 D 连接在数据线用静电保护线 35 上,源电极 S 经由第 2 连接用引绕线 39 连接在共用线 15 上。此外,第 2 连接用薄膜晶体管 38 的栅电极 G 和漏电极 D 经由第 2 连接用引绕线 39 连接在共用线 15 上,源电极 S 连接在数据线用静电保护线 35 上。

[0066] 接着,对该显示面板 2 中的显示像素的具体的层结构进行说明。图 6 是开关用薄膜晶体管 10 及像素电极 9 的剖视图。在由玻璃等构成的有源基板 4 的与对置基板 5 的对置面的规定的部位上,作为第 1 导电层,设有由钼或铬等构成的栅电极 G、和连接在该栅电极 G 上的栅极线 11。这里,栅极引绕线 18 与连接在该栅极引绕线 18 上的栅极线 11 同样作为第 1 导电层而形成。

[0067] 在第 1 导电层的上层设有由氮化硅构成的栅极绝缘膜 40。在栅极绝缘膜 40 的上层设有由本征非晶硅构成的半导体薄膜 41。在对应于半导体薄膜 41 的区域的上层中央部设有由氮化硅构成的沟道保护膜 42。

[0068] 在对应于沟道保护膜 42 的区域的上层两侧及其两侧的半导体薄膜 41 的区域中设有由 n 型非晶硅构成的欧姆接触层 43、44。在一个欧姆接触层 43 的上层及其附近的栅极绝

缘膜 40 的上层的规定的部位上设有由钼或铬等构成的源电极 S。在另一个欧姆接触层 44 的上层及栅极绝缘膜 40 的上层的规定的部位上设有由钼或铬等构成的漏电极 D、连接在该漏电极 D 上的数据线 12。

[0069] 这里,开关用薄膜晶体管 10 由栅电极 G、栅极绝缘膜 40、半导体薄膜 41、沟道保护膜 42、欧姆接触层 43、44、源电极 S 及漏电极 D 构成。此外,源电极 S、漏电极 D 及数据线 12 形成成为第 2 导电层。这里,数据引绕线 20 与连接在该数据引绕线 20 上的数据线 12 同样形成成为第 2 导电层。

[0070] 在开关用薄膜晶体管 10 及数据线 12 的上层设有由氮化硅构成的外覆膜 45。在外覆膜 45 的上层的规定的部位上设有由 ITO 等的透明导电材料构成的像素电极 9。像素电极 9 经由设在外覆膜 45 的规定的部位上的接触孔 46 连接在源电极 S 上。

[0071] 接着,对栅极驱动器搭载区域 13 的具体的层结构进行说明。图 7 是设在栅极驱动器搭载区域 13 中的栅极线用静电保护线 29、二极管连接型薄膜晶体管 30、第 1 浮动栅极型薄膜晶体管 31 及栅极输出端子 19 的剖视图。二极管连接型薄膜晶体管 30 及第 1 浮动栅极型薄膜晶体管 31 具有与开关用薄膜晶体管 10 大致同样的层结构,由作为上述第 1 导电层的栅电极 G、栅极绝缘膜 40、半导体薄膜 41、沟道保护膜 42、欧姆接触层 43、44、作为上述第 2 导电层的源电极 S 及漏电极 D 构成。

[0072] 栅极输出端子 19 为层叠了在有源基板 4 的与对置基板 5 的对置面上作为上述第 1 导电层设置的由钼或铬等构成的下层金属层 19a、和在经由设在栅极绝缘膜 40 上的接触孔 47 从该栅极绝缘膜 40 露出的区域的下层金属层 19a 及其周围的栅极绝缘膜 40 的上层作为上述第 2 导电层设置的由钼或铬等构成的上层金属层 19b 的 2 层构造。并且,下层金属层 19a 连接在同样作为第 1 导电层设置的栅极引绕线 18 上。此外,上层金属层 19b 的一部分经由设在外覆膜 45 上的开口部 48 从该外覆膜 45 露出。栅极线用静电保护线 29 由作为上述第 2 导电层设在栅极绝缘膜 40 的上层上的钼或铬等的金属层。

[0073] 并且,二极管连接型薄膜晶体管 30 经由与作为第 1 导电层的栅电极 G 同样作为第 1 导电层形成的由钼或铬等构成的引绕线 49,连接在栅极输出端子 19 的下层金属层 19a 上。此外,漏电极 D 连接在栅极输出端子 19 的上层金属层 19b 上,源电极 S 连接在栅极线用静电保护线 29 上。第 1 浮动栅极型薄膜晶体管 31 的栅电极 G 被从周围绝缘而成为浮动栅极。此外,漏电极 D 连接在栅极输出端子 19 的上层金属层 19b 上,源电极 S 连接在栅极线用静电保护线 29 上。

[0074] 图 8 是设在栅极驱动器搭载区域 13 中的连接用薄膜晶体管 32、栅极线用静电保护线 29 及第 1 连接用引绕线 33 的剖视图。连接用薄膜晶体管 32 具有与开关用薄膜晶体管 10 大致同样的层结构,由作为上述第 1 导电层的栅电极 G、栅极绝缘膜 40、半导体薄膜 41、沟道保护膜 42、欧姆接触层 43、44、作为上述第 2 导电层的源电极 S 及漏电极 D 构成。第 1 连接用引绕线 33 由作为上述第 1 导电层设置的钼或铬等的金属层构成。

[0075] 设在栅极绝缘膜 40 的上层的栅极线用静电保护线 29 的一端部连接在连接用薄膜晶体管 32 的漏电极 D 上,并且经由设在栅极绝缘膜 40 上的接触孔 49 而连接在连接用薄膜晶体管 32 的栅电极 G 上。并且,连接用薄膜晶体管 32 的源电极 S 经由设在栅极绝缘膜 40 上的接触孔 50 连接在第 1 连接用引绕线 33 上。

[0076] 接着,对数据驱动器搭载区域 14 的具体的层结构进行说明。图 9 是第 2 浮动栅极

型薄膜晶体管 36、数据输出端子 21 及数据线用静电保护线 35 的剖视图。第 2 浮动栅极型薄膜晶体管 36 具有与开关用薄膜晶体管 10 大致同样的层结构,由作为上述第 1 导电层的栅电极 G、栅极绝缘膜 40、半导体薄膜 41、沟道保护膜 42、欧姆接触层 43、44、作为上述第 2 导电层的源电极 S 及漏电极 D 构成。

[0077] 数据输出端子 21 由作为上述第 2 导电层而设在栅极绝缘膜 40 的上层的钼或铬等的金属层构成,连接在同样作为第 2 导电层设置的数据引绕线 20 上。此外,该金属层的一部分经由设在外覆膜 45 上的开口部 5 从该外覆膜 45 露出。数据线用静电保护线 35 由作为上述第 2 导电层而设在栅极绝缘膜 40 的上层上的钼或铬等的金属层构成。连接在数据输出端子 21 上。第 2 浮动栅极型薄膜晶体管 36 的栅电极 G 被从周围绝缘而成为浮动栅极。此外,漏电极 D 连接在数据输出端子 15 上,源电极 S 经由设在栅极绝缘膜 40 上的接触孔 52 连接在数据线用静电保护线 35 上。

[0078] 图 10 是设在数据驱动器搭载区域 14 中的第 1、第 2 连接用薄膜晶体管 37、38、数据线用静电保护线 35 及第 2 连接用引绕线 39 的剖视图。第 1、第 2 连接用薄膜晶体管 37、38 具有与开关用薄膜晶体管 10 大致同样的层结构,由作为上述第 1 导电层的栅电极 G、栅极绝缘膜 40、半导体薄膜 41、沟道保护膜 42、欧姆接触层 43、44、作为上述第 2 导电层的源电极 S 及漏电极 D 构成。第 2 连接用引绕线 39 由作为上述第 1 导电层设置的钼或铬等的金属层构成。

[0079] 第 1 连接用薄膜晶体管 37 的栅电极 G 连接在数据线用静电保护线 35 上。此外,第 2 连接用薄膜晶体管 44 的栅电极 G 连接在第 2 连接用引绕线 39 上。并且,第 1 连接用薄膜晶体管 43 的源电极 S 和第 2 连接用薄膜晶体管 44 的漏电极 D 经由设在栅极绝缘膜 51 上的接触孔 53 连接在第 2 连接用引绕线 39 上。此外,第 1 连接用薄膜晶体管 43 的漏电极 D 和第 2 连接用薄膜晶体管 44 的源电极经由设在栅极绝缘膜 40 上的同一个接触孔 54 (在图 10 中为了图示的方便而设为不同) 连接在数据线用静电保护线 35 上。

[0080] 回到图 3,作为静电保护环的共用线 15 在与有源基板 4 和对置基板 5 重叠的区域中,具有与数据线 12 平行地延伸的第 1 线区域 15a 及第 2 线区域 15b、和与栅极线 11 平行地延伸的第 3 线区域 15c 及第 4 线区域 15d。

[0081] 第 1 线区域 15a 及第 2 线区域 15b 由作为上述第 2 导电层设置的钼或铬等的金属层构成。此外,第 3 线区域 15c 及第 4 线区域 15d 由作为上述第 1 导电层设置的钼或铬等的金属层构成。并且,第 1 线区域 15a 在与第 3 线区域 15c 交叉的位置 P1 处经由设在栅极绝缘膜 40 上的接触孔连接在该第 3 线区域 15c 上,并且在与第 4 线区域 15d 交叉的位置 P2 处经由设在栅极绝缘膜 40 上的接触孔连接在该第 4 线区域 15d 上。此外,第 2 线区域 15b 在与第 3 线区域 15c 交叉的位置 P3 处经由设在栅极绝缘膜 40 上的接触孔连接在该第 3 线区域 15c 上,并且在与第 4 线区域 15d 交叉的位置 P4 处经由设在栅极绝缘膜 40 上的接触孔连接在该第 4 线区域 15d 上。

[0082] 即,第 1 线区域 15a 及第 2 线区域 15b 在栅极线 11 延伸的方向的部位处、相对于作为第 1 导电层设置的栅极引绕线 18 可立体交叉地构成。此外,第 3 线区域 15c 及第 4 线区域 15d 在数据线 12 延伸的方向的部位处、相对于作为第 2 导电层设置的数据引绕线 20 可立体交叉地构成。另外,在图 3 中,表示了第 1 线区域 15a 相对于栅极引绕线 18 立体交叉、第 3 线区域 15c 相对于数据引绕线 20 立体交叉的例子。

[0083] 在第 1 线区域 15a 与栅极引绕线 18 立体交叉的区域 15R 中,栅极引绕线 18 将与第 1 线区域 15a 的经由栅极绝缘膜 40 的重叠面积,设定为与从对应于该栅极引绕线 18 的栅极线 11 到对应于该栅极引绕线 18 的栅极输出端子 19 的距离相对应的面积。

[0084] 例如,如图 11、图 12,将栅极引绕线 18 的长度设定为,使得在以栅极引绕线 18a > 栅极引绕线 18b > 栅极引绕线 18c > 栅极引绕线 18d > 栅极引绕线 18e 的顺序较长的情况下、与第 1 线区域 15a 的经由栅极绝缘膜 40 的重叠面积以栅极引绕线 18e > 栅极引绕线 18d > 栅极引绕线 18c > 栅极引绕线 18b > 栅极引绕线 18a 的顺序变大。

[0085] 更具体地讲,与第 1 线区域 15a 重叠的区域中的栅极引绕线 18 的配线宽度形成,使其以栅极引绕线 18e > 栅极引绕线 18d > 栅极引绕线 18c > 栅极引绕线 18b > 栅极引绕线 18a 的顺序变大。

[0086] 这里,在与第 1 线区域 15a 和栅极引绕线 18 立体交叉的区域 15R 不同的区域中,各栅极引绕线 18 的配线宽度形成为相等。

[0087] 此外,共用线 15 由一定(固定)的配线宽度形成。

[0088] 即,将栅极引绕线 18 的配线宽度通过该栅极引绕线 18 与共用线 15 重叠的区域 15R 调节,以使从栅极线 11 到对应于该栅极线的栅极输入端子 19 之间的栅极引绕线 18 的时间常数 RC、即栅极引绕线 18 的电阻 R 与向该栅极引绕线 18 的寄生电容 C 的乘积 RC 在各栅极线 11 间相等。由此,能够使输入到 TFT10 中的作为扫描信号的开启信号的执行(有效)电压在各栅极线 11 间相等,即使将栅极线 11 与栅极驱动器 3a 之间电连接的第 1 引绕线 18 的配线长度依各行而不同,也能够抑制显示品质的下降。

[0089] 此外,由于在与栅极引绕线 18 必定交叉的作为静电保护环的共用线 15 的重叠区域中调节对应于各栅极线 11 的时间常数,所以不需要新设置时间常数的调节区域,并能够防止装置的尺寸变大。此外,由于调节栅极引绕线 18 的配线宽度本身,所以不需要设置用来调节时间常数的新的层,还能够防止制造工序数增加。

[0090] 另外,在上述实施方式中在共用线 15 与栅极引绕线 18 立体交叉的区域 15R 中,对调节了栅极引绕线 18 的配线宽度的情况进行了说明,但如图 13、图 14 所示,也可以做成调节共用线 15 的配线宽度的结构。

[0091] 即,在栅极引绕线 18 的长度,以栅极引绕线 18a > 栅极引绕线 18b > 栅极引绕线 18c > 栅极引绕线 18d > 栅极引绕线 18e 的顺序为长的情况下,将第 1 线区域 15a 的配线宽度形成为,使得以与栅极引绕线 18e 重叠的区域 > 与栅极引绕线 18d 重叠的区域 > 与栅极引绕线 18c 重叠的区域 > 与栅极引绕线 18b 重叠的区域 > 与栅极引绕线 18a 重叠的区域的顺序变大。

[0092] 另外,此时各栅极引绕线 18 的配线宽度形成为相互相等。

[0093] 此外,在上述实施方式中,对于通过部分地使用第 1 导电层和第 2 导电层而形成作为静电保护线的共用线 15 的情况进行了说明,但也可以作为其他层的导电层形成。例如,也可以在第 2 导电层与像素电极 9 之间形成第 3 导电层、将该第 3 导电层作为共用线 15 形成。

[0094] 此外,在上述实施方式中,对对应于栅极引绕线 18 的配线长度、按照各栅极线而区域 15R 中的栅极引绕线 18 的配线宽度不同的情况进行了说明,但也可以做成将栅极引绕线 18 基于其配线长度按照规定的长度范围分组化、调节区域 15R 中的栅极引绕线 18 的配

线宽度、以使得在各组间配线宽度相互不同并且在相同的组内配线宽度相互相等的结构。虽然达不到使各第 1 栅极引绕线的时间常数 RC 必定一致,但能够使配线设计变得容易、并且使各第 1 栅极引绕线的时间常数 RC 相互接近,是优选的。

[0095] 此外,在上述实施方式中,对于共用线 15 形成为使其将显示区域 8 完全包围的情况进行了说明,但共用线 15 如图 15、图 16、图 17、图 18 所示,也可以构成为对应于配线长度最长的栅极引绕线 18 的配置区域而形成断线区域 15x 的。不论怎样,只要相比配线长度长的第 1 栅极引绕线、将配线长度短的第 1 栅极引绕线与共用线的重叠面积形成大的,就能够使配线长度长的第 1 栅极引绕线与配线长度短的第 1 栅极引绕线之间的时间常数接近,由此,在相互对应的栅极线间能够使作为扫描信号的开启信号的执行电压接近。

[0096] 本申请基于 2009 年 9 月 28 日提出申请的日本专利申请第 2009-223022 号并主张其优先权,这里引用其全部内容。

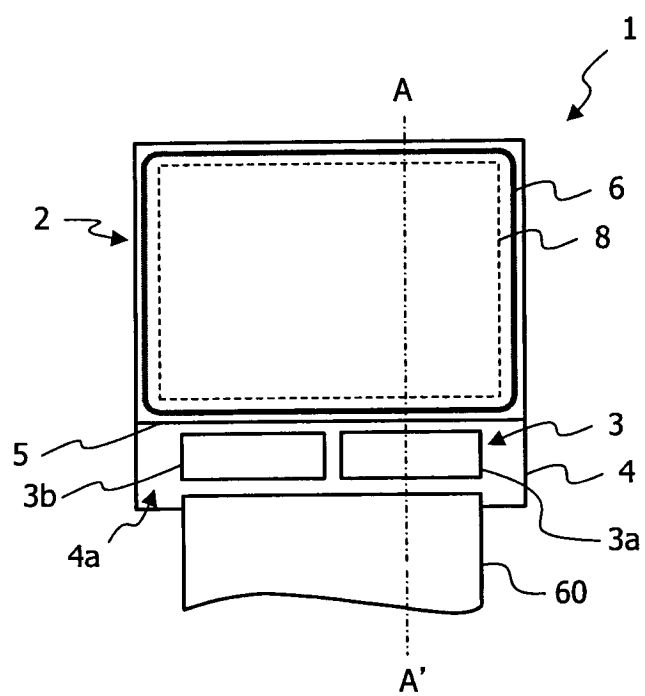


图 1

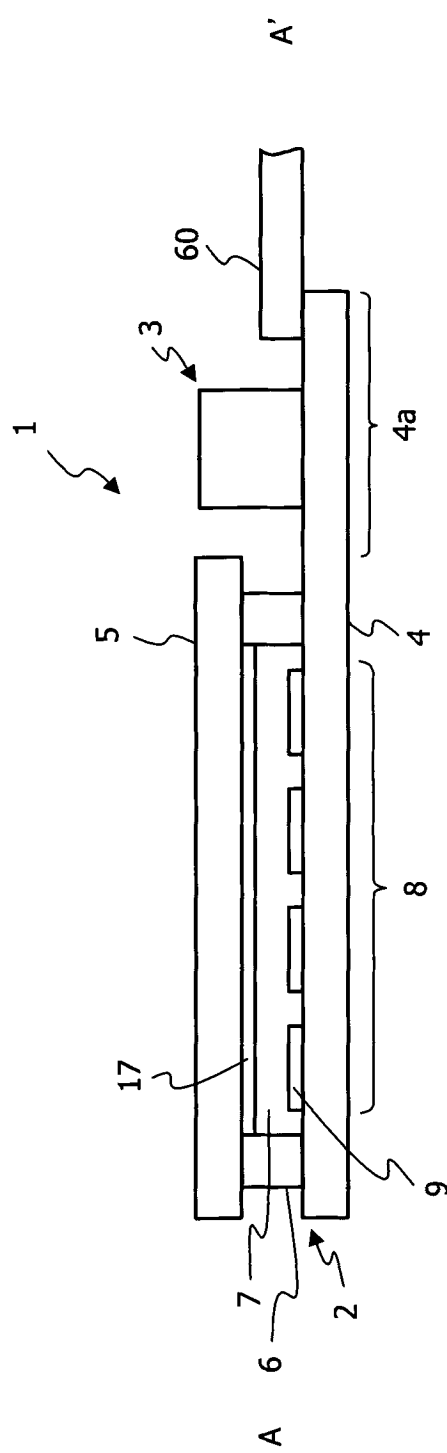


图 2

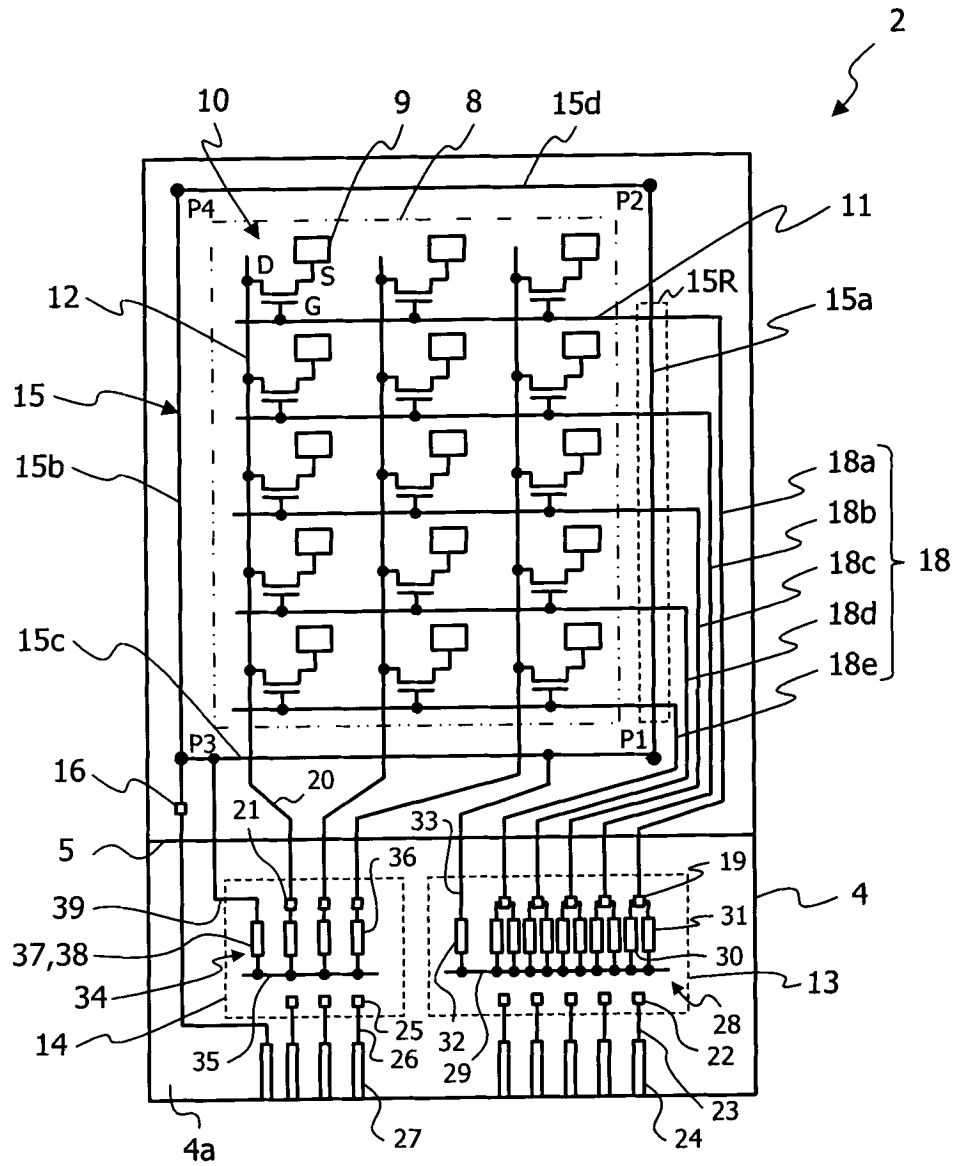


图 3

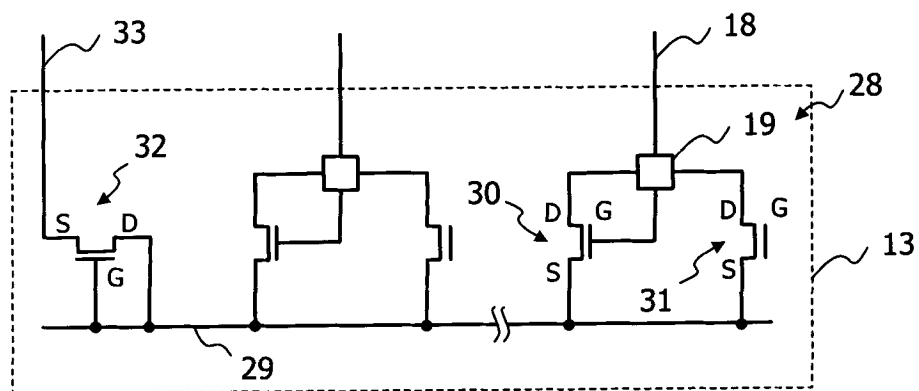


图 4

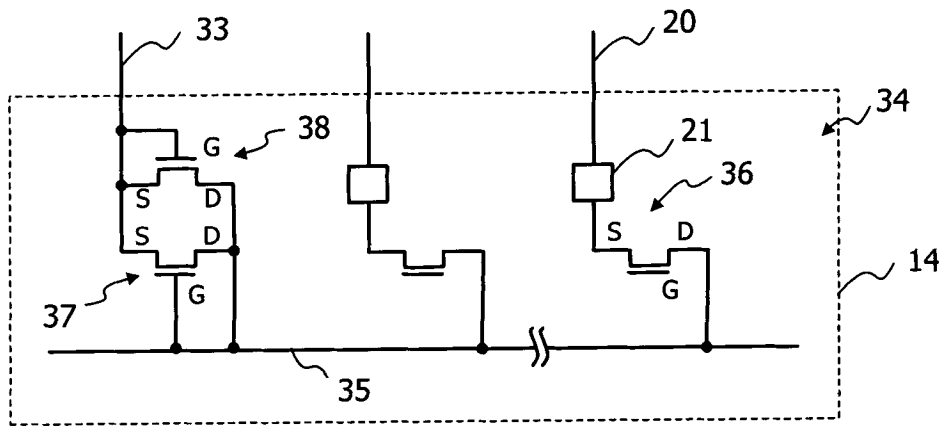


图 5

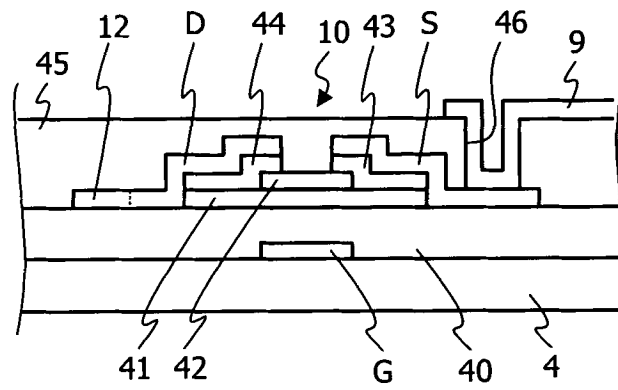


图 6

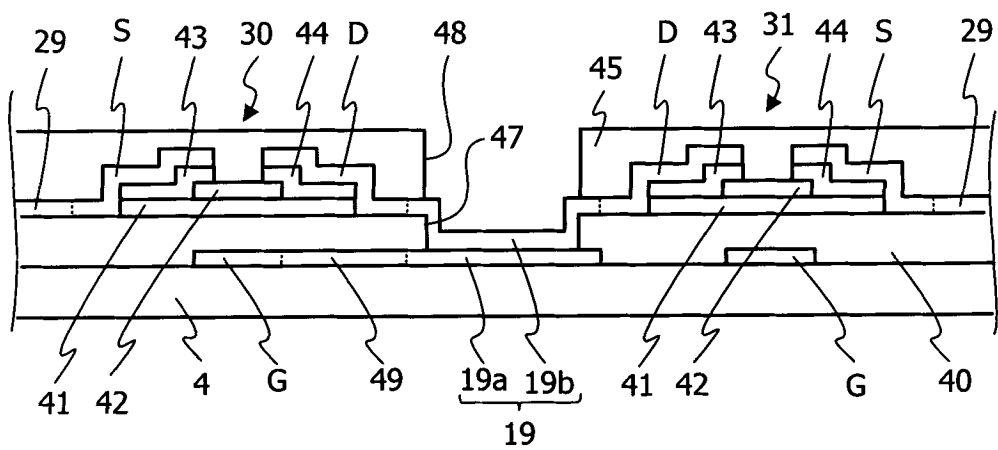


图 7

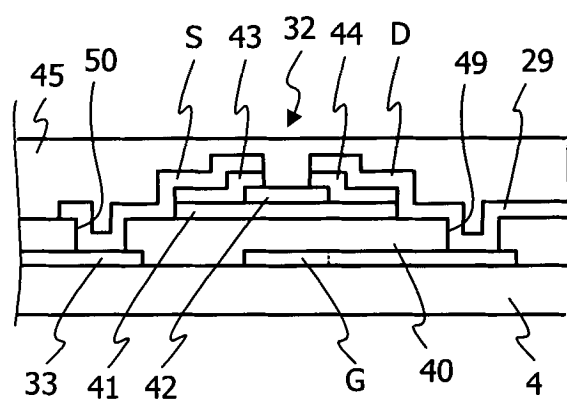


图 8

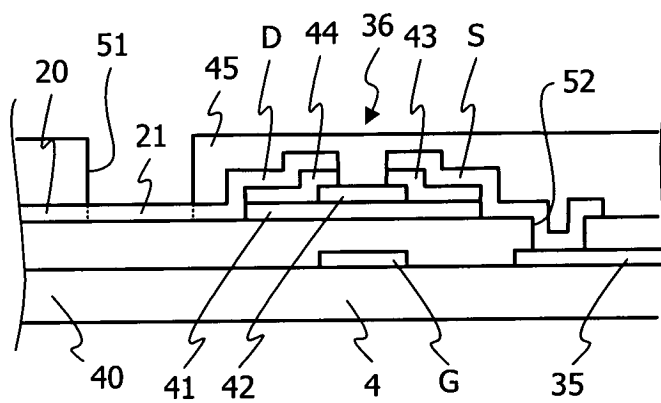


图 9

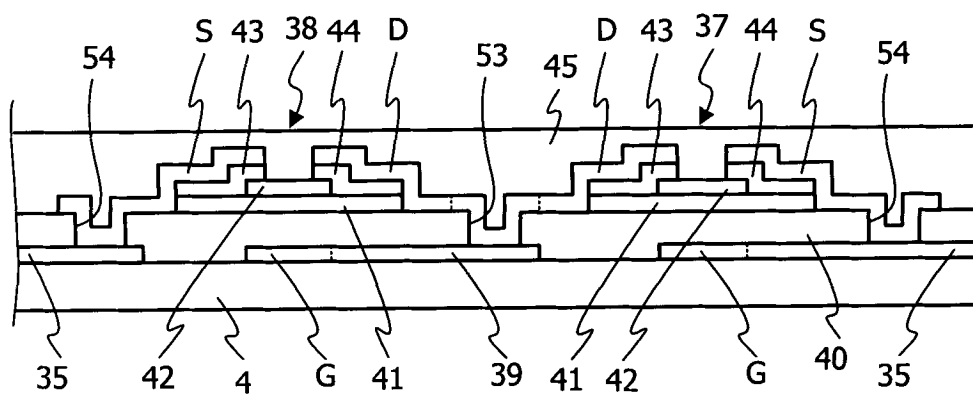


图 10

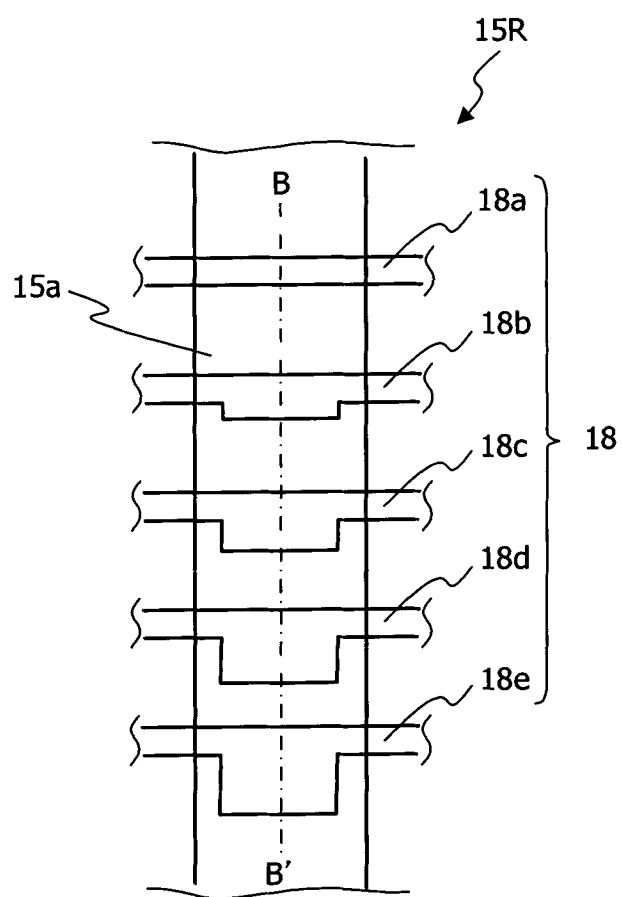


图 11

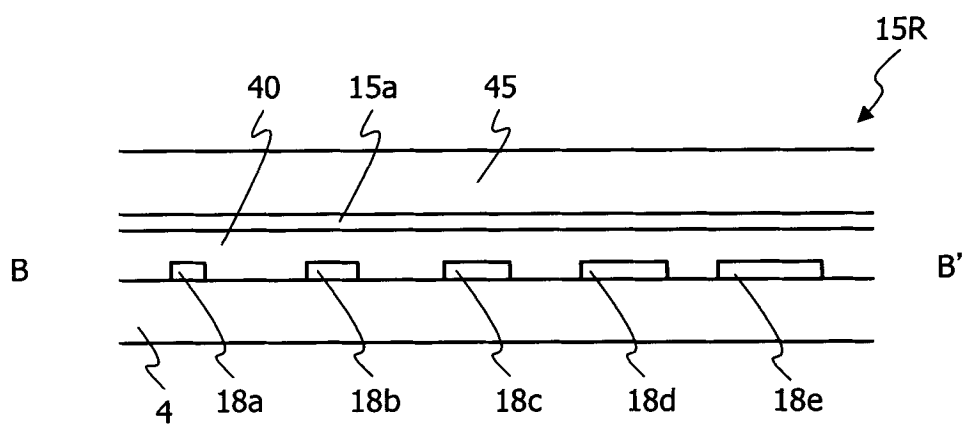


图 12

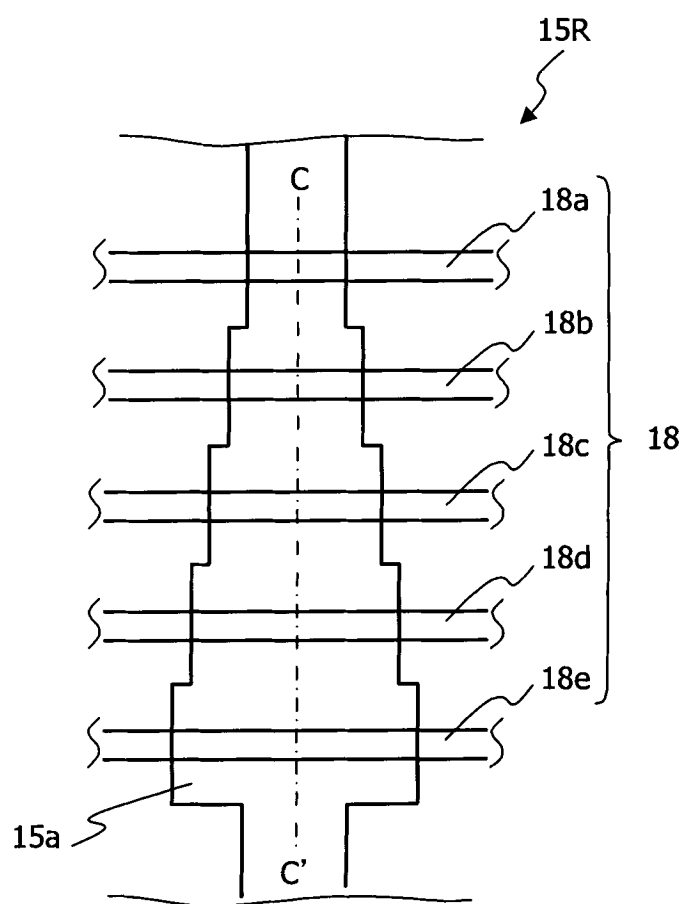


图 13

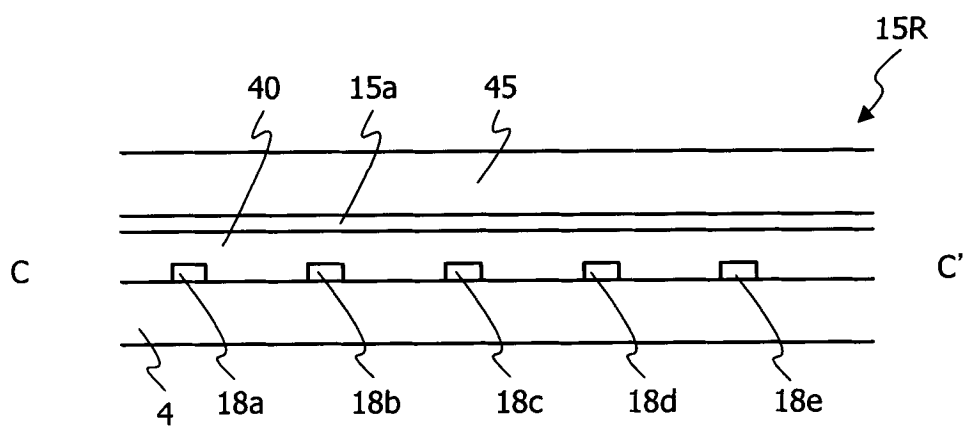


图 14

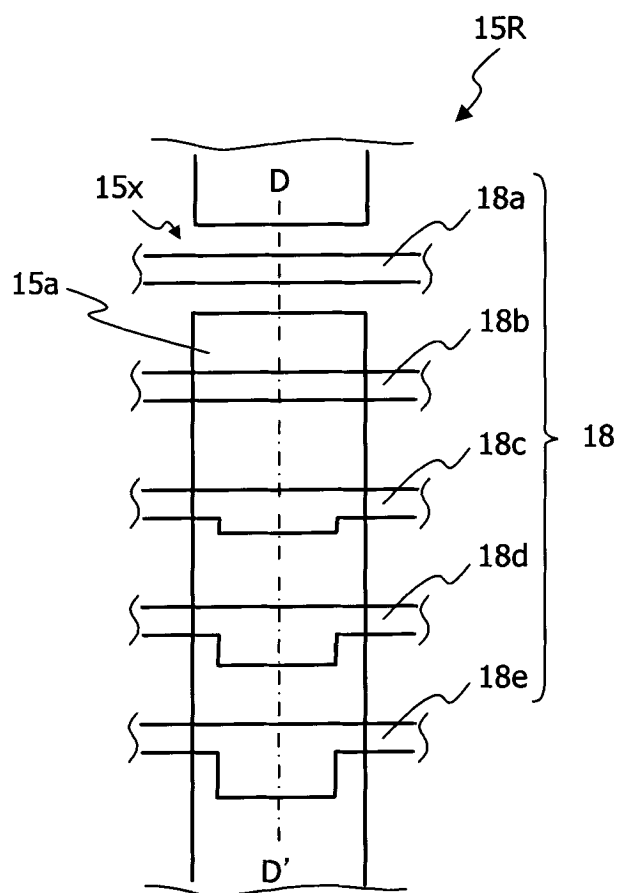


图 15

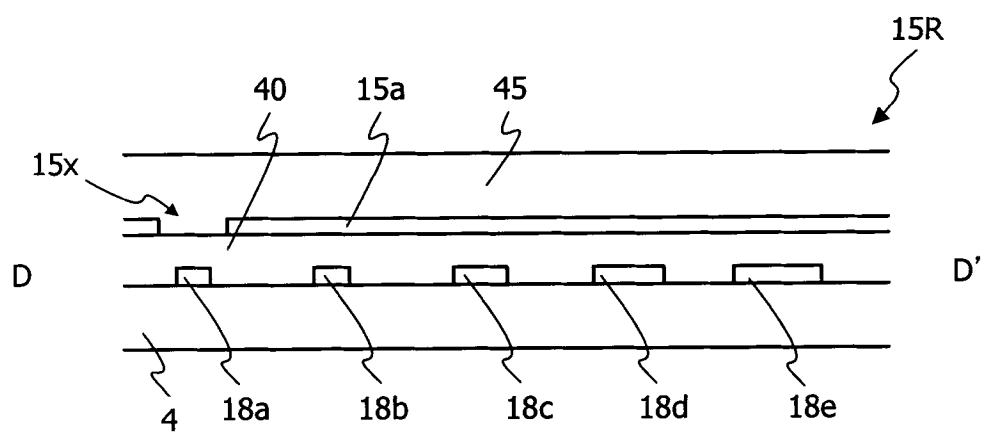


图 16

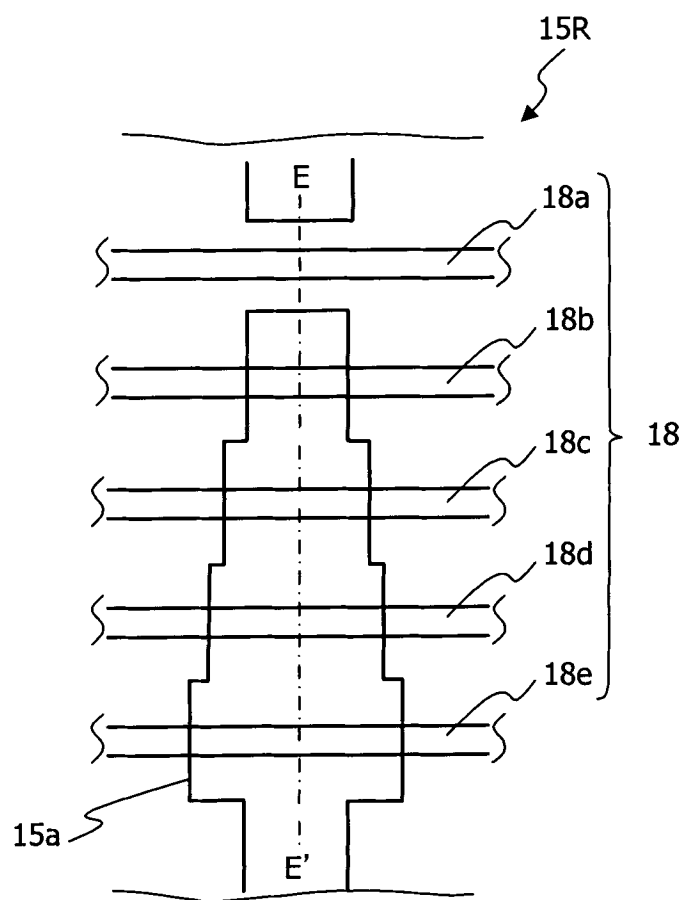


图 17

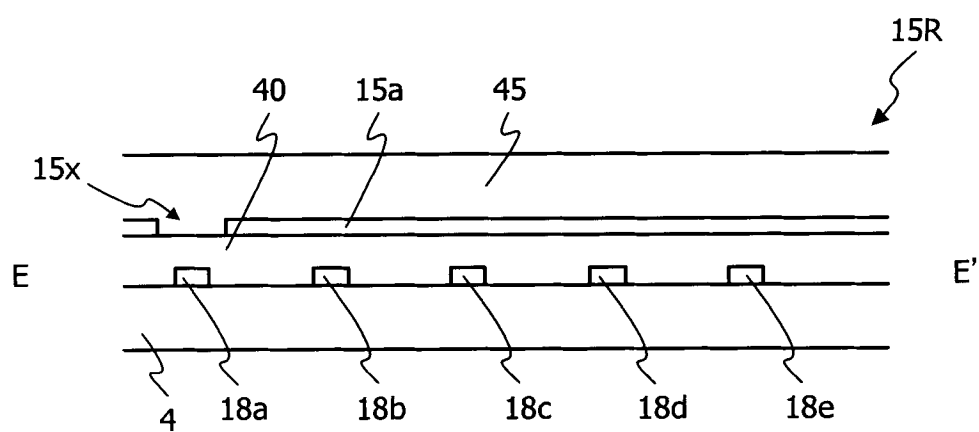


图 18

专利名称(译)	显示装置		
公开(公告)号	CN102033377A	公开(公告)日	2011-04-27
申请号	CN201010298079.2	申请日	2010-09-28
[标]申请(专利权)人(译)	卡西欧计算机株式会社		
申请(专利权)人(译)	卡西欧计算机株式会社		
当前申请(专利权)人(译)	卡西欧计算机株式会社		
[标]发明人	渡边仁 石井裕满		
发明人	渡边仁 石井裕满		
IPC分类号	G02F1/1362 G02F1/1368 H01L27/12		
CPC分类号	G02F2001/13456 G02F1/1345 H01L27/1214 H01L27/12 G02F2202/22 H01L27/124		
代理人(译)	黄剑锋		
优先权	2009223022 2009-09-28 JP		
其他公开文献	CN102033377B		
外部链接	Espacenet SIPO		

摘要(译)

一种显示装置，具备：第1栅极线，沿预先设定的方向延伸；第2栅极线，与上述第1栅极线平行地延伸；第1栅极输出端子，对应于上述第1栅极线；第2栅极输出端子，对应于上述第2栅极线；第1栅极引绕线，将上述第1栅极线与上述第1栅极输出端子电连接；第2栅极引绕线，将上述第2栅极线与上述第2栅极输出端子电连接，并且配线长度被形成为比上述第1栅极引绕线的配线长度长；以及静电保护环，被配置成在与上述第1栅极引绕线之间及与上述第2栅极引绕线之间介入绝缘层，并与上述第1栅极引绕线及上述第2栅极引绕线重叠；上述第1栅极引绕线与上述静电保护环重叠的面积比上述第2栅极引绕线与上述静电保护环重叠的面积大。

