



(12) 发明专利

(10) 授权公告号 CN 101996607 B

(45) 授权公告日 2012. 07. 25

(21) 申请号 201010569642. 5

CN 101510035 A, 2009. 08. 19, 全文.

(22) 申请日 2010. 11. 24

审查员 魏晶瑶

(73) 专利权人 友达光电股份有限公司

地址 中国台湾新竹市

(72) 发明人 杨欲忠 苏国彰 陈勇志 徐国华

林致颖 林坤岳

(74) 专利代理机构 隆天国际知识产权代理有限公司

公司 72003

代理人 姜燕 陈晨

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G09G 3/36 (2006. 01)

(56) 对比文件

US 2007/0091044 A1, 2007. 04. 26, 全文.

TW 201011425 A, 2010. 03. 16, 全文.

CN 101866086 A, 2010. 10. 20, 全文.

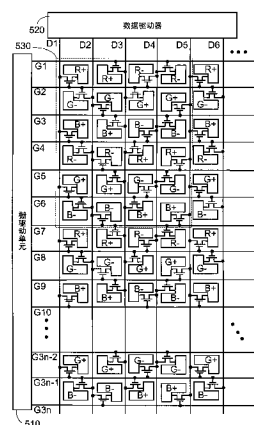
权利要求书 4 页 说明书 11 页 附图 9 页

(54) 发明名称

液晶显示面板

(57) 摘要

本发明提供一种液晶显示面板,该液晶显示面板包括多个基本排列单位,其中每一该基本排列包括:第一列包括四个第一颜色子像素、第二列包括四个第二颜色子像素、第三列包括四个第三颜色子像素、第四列包括四个第四颜色子像素、第五列包括四个第五颜色子像素以及第六列包括四个第六颜色子像素。本发明的优点是经由改变像素阵列中的排列方式,并利用行反转驱动方式,以维持共同电压电平的稳定。再者,经由配线区域的连线处理,使得子像素上下相邻两条的栅极线输出的栅脉冲之间不会互相重叠,可以维持正常的显示画面。



1. 一种液晶显示面板,包括多个基本排列单位,其中每一该基本排列包括:

一第一列包括四个第一颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线,一第一端连接至第 $(4y+1)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+1)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+1)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第四子像素的一存储单元;

一第二列包括四个第二颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+5)$ 数据线,一第二端连接至该第四子像素的一存储单元;

一第三列包括四个第三颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+1)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第四子像素的一存储单元;

一第四列包括四个该第一颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+5)$ 数据线,一第二端连接至该第四子像素的一存储单元;

一第五列包括四个该第二颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+1)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第四子像素的一存储单元;以及

一第六列包括四个该第三颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第一子像素的一存

储单元；一第二子像素的一开关元件的一控制端连接至第 $(6x+7)$ 栅极线，一第一端连接至第 $(4y+2)$ 数据线，一第二端连接至该第二子像素的一存储单元；一第三子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线，一第一端连接至第 $(4y+3)$ 数据线，一第二端连接至该第三子像素的一存储单元；一第四子像素的一开关元件的一控制端连接至第 $(6x+7)$ 栅极线，一第一端连接至第 $(4y+5)$ 数据线，一第二端连接至该第四子像素的一存储单元；

其中， x 、 y 为大于等于 0 的整数。

2. 如权利要求 1 所述的液晶显示面板，其中该第一颜色为红色，该第二颜色为绿色、该第三颜色为蓝色。

3. 如权利要求 1 所述的液晶显示面板，其中该液晶显示面板为一三向栅极像素排列的液晶显示面板。

4. 如权利要求 1 所述的液晶显示面板，其中更括一数据驱动器，利用一行反转的方式来驱动第 $(4y+1)$ 数据线、第 $(4y+2)$ 数据线、第 $(4y+3)$ 数据线、第 $(4y+4)$ 数据线、第 $(4y+5)$ 数据线。

5. 如权利要求 1 所述的液晶显示面板，其中还包括一栅驱动单元，该栅驱动单元包括：一栅驱动器，具有一第一移位暂存器、一第二移位暂存器、一第三移位暂存器、与一第四移位暂存器，其中，第一移位暂存器根据一第一时脉信号产生一第一栅脉冲，第二移位暂存器根据一第二时脉信号产生一第二栅脉冲，第三移位暂存器根据一第三时脉信号产生一第三栅脉冲，第四移位暂存器根据一第四时脉信号产生一第四栅脉冲；第五移位暂存器根据该第一时脉信号产生一第五栅脉冲；第六移位暂存器根据该第二时脉信号产生一第六栅脉冲；第七移位暂存器根据该第三时脉信号产生一第七栅脉冲；第八移位暂存器根据该第四时脉信号产生一第八栅脉冲；以及

一配线区域，将该第一栅脉冲传送至第 $(6x+3)$ 栅极线，将该第二栅脉冲传送至第 $(6x+1)$ 栅极线，将第三栅脉冲传送至该第 $(6x+4)$ 栅极线，将第四栅脉冲传送至该第 $(6x+2)$ 栅极线，将第五栅脉冲传送至第 $(6x+7)$ 栅极线，将该第六栅脉冲传送至第 $(6x+5)$ 栅极线，将该第七栅脉冲传送至第 $(6x+8)$ 栅极线，将第八栅脉冲传送至该第 $(6x+6)$ 栅极线；

其中，该第一时脉信号、该第二时脉信号、该第三时脉信号、与该第四时脉信号的频率相同，且相位依序差 90 度。

6. 一种液晶显示面板，包括多个基本排列单位，其中每一该基本排列包括：

一第一列包括四个第一颜色子像素，一第一子像素的一开关元件的一控制端连接至第 $(6x+1)$ 栅极线，一第一端连接至第 $(4y+2)$ 数据线，一第二端连接至该第一子像素的一存储单元；一第二子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线，一第一端连接至第 $(4y+2)$ 数据线，一第二端连接至该第二子像素的一存储单元；一第三子像素的一开关元件的一控制端连接至第 $(6x+1)$ 栅极线，一第一端连接至第 $(4y+3)$ 数据线，一第二端连接至该第三子像素的一存储单元；一第四子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线，一第一端连接至第 $(4y+5)$ 数据线，一第二端连接至该第四子像素的一存储单元；

一第二列包括四个第二颜色子像素，一第一子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线，一第一端连接至第 $(4y+1)$ 数据线，一第二端连接至该第一子像素的一存储单元；一第二子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线，一第一端连接至第 $(4y+3)$ 数据线，一第二端连接至该第二子像素的一存储单元；一第三子像素的一开关元件

的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第四子像素的一存储单元;

一第三列包括四个第三颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+5)$ 数据线,一第二端连接至该第四子像素的一存储单元;

一第四列包括四个该第一颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+1)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第四子像素的一存储单元;

一第五列包括四个该第二颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+5)$ 数据线,一第二端连接至该第四子像素的一存储单元;以及

一第六列包括四个该第三颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+7)$ 栅极线,一第一端连接至第 $(4y+1)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+7)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第四子像素的一存储单元;

其中, x 、 y 为大于等于 0 的整数。

7. 如权利要求 6 所述的液晶显示面板,其中该第一颜色为红色,该第二颜色为绿色、该第三颜色为蓝色。

8. 如权利要求 6 所述的液晶显示面板,其中该液晶显示面板为一三向栅极像素排列的液晶显示面板。

9. 如权利要求 6 所述的液晶显示面板,其中更括一数据驱动器,利用一行反转的方式来驱动第 $(4y+1)$ 数据线、第 $(4y+2)$ 数据线、第 $(4y+3)$ 数据线、第 $(4y+4)$ 数据线、第 $(4y+5)$

数据线。

10. 如权利要求 6 所述的液晶显示面板,其中还包括一栅驱动单元,该栅驱动单元包括:

一栅驱动器,具有一第一移位暂存器、一第二移位暂存器、一第三移位暂存器、与一第四移位暂存器,其中,第一移位暂存器根据一第一时脉信号产生一第一栅脉冲,第二移位暂存器根据一第二时脉信号产生一第二栅脉冲,第三移位暂存器根据一第三时脉信号产生一第三栅脉冲,第四移位暂存器根据一第四时脉信号产生一第四栅脉冲;第五移位暂存器根据该第一时脉信号产生一第五栅脉冲;第六移位暂存器根据该第二时脉信号产生一第六栅脉冲;第七移位暂存器根据该第三时脉信号产生一第七栅脉冲;第八移位暂存器根据该第四时脉信号产生一第八栅脉冲;以及

一配线区域,将该第一栅脉冲传送至第 $(6x+3)$ 栅极线,将该第二栅脉冲传送至第 $(6x+1)$ 栅极线,将第三栅脉冲传送至该第 $(6x+4)$ 栅极线,将第四栅脉冲传送至该第 $(6x+2)$ 栅极线,将第五栅脉冲传送至第 $(6x+7)$ 栅极线,将该第六栅脉冲传送至第 $(6x+5)$ 栅极线,将该第七栅脉冲传送至第 $(6x+8)$ 栅极线,将第八栅脉冲传送至该第 $(6x+6)$ 栅极线;

其中,该第一时脉信号、该第二时脉信号、该第三时脉信号、与该第四时脉信号的频率相同,且相位依序差 90 度。

11. 一种液晶显示面板,包括:

一显示区域,该显示区域有多条栅极线;以及

一栅驱动单元,包括:

一栅驱动器,具有一第 $(4z+1)$ 移位暂存器、一第 $(4z+2)$ 移位暂存器、一第 $(4z+3)$ 移位暂存器、与一第 $(4z+4)$ 移位暂存器,其中,第 $(4z+1)$ 移位暂存器根据一第一时脉信号产生一第 $(4z+1)$ 栅脉冲,第 $(4z+2)$ 移位暂存器根据一第二时脉信号产生一第 $(4z+2)$ 栅脉冲,第 $(4z+3)$ 移位暂存器根据一第三时脉信号产生一第 $(4z+3)$ 栅脉冲,第 $(4z+4)$ 移位暂存器根据一第四时脉信号产生一第 $(4z+4)$ 栅脉冲;以及

一配线区域,将该第 $(4z+1)$ 栅脉冲传送至第 $(4z+3)$ 栅极线,将该第 $(4z+2)$ 栅脉冲传送至第 $(4z+1)$ 栅极线,将第 $(4z+3)$ 栅脉冲传送至该第 $(4z+4)$ 栅极线,将第 $(4z+4)$ 栅脉冲传送至该第 $(4z+2)$ 栅极线;

其中, z 为大于等于 0 的整数,且该第一时脉信号、该第二时脉信号、该第三时脉信号、与该第四时脉信号的频率相同,且其相位依序差 90 度。

液晶显示面板

技术领域

[0001] 本发明涉及一种液晶显示面板,特别涉及一种整合栅驱动电路的液晶显示面板。

背景技术

[0002] 一般来说,液晶显示面板上包括多条栅极线 (gate line) 连接至栅驱动器 (gate driver),以及多条数据线 (data line) 连接至数据驱动器 (data driver),或称为源驱动器 (source driver)。为了要有效地缩减数据线的数目,并且降低制作成本。因此,一种具有三向栅极 (Tri-gate) 像素 (pixel) 排列的液晶显示面板被提出。亦即,每个像素中红、绿、蓝 (R、G、B) 子像素 (sub-pixel) 的排列是延着数据线的方向排列,如此呈现一个完整的显示画面,需要原来 3 倍的栅驱动器数目,但可以搭配将栅驱动器整合在液晶显示面板上,因此可以降低整体制作成本。

[0003] 请参照图 1A,其所绘示为公知液晶显示面板示意图。其揭示于美国专利公开号 US2007/0091044,其为一种三向栅极像素排列的液晶显示面板,包括一数据驱动器与栅驱动器以及一像素阵列。其中,数据驱动器包括多个数据驱动芯片 (data driver IC) 141、142,并连接至 m 条数据线 ($D1 \sim Dm$);栅驱动器连接至 $3n$ 条栅极线,其包括第一栅驱动芯片 150L 连接至奇数的栅极线与第二栅驱动芯片 150R 连接至偶数的栅极线。

[0004] 以像素 PX11 为例,其包括三个子像素,分别为第一栅极线 G1、第二栅极线 G2、与第三栅极线 G3 上的栅脉冲 (gate pulse) 所控制。

[0005] 再者,为了让液晶显示面板的画面有比较好的显示品质,并降低面板整体功率消耗,数据线的驱动方式是使用行反转 (column inversion) 的方式来驱动,亦即在同一时间相邻两条数据线的驱动极性是相反的。由于液晶显示面板上会接收一个共同电压电平 (V_{com}),所以当数据线上的电压值大于共同电压电平时即为正极性 (+),当数据线上的电压值小于共同电压电平时即为负极性 (-)。

[0006] 图 1A 液晶显示面板中子像素的排列方式,在显示某些规则性画面时候,会因为数据线同时由低电压电平往高电压电平变化,或同时由高电压电平往低电压电平变化,导致共同电压电平 (V_{com}) 受到耦合效应而偏离原来的电平,因而影响到写入子像素的电压电平,导致画面显示异常。

[0007] 请参照图 1B,其所绘示为图 1A 的液晶显示面板上显示亮暗交错的垂直条纹时的数据线上的信号变化示意图。其中,共同电压电平 (V_{com}) 为 4V 并且在显示的画面上偶数数据线为负极性、奇数数据线为正极性。再者,当数据线上的电压为共同电压电平 (V_{com}) 时,子像素为全亮状态;反之,当数据线上的电压为 0V 或者 8V,则子像素为全暗状态。

[0008] 很明显地,在使用行反转 (column inversion) 的方式来驱动的液晶显示面板上显示亮暗交错的垂直条纹,偶数的数据线,例如第二数据线 D2、第四数据线 D4,必须根据栅极线上的栅脉冲 ($G1 \sim G12$) 依序在 4V 与 0V 之间变化。同理,奇数的数据线,例如第三数据线 D3、第五数据线 D5,必须根据栅极线上的栅脉冲 ($G1 \sim G12$) 依序在 8V 与 4V 之间变化。如此,即可在画面上呈现亮暗交错的垂直条纹。

[0009] 然而,由图 1B 可知,当数据线上的电压在转态 (transition) 时皆是同时由低电压电平往高电压电平变化,或同时由高电压电平往低电压电平变化。因此,造成共同电压电平 (V_{com}) 受到耦合效应而偏离原来的电平,因而影响到写入子像素的电压电平,导致画面显示异常。

[0010] 请参照图 2A 与图 2B,其所绘示为公知栅驱动器及其相关信号示意图。栅驱动器 410 包括多个移位暂存单元 411 ~ 418,其中第一移位暂存器 411 至第四移位暂存器 414 个别接收四个时脉信号 ($C1 \sim C4$) 并可产生四个栅脉冲 $g1 \sim g4$ 至显示区域 420 的第一栅极线 $G1$ 至第四栅极线 $G4$ 。详细说明如下。

[0011] 第一移位暂存器 411 与第二移位暂存器 412 接收起始信号 ST 后,即根据第一时脉信号 $C1$ 与第二时脉信号 $C2$ 来产生第一栅脉冲 $g1$ 与第二栅脉冲 $g2$ 至第一栅极线 $G1$ 与第二栅极线 $G2$ 。同理,第一移位暂存器 411 会通知第三移位暂存器 413 根据第三时脉信号 $C3$ 产生第三栅脉冲 $g3$ 至第三栅极线 $G3$,第二移位暂存器 412 会通知第四移位暂存器 414 根据第四时脉信号 $C4$ 产生第四栅脉冲 $g4$ 至第四栅极线 $G4$ 。而第五移位暂存器 415 至第八移位暂存器 418 及其后续移位暂存器的连接关系与上述相同,不再赘述。其中,四个时脉信号 ($C1 \sim C4$) 的频率相同,且彼此之间的相位相差为 90 度。

[0012] 如图 2B 所示,以第一栅脉冲 $g1$ 为例,其被区分为前半部的预充电时间 (pre-charge time) $t1$,后半部的数据写入时间 (data writing time) $t2$ 。同理,所有的栅脉冲皆会包括一预充电时间与一数据写入时间。而此操作方式会让子像素上下相邻两条的栅极线输出的栅脉冲之间有一个数据写入时间 ($t2$) 会重叠,因此当该笔数据写入的同时,邻近的栅极线会透过子像素和栅极线之间的寄生电容而影响到子像素的电压,如此会让显示画面异常。

发明内容

[0013] 本发明的目的是提出一种液晶显示面板,经由改变像素阵列中的排列方式,并利用行反转 (column inversion) 驱动方式,将会维持共同电压电平 (V_{com}) 的稳定。再者,经由配线区域的连线处理,使得子像素上下相邻两条的栅极线输出的栅脉冲之间不会互相重叠,因此可维持正常的显示画面。

[0014] 本发明提出一种液晶显示面板,包括多个基本排列单位,其中每一该基本排列包括:一第一列包括四个第一颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线,一第一端连接至第 $(4y+1)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+1)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+1)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第四子像素的一存储单元;一第二列包括四个第二颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制

端连接至第 $(6x+2)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+5)$ 数据线,一第二端连接至该第四子像素的一存储单元;一第三列包括四个第三颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+1)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+3)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第四子像素的一存储单元;一第四列包括四个该第一颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+4)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+5)$ 数据线,一第二端连接至该第四子像素的一存储单元;一第五列包括四个该第二颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+1)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+5)$ 栅极线,一第一端连接至第 $(4y+4)$ 数据线,一第二端连接至该第四子像素的一存储单元;以及,一第六列包括四个该第三颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+7)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+6)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第 $(6x+7)$ 栅极线,一第一端连接至第 $(4y+5)$ 数据线,一第二端连接至该第四子像素的一存储单元;其中, x 、 Y 为大于等于 0 的正整数。

[0015] 本发明更提出一种液晶显示面板,包括多个基本排列单位,其中每一该基本排列包括:一第一列包括四个第一颜色子像素,一第一子像素的一开关元件的一控制端连接至第 $(6x+1)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第一子像素的一存储单元;一第二子像素的一开关元件的一控制端连接至第 $(6x+2)$ 栅极线,一第一端连接至第 $(4y+2)$ 数据线,一第二端连接至该第二子像素的一存储单元;一第三子像素的一开关元件的一控制端连接至第 $(6x+1)$ 栅极线,一第一端连接至第 $(4y+3)$ 数据线,一第二端连接至该第三子像素的一存储单元;一第四子像素的一开关元件的一控制端连接至第

($6x+2$) 栅极线, 一第一端连接至第 ($4y+5$) 数据线, 一第二端连接至该第四子像素的一存储单元; 一第二列包括四个第二颜色子像素, 一第一子像素的一开关元件的一控制端连接至第 ($6x+3$) 栅极线, 一第一端连接至第 ($4y+1$) 数据线, 一第二端连接至该第一子像素的一存储单元; 一第二子像素的一开关元件的一控制端连接至第 ($6x+2$) 栅极线, 一第一端连接至第 ($4y+3$) 数据线, 一第二端连接至该第二子像素的一存储单元; 一第三子像素的一开关元件的一控制端连接至第 ($6x+3$) 栅极线, 一第一端连接至第 ($4y+4$) 数据线, 一第二端连接至该第三子像素的一存储单元; 一第四子像素的一开关元件的一控制端连接至第 ($6x+2$) 栅极线, 一第一端连接至第 ($4y+4$) 数据线, 一第二端连接至该第四子像素的一存储单元; 一第三列包括四个第三颜色子像素, 一第一子像素的一开关元件的一控制端连接至第 ($6x+3$) 栅极线, 一第一端连接至第 ($4y+2$) 数据线, 一第二端连接至该第一子像素的一存储单元; 一第二子像素的一开关元件的一控制端连接至第 ($6x+4$) 栅极线, 一第一端连接至第 ($4y+2$) 数据线, 一第二端连接至该第二子像素的一存储单元; 一第三子像素的一开关元件的一控制端连接至第 ($6x+3$) 栅极线, 一第一端连接至第 ($4y+3$) 数据线, 一第二端连接至该第三子像素的一存储单元; 一第四子像素的一开关元件的一控制端连接至第 ($6x+4$) 栅极线, 一第一端连接至第 ($4y+5$) 数据线, 一第二端连接至该第四子像素的一存储单元; 一第四列包括四个该第一颜色子像素, 一第一子像素的一开关元件的一控制端连接至第 ($6x+5$) 栅极线, 一第一端连接至第 ($4y+1$) 数据线, 一第二端连接至该第一子像素的一存储单元; 一第二子像素的一开关元件的一控制端连接至第 ($6x+4$) 栅极线, 一第一端连接至第 ($4y+3$) 数据线, 一第二端连接至该第二子像素的一存储单元; 一第三子像素的一开关元件的一控制端连接至第 ($6x+5$) 栅极线, 一第一端连接至第 ($4y+4$) 数据线, 一第二端连接至该第三子像素的一存储单元; 一第四子像素的一开关元件的一控制端连接至第 ($6x+4$) 栅极线, 一第一端连接至第 ($4y+4$) 数据线, 一第二端连接至该第四子像素的一存储单元; 一第五列包括四个该第二颜色子像素, 一第一子像素的一开关元件的一控制端连接至第 ($6x+5$) 栅极线, 一第一端连接至第 ($4y+2$) 数据线, 一第二端连接至该第一子像素的一存储单元; 一第二子像素的一开关元件的一控制端连接至第 ($6x+6$) 栅极线, 一第一端连接至第 ($4y+2$) 数据线, 一第二端连接至该第二子像素的一存储单元; 一第三子像素的一开关元件的一控制端连接至第 ($6x+5$) 栅极线, 一第一端连接至第 ($4y+3$) 数据线, 一第二端连接至该第三子像素的一存储单元; 一第四子像素的一开关元件的一控制端连接至第 ($6x+6$) 栅极线, 一第一端连接至第 ($4y+5$) 数据线, 一第二端连接至该第四子像素的一存储单元; 以及, 一第六列包括四个该第三颜色子像素, 一第一子像素的一开关元件的一控制端连接至第 ($6x+7$) 栅极线, 一第一端连接至第 ($4y+1$) 数据线, 一第二端连接至该第一子像素的一存储单元; 一第二子像素的一开关元件的一控制端连接至第 ($6x+6$) 栅极线, 一第一端连接至第 ($4y+3$) 数据线, 一第二端连接至该第二子像素的一存储单元; 一第三子像素的一开关元件的一控制端连接至第 ($6x+7$) 栅极线, 一第一端连接至第 ($4y+4$) 数据线, 一第二端连接至该第三子像素的一存储单元; 一第四子像素的一开关元件的一控制端连接至第 ($6x+6$) 栅极线, 一第一端连接至第 ($4y+4$) 数据线, 一第二端连接至该第四子像素的一存储单元; 其中, x 、 y 为大于等于 0 的正整数。

[0016] 本发明更提出一种液晶显示面板, 包括: 一显示区域, 该显示区域有多条栅极线; 以及一栅驱动单元, 包括: 一栅驱动器, 具有一第 ($4z+1$) 移位暂存器、一第 ($4z+2$) 移位暂存

器、一第 $(4z+3)$ 移位暂存器、与一第 $(4z+4)$ 移位暂存器,其中,第 $(4z+1)$ 移位暂存器根据一第一时脉信号产生一第 $(4z+1)$ 栅脉冲,第 $(4z+2)$ 移位暂存器根据一第二时脉信号产生一第 $(4z+2)$ 栅脉冲,第 $(4z+3)$ 移位暂存器根据一第三时脉信号产生一第 $(4z+3)$ 栅脉冲,第 $(4z+4)$ 移位暂存器根据一第四时脉信号产生一第 $(4z+4)$ 栅脉冲;以及一配线区域,将该第 $(4z+1)$ 栅脉冲传送至第 $(4z+3)$ 栅极线,将该第 $(4z+2)$ 栅脉冲传送至第 $(4z+1)$ 栅极线,将第 $(4z+3)$ 栅脉冲传送至该第 $(4z+4)$ 栅极线,将第 $(4z+4)$ 栅脉冲传送至该第 $(4z+2)$ 栅极线;其中, z 为大于等于 0 的正整数,且该第一时脉信号、该第二时脉信号、该第三时脉信号、与该第四时脉信号的频率相同,且相位依序差 90 度。

[0017] 因此,本发明的优点是提出一种液晶显示面板,经由改变像素阵列中的排列方式,并利用行反转 (column inversion) 驱动方式,将会维持共同电压电平 (V_{com}) 的稳定。再者,经由配线区域的连线处理,使得子像素上下相邻两条的栅极线输出的栅脉冲之间不会互相重叠,因此可维持正常的显示画面。

[0018] 为让本发明的上述和其他目的、特征和优点能更明显易懂,下文特举优选实施例,并配合附图,作详细说明如下。

附图说明

[0019] 图 1A 所绘示为公知液晶显示面板示意图。

[0020] 图 1B 所绘示为图 1A 的液晶显示面板上显示亮暗交错的垂直条纹时的数据线上的信号变化示意图。

[0021] 图 2A 与图 2B 所绘示为公知栅驱动器及其相关信号示意图。

[0022] 图 3A 所绘示为本发明液晶显示面板的第一实施例。

[0023] 图 3B 所绘示为图 3A 的液晶显示面板上显示亮暗交错的垂直条纹时的数据线上的信号变化示意图。

[0024] 图 4A 所绘示为本发明液晶显示面板的第二实施例。

[0025] 图 4B 所绘示为图 4A 的液晶显示面板上显示亮暗交错的垂直条纹时的数据线上的信号变化示意图。

[0026] 图 5A 与图 5B 所绘示为本发明栅驱动单元第一实施例及其相关信号示意图。

[0027] 图 6A 与图 6B 所绘示为本发明栅驱动单元第二实施例及其相关信号示意图。

[0028] 其中,附图标记说明如下:

[0029]	141、142 数据驱动芯片	150L 第一栅驱动芯片
[0030]	150R 第二栅驱动芯片	410 栅驱动器
[0031]	411 第一移位暂存器	412 第二移位暂存器
[0032]	413 第三移位暂存器	414 第四移位暂存器
[0033]	415 第五移位暂存器	416 第六移位暂存器
[0034]	417 第七移位暂存器	418 第八移位暂存器
[0035]	420 显示区域	
[0036]	510 栅驱动单元	520 数据驱动器
[0037]	530 基本排列单元	
[0038]	610 栅驱动单元	620 数据驱动器

[0039]	630 基本排列单元	
[0040]	710 栅驱动单元	720 栅驱动器
[0041]	721 第一移位暂存器	722 第二移位暂存器
[0042]	723 第三移位暂存器	724 第四移位暂存器
[0043]	725 第五移位暂存器	726 第六移位暂存器
[0044]	727 第七移位暂存器	728 第八移位暂存器
[0045]	730 配线区域	740 显示区域
[0046]	810 栅驱动单元	820 栅驱动器
[0047]	821 第一移位暂存器	822 第二移位暂存器
[0048]	823 第三移位暂存器	824 第四移位暂存器
[0049]	825 第五移位暂存器	826 第六移位暂存器
[0050]	827 第七移位暂存器	828 第八移位暂存器
[0051]	830 配线区域	840 显示区域

具体实施方式

[0052] 请参照图 3A,其所绘示为本发明液晶显示面板的第一实施例。本发明为一种三向栅极像素排列的液晶显示面板,包括一数据驱动器 520 与栅驱动单元 510 以及一像素阵列。其中,数据驱动器 520 包括 m 条数据线 (D1 ~ Dm);栅驱动单元 510 连接至 3n 条栅极线。

[0053] 再者,数据线的驱动方式是使用行反转 (column inversion) 的方式来驱动,亦即在同一时间相邻两条数据线的驱动极性是相反的,因此第一数据线 D1 为正极性、第二数据线 D2 为负极性,并依此类推。液晶显示面板上会接收一个共同电压电平 (Vcom),当数据线上的电压值大于共同电压电平时即为正极性 (+),当数据线上的电压值小于共同电压电平时即为负极性 (-)。

[0054] 本发明第一实施例中的像素阵列,举例而言,以 6×4 个子像素为一个基本排列单位 530,其他像素阵列中的子像素排列方式皆是重复此基本排列单位。举例来说,图 3A 中的基本排列单位 530 连接至第一栅极线 G1 至第七栅极线 G7,第一数据线 D1 至第五数据线 D5。

[0055] 第一列包括四个红色子像素,其中,第一子像素的开关元件的控制端连接至第二栅极线 G2,第一端连接至第一数据线 D1,第二端连接至第一子像素的存储单元;第二子像素的开关元件的控制端连接至第一栅极线 G1,第一端连接至第三数据线 D3,第二端连接至第二子像素的存储单元;第三子像素的开关元件的控制端连接至第二栅极线 G2,第一端连接至第四数据线 D4,第二端连接至第三子像素的存储单元;第四子像素的开关元件的控制端连接至第一栅极线 G1,第一端连接至第四数据线 D4,第二端连接至第四子像素的存储单元。

[0056] 第二列包括四个绿色子像素,其中,第一子像素的开关元件的控制端连接至第二栅极线 G2,第一端连接至第二数据线 D2,第二端连接至第一子像素的存储单元;第二子像素的开关元件的控制端连接至第三栅极线 G3,第一端连接至第二数据线 D2,第二端连接至第二子像素的存储单元;第三子像素的开关元件的控制端连接至第二栅极线 G2,第一端连接至第三数据线 D3,第二端连接至第三子像素的存储单元;第四子像素的开关元件的控制

端连接至第三栅极线 G3, 第一端连接至第五数据线 D5, 第二端连接至第四子像素的存储单元。

[0057] 第三列包括四个蓝色子像素, 其中, 第一子像素的开关元件的控制端连接至第四栅极线 G4, 第一端连接至第一数据线 D1, 第二端连接至第一子像素的存储单元; 第二子像素的开关元件的控制端连接至第三栅极线 G3, 第一端连接至第三数据线 D3, 第二端连接至第二子像素的存储单元; 第三子像素的开关元件的控制端连接至第四栅极线 G4, 第一端连接至第四数据线 D4, 第二端连接至第三子像素的存储单元; 第四子像素的开关元件的控制端连接至第三栅极线 G3, 第一端连接至第四数据线 D4, 第二端连接至第四子像素的存储单元。

[0058] 第四列包括四个红色子像素, 其中, 第一子像素的开关元件的控制端连接至第四栅极线 G4, 第一端连接至第二数据线 D2, 第二端连接至第一子像素的存储单元; 第二子像素的开关元件的控制端连接至第五栅极线 G5, 第一端连接至第二数据线 D2, 第二端连接至第二子像素的存储单元; 第三子像素的开关元件的控制端连接至第四栅极线 G4, 第一端连接至第三数据线 D3, 第二端连接至第三子像素的存储单元; 第四子像素的开关元件的控制端连接至第五栅极线 G5, 第一端连接至第五数据线 D5, 第二端连接至第四子像素的存储单元。

[0059] 第五列包括四个绿色子像素, 其中, 第一子像素的开关元件的控制端连接至第六栅极线 G6, 第一端连接至第一数据线 D1, 第二端连接至第一子像素的存储单元; 第二子像素的开关元件的控制端连接至第五栅极线 G5, 第一端连接至第三数据线 D3, 第二端连接至第二子像素的存储单元; 第三子像素的开关元件的控制端连接至第六栅极线 G6, 第一端连接至第四数据线 D4, 第二端连接至第三子像素的存储单元; 第四子像素的开关元件的控制端连接至第五栅极线 G5, 第一端连接至第四数据线 D4, 第二端连接至第四子像素的存储单元。

[0060] 第六列包括四个蓝色子像素, 其中, 第一子像素的开关元件的控制端连接至第六栅极线 G6, 第一端连接至第二数据线 D2, 第二端连接至第一子像素的存储单元; 第二子像素的开关元件的控制端连接至第七栅极线 G7, 第一端连接至第二数据线 D2, 第二端连接至第二子像素的存储单元; 第三子像素的开关元件的控制端连接至第六栅极线 G6, 第一端连接至第三数据线 D3, 第二端连接至第三子像素的存储单元; 第四子像素的开关元件的控制端连接至第七栅极线 G7, 第一端连接至第五数据线 D5, 第二端连接至第四子像素的存储单元。

[0061] 上述的基本排列单位 530, 是以第一栅极线 G1 至第七栅极线 G7, 第一数据线 D1 至第五数据线 D5 为例来作说明。其可以扩展成为像素阵列中第 $(6x+1)$ 栅极线至第 $(6x+7)$ 栅极线, 第 $(4y+1)$ 数据线至第 $(4y+5)$ 数据线所包含的基本排列单位, 其中 x, y 可为大于等于 0 的正整数。

[0062] 亦即, 当 $x = y = 0$ 时, 即为描述基本排列单位 530。当 $x = 1, y = 0$ 时, 即是描述第七栅极线 G7 至第十三栅极线 G13, 第一数据线 D1 至第五数据线 D5 所包含的基本排列单位。

[0063] 根据图 3A 液晶显示面板中子像素的排列方式, 在显示规则性画面时候, 相邻的数据线上并不会同时出现由低电压电平往高电压电平变化, 或同时由高电压电平往低电压电

平变化。因此,共同电压电平 (V_{com}) 将不会受到耦合效应而偏离原来的电平,因此可以保持正常的显示画面。

[0064] 请参照图 3B,其所绘示为图 3A 的液晶显示面板上显示亮暗交错的垂直条纹时的数据线上的信号变化示意图。其中,共同电压电平 (V_{com}) 为 4V 并且在显示的画面上偶数数据线为负极性、奇数数据线为正极性。再者,当数据线上的电压为共同电压电平 (V_{com}) 时,子像素为全亮状态;反之,当数据线上的电压为 0V 或者 8V,则子像素为全暗状态。

[0065] 很明显地,在使用行反转 (column inversion) 的方式来驱动的液晶显示面板上显示亮暗交错的垂直条纹,偶数的数据线,例如第二数据线 D2、第四数据线 D4,必须根据栅极线上的栅脉冲 ($G1 \sim G12$) 依序在 4V 与 0V 之间变化。同理,奇数的数据线,例如第三数据线 D3、第五数据线 D5,必须根据栅极线上的栅脉冲 ($G1 \sim G12$) 依序在 8V 与 4V 之间变化。如此,即可在画面上呈现亮暗交错的垂直条纹。

[0066] 因此,由图 3B 可知,当偶数数据线由低电压电平往高电压电平变化时,奇数数据线由高电压电平往低电压电平变化;反之,当偶数数据线由高电压电平往低电压电平变化时,奇数数据线由低电压电平往高电压电平变化。因此,可以确定共同电压电平 (V_{com}) 将不会受到耦合效应而偏离原来的电平,因此可以保持正常的显示画面。

[0067] 请参照图 4A,其所绘示为本发明液晶显示面板的第二实施例。本发明为一种三向栅极像素排列的液晶显示面板,包括一数据驱动器 620 与栅驱动单元 610 以及一像素阵列。其中,数据驱动器 620 包括 m 条数据线 ($D1 \sim Dm$);栅驱动单元 610 连接至 $3n$ 条栅极线。

[0068] 再者,数据线的驱动方式是使用行反转 (column inversion) 的方式来驱动,亦即在同一时间相邻两条数据线的驱动极性是相反的,因此第一数据线 D1 为正极性、第二数据线 D2 为负极性,并依此类推。由于液晶显示面板上会接收一个共同电压电平 (V_{com}),所以当数据线上的电压值大于共同电压电平时即为正极性 (+),当数据线上的电压值小于共同电压电平时即为负极性 (-)。

[0069] 本发明第二实施例中的像素阵列是以 6×4 个子像素为一个基本排列单位 630,其他像素阵列中的子像素排列方式皆是重复此基本排列单位。举例来说,图 6A 中的基本排列单位 630 连接至第一栅极线 $G1$ 至第七栅极线 $G7$,第一数据线 $D1$ 至第五数据线 $D5$ 。

[0070] 第一列包括四个红色子像素,其中,第一子像素的开关元件的控制端连接至第一栅极线 $G1$,第一端连接至第二数据线 $D2$,第二端连接至第一子像素的存储单元;第二子像素的开关元件的控制端连接至第二栅极线 $G2$,第一端连接至第二数据线 $D2$,第二端连接至第二子像素的存储单元;第三子像素的开关元件的控制端连接至第一栅极线 $G1$,第一端连接至第三数据线 $D3$,第二端连接至第三子像素的存储单元;第四子像素的开关元件的控制端连接至第二栅极线 $G2$,第一端连接至第五数据线 $D5$,第二端连接至第四子像素的存储单元。

[0071] 第二列包括四个绿色子像素,其中,第一子像素的开关元件的控制端连接至第三栅极线 $G3$,第一端连接至第一数据线 $D1$,第二端连接至第一子像素的存储单元;第二子像素的开关元件的控制端连接至第二栅极线 $G2$,第一端连接至第三数据线 $D3$,第二端连接至第二子像素的存储单元;第三子像素的开关元件的控制端连接至第三栅极线 $G3$,第一端连接至第四数据线 $D4$,第二端连接至第三子像素的存储单元;第四子像素的开关元件的控制端连接至第二栅极线 $G2$,第一端连接至第四数据线 $D4$,第二端连接至第四子像素的存储单元。

元。

[0072] 第三列包括四个蓝色子像素,其中,第一子像素的开关元件的控制端连接至第三栅极线 G3,第一端连接至第二数据线 D2,第二端连接至第一子像素的存储单元;第二子像素的开关元件的控制端连接至第四栅极线 G4,第一端连接至第二数据线 D2,第二端连接至第二子像素的存储单元;第三子像素的开关元件的控制端连接至第三栅极线 G3,第一端连接至第三数据线 D3,第二端连接至第三子像素的存储单元;第四子像素的开关元件的控制端连接至第四栅极线 G4,第一端连接至第五数据线 D5,第二端连接至第四子像素的存储单元。

[0073] 第四列包括四个红色子像素,其中,第一子像素的开关元件的控制端连接至第五栅极线 G5,第一端连接至第一数据线 D1,第二端连接至第一子像素的存储单元;第二子像素的开关元件的控制端连接至第四栅极线 G4,第一端连接至第三数据线 D3,第二端连接至第二子像素的存储单元;第三子像素的开关元件的控制端连接至第五栅极线 G5,第一端连接至第四数据线 D4,第二端连接至第三子像素的存储单元;第四子像素的开关元件的控制端连接至第四栅极线 G4,第一端连接至第四数据线 D4,第二端连接至第四子像素的存储单元。

[0074] 第五列包括四个绿色子像素,其中,第一子像素的开关元件的控制端连接至第五栅极线 G5,第一端连接至第二数据线 D2,第二端连接至第一子像素的存储单元;第二子像素的开关元件的控制端连接至第六栅极线 G6,第一端连接至第二数据线 D2,第二端连接至第二子像素的存储单元;第三子像素的开关元件的控制端连接至第五栅极线 G5,第一端连接至第三数据线 D3,第二端连接至第三子像素的存储单元;第四子像素的开关元件的控制端连接至第六栅极线 G6,第一端连接至第五数据线 D5,第二端连接至第四子像素的存储单元。

[0075] 第六列包括四个蓝色子像素,其中,第一子像素的开关元件的控制端连接至第七栅极线 G7,第一端连接至第一数据线 D1,第二端连接至第一子像素的存储单元;第二子像素的开关元件的控制端连接至第六栅极线 G6,第一端连接至第三数据线 D3,第二端连接至第二子像素的存储单元;第三子像素的开关元件的控制端连接至第七栅极线 G7,第一端连接至第四数据线 D4,第二端连接至第三子像素的存储单元;第四子像素的开关元件的控制端连接至第六栅极线 G6,第一端连接至第四数据线 D4,第二端连接至第四子像素的存储单元。

[0076] 上述的基本排列单位 630,是以第一栅极线 G1 至第七栅极线 G7,第一数据线 D1 至第五数据线 D5 为例来作说明。其可以扩展成为像素阵列中第 $(6x+1)$ 栅极线至第 $(6x+7)$ 栅极线 G5,第 $(4y+1)$ 数据线至第 $(4y+5)$ 数据线所包含的基本排列单位,其中 x 、 y 可为大于等于 0 的正整数。

[0077] 亦即,当 $x = y = 0$ 时,即为描述基本排列单位 530。当 $x = 1$ 、 $y = 0$ 时,即是描述第七栅极线 G7 至第十三栅极线 G13,第一数据线 D1 至第五数据线 D5 所包含的基本排列单位。

[0078] 根据图 4A 液晶显示面板中子像素的排列方式,在显示规则性画面时候,相邻的数据线上并不会同时出现由低电压电平往高电压电平变化,或同时由高电压电平往低电压电平变化。因此,共同电压电平 (V_{com}) 将不会受到耦合效应而偏离原来的电平,因此可以保

持正常的显示画面。

[0079] 请参照图 4B, 其所绘示为图 4A 的液晶显示面板上显示亮暗交错的垂直条纹时的数据线上的信号变化示意图。其中, 共同电压电平 (V_{com}) 为 4V 并且在显示的画面偶数数据线为负极性、奇数数据线为正极性。再者, 当数据线上的电压为共同电压电平 (V_{com}) 时, 子像素为全亮状态; 反之, 当数据线上的电压为 0V 或者 8V, 则子像素为全暗状态。

[0080] 很明显地, 在使用行反转 (column inversion) 的方式来驱动的液晶显示面板上显示亮暗交错的垂直条纹, 偶数的数据线, 例如第二数据线 D2、第四数据线 D4, 必须根据栅极线上的栅脉冲 ($G1 \sim G12$) 依序在 4V 与 0V 之间变化。同理, 奇数的数据线, 例如第三数据线 D3、第五数据线 D5, 必须根据栅极线上的栅脉冲 ($G1 \sim G12$) 依序在 8V 与 4V 之间变化。如此, 即可在画面上呈现亮暗交错的垂直条纹。

[0081] 因此, 由图 4B 可知, 当偶数数据线由低电压电平往高电压电平变化时, 奇数数据线由高电压电平往低电压电平变化; 反之, 当偶数数据线由高电压电平往低电压电平变化时, 奇数数据线由低电压电平往高电压电平变化。因此, 可以确定共同电压电平 (V_{com}) 将不会受到耦合效应而偏离原来的电平, 因此可以保持正常的显示画面。

[0082] 再者, 本发明更提一种栅驱动器设计并且配合液晶显示面板上的跳线处理, 使得画面显示品质有效地改善。也就是说, 利用本发明的栅驱动单元, 显示区域内相邻两条栅极线输出不会重叠, 因此子像素电压不会受到邻近栅极线的影响, 让画面有良好显示品质。

[0083] 请参照图 5A 与图 5B, 其所绘示为本发明栅驱动单元第一实施例及其相关信号示意图。栅驱动单元 710 包括一栅驱动器 720 与一配线区域 730。其中, 栅驱动器 720 包括多个移位暂存单元 721 $\sim$ 728, 其中第一移位暂存器 721 至第四移位暂存器 724 个别接收四个时脉信号 ($C1 \sim C4$) 并可产生四个栅脉冲 $g1 \sim g4$ 。再者, 显示区域 740 上有多条栅极线 $G1 \sim G8$ 。根据本发明的实施例, 于配线区域 730 中将第一栅脉冲 $g1$ 传递至第三栅极线 $G3$, 将第二栅脉冲 $g2$ 传递至第一栅极线 $G1$, 将第三栅脉冲 $g3$ 传递至第四栅极线 $G4$, 将第四栅脉冲 $g4$ 传递至第二栅极线 $G2$ 。同理, 第五移位暂存器 725 至第八移位暂存器 728 及其后续移位暂存器的布线方式与上述相同, 不再赘述。

[0084] 其中, 第一移位暂存器 721 与第二移位暂存器 722 接收起始信号 ST 后, 即根据第一时脉信号 $C1$ 与第二时脉信号 $C2$ 来产生第一栅脉冲 $g1$ 与第二栅脉冲 $g2$, 经由配线传递至第一栅极线 $G1$ 与第三栅极线 $G3$ 。同理, 第一移位暂存器 721 会通知第三移位暂存器 723 根据第三时脉信号 $C3$ 产生第三栅脉冲 $g3$, 经由配线传递至第四栅极线 $G4$, 第二移位暂存器 722 会通知第四移位暂存器 724 根据第四时脉信号 $C4$ 产生第四栅脉冲 $g4$, 经由配线传递至第二栅极线 $G2$ 。其中, 四个时脉信号 ($C1 \sim C4$) 的频率相同, 且彼此之间的相位相差为 90 度。

[0085] 如图 5B 所示, 经由配线区域 730 的处理, 第一栅极线 $G1$ 上的栅脉冲 ($g2$) 与第二栅极线 $G2$ 上的栅脉冲 ($g4$) 不会互相重叠。同理, 第三栅极线 $G3$ 上的栅脉冲 ($g1$) 与第四栅极线 $G4$ 上的栅脉冲 ($g3$) 不会互相重叠。亦即, 子像素上下相邻两条的栅极线输出的栅脉冲之间不会互相重叠, 因此可维持正常的显示画面。

[0086] 也就是说, 栅驱动器可扩展成为具有一第 $(4z+1)$ 移位暂存器、一第 $(4z+2)$ 移位暂存器、一第 $(4z+3)$ 移位暂存器、与一第 $(4z+4)$ 移位暂存器, 其中, 第 $(4z+1)$ 移位暂存器根据一第一时脉信号产生一第 $(4z+1)$ 栅脉冲, 第 $(4z+2)$ 移位暂存器根据一第二时脉信号

产生一第 $(4z+2)$ 栅脉冲,第 $(4z+3)$ 移位暂存器根据一第三时脉信号产生一第 $(4z+3)$ 栅脉冲,第 $(4z+4)$ 移位暂存器根据一第四时脉信号产生一第 $(4z+4)$ 栅脉冲;以及一配线区域,将该第 $(4z+1)$ 栅脉冲传送至第 $(4z+3)$ 栅极线,将该第 $(4z+2)$ 栅脉冲传送至第 $(4z+1)$ 栅极线,将第 $(4z+3)$ 栅脉冲传送至该第 $(4z+4)$ 栅极线,将第 $(4z+4)$ 栅脉冲传送至该第 $(4z+2)$ 栅极线;其中, z 为大于等于 0 的正整数。

[0087] 请参照图 6A 与图 6B,其所绘示为本发明栅驱动单元第二实施例及其相关信号示意图。栅驱动单元 810 包括一栅驱动器 820 与一配线区域 830。其中,栅驱动器 820 包括多个移位暂存单元 821 ~ 828,其中第一移位暂存器 821 至第四移位暂存器 824 个别接收四个时脉信号 ($C1 \sim C4$) 并可产生四个栅脉冲 $g1 \sim g4$ 。再者,显示区域 840 上有多条栅极线 $G1 \sim G8$ 。根据本发明的实施例,于配线区域 830 中将第一栅脉冲 $g1$ 传递至第三栅极线 $G3$,将第二栅脉冲 $g2$ 传递至第一栅极线 $G1$,将第三栅脉冲 $g3$ 传递至第四栅极线 $G4$,将第四栅脉冲 $g4$ 传递至第二栅极线 $G2$ 。同理,第五移位暂存器 825 至第八移位暂存器 828 及其后续移位暂存器的布线方式与上述相同,不再赘述。

[0088] 其中,第一移位暂存器 821 与第二移位暂存器 822 接收起始信号 ST 后,即根据第一时脉信号 $C1$ 与第二时脉信号 $C2$ 来产生第一栅脉冲 $g1$ 与第二栅脉冲 $g2$,经由配线传递至第一栅极线 $G1$ 与第三栅极线 $G3$ 。同理,第一移位暂存器 821 会通知第三移位暂存器 823 根据第三时脉信号 $C3$ 产生第三栅脉冲 $g3$,经由配线传递至第四栅极线 $G4$,第二移位暂存器 822 会通知第四移位暂存器 824 根据第四时脉信号 $C4$ 产生第四栅脉冲 $g4$,经由配线传递至第二栅极线 $G2$ 。其中,四个时脉信号 ($C1 \sim C4$) 的频率相同,且彼此之间的相位相差为 90 度。

[0089] 如图 6B 所示,经由配线区域 830 的处理,第一栅极线 $G1$ 上的栅脉冲 ($g2$) 与第二栅极线 $G2$ 上的栅脉冲 ($g4$) 不会互相重叠。同理,第三栅极线 $G3$ 上的栅脉冲 ($g1$) 与第四栅极线 $G4$ 上的栅脉冲 ($g3$) 不会互相重叠。亦即,子像素上下相邻两条的栅极线输出的栅脉冲之间不会互相重叠,因此可维持正常的显示画面。

[0090] 因此,本发明的优点是提出一种液晶显示面板,经由改变像素阵列中的排列方式,并利用行反转 (column inversion) 驱动方式,将会维持共同电压电平 (V_{com}) 的稳定。再者,经由配线区域的连线处理,使得子像素上下相邻两条的栅极线输出的栅脉冲之间不会互相重叠,因此可维持正常的显示画面。

[0091] 虽然本发明已以优选实施例揭示如上,然而其并非用以限定本发明,任何本领域技术人员,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,因此本发明的保护范围当视随附的权利要求所界定的范围为准。

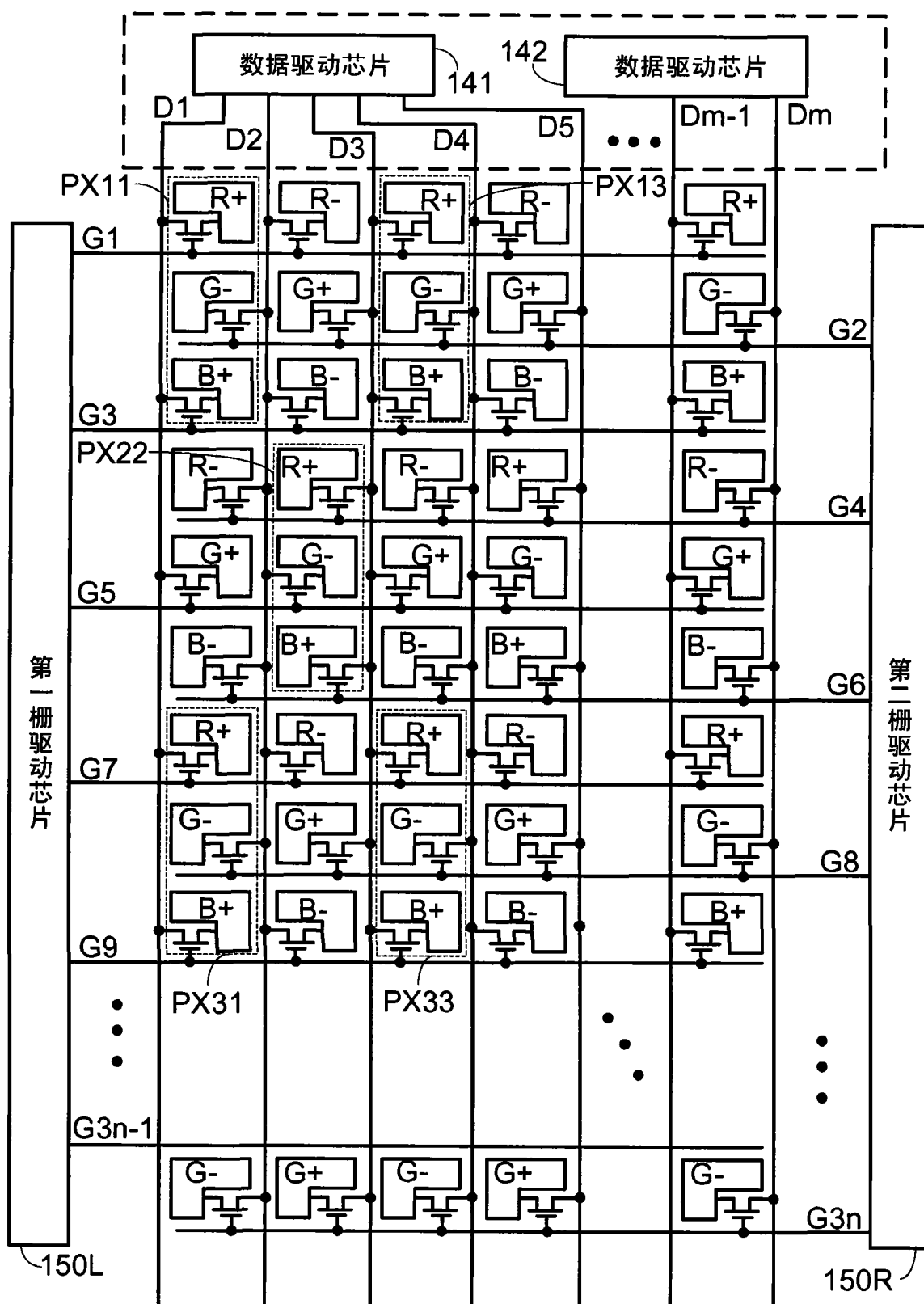


图 1A

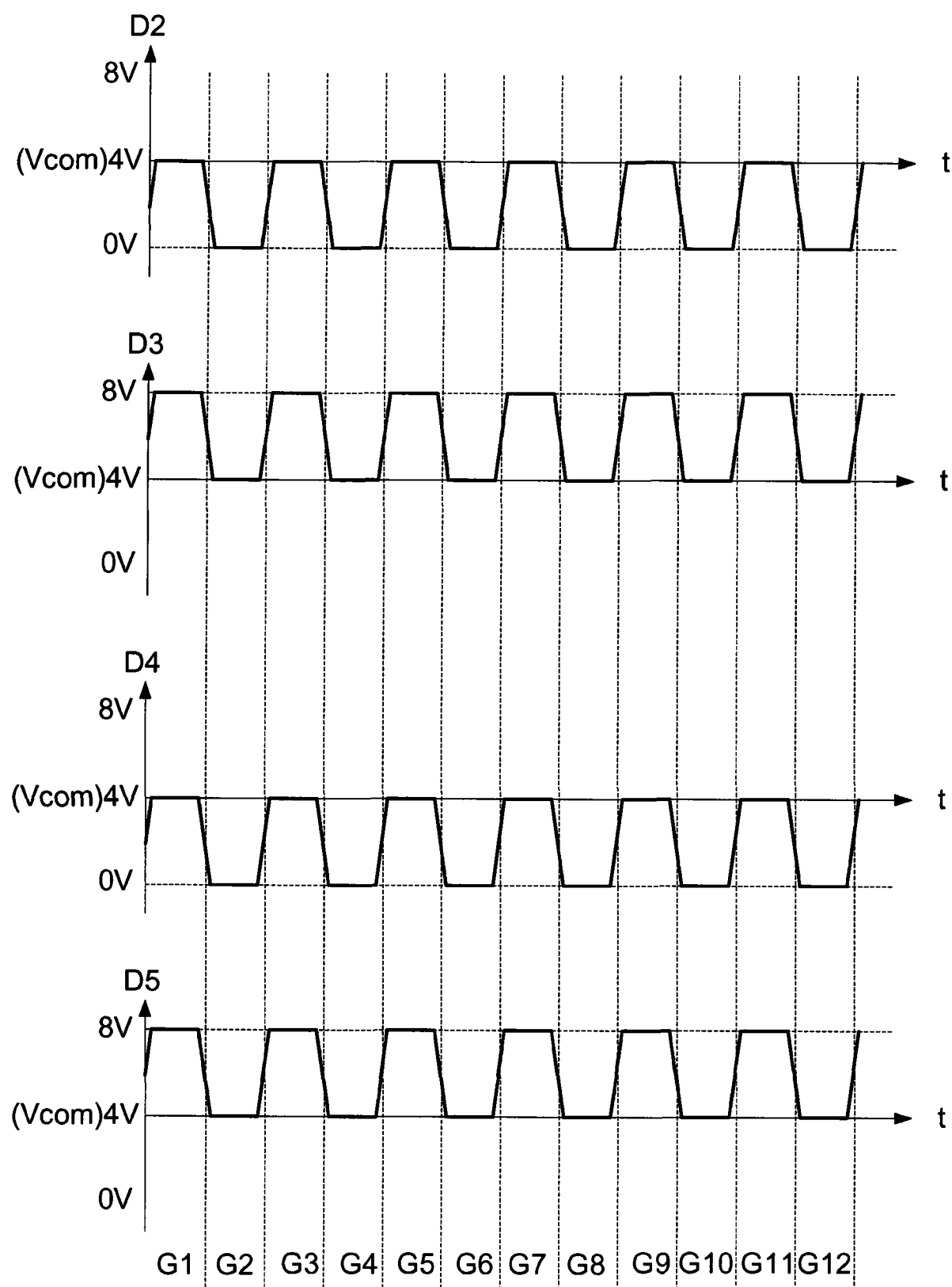


图 1B

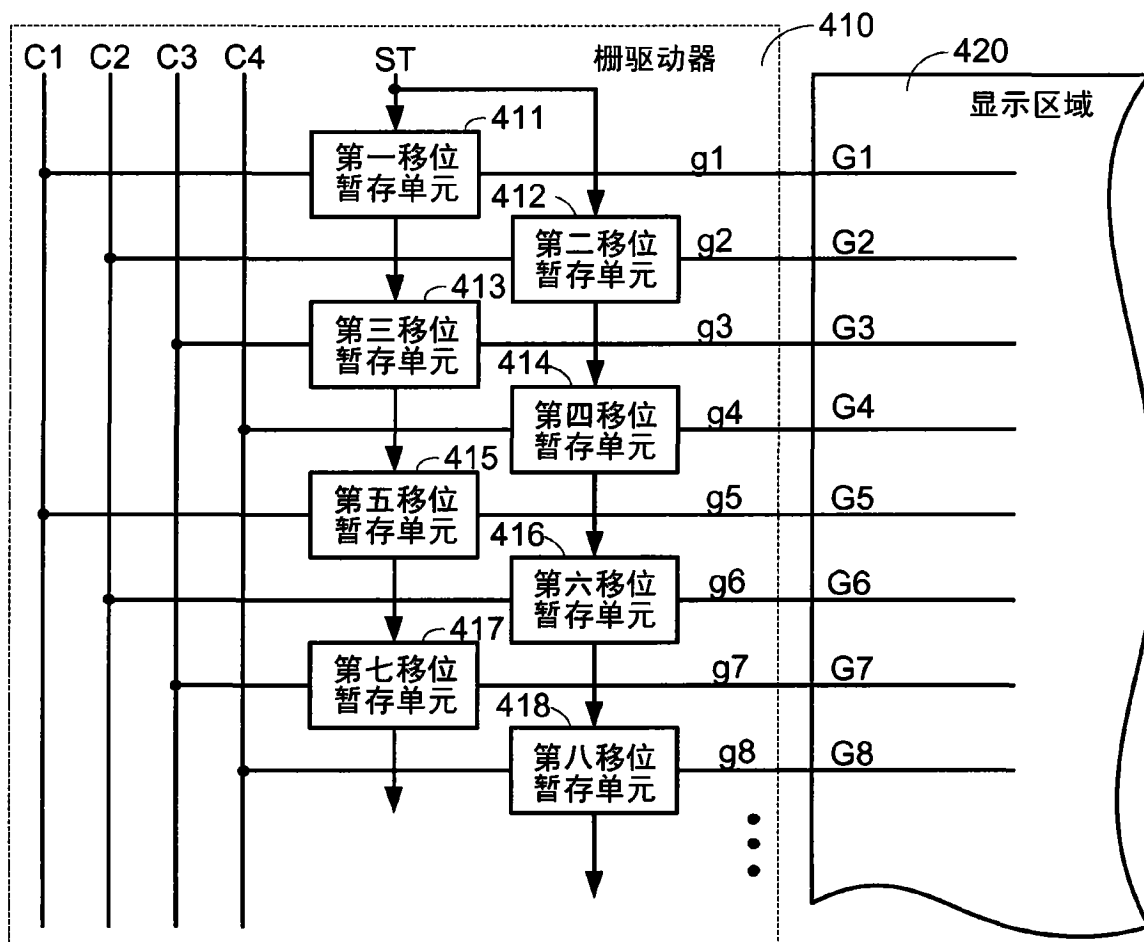


图 2A

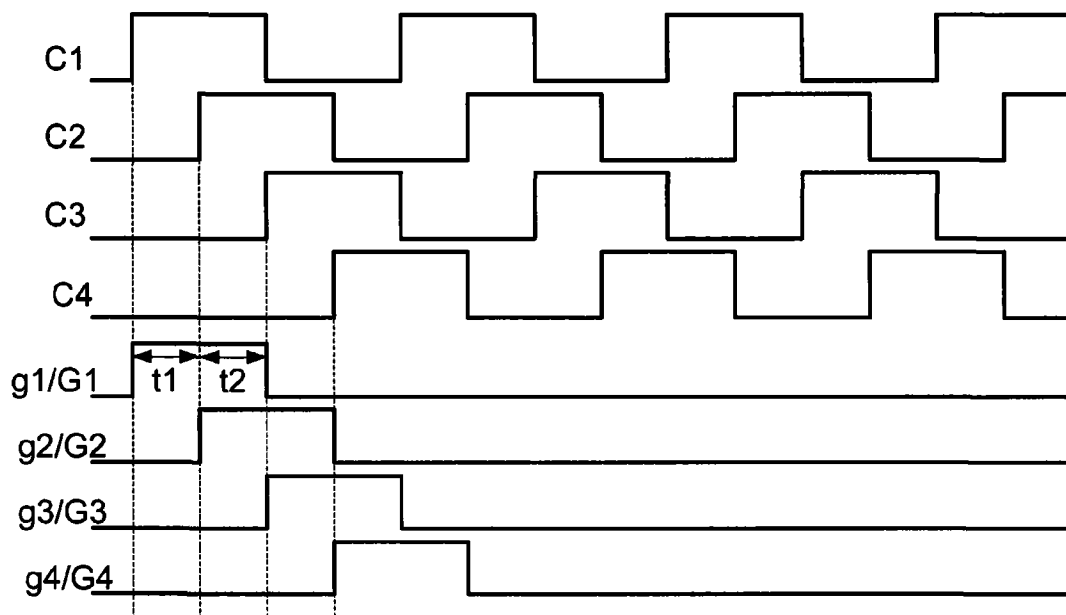


图 2B

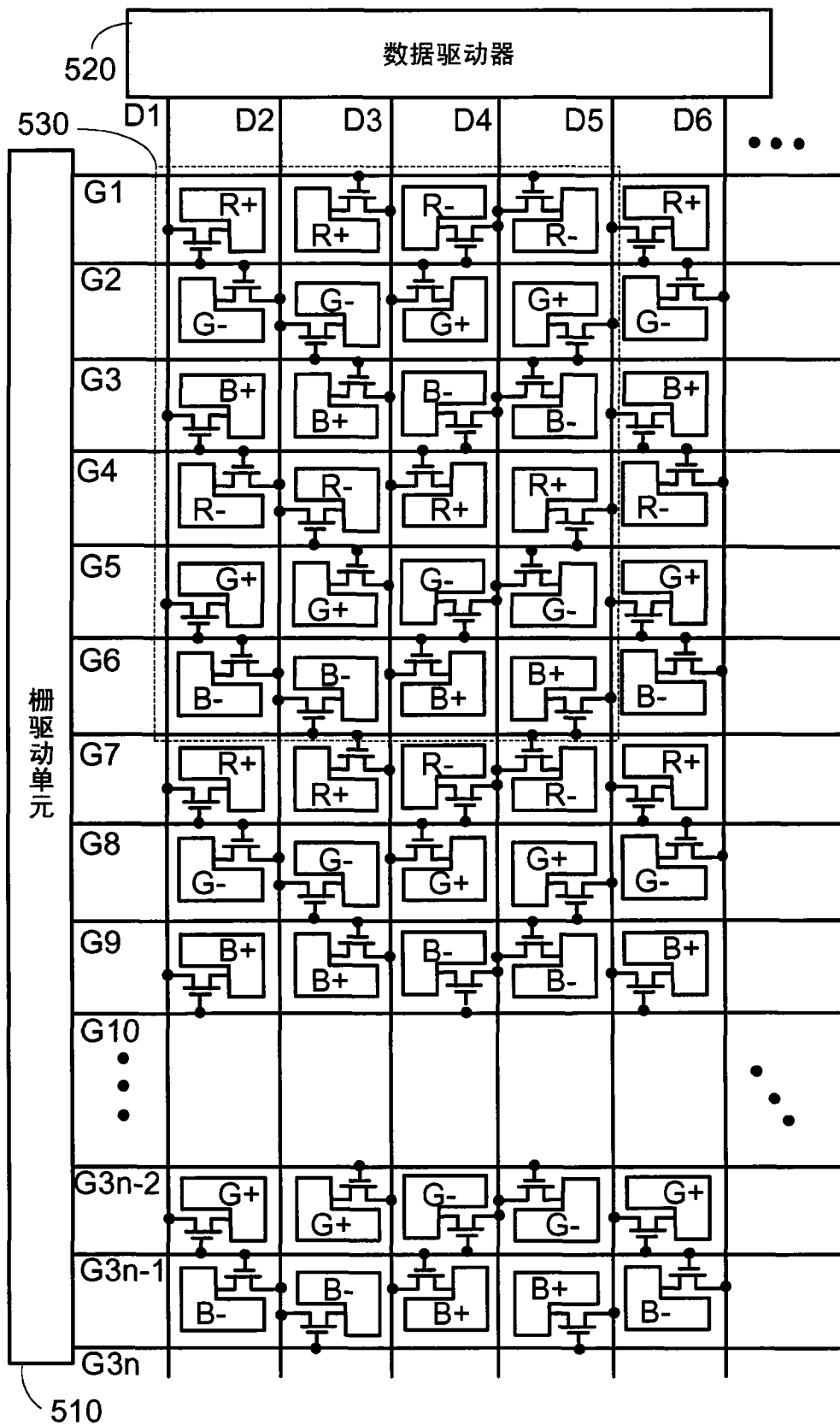


图 3A

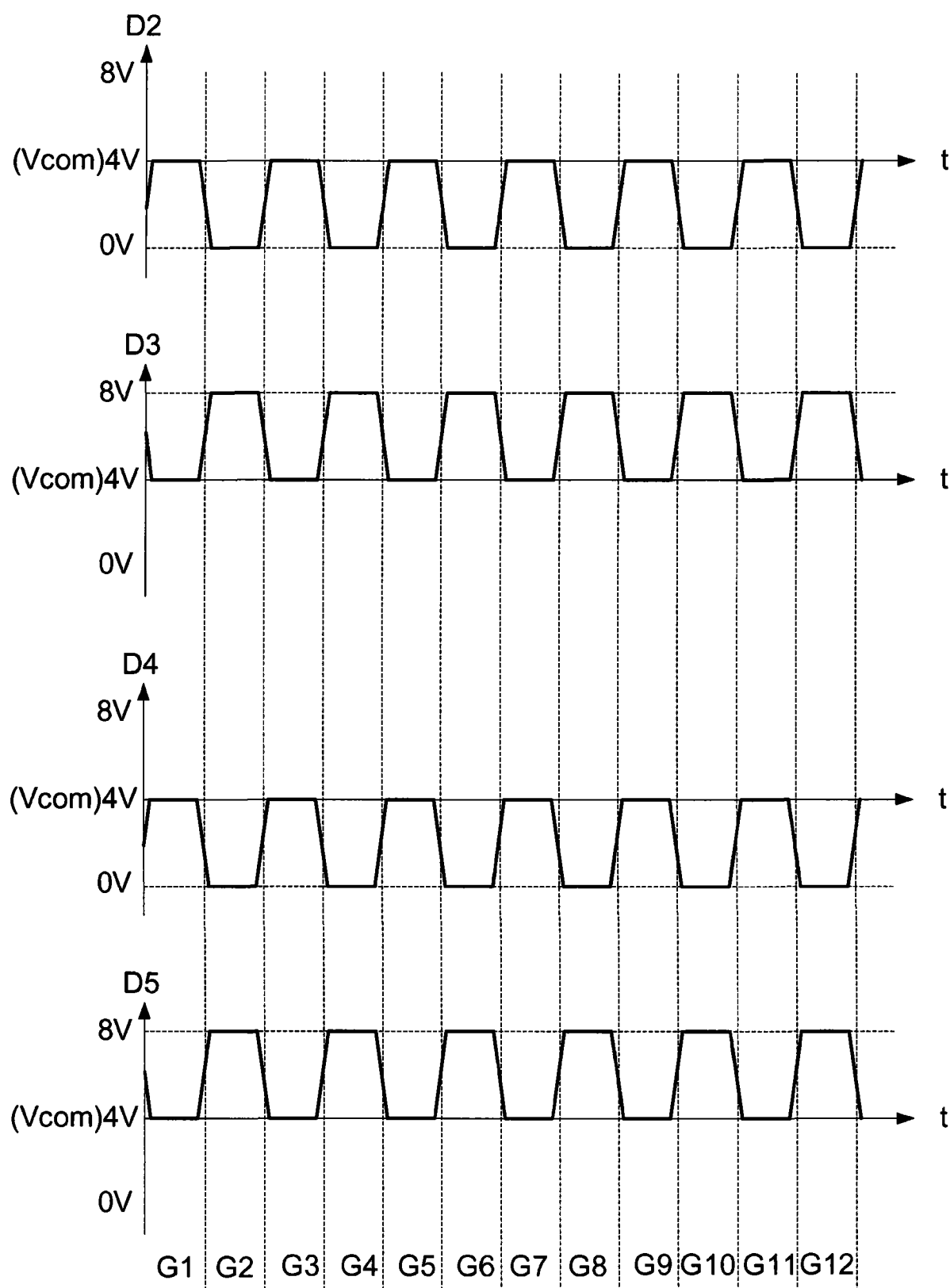


图 3B

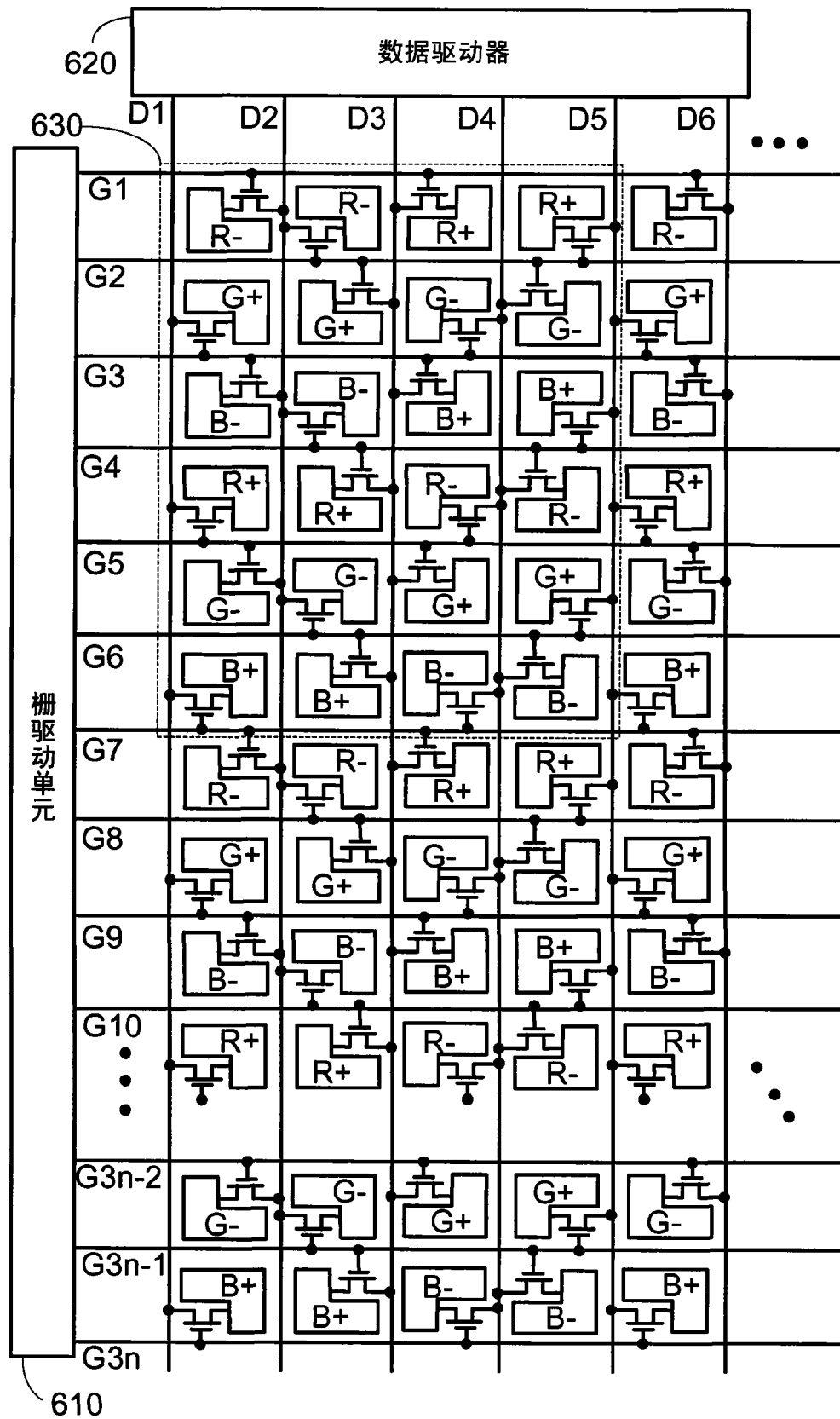


图 4A

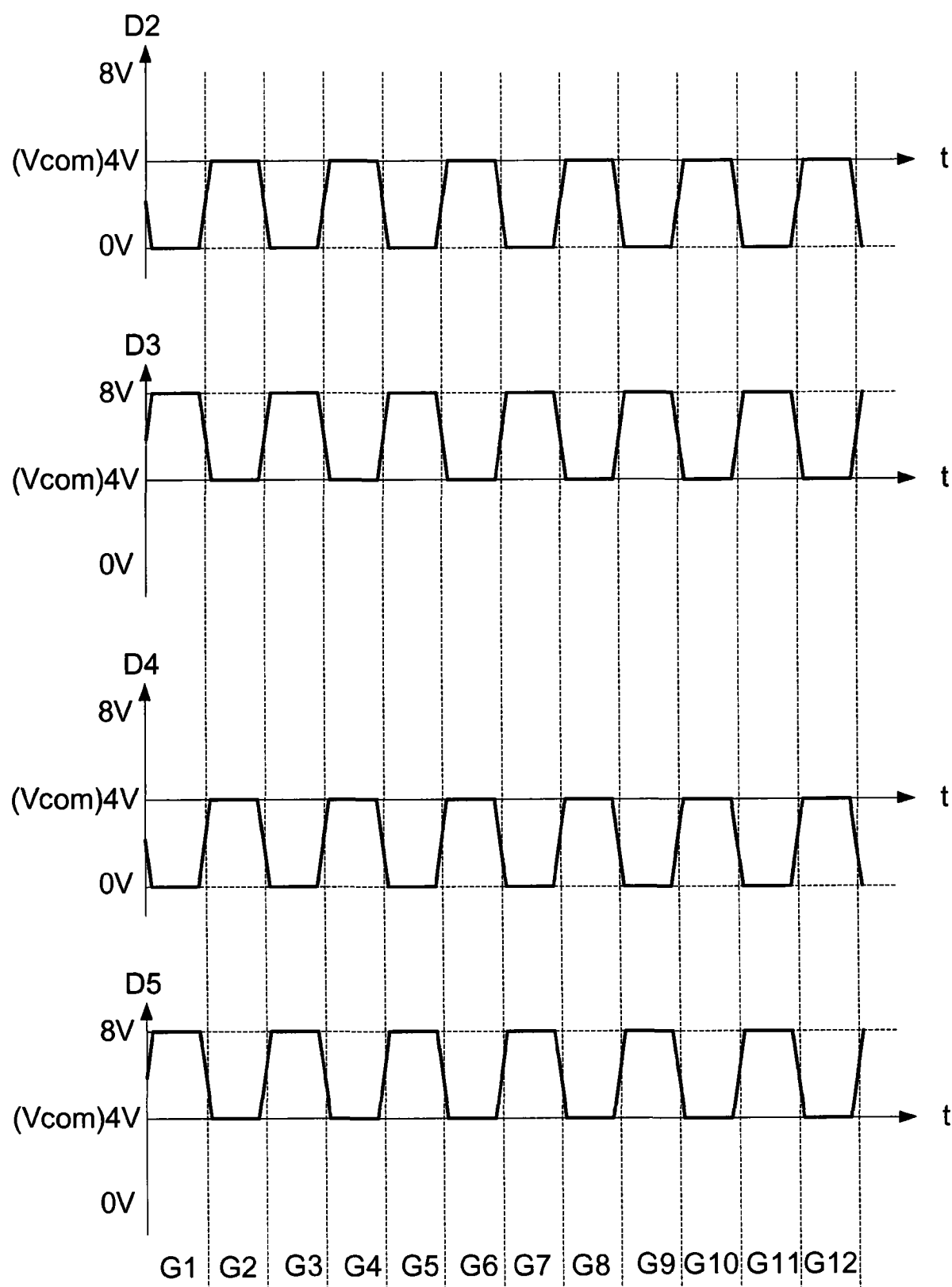


图 4B

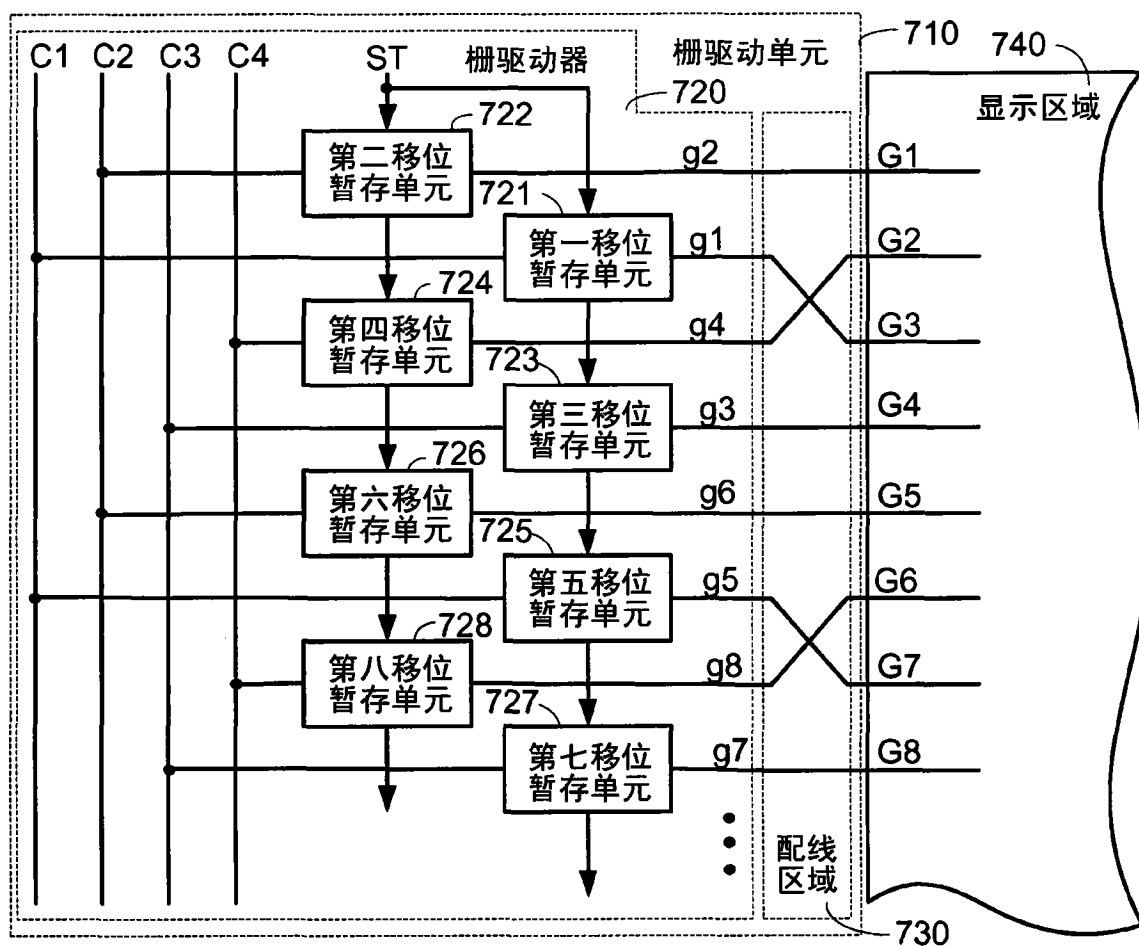


图 5A

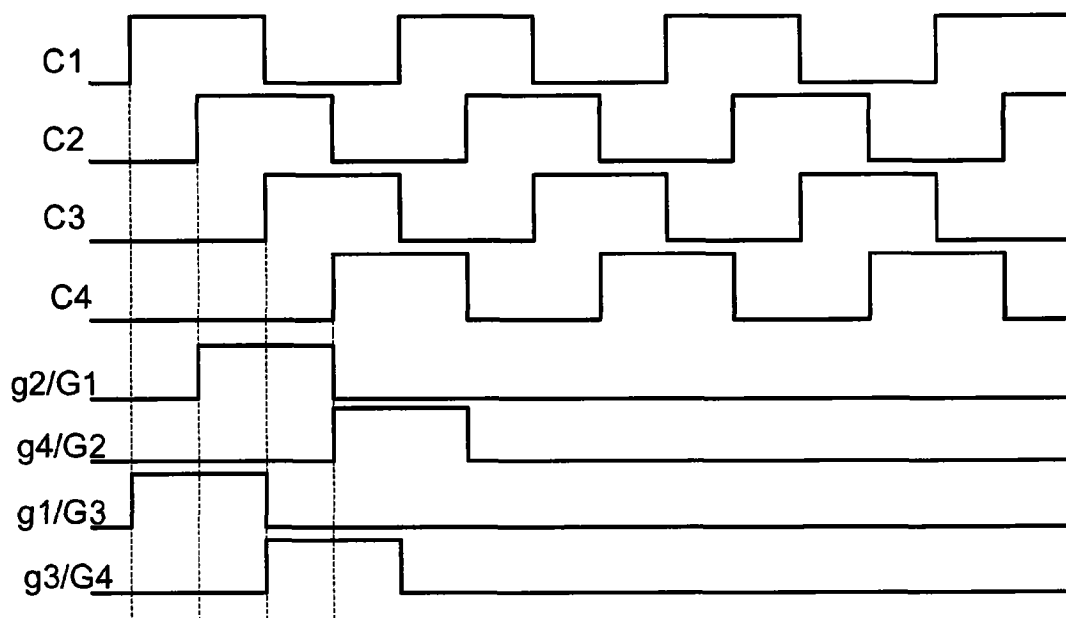


图 5B

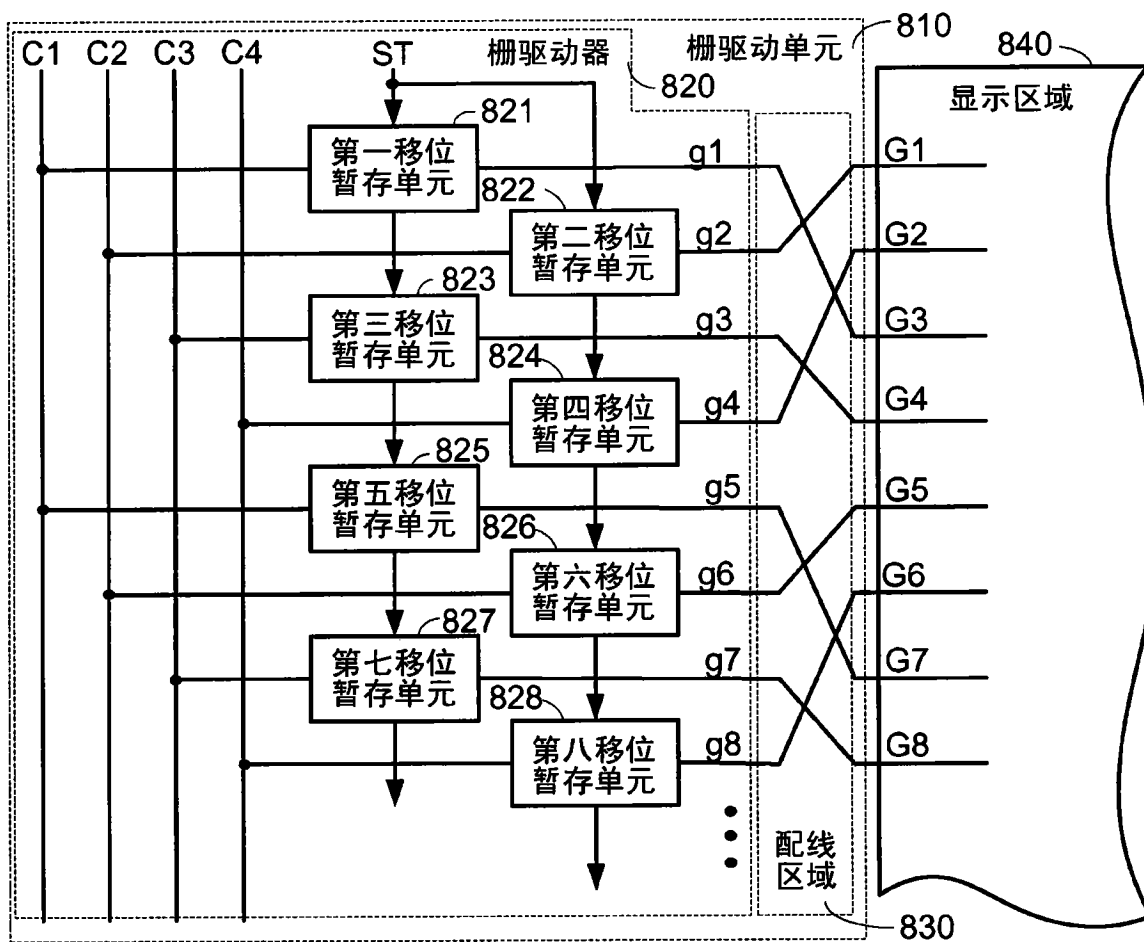


图 6A

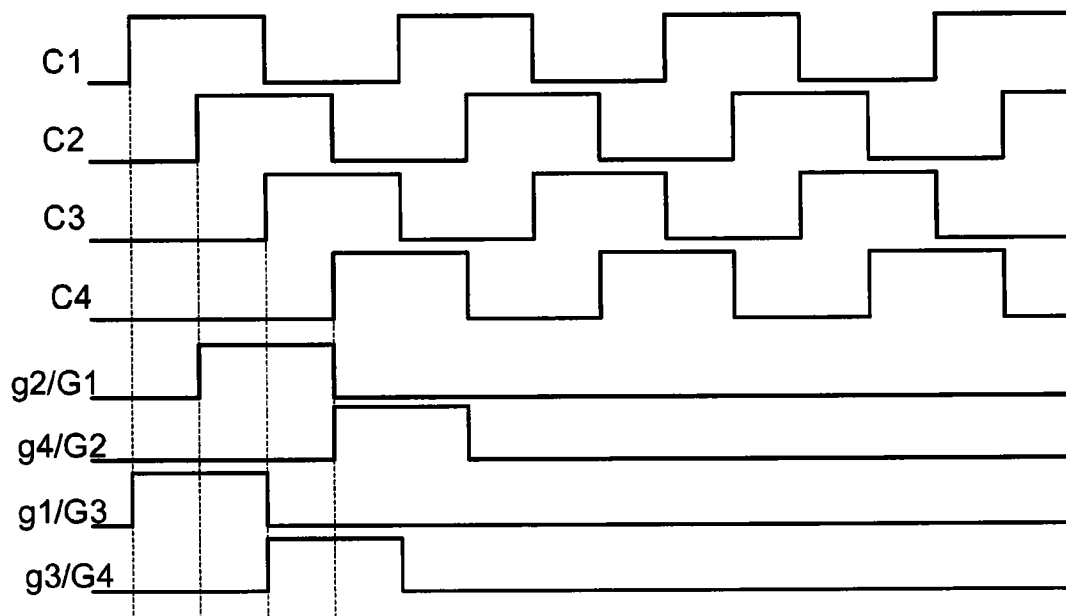


图 6B

专利名称(译)	液晶显示面板		
公开(公告)号	CN101996607B	公开(公告)日	2012-07-25
申请号	CN201010569642.5	申请日	2010-11-24
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	杨欲忠 苏国彰 陈勇志 徐国华 林致颖 林坤岳		
发明人	杨欲忠 苏国彰 陈勇志 徐国华 林致颖 林坤岳		
IPC分类号	G02F1/1362 G09G3/36		
代理人(译)	姜燕 陈晨		
其他公开文献	CN101996607A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种液晶显示面板，该液晶显示面板包括多个基本排列单位，其中每一该基本排列包括：第一列包括四个第一颜色子像素、第二列包括四个第二颜色子像素、第三列包括四个第三颜色子像素、第四列包括四个第四颜色子像素、第五列包括四个第五颜色子像素以及第六列包括四个第六颜色子像素。本发明的优点是经由改变像素阵列中的排列方式，并利用行反转驱动方式，以维持共同电压电平的稳定。再者，经由配线区域的连线处理，使得子像素上下相邻两条的栅极线输出的栅脉冲之间不会互相重叠，可以维持正常的显示画面。

