



## (12) 发明专利申请

(10) 申请公布号 CN 101963726 A

(43) 申请公布日 2011. 02. 02

(21) 申请号 200910089828. 8

(22) 申请日 2009. 07. 24

(71) 申请人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中  
路 8 号

(72) 发明人 宋泳锡 刘圣烈 崔承镇

(74) 专利代理机构 北京同立钧成知识产权代理  
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

H01L 21/82 (2006. 01)

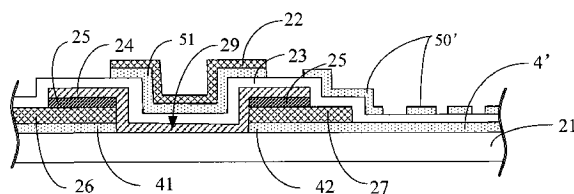
权利要求书 2 页 说明书 8 页 附图 12 页

### (54) 发明名称

FFS 型 TFT-LCD 阵列基板及其制造方法

### (57) 摘要

本发明公开了一种 FFS 型 TFT-LCD 阵列基板及其制造方法。该方法包括：步骤 1：在透明基板上依次沉积第一透明导电薄膜、源漏金属薄膜及掺杂半导体薄膜，通过第一构图工艺形成包括源电极、漏电极、数据线和像素电极的图形；步骤 2：沉积半导体薄膜，通过第二构图工艺形成包括掺杂半导体层、TFT 沟道和半导体层的图形；步骤 3：沉积绝缘薄膜、通过第三构图工艺在 PAD 区域的数据线区域形成连接孔的图形；步骤 4：沉积第二透明导电薄膜和栅金属薄膜，通过第四构图工艺形成包括栅线、栅电极、公共电极以及公共电极线的图形。本发明可以采用 4 次构图工艺既可制备完成，相比现有技术具有工艺步骤简化、工艺时间短、生产效率高和生产成本低等优点。



1. 一种 FFS 型 TFT-LCD 阵列基板的制造方法,所述阵列基板包括公共电极区域、公共电极线区域、栅电极区域、数据线区域、半导体层区域、源电极区域、漏电极区域、栅线区域、像素电极区域及 PAD 区域的数据线区域,其特征在于,包括:

步骤 1:在透明基板上依次沉积第一透明导电薄膜、源漏金属薄膜及掺杂半导体薄膜,通过第一构图工艺形成包括源电极、漏电极、数据线和像素电极的图形;

步骤 2:沉积半导体薄膜,通过第二构图工艺形成包括掺杂半导体层、TFT 沟道和半导体层的图形;

步骤 3:沉积绝缘薄膜、通过第三构图工艺形成在 PAD 区域的数据线区域形成连接孔的图形;

步骤 4、沉积第二透明导电薄膜和栅金属薄膜,通过第四构图工艺形成包括栅线、栅电极、公共电极以及公共电极线的图形。

2. 根据权利要求 1 的 FFS 型 TFT-LCD 阵列基板的制造方法,其特征在于,所述步骤 1 具体包括:

提供透明基板;

在所述透明基板上依次沉积第一透明导电薄膜、源漏金属薄膜及掺杂半导体薄膜;

在掺杂半导体薄膜上涂敷光刻胶;

通过第一双调掩模板对所述光刻胶进行曝光及显影处理,使得所述数据线区域、源电极区域及漏电极区域的光刻胶具有第一厚度,所述像素电极区域的光刻胶具有第二厚度,所述第一厚度大于第二厚度,其余区域不存在光刻胶;

通过第一刻蚀工艺完全刻蚀掉所述其余区域的掺杂半导体薄膜、源漏金属薄膜和第一透明导电薄膜;

通过灰化工艺去除第二厚度的光刻胶,暴露出所述像素电极区域的掺杂半导体薄膜;

通过第二刻蚀工艺完全刻蚀掉所述像素电极区域的掺杂半导体薄膜和源漏金属薄膜;

剥离剩余光刻胶。

3. 根据权利要求 1 的 FFS 型 TFT-LCD 阵列基板的制造方法,其特征在于,所述步骤 2 具体包括:

沉积半导体薄膜;

在所述半导体薄膜上涂覆光刻胶;

通过掩模板对所述光刻胶进行曝光和显影处理,仅在所述半导体层区域保留光刻胶;

通过第三刻蚀工艺刻蚀掉暴露出的半导体薄膜;

剥离剩余光刻胶。

4. 根据权利要求 1 的 FFS 型 TFT-LCD 阵列基板的制造方法,其特征在于,所述步骤 3 具体包括:

沉积绝缘薄膜;

在所述绝缘薄膜上涂覆光刻胶;

通过掩模板对所述光刻胶进行曝光和显影处理,除了 PAD 区域的数据线区域之外,其他区域保留有光刻胶;

通过第四刻蚀工艺刻蚀掉暴露出的绝缘薄膜;

剥离剩余光刻胶。

5. 根据权利要求1的FFS型TFT-LCD阵列基板的制造方法,其特征在于,所述步骤4具体包括:

依次沉积第二透明导电薄膜和栅金属薄膜;

在所述栅金属薄膜上涂覆光刻胶;

通过第二双调掩模板对光刻胶进行曝光和显影处理,使得所述栅电极区域、栅线区域以及公共电极线区域的光刻胶具有第三厚度,所述PAD区域的数据线区域以及公共电极区域的光刻胶具有第四厚度,所述第三厚度大于第四厚度,其余区域不存在光刻胶;

通过第五刻蚀工艺完全刻蚀掉所述其余区域的所述第二透明导电薄膜和栅金属薄膜;

通过灰化工艺去除第四厚度的光刻胶,暴露出所述公共电极区域以及PAD区域的数据线区域的栅金属薄膜;

通过第六刻蚀工艺刻蚀掉所述公共电极区域以及PAD区域的数据线区域的栅金属薄膜;

剥离剩余光刻胶。

6. 根据权利要求1所述的FFS型TFT-LCD阵列基板的制造方法,其特征在于,所述绝缘薄膜为 $\text{SiN}_x$ 、 $\text{SiO}_x$ 或 $\text{SiO}_x\text{Ny}$ 的单层薄膜,或这些材料多层沉积形成的多层薄膜。

7. 根据权利要求1所述的FFS型TFT-LCD阵列基板的制造方法,其特征在于,所述源漏金属薄膜或栅金属薄膜为钼、铝、铝钼合金、钨、铬、铜形成的单层薄膜,或为以上金属多层沉积形成的多层薄膜。

8. 根据权利要求2所述的FFS型TFT-LCD阵列基板的制造方法,其特征在于,通过磷酸和硝酸的混合物制得的刻蚀剂对源漏金属薄膜进行刻蚀;

9. 根据权利要求2所述的FFS型TFT-LCD阵列基板的制造方法,其特征在于,通过硫酸或过氧化物对透明导电薄膜进行刻蚀。

10. 根据权利要求7所述的TFT-LCD阵列基板的制造方法,其特征在于,所述源漏金属薄膜为Mo或Mo/Al/Mo时,对所述掺杂半导体薄膜和所述源漏金属薄膜连续进行两次干法刻蚀。

11. 一种通过如权利要求1-10中任一所述的FFS型TFT-LCD阵列基板的制造方法得到的TFT-LCD阵列基板。

## FFS 型 TFT-LCD 阵列基板及其制造方法

### 技术领域

[0001] 本发明涉及一种液晶显示器及其制造方法,尤其是一种 FFS 型 TFT-LCD 阵列基板及其制造方法。

### 背景技术

[0002] 薄膜晶体管液晶显示装置 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 是一种主要的平板显示装置 (Flat Panel Display, 简称为 FPD)。

[0003] 根据驱动液晶的电场方向, TFT-LCD 分为垂直电场型和水平电场型。其中, 垂直电场型 TFT-LCD 需要在阵列基板形成像素电极, 在彩膜基板形成公共电极; 然而水平电场型 TFT-LCD 需要在阵列基板同时形成像素电极和公共电极。因此, 制作水平电场型 TFT-LCD 的阵列基板时, 需要额外增加一次形成公共电极的掩模工艺。垂直电场型 TFT-LCD 包括: 扭曲向列 (TwistNematic, 简称为 TN) 型 TFT-LCD; 水平电场型 TFT-LCD 包括: 边界电场切换 (Fringe Field Switching, 简称为 FFS) 型 TFT-LCD, 共平面切换 (In-Plane Switching, 简称为 IPS) 型 TFT-LCD。水平电场型 TFT-LCD, 尤其是 FFS 型 TFT-LCD 具有广视角、开口率高等优点, 广泛应用于液晶显示器领域。

[0004] 图 1 为现有的 FFS 型 TFT-LCD 阵列基板的平面示意图。如图 1 所示, 阵列基板 (Array Substrate) 包括: 栅线 1、数据线 2、薄膜晶体管 (Thin Firm Transistor, 简称为 TFT) 3、像素电极 4、公共电极 50 以及公共电极线 5。栅线 1 横向设置在透明基板上, 数据线 2 纵向设置在透明基板之上, 栅线 1 与数据线 2 的交叉处设置有 TFT 3。TFT 3 为有源开关元件。像素电极 4 为狭缝电极。公共电极 50 位于像素电极 4 的下方, 且大部分重叠, 公共电极 50 与像素电极形成用于驱动液晶的电场。公共电极线 5 与公共电极 50 连接。值得一提的是, 图 1 中, 附图标记“50”所指并非是长条状的狭缝, 而是狭缝的下方的板状公共电极。

[0005] 图 2a 为图 1 的 A-A 向剖面图, 示出了阵列基板的剖面结构。如图 2a 所示, 阵列基板具体还包括: 透明基板 11、公共电极 50、栅电极 12、栅绝缘层 13、半导体层 14、掺杂半导体层 15、源电极 16、漏电极 17、钝化层 18。栅电极 12 与栅线 1 一体成型, 源电极 16 与数据线 2 一体成型, 漏电极 17 与像素电极 4 一般通过钝化层过孔 180 (via hole) 连接。当栅线 1 中输入导通信号时, 有源层 (半导体层 14 和掺杂半导体层 15) 导电, 数据线 2 的数据信号可从源电极 16 经 TFT 沟道 (channel) 19 到达漏电极 17, 最终输入至像素电极 4。像素电极 4 得到信号后与板状的公共电极 50 形成用于驱动液晶转动的电场。由于像素电极 4 具有狭缝 49, 因此与公共电极 50 形成水平电场。

[0006] 图 2b 为现有的 FFS 型 TFT-LCD 阵列基板的 PAD 区域的数据线区域的剖面图; 图 2c 为现有的 FFS 型 TFT-LCD 阵列基板的 PAD 区域的栅线区域的剖面图。PAD 区域即为压接区域, 是将栅线、数据线及公共电极线等信号线与外部的驱动电路板的引线压接的区域。PAD 区域位于阵列基板的 4 个边中的其中一个或相邻的两个边上。为了将引线 and 信号线电连接, PAD 区域的信号线上方必须没有绝缘层覆盖。从图 2b 及 2c 中可以看出, PAD 区域的数据线 2 和栅线 1 上方皆开设有连接孔 181、182, 数据线 2 和栅线 1 分别通过连接孔 181、182

与第七透明导电部 44 和第八透明导电部 45 连接。第七透明导电部 44 与第八透明导电部 45 是通过刻蚀透明导电薄膜形成像素电极时同时形成的,因此可导电。图 2b 中的 140 和 150 是刻蚀掺杂半导体层 15 和半导体层 14 时形成的结构,不影响数据线 2 的通信。如此可以将外部引线直接焊接在第七透明导电部 44 与第八透明导电部 45 上,实现阵列基板与驱动电路板的连接。同理,公共电极线上方也同样开设有连接孔,用于与外部的引线连接,其结构与图 2c 大体相同,图略。

[0007] 目前,FFS 型 TFT-LCD 阵列基板是通过多次构图工艺形成结构图形来完成,每一次构图工艺中又分别包括掩膜曝光、显影、刻蚀和剥离等工艺,其中刻蚀工艺包括干法刻蚀和湿法刻蚀,所以构图工艺的次数可以衡量制造 TFT-LCD 阵列基板的繁简程度,减少构图工艺的次数就意味着制造成本的降低。现有技术的六次构图工艺包括:公共电极构图、栅线和栅电极构图、有源层构图、源电极/漏电极构图、过孔构图和像素电极构图。

[0008] 现有技术中公开有大量的,通过减少构图工艺次数来降低制造成本,并通过工艺的简化来提高生产效率的技术文献。其中,较为领先的技术为:通过五次构图工艺制造 FFS 型 TFT-LCD 阵列基板的方法。该方法包括:

[0009] 步骤 1、沉积第一透明导电薄膜,通过普通掩模板(mask)形成板状的公共电极的图形;

[0010] 步骤 2、沉积第一金属薄膜,用普通掩模板形成栅线、栅电极及公共电极线的图形;

[0011] 步骤 3、依次沉积第一绝缘薄膜、半导体薄膜、掺杂半导体薄膜和第二金属薄膜,用双调掩模板(dual tone mask)形成有源层(半导体层和掺杂半导体层)、TFT 沟道、源电极、漏电极和数据线的图形;

[0012] 步骤 4、沉积第二绝缘薄膜,用第二双调掩模板形成过孔的图形,在 PAD 区域的栅线区域、PAD 区域的数据线区域及 PAD 区域的公共电极线区域形成连接孔的图形;

[0013] 步骤 5、沉积第二透明导电薄膜,通过普通掩模板(mask)形成具有狭缝的像素电极的图形。

[0014] 这种传统的 FFS 型 TFT-LCD 阵列基板的制造方法存,在如下缺陷:

[0015] 1、需要 5 次构图工艺,成本较高,市场竞争力低下;

[0016] 2、上述步骤 3 中,为了形成 TFT 沟道、源电极及漏电极,需要对整个基板进行两次刻蚀,一般采用湿法刻蚀进行,即将基板浸泡于刻蚀液中,刻蚀掉没有被光刻胶所覆盖且可被该刻蚀液侵蚀的部分。TFT 沟道被湿法刻蚀时,需要严格控制刻蚀参数,通常用控制刻蚀时间的方法进行。但是由于工艺误差存在,经常会发生 TFT 沟道被过度刻蚀(Over Etch)。对于阵列基板具有重大意义的 TFT 沟道,这种过度刻蚀会产生不可忽视的缺陷,会引起 TFT 沟道变宽或直接破坏 TFT 沟道,对液晶显示器的整体性能及产品合格率产生极大的负面影响。

## 发明内容

[0017] 本发明的目的是提供一种 TFT-LCD 阵列基板及其制造方法,通过 4 次构图工艺制造阵列基板,降低成本,提高市场竞争力。

[0018] 本发明的另一目的是提供一种 TFT-LCD 阵列基板及其制造方法,能够避免沟道被

过度刻蚀。

[0019] 为实现上述目的,本发明提供了一种 FFS 型 TFT-LCD 阵列基板的制造方法,所述阵列基板包括公共电极区域、公共电极线区域、栅电极区域、数据线区域、半导体层区域,源电极区域、漏电极区域、栅线区域、像素电极区域、PAD 区域的栅线区域及 PAD 区域的数据线区域,其特征在于,包括:

[0020] 步骤 1:在透明基板上依次沉积第一透明导电薄膜、源漏金属薄膜及掺杂半导体薄膜,通过第一构图工艺形成包括源电极、漏电极、数据线和像素电极的图形;

[0021] 步骤 2:沉积半导体薄膜,通过第二构图工艺形成包括掺杂半导体层、TFT 沟道和半导体层的图形;

[0022] 步骤 3:沉积绝缘薄膜、通过第三构图工艺形成在 PAD 区域的数据线区域形成连接孔的图形;

[0023] 步骤 4、沉积第二透明导电薄膜和栅金属薄膜,通过第四构图工艺形成包括栅线、栅电极、公共电极以及公共电极线、PAD 的图形。

[0024] 为实现上述目的,本发明还提供了一种通过上述 FFS 型 TFT-LCD 阵列基板的制造方法得到的 TFT-LCD 阵列基板。

[0025] 由上述技术方案可知,本发明的 FFS 型 TFT-LCD 阵列基板及其制造方法具有如下优点:

[0026] 1、本发明相比现有的 6 次或 5 次构图工艺制造阵列基板的方法,可以采用 4 次构图工艺既可制备完成,具有工艺步骤简化、工艺时间短、生产效率高和生产成本低等优点。

[0027] 2、本发明形成 TFT 沟道的方法与现有技术相比,由于无需刻蚀半导体层的 TFT 沟道区域,不会产生过度刻蚀的问题,TFT 沟道区域可以很精确地设计,液晶显示器的性能可得到保障,良品率提高。

## 附图说明

[0028] 图 1 为现有的 FFS 型 TFT-LCD 阵列基板的平面示意图;

[0029] 图 2a 为图 1 的 A-A 向剖面图;

[0030] 图 2b 为现有的 FFS 型 TFT-LCD 阵列基板的 PAD 区域的数据线区域的剖面图;

[0031] 图 2c 为现有的 FFS 型 TFT-LCD 阵列基板的 PAD 区域的栅线区域的剖面图;

[0032] 图 3 为本发明 FFS 型 TFT-LCD 阵列基板的平面示意图;

[0033] 图 4a 为图 3 中 A1-A1 向的剖面图;

[0034] 图 4b 为本发明 FFS 型 TFT-LCD 阵列基板的 PAD 区域的数据线区域的剖面图;

[0035] 图 4c 为本发明 FFS 型 TFT-LCD 阵列基板的 PAD 区域的栅线区域的剖面图;

[0036] 图 5 为在透明基板上沉积透明导电薄膜、源漏金属薄膜及掺杂半导体薄膜后的剖面图;

[0037] 图 6a- 图 6c 为图 5 的结构上涂覆了光刻胶后,对光刻胶进行了曝光及显影处理后的剖面图;

[0038] 图 7a- 图 7c 为对图 6a- 图 6c 的结构进行了第一刻蚀工艺后的剖面图;

[0039] 图 8a- 图 8c 为对图 7a- 图 7c 中的光刻胶进行了灰化工艺之后的剖面图;

[0040] 图 9a- 图 9c 为对图 8a- 图 8c 的结构进行了第二刻蚀工艺后的剖面图;

- [0041] 图 10a-图 10c 为图 9a-图 9c 的结构上剥离掉了剩余光刻胶后的剖面图；
- [0042] 图 11a-图 11c 为在图 10a-图 10c 的结构上沉积了半导体薄膜后的剖面图；
- [0043] 图 12a-图 12c 为在图 11a-图 11c 的结构上涂覆光刻胶并进行曝光和显影处理后的剖面图；
- [0044] 图 13a-图 13c 为对图 12a-图 12c 的结构进行第三刻蚀工艺后的剖面图；
- [0045] 图 14a-图 14c 为在图 13a-图 13c 的结构上沉积绝缘薄膜后的剖面图；
- [0046] 图 15a-图 15c 为对图 14a-图 14c 的结构进行了第三构图工艺后的剖面图；
- [0047] 图 16a-图 16c 为在图 15a-图 15c 的结构上沉积第二透明导电薄膜和栅金属薄膜后的剖面图；
- [0048] 图 17a-图 17c 为图 16a-图 16c 的结构上涂覆光刻胶后的剖面图；
- [0049] 图 18a-图 18c 为对图 17a-图 17c 的结构进行第五刻蚀工艺后的剖面图；
- [0050] 图 19a-图 19c 为对图 18a-图 18c 中的光刻胶进行灰化工艺后的剖面图；
- [0051] 图 20a-图 20c 为对图 19a-图 19c 进行了第六刻蚀工艺后的剖面图；
- [0052] 图 21a-图 21c 为剥离掉图 20a-图 20c 中的光刻胶后的剖面图。

### 具体实施方式

[0053] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

[0054] 需要说明的是:

[0055] 1、本发明中所述的例如“X 设置于 Y 上”或“X 上设置有 Y”中的“上”一般包含了 X 与 Y 接触,并且 X 位于 Y 的上方的意思,本发明中如附图所示,将透明基板定义为设置于最下方;

[0056] 2、本发明所称的构图工艺包括光刻胶涂覆、掩模、曝光、显影、刻蚀、光刻胶剥离等工艺,光刻胶以正性光刻胶为例;

[0057] 3、本发明中所述的“某某区域”是某某图形在透明基板上映射的区域,即该区域与某某图形具有相同的形状,例如栅线区域,即为栅线的图形在透明基板上的映射的区域,也可以理解为透明基板上将要设置栅线图形的区域。

[0058] 图 3 为本发明 FFS 型 TFT-LCD 阵列基板的平面示意图,所反映的是一个像素单元的结构。如图 3 所示,本实施例 TFT-LCD 阵列基板主要包括栅线 1'、数据线 2'、TFT3'、像素电极 4'、公共电极 50' 以及公共电极线 5'。相互垂直的栅线 1' 和数据线 2' 定义了像素单元, TFT3' 和像素电极 4' 形成在像素单元内,像素电极 4' 位于公共电极 50' 下方,公共电极 50' 为狭缝电极。栅线 1' 用于向 TFT3' 提供开启信号,数据线 2' 用于向像素电极 4' 提供数据信号,公共电极线 5' 向公共电极 50' 提供公共电压。TFT3' 为有源开关元件。图 3 中,附图标记“4'”所指并非长条状狭缝,而是狭缝下方的板状的像素电极。

[0059] 图 4a 为图 3 中 A1-A1 向的剖面图,主要反映的是 TFT 3' 的结构。如图 4a 所示,本发明的 TFT-LCD 阵列基板,包括:透明基板 21、第一透明导电部 41、第二透明导电部 42、源电极 26、漏电极 27、掺杂半导体层 25、半导体层 24、栅绝缘层 23、第三透明导电部 51 以及栅电极 22。其中,第一透明导电部 41、第二透明导电部 42 及像素电极 4' 设置于透明基板 21 上,并且第一透明导电部 41 不与第二透明导电部 42 及像素电极 4' 连接;第一透明导电部 41 上设置有源电极 26;第二透明导电部 42 与像素电极 4' 一体而成,第二透明导电部 42

上设置有漏电极 27 ;源电极 26 和漏电极 27 上分别设置有掺杂半导体层 25 ;两侧的掺杂半导体层 25 上设置有半导体层 24 ,半导体层 24 覆盖在透明基板 21 上的部分形成 TFT 沟道 29 ;栅绝缘层 23 设置在上述结构图形上并覆盖整个透明基板 21 ;栅绝缘层 23 上设置有第三透明导电部 51、公共电极 50' 以及公共电极线 5', 第三透明导电部 51 不与公共电极 50' 连接,公共电极 50' 与公共电极线 5' 连接 ;第三透明导电部 51 上设置有栅电极 22,且栅电极 22 和第三透明导电部 51 设置于 TFT 沟道 29 的上方 ;公共电极 50' 设置于像素电极 4' 的上方,与像素电极 4' 大部分重叠。

[0060] 图 4b 为本发明 FFS 型 TFT-LCD 阵列基板的 PAD 区域的数据线区域的剖面图 ;如图 4b 所示,在透明基板 21 依次设有第四透明导电部 43、数据线 2'、栅绝缘层 23 以及第五透明导电部 52 ;其中,栅绝缘层 23 上刻蚀出了连接孔 230,第五透明导电部 52 通过连接孔 230 与数据线 2' 连接,外部驱动电路板的引线可以连接到第五透明导电部 52 上将数据信号传递到数据线 2' 中。

[0061] 图 4c 为本发明 FFS 型 TFT-LCD 阵列基板的 PAD 区域的栅线区域的剖面图 ;如图 4c 所示,在透明基板 21 上依次设置有栅绝缘层 23、第六透明导电部 53 以及栅线 1'。外部驱动电路板的引线可以直接将开启信号传递到栅线 1' 中。

[0062] 本发明的上述技术方案是一种顶栅电极结构,从图 4a 中可以看出,本发明的 TFT 沟道没有经过刻蚀,其厚度与沉积的薄膜厚度相当,因此也就不会产生现有技术中 TFT 沟道过度刻蚀的问题发生, TFT 沟道区域可以很精确地设计,液晶显示器的性能可得到保障,良品率提高。

[0063] 下面说明本发明的一种 FFS 型 TFT-LCD 阵列基板的制造方法。

[0064] 本发明一种 FFS 型 TFT-LCD 阵列基板的制造方法包括如下步骤 :

[0065] 步骤 1 :在透明基板上依次沉积第一透明导电薄膜、源漏金属薄膜及掺杂半导体薄膜,通过第一构图工艺形成包括源电极、漏电极、数据线和像素电极的图形 ;

[0066] 步骤 2 :沉积半导体薄膜,通过第二构图工艺形成包括掺杂半导体层、TFT 沟道和半导体层的图形 ;

[0067] 步骤 3 :沉积绝缘薄膜、通过第三构图工艺形成在 PAD 区域的数据线区域形成连接孔的图形 ;

[0068] 步骤 4、沉积第二透明导电薄膜和栅金属薄膜,通过第四构图工艺形成包括栅线、栅电极、公共电极以及公共电极线的图形。

[0069] 本发明相比现有的 6 次或 5 次构图工艺制造阵列基板的方法,可以采用 4 次构图工艺既可制备完成,具有工艺步骤简化、工艺时间短、生产效率高和生产成本低等优点。

[0070] 下面结合附图图 5- 图 21c 按照工艺步骤顺序详细说明本发明 FFS 型 TFT-LCD 阵列基板的制造方法。

[0071] 图 5 为在透明基板上沉积透明导电薄膜、源漏金属薄膜及掺杂半导体薄膜后的剖面图。如图 5 所示,首先采用等离子增强化学气相沉积 (PECVD)、磁控溅射、热蒸发或其它成膜方法,在透明基板 21 (如玻璃基板或石英基板) 上依次沉积透明导电薄膜 100、源漏金属薄膜 200 及掺杂半导体薄膜 300。源漏金属薄膜 200 可以是钼、铝、铝钼合金、钨、铬、铜等金属形成的单层薄膜,也可以是以上金属多层沉积形成的多层薄膜。透明导电薄膜 100 可以为 ITO、IZO 等。

[0072] 图 6a-图 6c 为图 5 的结构上涂覆了光刻胶后,对光刻胶进行了曝光及显影处理后的剖面图。图 6a 为像素单元的剖面图,图 6b 为 PAD 区域的数据线区域的剖面图,图 6c 为 PAD 区域的栅线区域的剖面图。如图 6a-图 6c 所示,在掺杂半导体薄膜 300 上涂敷一层光刻胶 1000,通过双调 (dual tone) 掩模板 (半调掩模板或灰调掩模板) 对光刻胶 1000 进行曝光及显影处理,使得数据线区域 20、源电极区域 260 及漏电极区域 270 的光刻胶 1000 具有第一厚度 H,像素电极区域 40 的光刻胶 1000 具有第二厚度 h,所述第一厚度 H 大于第二厚度 h,栅线区域 10 等其余区域不存在光刻胶。

[0073] 图 7a-图 7c 为对图 6a-图 6c 的结构进行了第一刻蚀工艺后的剖面图。如图 7a-图 7c 所示,通过第一刻蚀工艺完全刻蚀掉像素电极区域 40、数据线区域 20、源电极区域 260 及漏电极区域 270 之外的其余区域的掺杂半导体薄膜 300、源漏金属薄膜 200 和透明导电薄膜 100,即刻蚀掉没有覆盖光刻胶 1000 的区域的掺杂半导体薄膜 300、源漏金属薄膜 200 和透明导电薄膜 100。具体为,通过  $\text{SF}_6$ 、 $\text{HCl}$ 、 $\text{Cl}_2$ 、He 等气体对掺杂半导体薄膜 300 (n+a-Si:H) 进行刻蚀;通过磷酸和硝酸的混合物制得的刻蚀剂对源漏金属薄膜 200 进行刻蚀;通过硫酸或过氧化物等刻蚀剂对透明导电薄膜 100 (ITO 或 IZO) 进行刻蚀。如图 7b 中所示, PAD 区域的数据线区域,刻蚀后形成了第四透明导电部 43 和数据线 2' 的图形。图 7c 所示, PAD 区域的栅线区域,刻蚀后只剩下透明基板 21。

[0074] 上述的第一刻蚀工艺中,若采用可进行干法刻蚀的 Mo 或 Mo/Al/Mo 作为源漏金属薄膜 200 时,掺杂半导体薄膜 300 和源漏金属薄膜 200 可以进行连续的干法刻蚀,优点是精确控制刻蚀程度。当然,也可以进行干法刻蚀接湿法刻蚀的方案。这种刻蚀方法可根据源漏金属薄膜的材料进行选择。

[0075] 图 8a-图 8c 为对图 7a-图 7c 中的光刻胶进行了灰化工艺之后的剖面图。如图 8a-图 8c 所示,通过光刻胶的灰化工艺去除了第二厚度 h 程度的光刻胶 1000,暴露出像素电极区域 40 的掺杂半导体薄膜 300,其余的光刻胶 1000 也相应地变薄了第二厚度 h 程度。

[0076] 图 9a-图 9c 为对图 8a-图 8c 的结构进行了第二刻蚀工艺后的剖面图。如图 9a-图 9c 所示,通过第二刻蚀工艺完全刻蚀掉像素电极区域 40 的掺杂半导体薄膜 300、源漏金属薄膜 200,形成了第一透明导电部 41、第二透明导电部 42,像素电极 4'、源电极 26 以及漏电极 27。

[0077] 图 10a-图 10c 为图 9a-图 9c 的结构上剥离掉了剩余光刻胶后的剖面图。

[0078] 至此,通过图 5 至图 10c 完成了第一构图工艺。

[0079] 图 11a-图 11c 为在图 10a-图 10c 的结构上沉积了半导体薄膜后的剖面图。可以采用一般的成膜方法,沉积一层半导体薄膜 400。本次沉积后,在数据线区域 20、源电极区域 260 和漏电极区域 270,半导体薄膜 400 沉积在掺杂半导体薄膜 300 上,在像素电极区域 40 半导体薄膜 400 沉积在像素电极 40 上,在其它区域 (包括 TFT 沟道区域 290 和栅线区域 10),半导体薄膜 400 沉积在透明基板 21 上。

[0080] 图 12a-图 12c 为在图 11a-图 11c 的结构上涂覆光刻胶并进行曝光和显影处理后的剖面图。先在半导体薄膜 400 上涂覆光刻胶 2000,然后通过普通掩模板,对光刻胶 2000 进行曝光及显影处理,使得光刻胶 2000 覆盖在半导体区域 240 上,其它区域无剩余光刻胶。如图 12a-图 12c 所示,半导体区域 240 包括 TFT 沟道区域 290 及全部或部分的源电极区域 260 和漏电极区域 270。

[0081] 图 13a-图 13c 为对图 12a-图 12c 的结构进行第三刻蚀工艺后的剖面图。如图 13a-图 13c 所示,通过刻蚀剂刻蚀掉没有光刻胶覆盖的半导体薄膜 400 和掺杂半导体薄膜 300,形成了半导体层 24 和掺杂半导体 25 的图形。图 13a 中,半导体层 24 形成在 TFT 沟道区域 290 及部分的源电极区域 260 和漏电极区域 270 内,当然,半导体层 24 也可以形成在沟道区域 290 及全部的源电极区域 260 和全部的漏电极区域 270。位于 TFT 沟道区域 290 上的半导体层 24 形成了 TFT 沟道 29。图 13b 中, PAD 区域的数据线区域 2' 的透明基板 21 上只剩下了第四透明导电部 43 和数据线 2';图 13c 中 PAD 区域的栅线区域只剩余透明基板 21。然后,剥离掉了图 12a 中所示的光刻胶。

[0082] 至此,通过图 11a 至图 13c 完成了第二构图工艺。本发明通过第一和第二构图工艺中,形成了 TFT 沟道。本发明形成 TFT 沟道的方法与现有技术相比,由于无需刻蚀半导体层的 TFT 沟道区域,不会产生过度刻蚀的问题, TFT 沟道区域可以很精确地设计,液晶显示器的性能可得到保障,良品率提高。

[0083] 图 14a-图 14c 为在图 13a-图 13c 的结构上沉积绝缘薄膜后的剖面图。如图 14a-图 14c 所示,在整个透明基板 21 采用一般的成膜方法沉积一层绝缘薄膜,形成栅绝缘层 23。绝缘薄膜可以采用  $\text{SiNx}$ 、 $\text{SiOx}$  或  $\text{SiOxNy}$  的单层薄膜,或上述材料多层沉积形成的多层薄膜。

[0084] 图 15a-图 15c 为对图 14a-图 14c 的结构进行了第三构图工艺后的剖面图。图 15a 和图 15c 由于没有改变,因此不再赘述。请参阅图 15b,通过第三次构图工艺,在栅绝缘层 23 上形成了连接孔 230,暴露出了数据线 2'。具体为在栅绝缘层 23 上涂覆光刻胶,通过普通掩模板进行曝光和显影处理,除了需要形成连接孔 230 的区域 (PAD 区域的数据线区域) 之外,其他区域被光刻胶覆盖,然后进行第四刻蚀工艺对栅绝缘层进行刻蚀,形成了连接孔 230。

[0085] 图 16a-图 16c 为在图 15a-图 15c 的结构上沉积第二透明导电薄膜和栅金属薄膜后的剖面图。如图 16a-图 16c 所示,依次沉积第二透明导电薄膜 500 和栅金属薄膜 600。第二透明导电薄膜 500 可以是  $\text{ITO}$  或  $\text{IZO}$  等,栅金属薄膜 600 可以是钼、铝、铝钼合金、钨、铬、铜等金属形成的单层薄膜,也可以是以上金属多层沉积形成的多层薄膜。

[0086] 图 17a-图 17c 为图 16a-图 16c 的结构上涂覆光刻胶后的剖面图。如图 17a-图 17c 所示,先在栅金属薄膜 600 上涂覆光刻胶 3000,通过第二双调掩模板对光刻胶 3000 进行曝光和显影处理,使得所述栅电极区域 220、栅线区域 10 以及公共电极线区域 (未图示) 的光刻胶 3000 具有第三厚度  $H'$ ,所述 PAD 区域的数据线区域 20 以及公共电极区域的光刻胶 3000 具有第四厚度  $h'$ ,所述第三厚度  $H'$  大于第四厚度  $h'$ ,其余区域不存在光刻胶。栅电极区域 220 包括全部 TFT 沟道区域 290 以及全部或部分的源电极区域 260 和漏电极区域 270。公共电极线区域与像素电极区域 40 大部分重叠,且公共电极区域具有狭缝的图形。

[0087] 图 18a-图 18c 为对图 17a-图 17c 的结构进行第五刻蚀工艺后的剖面图。如图 18a-图 18c 所示,通过刻蚀剂刻蚀掉没有光刻胶 3000 覆盖的栅金属薄膜 600 和第二透明导电薄膜 500,形成了栅电极 22、第三透明导电部 51、公共电极 50'、第五透明导电部 52、第六透明导电部 53 及栅线 1' 的图形。

[0088] 图 19a-图 19c 为对图 18a-图 18c 中的光刻胶进行灰化工艺后的剖面图。如图 19a-图 19c 所示,对光刻胶 3000 进行了灰化工艺,去掉了第四厚度  $h'$  程度的光刻胶 3000,

暴露出了 PAD 区域的数据线区域 20 以及公共电极区域的栅金属薄膜 600。

[0089] 图 20a-图 20c 为对图 19a-图 19c 进行了第六刻蚀工艺后的剖面图。如图 20a-图 20c 所示,刻蚀掉了暴露出的 PAD 区域的数据线区域 20 以及公共电极区域的栅金属薄膜 600。

[0090] 图 21a-图 21c 为剥离掉图 20a-图 20c 中的光刻胶后的剖面图。

[0091] 至此,通过图 16a 至图 21c 完成了第四构图工艺,得到了本发明的 FFS 型 TFT-LCD 阵列基板。

[0092] 本发明的 FFS 型 TFT-LCD 阵列基板,相比现有的 6 次或 5 次构图工艺制造阵列基板的方法,可以采用 4 次构图工艺制备完成,具有工艺步骤简化、工艺时间短、生产效率高和生产成本低等优点。

[0093] 最后应说明的是:以上实施例仅用以说明本发明的技术方案而非对其进行限制,尽管参照较佳实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对本发明的技术方案进行修改或者等同替换,而这些修改或者等同替换亦不能使修改后的技术方案脱离本发明技术方案的精神和范围。

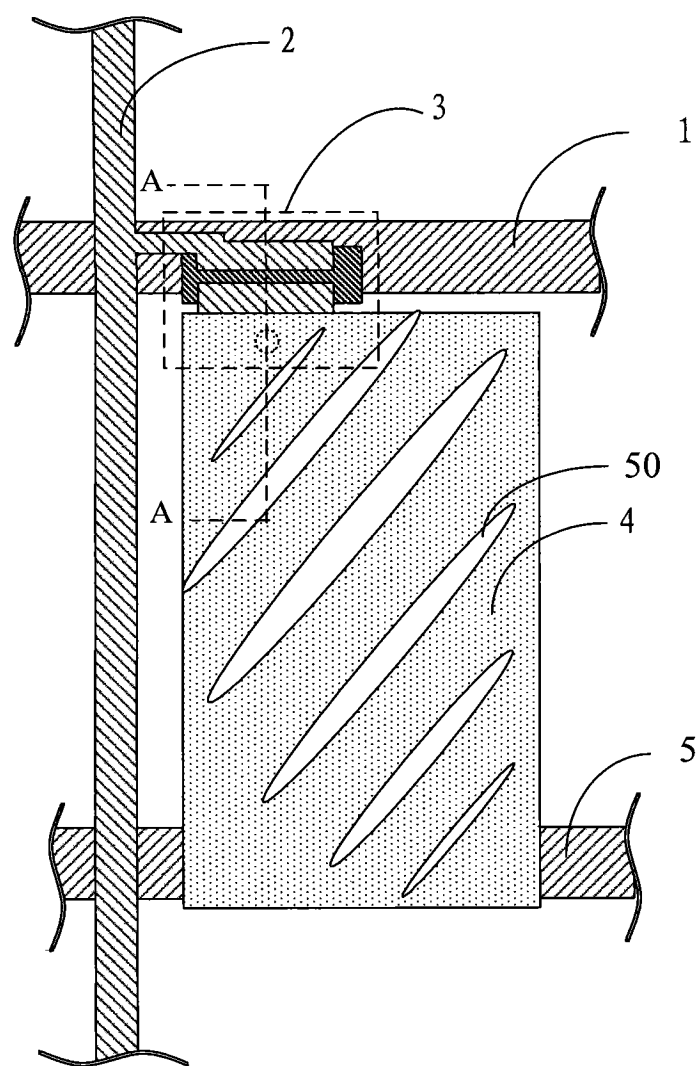


图 1

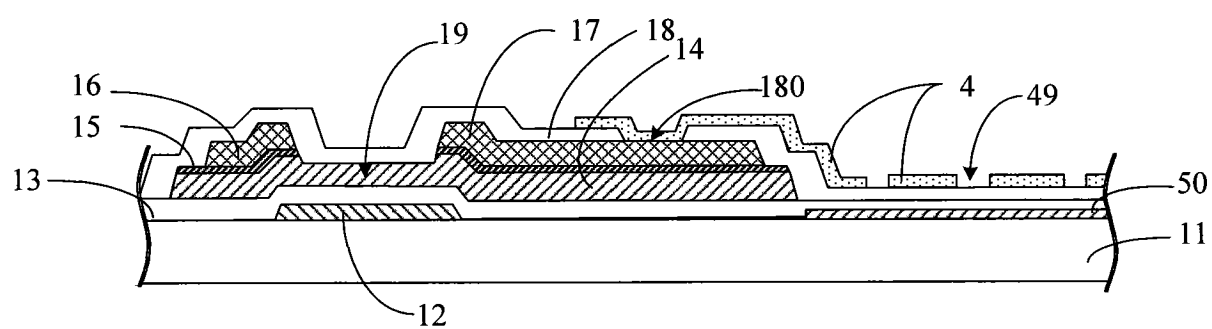


图 2a

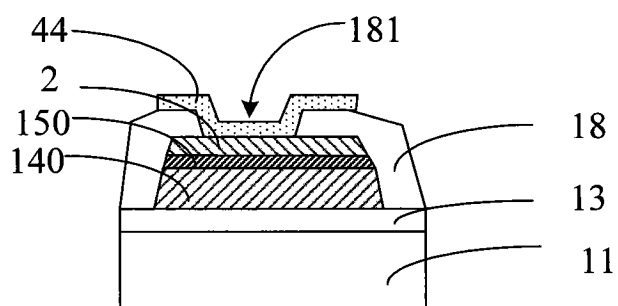


图 2b

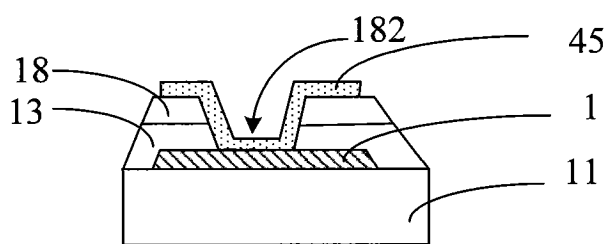


图 2c

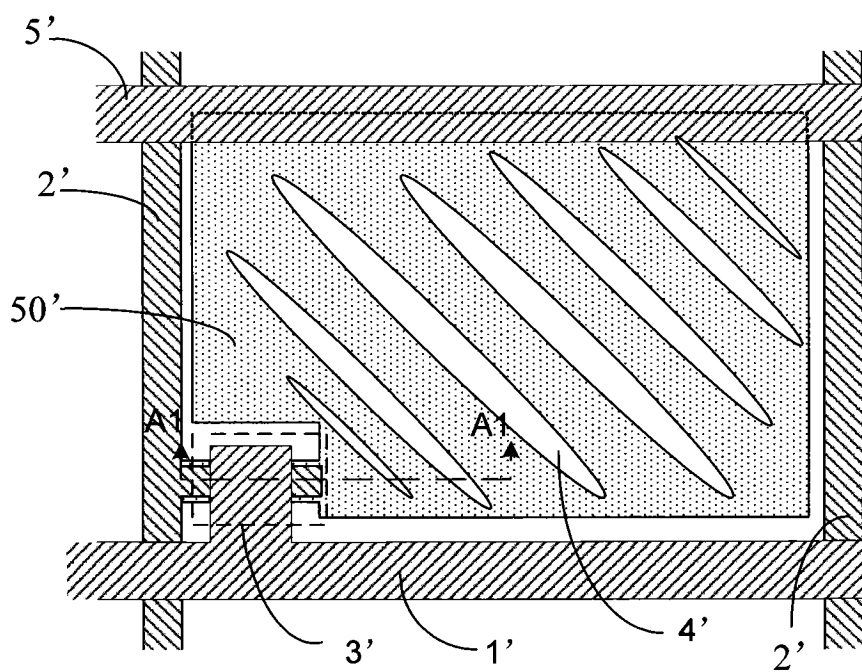


图 3

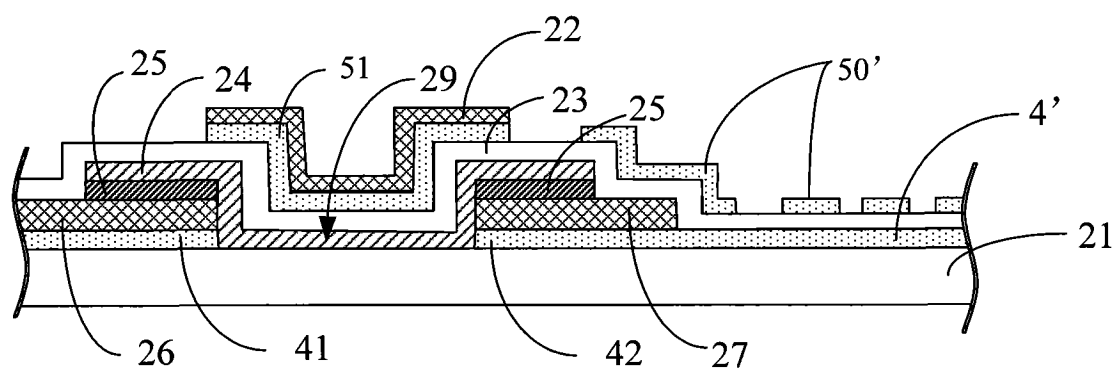


图 4a

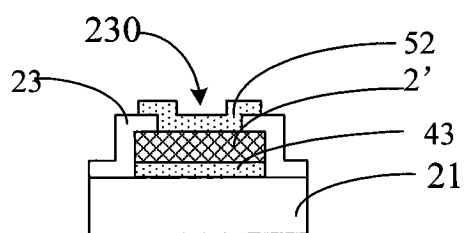


图 4b

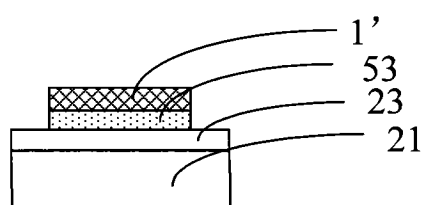


图 4c

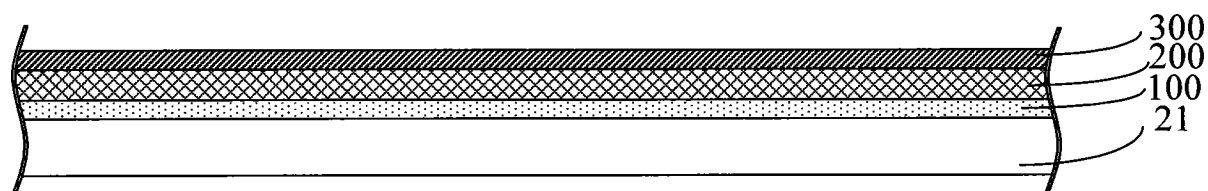


图 5

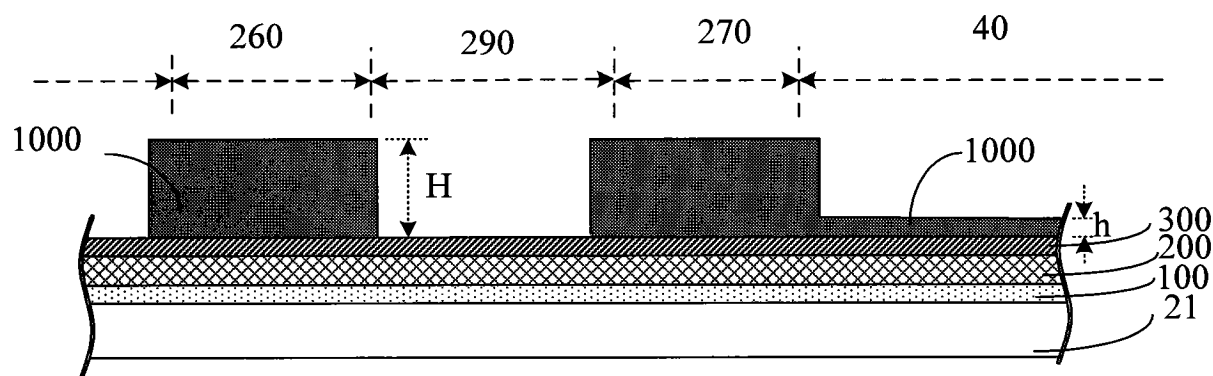


图 6a

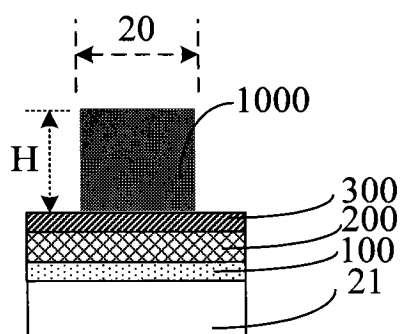


图 6b

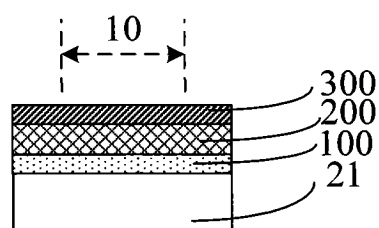


图 6c

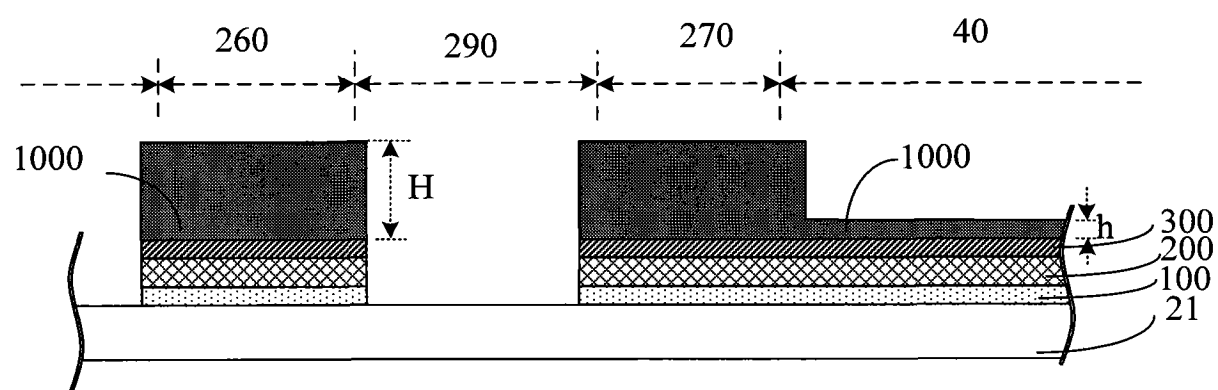


图 7a

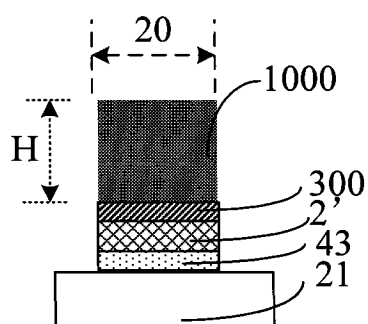


图 7b

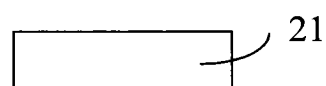


图 7c

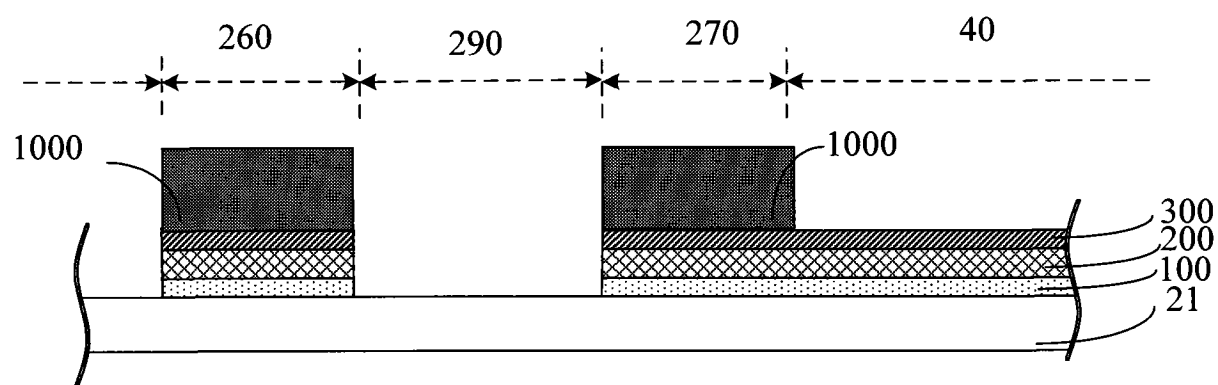


图 8a

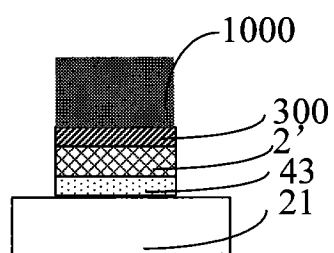


图 8b

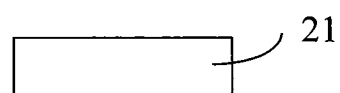


图 8c

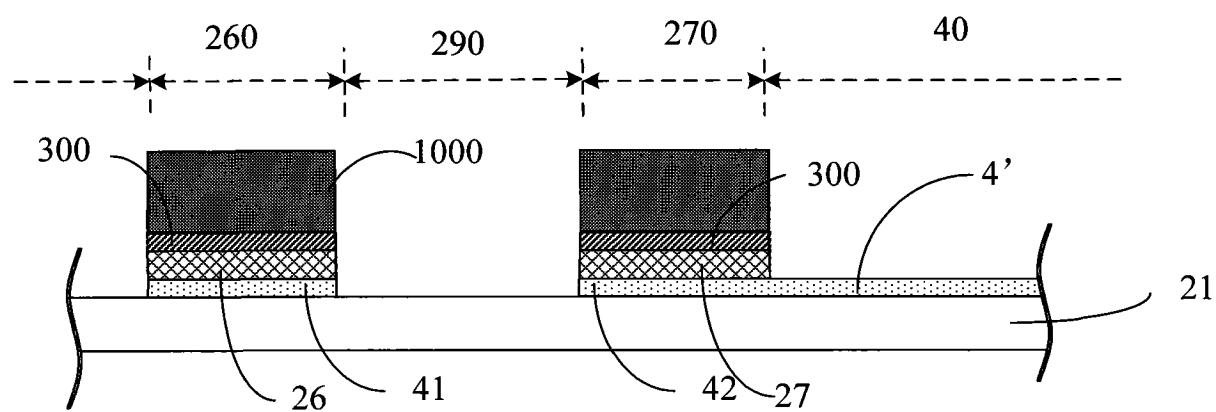


图 9a

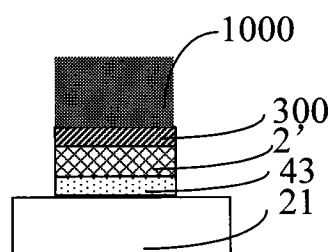


图 9b

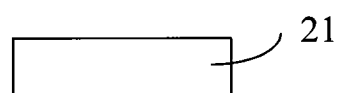


图 9c

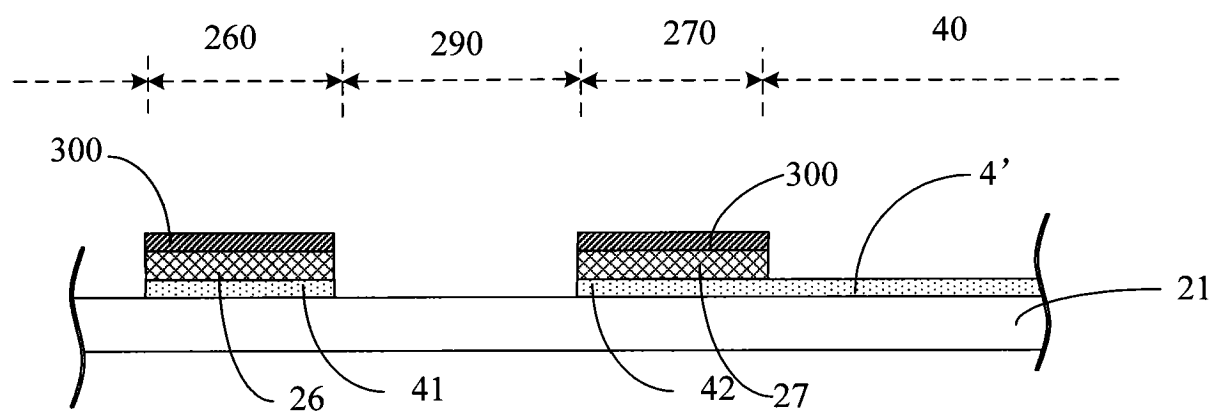


图 10a

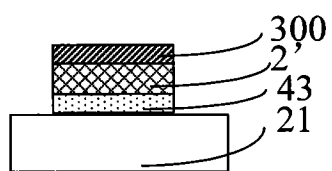


图 10b

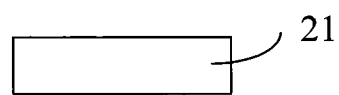


图 10c

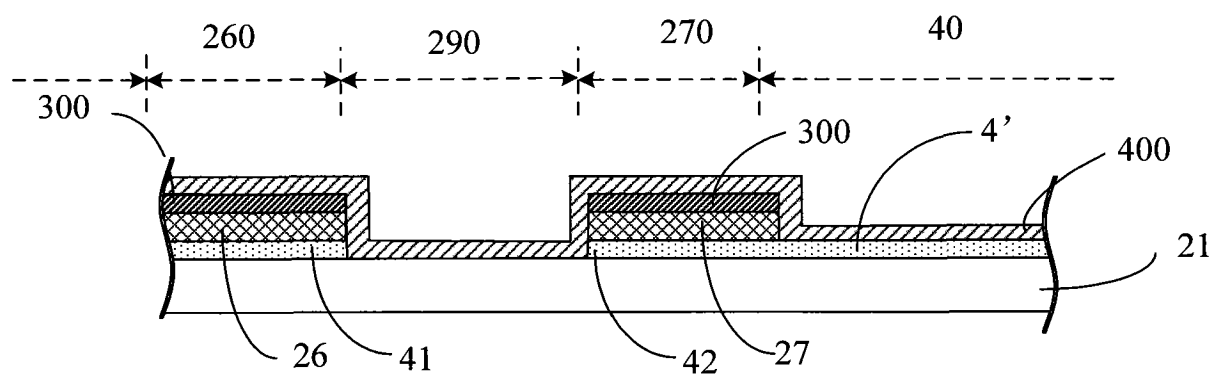


图 11a

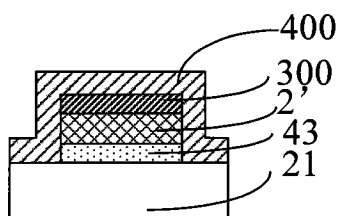


图 11b

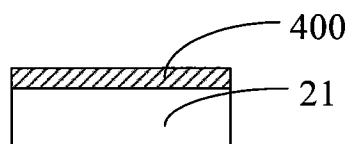


图 11c

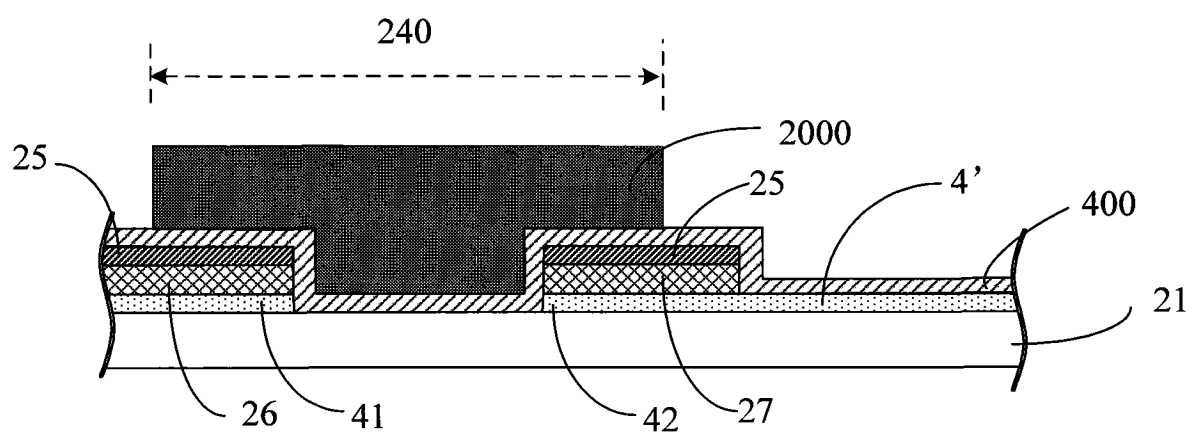


图 12a

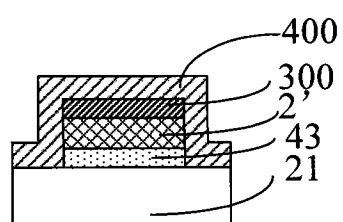


图 12b

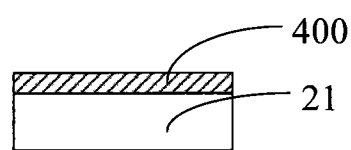


图 12c

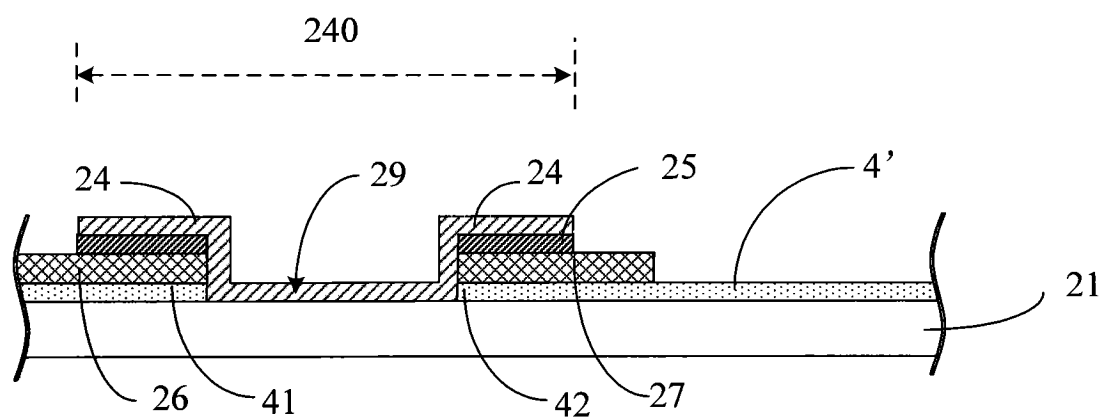


图 13a

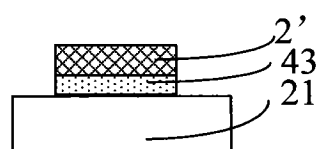


图 13b

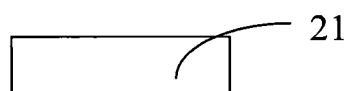


图 13c

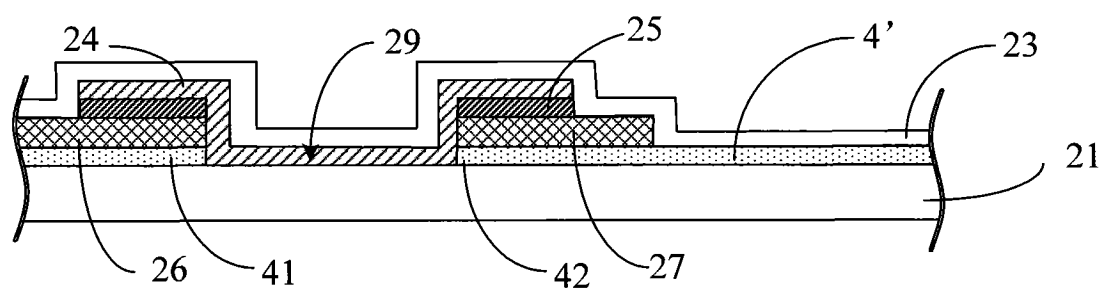


图 14a

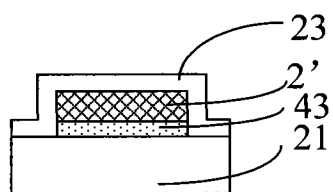


图 14b

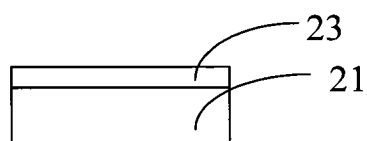


图 14c

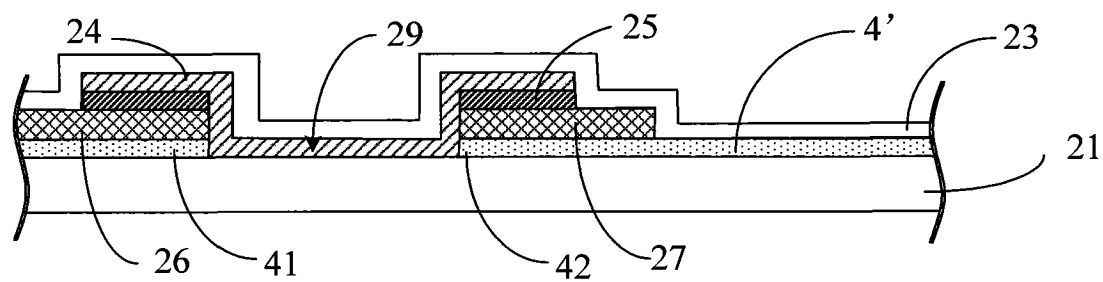


图 15a

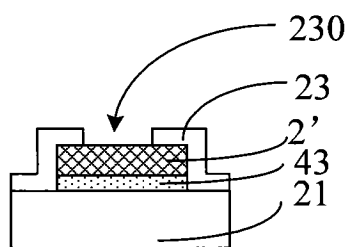


图 15b

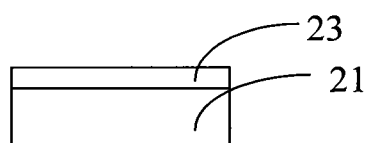


图 15c

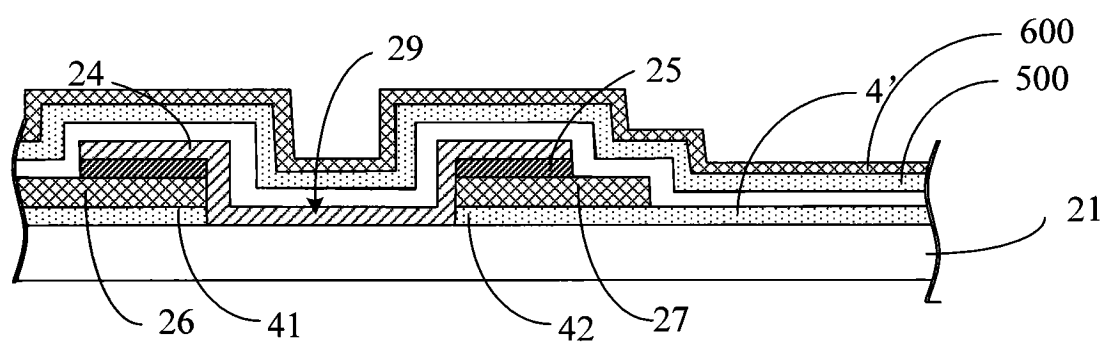


图 16a

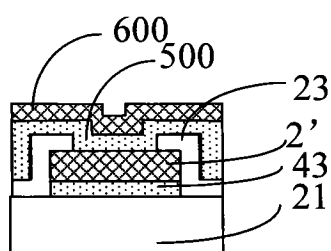


图 16b

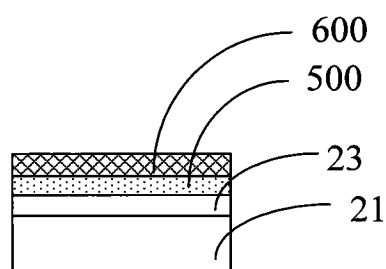


图 16c

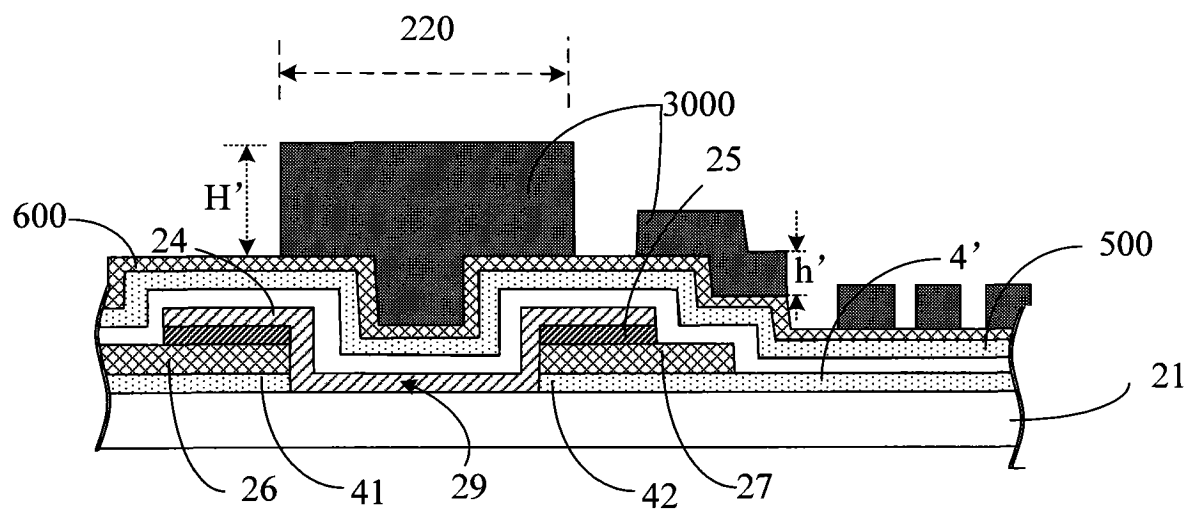


图 17a

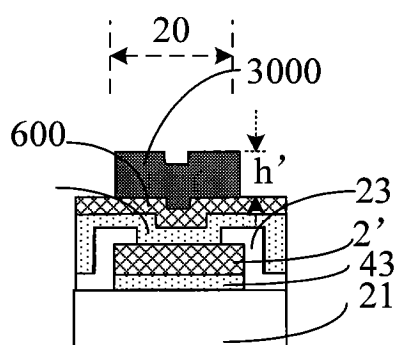


图 17b

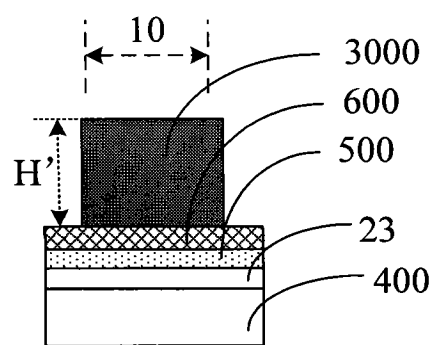


图 17c

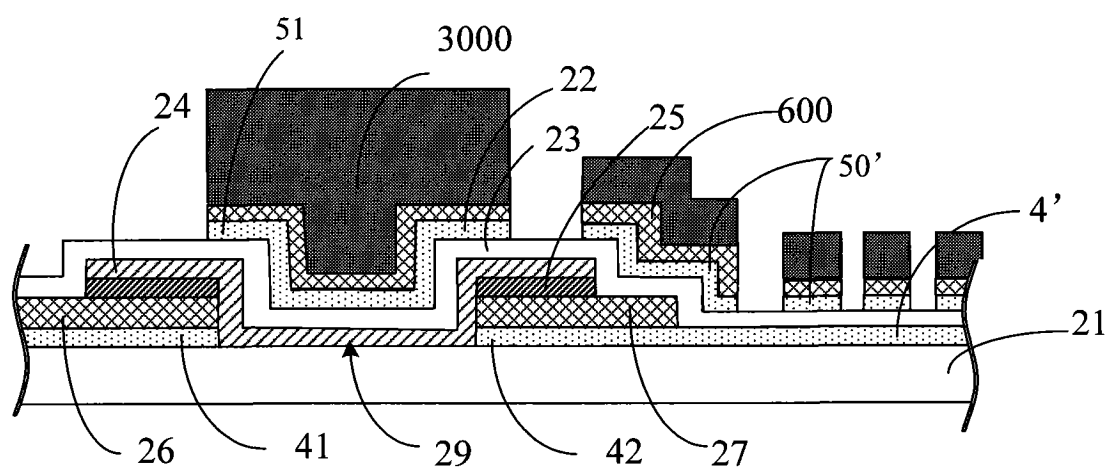


图 18a

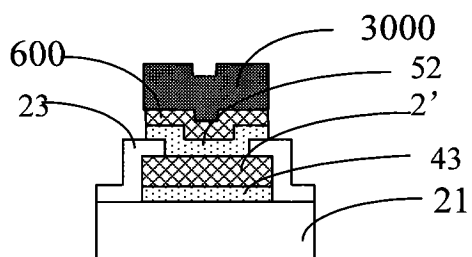


图 18b

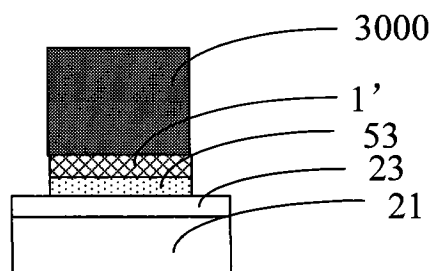


图 18c

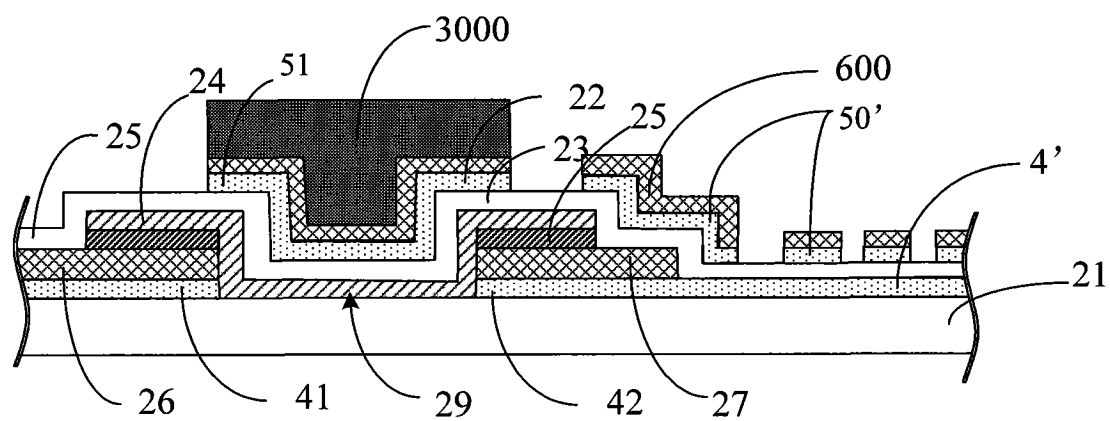


图 19a

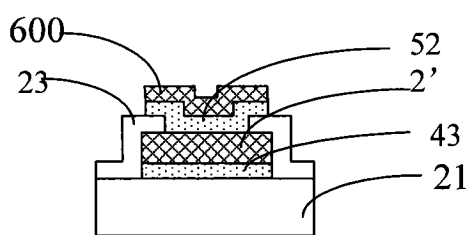


图 19b

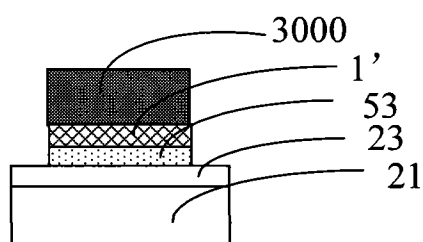


图 19c

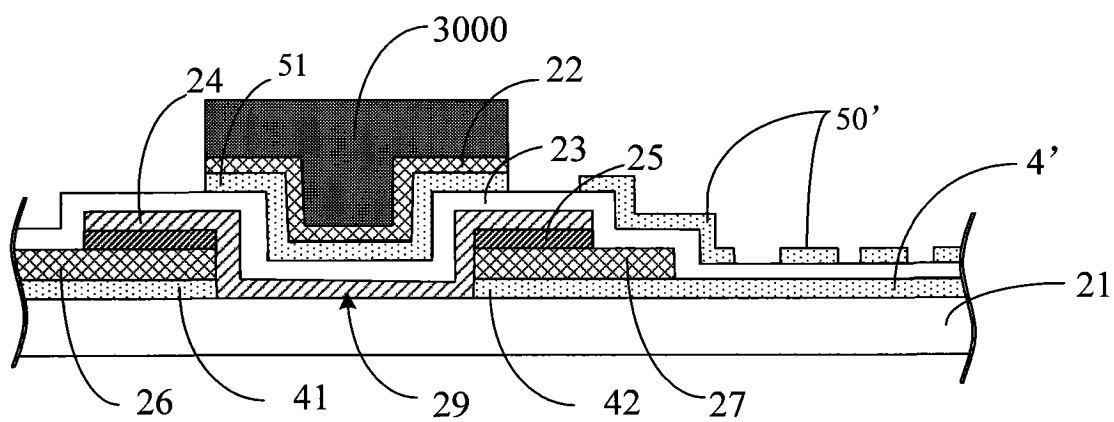


图 20a

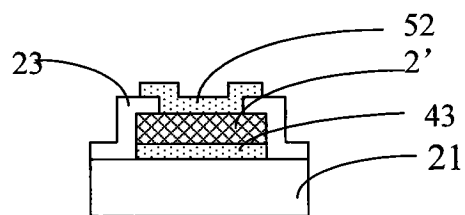


图 20b

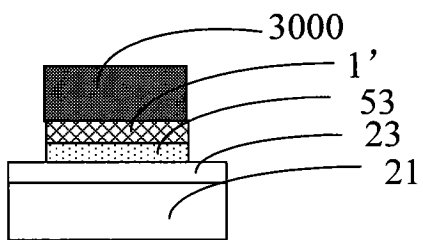


图 20c

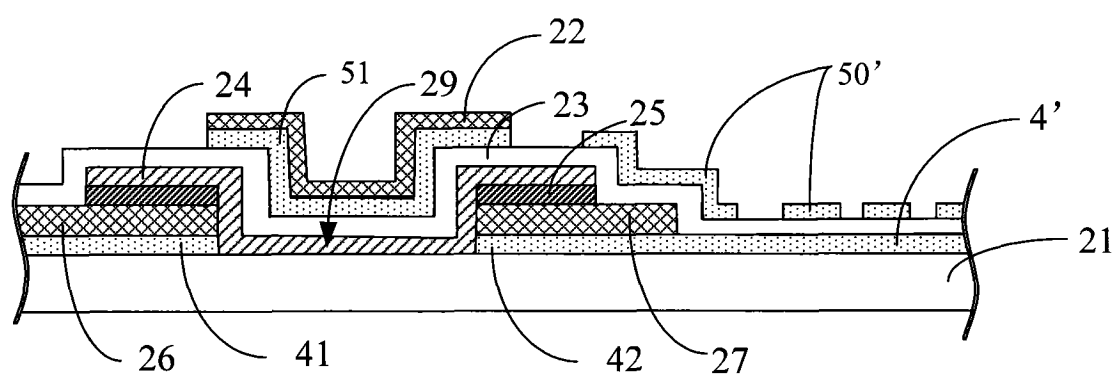


图 21a

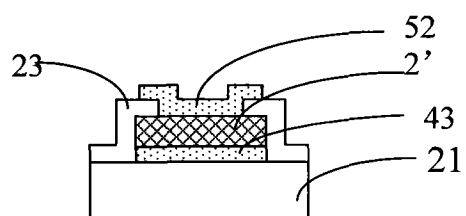


图 21b

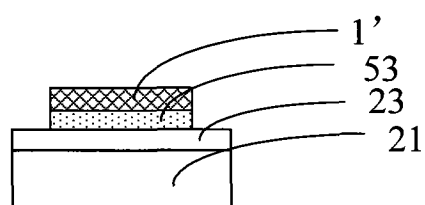


图 21c

|                |                                                |         |            |
|----------------|------------------------------------------------|---------|------------|
| 专利名称(译)        | FFS型TFT-LCD阵列基板及其制造方法                          |         |            |
| 公开(公告)号        | <a href="#">CN101963726A</a>                   | 公开(公告)日 | 2011-02-02 |
| 申请号            | CN200910089828.8                               | 申请日     | 2009-07-24 |
| [标]申请(专利权)人(译) | 北京京东方光电科技有限公司                                  |         |            |
| 申请(专利权)人(译)    | 北京京东方光电科技有限公司                                  |         |            |
| 当前申请(专利权)人(译)  | 京东方科技集团股份有限公司<br>北京京东方光电科技有限公司                 |         |            |
| [标]发明人         | 宋泳锡<br>刘圣烈<br>崔承镇                              |         |            |
| 发明人            | 宋泳锡<br>刘圣烈<br>崔承镇                              |         |            |
| IPC分类号         | G02F1/1368 H01L21/82 G02F1/1362                |         |            |
| 代理人(译)         | 刘芳                                             |         |            |
| 其他公开文献         | CN101963726B                                   |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a> |         |            |

#### 摘要(译)

本发明公开了一种FFS型TFT-LCD阵列基板及其制造方法。该方法包括：步骤1：在透明基板上依次沉积第一透明导电薄膜、源漏金属薄膜及掺杂半导体薄膜，通过第一构图工艺形成包括源电极、漏电极、数据线和像素电极的图形；步骤2：沉积半导体薄膜，通过第二构图工艺形成包括掺杂半导体层、TFT沟道和半导体层的图形；步骤3：沉积绝缘薄膜、通过第三构图工艺在PAD区域的数据线区域形成连接孔的图形；步骤4：沉积第二透明导电薄膜和栅金属薄膜，通过第四构图工艺形成包括栅线、栅电极、公共电极以及公共电极线的图形。本发明可以采用4次构图工艺既可制备完成，相比现有技术具有工艺步骤简化、工艺时间短、生产效率高和生产成本低等优点。

