

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



[12] 发明专利申请公布说明书

[21] 申请号 200810222792.1

G02F 1/1362 (2006.01)

G03F 7/00 (2006.01)

H01L 27/12 (2006.01)

H01L 21/84 (2006.01)

[43] 公开日 2010年3月31日

[11] 公开号 CN 101685229A

[22] 申请日 2008.9.25

[21] 申请号 200810222792.1

[71] 申请人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中路8号

[72] 发明人 崔承镇 宋泳锡 刘圣烈

[74] 专利代理机构 北京同立钧成知识产权代理有限公司

代理人 刘芳

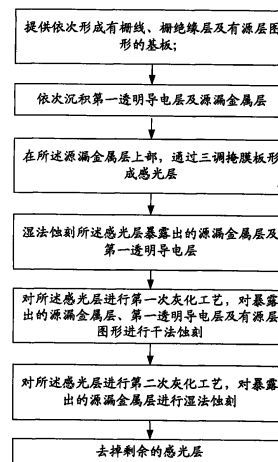
权利要求书3页 说明书10页 附图7页

[54] 发明名称

液晶显示器阵列基板的制造方法

[57] 摘要

本发明公开了一种液晶显示器阵列基板的制造方法，包括如下步骤：提供依次形成有栅线、栅绝缘层及有源层图形的基板；在完成步骤1的基板上依次沉积第一透明导电层及源漏金属层；在所述源漏金属层上部，通过三调掩膜板形成感光层；湿法蚀刻所述感光层暴露出的源漏金属层及第一透明导电层；对所述感光层进行第一次灰化工艺，对暴露出的源漏金属层、第一透明导电层及有源层图形进行干法蚀刻；对所述感光层进行第二次灰化工艺，对暴露出的源漏金属层进行湿法蚀刻；去掉剩余的感光层。本发明能够降低 TFT 沟道的过度蚀刻的程度，保障液晶显示器的显示性能。



1、一种液晶显示器阵列基板的制造方法，其特征在于，包括：

步骤 1、提供依次形成有栅线、栅绝缘层及有源层图形的基板；

步骤 2、在完成步骤 1 的基板上依次沉积第一透明导电层及源漏金属层；

步骤 3、在所述源漏金属层上部，通过三调掩模板形成感光层；

步骤 4、湿法蚀刻所述感光层暴露出的源漏金属层及第一透明导电层；

步骤 5、对所述感光层进行第一次灰化工艺，对暴露出的源漏金属层、第一透明导电层及有源层图形进行干法蚀刻；

步骤 6、对所述感光层进行第二次灰化工艺，对暴露出的源漏金属层进行湿法蚀刻；

步骤 7、去掉剩余的感光层。

2、根据权利要求 1 所述的液晶显示器阵列基板的制造方法，其特征在于，所述通过三调掩模板形成的感光层，其在经所述步骤 5 中的第一次灰化工艺暴露出的区域的厚度薄于经所述步骤 6 中的第二次灰化工艺暴露出的区域的厚度，且在经所述步骤 6 中的所述第二次灰化工艺暴露出的区域的厚度薄于所述步骤 7 中剩余的区域厚度。

3、根据权利要求 2 所述的液晶显示器阵列基板的制造方法，其特征在于还包括：

步骤 8、在完成步骤 7 的基板上沉积绝缘层，通过光刻工艺形成钝化层图形及过孔。

4、根据权利要求 3 所述的液晶显示器阵列基板的制造方法，其特征在于，还包括：

步骤 9、在完成步骤 8 的基板上沉积第二透明导电层，通过光刻工艺形成公共电极。

5、根据权利要求 2 所述的液晶显示器阵列基板的制造方法，其特征在于，还包括：

步骤 10、在完成步骤 7 的基板上，依次沉积绝缘层和第二透明导电层，通过光刻工艺形成钝化层图形及过孔，并通过离地剥离工艺在钝化层图形的上部形成公共电极。

6、一种液晶显示器阵列基板的制造方法，其特征在于，包括：

步骤 11、提供在 TFT 区域上具有第一金属层、第一绝缘层、半导体层及掺杂半导体层的基板，且该基板被所述第一绝缘层覆盖，所述基板包括像素区域、TFT 区域和非显示区域，该 TFT 区域包括源电极区域、漏电极区域及 TFT 沟道区域；

步骤 12、在完成步骤 11 的基板上，依次沉积第一透明导电层及第二金属层；

步骤 13、在所述第二金属层上形成感光层，且所述 TFT 沟道区域的感光层具有第一厚度，所述像素区域的感光层具有第二厚度，所述源电极区域和漏电极区域的感光层具有第三厚度，所述感光层的第一厚度比第二厚度薄，第二厚度比第三厚度薄；

步骤 14、蚀刻所述非显示区域的第二金属层及第一透明导电层；

步骤 15、对所述感光层进行第一次灰化工艺，暴露出所述 TFT 沟道区域的第二金属层；

步骤 16、蚀刻 TFT 沟道区域的第二金属层、透明导电层及掺杂半导体层；

步骤 17、对所述感光层进行第二次灰化工艺，暴露出所述像素区域的第二金属层；

步骤 18、蚀刻所述像素区域的第二金属层；

步骤 19、去掉剩余感光层。

7、根据权利要求 6 所述的液晶显示器阵列基板的制造方法，其特征在于，所述步骤 14 中通过湿法蚀刻进行蚀刻，所述步骤 16 中通过干法蚀刻进行蚀刻，所述步骤 18 中通过湿法蚀刻进行蚀刻。

8、根据权利要求 7 所述的液晶显示器阵列基板的制造方法，其特征在于，

还包括:

步骤 20、在完成步骤 19 的基板上,沉积第二绝缘层,并通过光刻工艺形成钝化层图形及过孔。

9、根据权利要求 8 所述的液晶显示器阵列基板的制造方法,其特征在于,还包括:

步骤 21、在完成步骤 20 的基板上,沉积第二透明导电层,通过光刻工艺形成公共电极。

10、根据权利要求 7 所述的液晶显示器阵列基板的制造方法,其特征在于,还包括:

步骤 22、在完成步骤 19 的基板上依次沉积第二绝缘层和第二透明导电层,通过光刻工艺形成钝化层图形及过孔,并通过离地剥离工艺在钝化层图形的上部形成公共电极。

液晶显示器阵列基板的制造方法

技术领域

本发明涉及一种液晶显示器阵列基板的制造方法，尤其是涉及一种能够降低过度蚀刻程度的液晶显示器阵列基板的制造方法。

背景技术

液晶显示器阵列基板利用光刻工艺制造。由于光刻工艺需要使用造价非常昂贵的掩膜板，随着液晶显示器制造工艺的进一步发展，如何减少掩膜板的使用数量，已成为业内降低成本，提高竞争力的关键所在。

现有技术中提出了很多种方法，达到减少掩膜板使用数量的目的。例如，公开了一种利用一个双调掩膜板（dual-tone mask），形成透明电极（ITO、IZO等）、源电极、漏电极及薄膜晶体管（TFT）沟道的方法。这种方法可以利用于扭曲向列型（TN）液晶显示器和边缘电场切换型（FFS）液晶显示器等的阵列基板的制造过程中。

现有的四次光刻工艺制造TN型液晶显示器的阵列基板的方法如下：

步骤1、沉积栅金属层，通过第一次光刻工艺利用第一掩膜板形成栅线，按需要也可以突出形成与栅线一体的栅电极；

步骤2、在完成步骤1的基板上，沉积栅绝缘层、有源层（半导体层和掺杂半导体层），通过第二次光刻工艺利用第二掩膜板形成有源层（ACTIVE）图形；

步骤3、在完成步骤2的基板上，依次沉积透明导电层和源漏金属层，通过第三次光刻工艺利用第三掩膜板（双调掩膜板）形成像素电极、源电极、漏电极及TFT沟道；

步骤4、在完成步骤3的基板上，沉积钝化层，通过第四次光刻工艺利用第四掩膜板形成钝化层图形及过孔。

现有的4次光刻法制造FFS型液晶显示器的阵列基板的方法如下:

步骤1、沉积栅金属层,通过第一次光刻工艺利用第一掩模板形成栅线,按需要也可以突出形成与栅线一体的栅电极;

步骤2、在完成步骤1的基板上,沉积栅绝缘层、有源层(半导体层和掺杂半导体层),通过第二次光刻工艺利用第二掩模板形成有源层(ACTIVE)图形;

步骤3、在完成步骤2的基板上,依次沉积第一透明导电层和源漏金属层,通过第三次光刻工艺利用第三掩模板(双调掩模板)形成像素电极、源电极、漏电极及TFT沟道;

步骤4、在完成步骤3的基板上,沉积钝化层及第二透明导电层,通过第四次光刻工艺利用第四掩模板形成钝化层图形、过孔及公共电极。

上述两种液晶显示器的阵列基板的制造方法虽然通过一次光刻工艺仅用一个双调掩模板就完成了像素电极、源电极、漏电极及TFT沟道的图形,节省了成本,但是本发明的发明人在实践中发现,这种现有的方法会导致液晶显示器的显示性能降低的重大缺陷。详述如下:

请一并参阅图1及图2A-2F,图1为现有的液晶显示器阵列基板的结构示意图。图2A为现有的形成有栅电极、栅绝缘层、有源层图形的基板上,沉积了第一透明导电层及源漏金属层之后的基板的截面图;图2B为在图2A的基板上利用双调掩模板对光刻胶进行曝光和显影处理形成感光层后的截面图;图2C为对图2B的基板进行了蚀刻后的截面图;图2D为对图2C的基板上的感光层进行了灰化工艺后的截面图;图2E为对图2D的基板进行了蚀刻后的截面图。图2F为去掉了图2E的感光层后的截面图。

如图1所示,液晶显示器阵列基板由像素区域101和非显示区域和TFT区域102构成,所述非显示区域包括位于像素区域101之间的配线区域及其他区域,该TFT区域102包括TFT沟道区域1021、源电极区域1022及漏电极区域1023;该配线区域包括栅线区域103及数据线区域104。像素区域101为很多像素电极141所组成的区域;栅线区域103为数个栅线11所构成的区

域；数据线区域 104 为数个数据线 16 所构成的区域。

根据图 2A-2F 具体说明现有的液晶显示器的阵列基板制造方法，其包括如下步骤：

步骤 1、在形成有栅线 11 及与其一体的栅电极 111、栅绝缘层 12 及有源层图形 13 的基板 10 上依次沉积第一透明导电层 14 和源漏金属层 15，如图 2A；

步骤 2、涂上一层光刻胶，通过双调掩模板进行曝光处理和显影处理形成感光层 100，所述像素区域 101 的感光层 100 的厚度比所述源电极区域 1022、漏电极区域 1023 及数据线区域 104 的感光层 100 的厚度薄，如图 2B；

步骤 3、对基板 10 进行大面积湿法蚀刻，蚀刻掉基板 10 上暴露出的区域的源漏金属层 15、第一透明导电层 14 及部分有源层，形成源电极 151 和 TFT 沟道 131，如图 2C；

步骤 4、对感光层 100 进行灰化工艺，使像素区域 101 的源漏金属层 15 暴露，如图 2D；

步骤 5、对基板 10 进行大面积湿法蚀刻，蚀刻掉基板上暴露出的区域的源漏金属层 15，形成像素电极 141、漏电极 152，如图 2E；

步骤 6、去掉剩余感光层 100，如图 2F。

上述步骤 3 和步骤 5 中，为了形成 TFT 沟道、源电极、漏电极及像素电极，需要对整个基板进行两次大面积蚀刻，这种大面积蚀刻，只能采用湿法蚀刻进行，即将基板浸泡于蚀刻液中，蚀刻掉没有被光刻胶所覆盖且可被该蚀刻液侵蚀的部分。上述方法中可以看出 TFT 沟道区域被湿法蚀刻了两次，由于湿法蚀刻很难控制蚀刻程度，因此，就不可避免的产生了 TFT 沟道过度蚀刻 (Over Etch) 的问题。对于阵列基板中有重大意义的 TFT 沟道，这种过度蚀刻是不可忽视的缺陷，会引起 TFT 沟道变宽，对液晶显示器的整体性能产生重大的不良影响。

发明内容

本发明的目的是提供一种液晶显示器阵列基板的制造方法，使其能够降

低 TFT 沟道的过度蚀刻的程度，保障液晶显示器的显示性能。

为实现上述目的，本发明提供了一种液晶显示器阵列基板的制造方法，其包括如下步骤：

步骤 1、提供依次形成有栅线、栅绝缘层及有源层图形的基板；

步骤 2、在完成步骤 1 的基板上依次沉积第一透明导电层及源漏金属层；

步骤 3、在所述源漏金属层上部，通过三调掩模板形成感光层；

步骤 4、湿法蚀刻所述感光层暴露出的源漏金属层及第一透明导电层；

步骤 5、对所述感光层进行第一次灰化工艺，对暴露出的源漏金属层、第一透明导电层及有源层图形进行干法蚀刻；

步骤 6、对所述感光层进行第二次灰化工艺，对暴露出的源漏金属层进行湿法蚀刻；

步骤 7、去掉剩余的感光层。

为实现上述目的，本发明还提供了一种液晶显示器阵列基板的制造方法，包括：

步骤 11、提供在 TFT 区域上具有第一金属层、第一绝缘层、半导体层及掺杂半导体层的基板，且该基板被所述第一绝缘层覆盖，所述基板包括像素区域、TFT 区域和非显示区域，该 TFT 区域包括源电极区域、漏电极区域及 TFT 沟道区域；

步骤 12、在完成步骤 11 的基板上，依次沉积第一透明导电层及第二金属层；

步骤 13、在所述第二金属层上形成感光层，且所述 TFT 沟道区域的感光层具有第一厚度，所述像素区域的感光层具有第二厚度，所述源电极区域和漏电极区域的感光层具有第三厚度，所述感光层的第一厚度比第二厚度薄，第二厚度比第三厚度薄；

步骤 14、蚀刻所述非显示区域的第二金属层及第一透明导电层；

步骤 15、对所述感光层进行第一次灰化工艺，暴露出所述 TFT 沟道区域

的第二金属层;

步骤 16、蚀刻 TFT 沟道区域的第二金属层、透明导电层及掺杂半导体层;

步骤 17、对所述感光层进行第二次灰化工艺,暴露出所述像素区域的第二金属层;

步骤 18、蚀刻所述像素区域的第二金属层;

步骤 19、去掉剩余感光层。

本发明采用三调掩模板在 TFT 沟道区域上也形成了感光层,使得在第一次湿法蚀刻时, TFT 沟道区域得以被感光层保护,然后利用能够精确控制蚀刻程度的干法蚀刻,蚀刻出了 TFT 沟道,这样,相较于现有技术的 TFT 沟道经历两次湿法蚀刻相比,本发明的 TFT 沟道经历了一次干法蚀刻和一次湿法蚀刻,由于减少了 TFT 沟道被湿法蚀刻的次数,减少了过度蚀刻的程度,避免了 TFT 沟道的宽度过宽而影响液晶显示器的显示性能。

下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

附图说明

图 1 为现有的液晶显示器阵列基板的结构示意图;

图 2A 为现有的形成有栅电极、栅绝缘层、有源层图形的基板上,沉积了第一透明导电层及源漏金属层之后的基板的截面图;

图 2B 为在图 2A 的基板上利用双调掩模板对光刻胶进行曝光和显影处理形成感光层后的截面图;

图 2C 为对图 2B 的基板进行了蚀刻后的截面图;

图 2D 为对图 2C 的基板上的感光层进行了灰化工艺后的截面图;

图 2E 为对图 2D 的基板进行了蚀刻后的截面图;

图 2F 为去掉了图 2E 的感光层后的截面图;

图 3 为本发明的液晶显示器阵列基板的制造方法的流程图;

图 4A 为形成有栅线及与栅线一体的栅电极的基板的剖面图;

图 4B 为在图 4A 的基板上形成栅绝缘层和有源层图形后的剖面图；
 图 4C 为在图 4B 的基板上沉积第一透明导电层和源漏金属层后的截面图；
 图 4D 为在图 4C 的基板上形成感光层后的截面图；
 图 4E 为图 4D 的基板经湿法蚀刻后的截面图；
 图 4F 为图 4E 的感光层经第一次灰化工艺后的截面图；
 图 4G 为图 4F 的 TFT 沟道区域经干法蚀刻后的截面图；
 图 4H 为图 4G 的感光层经第二次灰化工艺后的截面图；
 图 4I 为图 4H 的基板经湿法蚀刻后的截面图；
 图 4J 为去掉图 4I 中的感光层后的截面图。

10-基板；	11-栅线；
111-栅电极；	12-栅绝缘层；
13-有源层图形；	14-第一透明导电层；
141-像素电极；	15-源漏金属层；
151-源电极；	152-漏电极；
16-数据线；	131-TFT 沟道；
100-感光层；	101-像素区域；
102: TFT 区域；	103-栅线区域；
104-数据线区域；	1021-TFT 沟道区域
1022-源电极区域；	1023-漏电极区域。

具体实施方式

请参阅图 3，为本发明的液晶显示器阵列基板的制造方法的流程图，本发明的液晶显示器阵列基板的制造方法，包括：

步骤 1：提供依次形成有栅线及与栅线一体的栅电极、栅绝缘层及有源层图形的基板；

步骤 2：在完成步骤 1 的基板上依次沉积第一透明导电层及源漏金属层；

步骤 3: 在所述源漏金属层上部, 通过三调掩模板形成感光层;

步骤 4: 湿法蚀刻所述感光层暴露出的源漏金属层及第一透明导电层;

步骤 5: 对所述感光层进行第一次灰化工艺, 对经第一次灰化工艺暴露出的源漏金属层、第一透明导电层及有源层图形进行干法蚀刻, 形成 TFT 沟道及源电极;

步骤 6: 对所述感光层进行第二次灰化工艺, 对暴露出的源漏金属层进行湿法蚀刻, 形成像素电极和漏电极;

步骤 7: 去掉剩余的感光层。

上述通过三调掩模板形成的感光层, 其在经所述步骤 5 中的第一次灰化工艺暴露出的区域的厚度薄于经所述步骤 6 中的第二次灰化工艺暴露出的区域的厚度, 且在经所述步骤 6 中的所述第二次灰化工艺暴露出的区域的厚度薄于所述步骤 7 中剩余的区域的厚度。

本发明采用三调掩模板在 TFT 沟道区域上也形成了感光层, 使得在第一次湿法蚀刻时, TFT 沟道区域得以被感光层保护, 然后利用能够精确控制蚀刻程度的干法蚀刻, 蚀刻出了 TFT 沟道, 这样, 相较于现有技术的 TFT 沟道经历两次湿法蚀刻相比, 本发明的 TFT 沟道经历了一次干法蚀刻和一次湿法蚀刻, 由于减少了 TFT 沟道被湿法蚀刻的次数, 减少了过度蚀刻的程度, 避免了 TFT 沟道的宽度过宽而影响液晶显示器的显示性能。

本发明的液晶显示器阵列基板的制造方法还包括:

步骤 8: 在完成步骤 7 的基板上沉积绝缘层, 通过光刻工艺形成钝化层图形及过孔; 还可以继续进行步骤 9: 在完成步骤 8 的基板上沉积透明导电层, 通过光刻工艺形成公共电极。步骤 8 和步骤 9 还可以通过离地剥离工艺 (lift off), 采用一次光刻工艺完成, 具体如下:

步骤 10、在完成步骤 7 的基板上, 依次沉积绝缘层和第二透明导电层, 通过光刻工艺形成钝化层图形, 并通过离地剥离工艺在钝化层图形的上部形成公共电极。

下面详细说明本发明液晶显示器阵列基板制造方法的较佳实施例。

如图 1 所示，液晶显示器阵列基板由像素区域 101 和非显示区域和 TFT 区域 102 构成，所述非显示区域包括位于像素区域 101 之间的配线区域及其他区域，该 TFT 区域 102 包括 TFT 沟道区域 1021、源电极区域 1022 及漏电极区域 1023；该配线区域包括栅线区域 103 及数据线区域 104。像素区域 101 为很多像素电极 141 所组成的区域；栅线区域 103 为数个栅线 11 所构成的区域；数据线区域 104 为数个数据线 16 所构成的区域。

请参阅一并参阅图 1 及图 4A-图 4J，图 4A 为形成有栅线及与栅线一体的栅电极的基板的剖面图；图 4B 为在图 4A 的基板上形成栅绝缘层和有源层图形后的剖面图；图 4C 为在图 4B 的基板上沉积第一透明导电层和源漏金属层后的截面图；图 4D 为在图 4C 的基板上形成感光层后的截面图；图 4E 为图 4D 的基板经湿法蚀刻后的截面图；图 4F 为图 4E 的感光层经第一次灰化工艺后的截面图；图 4G 为图 4F 的 TFT 沟道区域经干法蚀刻后的截面图；图 4H 为图 4G 的感光层经第二次灰化工艺后的截面图；图 4I 为图 4H 的基板经湿法蚀刻后的截面图；图 4J 为去掉图 4I 中的感光层后的截面图。

本发明液晶显示器阵列基板的制造方法，包括如下步骤。

步骤 11、提供在 TFT 区域 102 上形成有第一金属层、第一绝缘层及半导体层及掺杂半导体层的基板 10，且该基板 10 被所述第一绝缘层覆盖，所述第一金属层还形成于栅线区域 103 内。第一金属层为 Cr、W、Ti、Ta、Mo、Al 或 Cu 的单层膜，或 Cr、W、Ti、Ta、Mo、Al 和 Cu 任意组合所构成的复合膜，形成在 TFT 区域 102 内的第一金属层是做为栅电极 111，形成于栅线区域 103 内的第一金属层是作为栅线 11。第一绝缘层是作为栅绝缘层 12 覆盖在栅线 11 和栅电极 111 上，使得栅线 11 和栅电极 111 与其他结构绝缘。具体地，先在基板 10 上沉积第一金属层后，通过光刻工艺保留 TFT 区域 102 内的第一金属层而形成栅电极 111，保留栅线区域 103 内的第一金属层而形成栅线 11(参阅图 1)，如图 4A。然后，依次沉积栅绝缘层 12 及有源层(半导体层及

掺杂半导体层)，通过光刻工艺仅保留 TFT 区域 102 内的有源层而得到有源层图形 13，如图 4B。

步骤 12、在完成步骤 11 的基板上，依次沉积第一透明导电层 14 及第二金属层，所述第二金属层为源漏金属层 15，如图 4C。所述源漏金属层是 Cr、W、Ti、Ta、Mo、Al 或 Cu 的单层膜，或 Cr、W、Ti、Ta、Mo、Al 和 Cu 任意组合所构成的复合膜。第一透明导电层为 ITO 或 IZO。

步骤 13、在所述第二金属层上通过三调掩模板形成感光层 100，且 TFT 沟道区域 1021 的感光层 100 具有第一厚度，所述像素区域 101 的感光层 100 具有第二厚度，所述源电极区域 1022、漏电极区域 1023 及数据线区域 104（参阅图 1）的感光层 100 具有第三厚度；感光层的第一厚度比第二厚度薄，第二厚度比第三厚度薄，如图 4D。

步骤 14、蚀刻所述数据线区域 104（参阅图 1）之外的非显示区域的第二金属层（源漏金属层 15）及第一透明导电层 14，如图 4E。由于需要进行整个基板的大面积蚀刻，因此需要通过湿法蚀刻进行。此时，由于 TFT 沟道区域 1021 内还存在感光层 100，因此，TFT 沟道区域 1021 没有被蚀刻。

步骤 15、将所述感光层 100 进行第一次灰化工艺，暴露出 TFT 沟道区域 1021 的第二金属层（源漏金属层 15），如图 4F。此时，通过灰化工艺去掉的感光层 100 的厚度为第一厚度，因此，TFT 沟道区域 1021 的感光层 100 被去掉，暴露出源漏金属层 15。其余部分的感光层 100 也相应的减少了相当于第一厚度程度的厚度。

步骤 16、蚀刻 TFT 沟道区域 1021 的第二金属层（源漏金属层 15）、第一透明导电层 14 及部分有源层图形 13；由于对小面积的 TFT 沟道区域 1021 进行蚀刻，因此，可以采用干法蚀刻来精确控制蚀刻程度，蚀刻掉源漏金属层 15、第一透明导电层 14 和部分有源层图形 13（掺杂半导体层），形成 TFT 沟道 131 及源点极 151，如图 4G。

步骤 17、将所述感光层 100 进行第二次灰化工艺，暴露出像素区域 101

的第二金属层（源漏金属层 15），如图 4H；此时，去掉的感光层 100 为相当于第二厚度减去第一厚度的差值程度的厚度，因此，暴露出了像素区域 101 的源漏金属层 15。

步骤 18、蚀刻所述像素区域 101 的第二金属层（源漏金属层 15）；由于需要进行整个基板的大面积蚀刻，因此需要通过湿法蚀刻进行。蚀刻掉像素区域 101 的源漏金属层 15，形成漏电极 152 和像素电极 141，如图 4I。

步骤 19、去掉剩余感光层，如图 4j。

另外，可以在完成步骤 9 的基板上，沉积第二绝缘层，并通过光刻工艺形成钝化层图形；或还可以继续沉积第二透明导电层，通过光刻工艺形成公共电极；此外，还可以在完成步骤 9 的基板上依次沉积第二绝缘层和第二透明导电层，通过光刻工艺形成钝化层图形，并通过离地剥离工艺（lift off）在钝化层图形的上部形成公共电极。

本发明通过在 TFT 沟道区域之上保留一层感光层，使得第一次湿法蚀刻时，TFT 沟道区域得以被保护，然后利用能够精确控制蚀刻程度的干法蚀刻，蚀刻出了 TFT 沟道，这样，相较于现有技术的 TFT 沟道经历两次湿法蚀刻相比，本发明的 TFT 沟道经历了一次干法蚀刻和一次湿法蚀刻，由于减少了 TFT 沟道被湿法蚀刻的次数，降低了过度蚀刻的程度，避免了 TFT 沟道的宽度过宽而影响液晶显示器的性能。

本领域技术人员也可以将上述制造方法应用到 TN 型或 FFS 型液晶显示器的制造方法中，通过一次光刻工艺形成源电极、漏电极、TFT 沟道及像素电极图形的同时，解决 TFT 沟道过度蚀刻的问题。

最后应说明的是：以上实施例仅用以说明本发明的技术方案而非对其进行限制，尽管参照较佳实施例对本发明进行了详细的说明，本领域的普通技术人员应当理解：其依然可以对本发明的技术方案进行修改或者等同替换，而这些修改或者等同替换亦不能使修改后的技术方案脱离本发明技术方案的精神和范围。

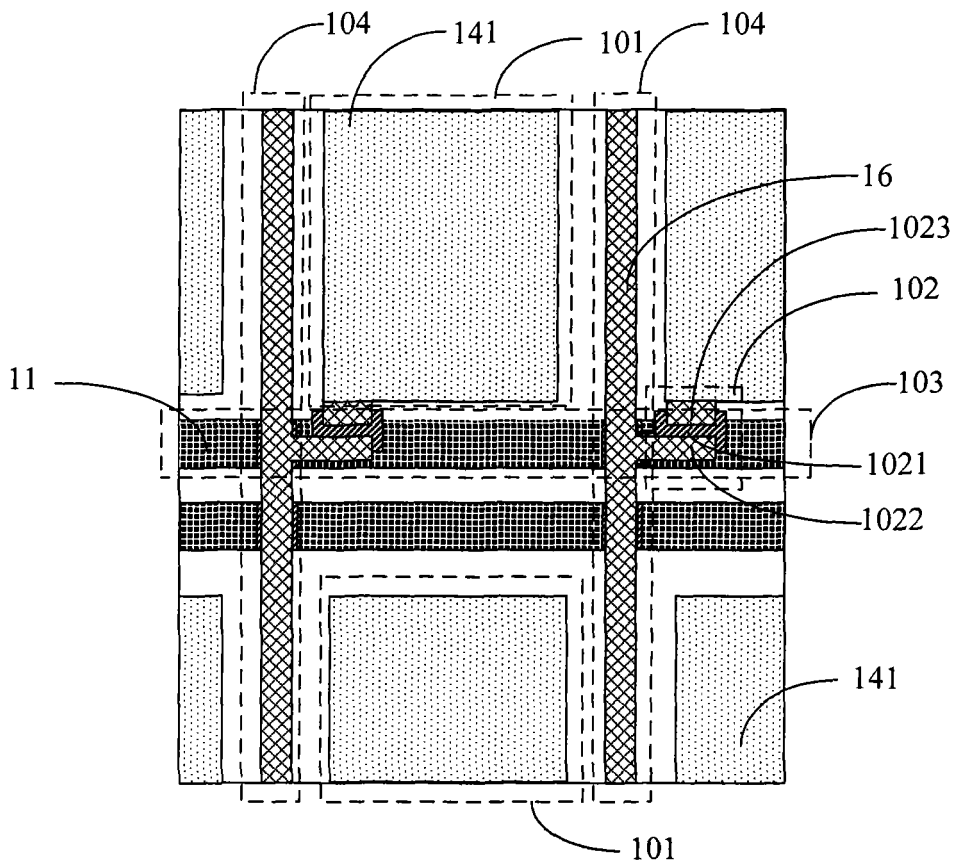


图 1

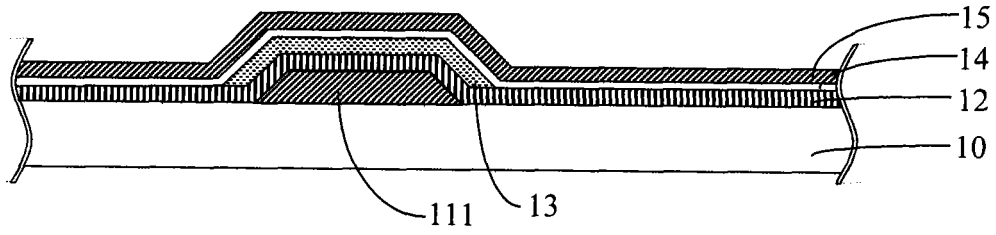


图 2A

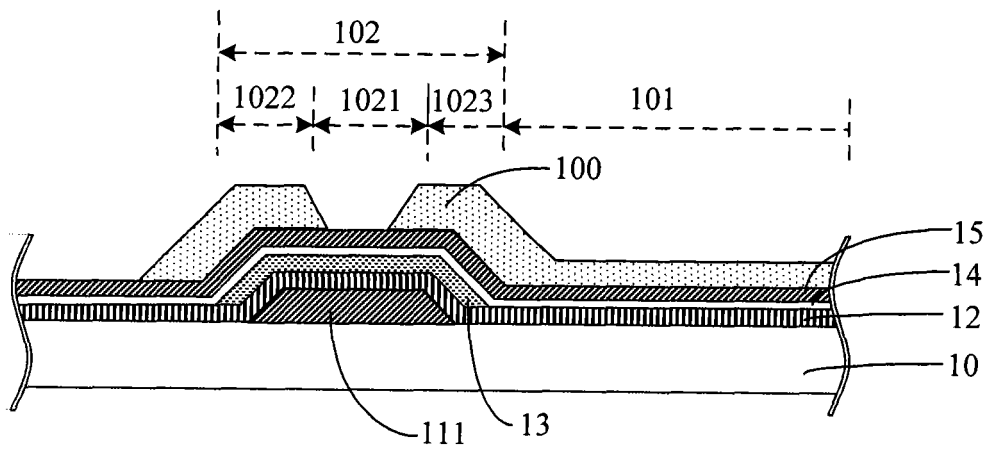


图 2B

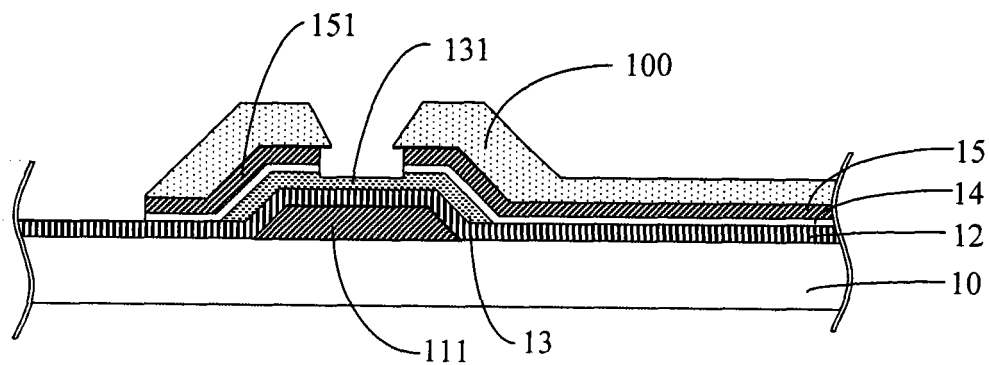


图 2C

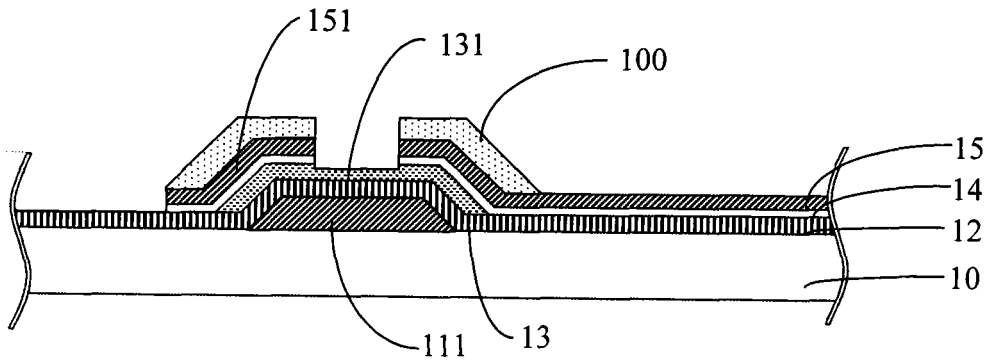


图 2D

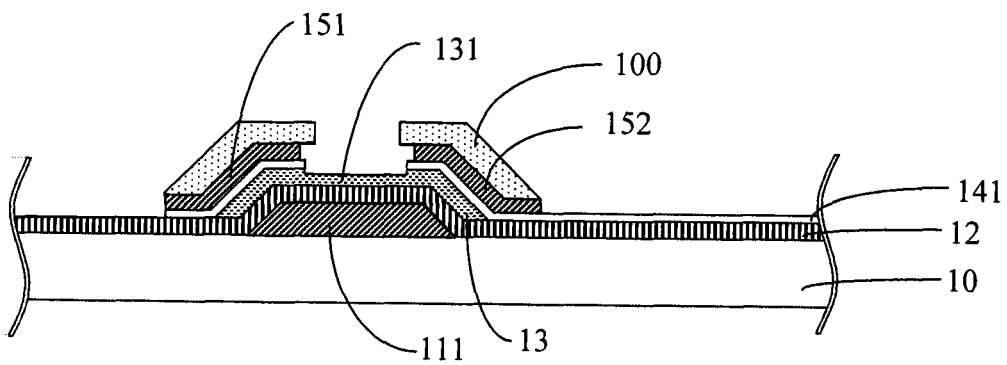


图 2E

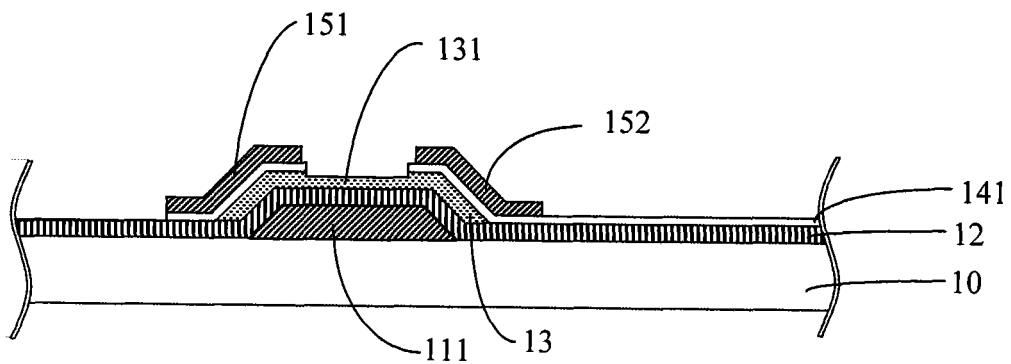


图 2F

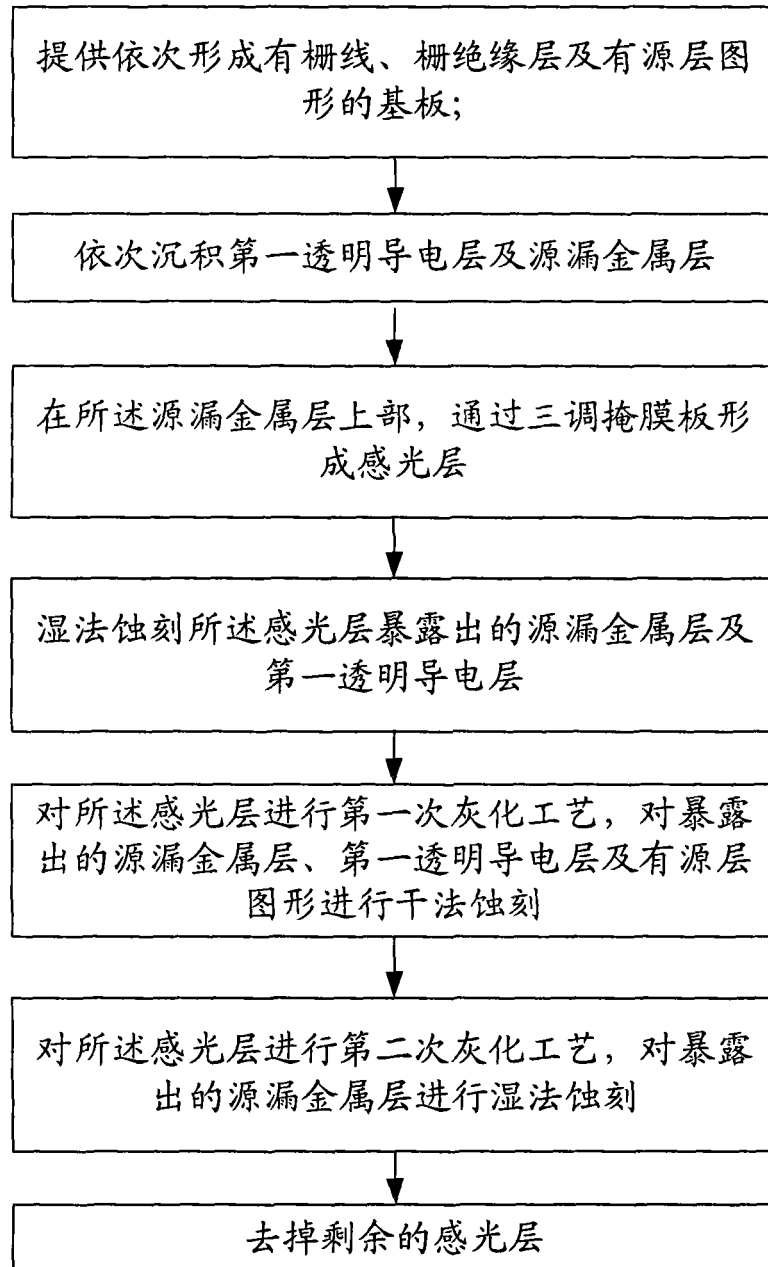


图 3

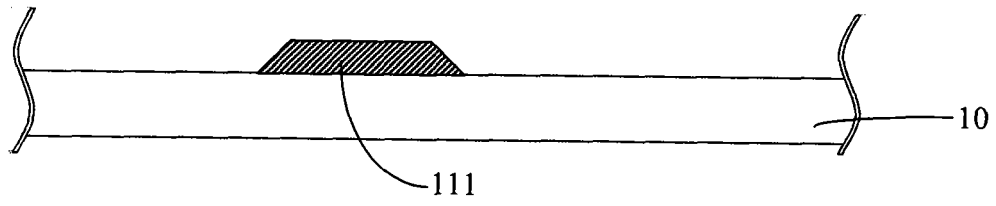


图 4A

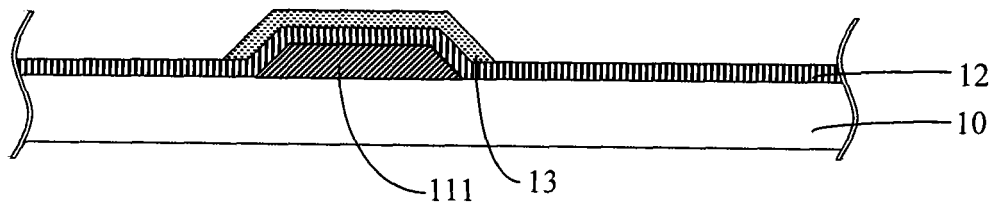


图 4B

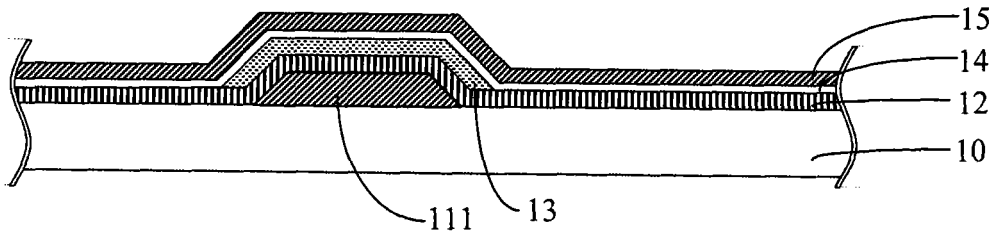


图 4C

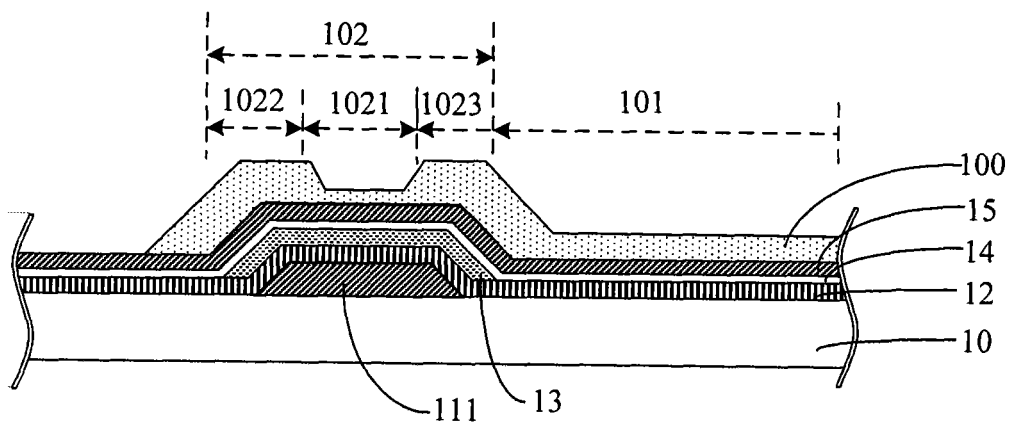


图 4D

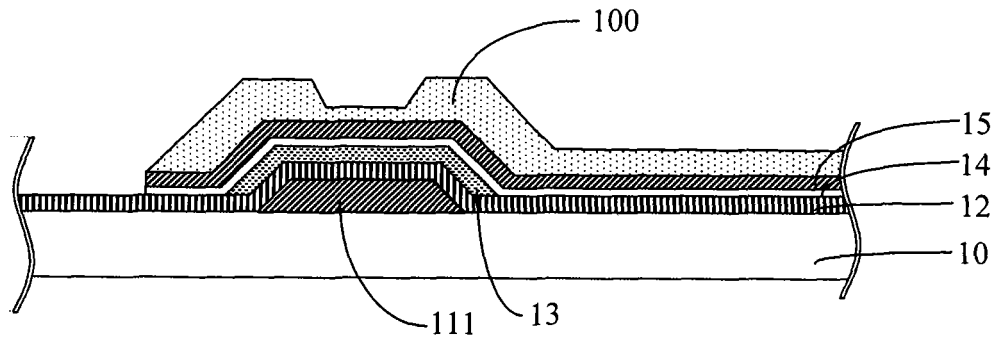


图 4E

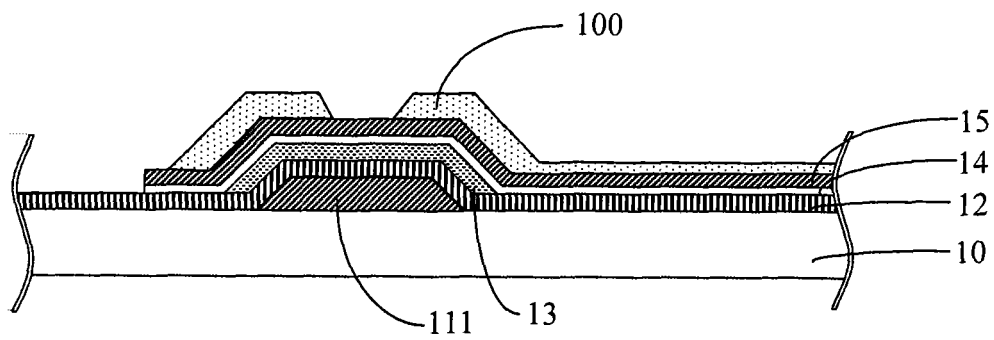


图 4F

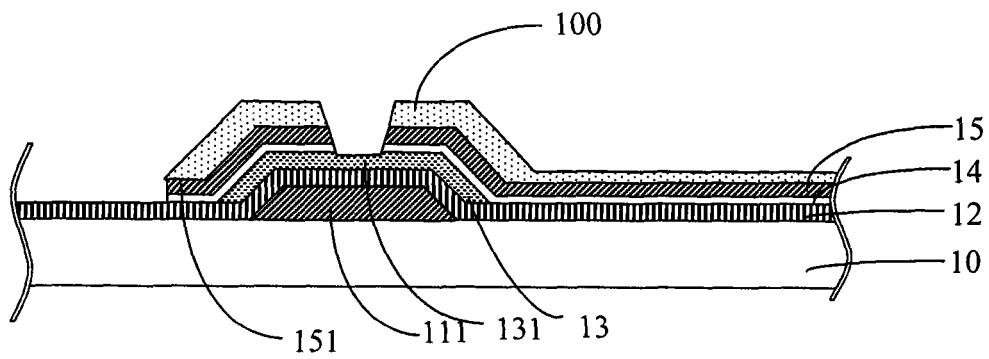


图 4G

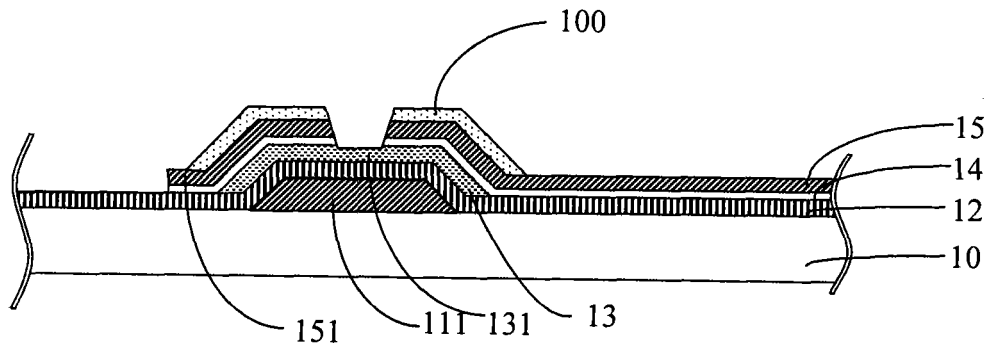


图 4H

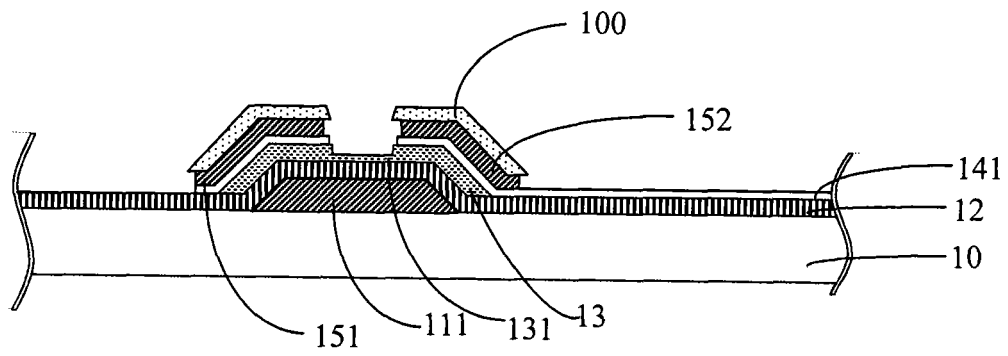


图 4I

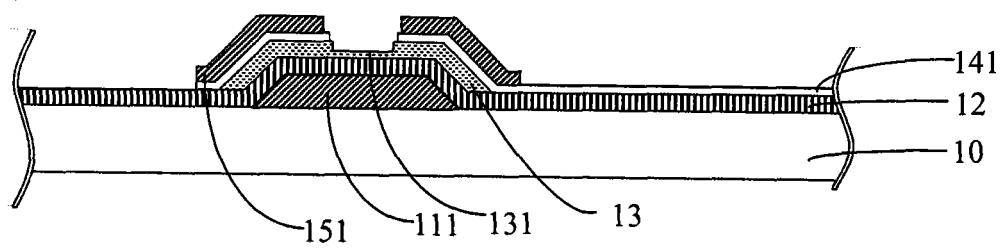


图 4J

专利名称(译)	液晶显示器阵列基板的制造方法		
公开(公告)号	CN101685229A	公开(公告)日	2010-03-31
申请号	CN200810222792.1	申请日	2008-09-25
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
[标]发明人	崔承镇 宋泳锡 刘圣烈		
发明人	崔承镇 宋泳锡 刘圣烈		
IPC分类号	G02F1/1362 G03F7/00 H01L27/12 H01L21/84		
CPC分类号	H01L27/1288 H01L27/1214 G02F1/1368		
代理人(译)	刘芳		
其他公开文献	CN101685229B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种液晶显示器阵列基板的制造方法，包括如下步骤：提供依次形成有栅线、栅绝缘层及有源层图形的基板；在完成步骤1的基板上依次沉积第一透明导电层及源漏金属层；在所述源漏金属层上部，通过三调掩膜板形成感光层；湿法蚀刻所述感光层暴露出的源漏金属层及第一透明导电层；对所述感光层进行第一次灰化工艺，对暴露出的源漏金属层、第一透明导电层及有源层图形进行干法蚀刻；对所述感光层进行第二次灰化工艺，对暴露出的源漏金属层进行湿法蚀刻；去掉剩余的感光层。本发明能够降低TFT沟道的过度蚀刻的程度，保障液晶显示器的显示性能。

