

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G09G 3/36 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200810183898.5

[43] 公开日 2009 年 6 月 17 日

[11] 公开号 CN 101458908A

[22] 申请日 2008.12.15

[21] 申请号 200810183898.5

[30] 优先权

[32] 2007.12.13 [33] JP [31] 2007-322525

[71] 申请人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 梅田谦吾 堀良彦

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 孙志湧 安翔

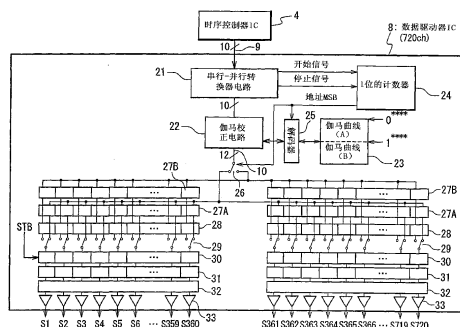
权利要求书 6 页 说明书 28 页 附图 16 页

[54] 发明名称

用于驱动液晶显示面板的装置和方法

[57] 摘要

用于驱动液晶显示面板的装置和方法。一种液晶显示装置设有：液晶显示面板，和驱动液晶显示面板的数据驱动器 IC。液晶显示面板包括第一和第二栅极线，数据线和像素，该像素包括连接至数据线和第一栅极线的第一子像素和连接至数据线和第二栅极线的第二子像素。数据驱动器 IC 包括：伽马校正电路，通过根据第一伽马曲线对外部接收到的图像数据进行伽马校正来生成第一伽马校正的数据，并通过根据第二伽马曲线对该图像数据进行伽马校正来生成第二伽马校正的数据；以及驱动电路，在第一水平期间中响应于第一伽马校正的数据驱动数据线并且在第一水平期间接下来的第二水平期间中响应于第二伽马校正的数据驱动数据线。



1. 一种液晶显示装置，包括：

液晶显示面板；和

数据驱动器 IC，该数据驱动器 IC 驱动所述液晶显示面板，

其中，所述液晶显示面板包括：

第一和第二栅极线；

数据线；和

像素，所述像素包括连接至所述数据线和所述第一栅极线的第一子像素以及连接至所述数据线和所述第二栅极线的第二子像素，

其中，所述数据驱动器 IC 包括：

伽马校正电路，该伽马校正电路通过根据第一伽马曲线对外部接收到的图像数据进行伽马校正来生成第一伽马校正的数据，并且通过根据第二伽马曲线对所述图像数据进行伽马校正来生成第二伽马校正的数据；和

驱动电路，该驱动电路在第一水平期间中响应于所述第一伽马校正的数据驱动所述数据线并且在所述第一水平期间接下来的第二水平期间中响应于所述第二伽马校正的数据驱动所述数据线。

2. 根据权利要求 1 所述的液晶显示装置，其中，所述伽马校正电路包括存储单元，该存储单元存储与所述第一伽马曲线相关联的数据以及与所述第二伽马曲线相关联的数据，并且

其中，所述伽马校正电路通过使用与所述第一伽马曲线相关联的所述数据来生成所述第一伽马校正的数据并且通过使用与所述第二伽马曲线相关联的所述数据来生成所述第二伽马校正的数据。

3. 根据权利要求 2 所述的液晶显示装置，其中，与所述第一伽马曲线相关联的所述数据包括第一计算参数，该第一计算参数指示所述图像数据与所述第一伽马校正的数据的关联；

其中，与所述第二伽马曲线相关联的所述数据包括第二计算参数，

该第二计算参数指示所述图像数据与所述第二伽马校正的数据的关联；

其中，所述伽马校正电路进一步包括：

计数器，该计数器与所述图像数据的接收同步地操作；

解码器，用于依赖于从所述计数器接收的计数值和所述图像数据选择所述参数存储单元的地址；和

伽马校正电路，该伽马校正电路生成所述第一和第二伽马校正的数据，

其中，当所述计数值为第一值时，所述解码器选择所述参数存储单元的其中存储所述第一计算参数的地址，并且所述伽马校正电路通过使用所述第一计算参数的近似伽马校正操作生成所述第一伽马校正数据，并且

其中，当所述计数值为第二值时，所述解码器选择所述参数存储单元的其中存储所述第二计算参数的地址，并且所述伽马校正电路通过使用所述第二计算参数的近似伽马校正操作生成所述第二伽马校正数据。

4. 根据权利要求2所述的液晶显示装置，其中，与所述第一伽马曲线相关联的所述数据包括第一LUT，该第一LUT指示所述图像数据与所述第一伽马校正的数据的关联；

其中，与所述第二伽马曲线相关联的所述数据包括第二LUT，该第二LUT指示所述图像数据与所述第二伽马校正的数据的关联；

其中，所述伽马校正电路进一步包括：

计数器，该计数器与所述图像数据的接收同步地操作；

解码器，用于依赖于从所述计数器接收的计数值和所述图像数据选择所述参数存储单元的地址；和

伽马校正电路，该伽马校正电路生成所述第一和第二伽马校正的数据，

其中，当所述计数值为第一值时，所述解码器选择所述参数存储单元的其中存储所述第一LUT的地址，并且从所述伽马校正电路输出

从所述第一 LUT 获得的灰阶值作为所述第一伽马校正的数据，并且

其中，当所述计数值为第二值时，所述解码器选择所述参数存储单元的其中存储所述第二 LUT 的地址，并且从所述伽马校正电路输出从所述第二 LUT 获得的灰阶值作为所述第二伽马校正的数据。

5. 根据权利要求 1 所述的液晶显示装置，其中，所述数据驱动器 IC 进一步包括暂时存储电路，用于外部接收所述图像数据并且将所述接收到的图像数据传输至所述伽马校正电路，

其中，在所述第一水平期间之前的第三水平期间中，将所述图像数据从所述暂时存储电路传输至所述伽马校正电路并且从所述传输的图像数据生成所述第一伽马校正的数据，和

其中，在所述第一水平期间中，将所述图像数据从所述暂时存储电路再次传输至所述伽马校正电路并且从所述传输的图像数据生成所述第二伽马校正的数据。

6. 一种用于驱动液晶显示面板的数据驱动器 IC，该液晶显示面板包括第一和第二栅极线；数据线；以及像素，该像素包括连接至所述数据线和所述第一栅极线的第一子像素和连接至所述数据线和所述第二栅极线的第二子像素，所述驱动器 IC 包括：

伽马校正电路，该伽马校正电路通过根据第一伽马曲线对外部接收到的图像数据进行伽马校正来生成第一伽马校正的数据，并且通过根据第二伽马曲线对所述图像数据进行伽马校正来生成第二伽马校正的数据；和

驱动电路，该驱动电路在第一水平期间中响应于所述第一伽马校正的数据驱动所述数据线并且在所述第一水平期间接下来的第二水平期间中响应于所述第二伽马校正的数据驱动所述数据线。

7. 根据权利要求 6 所述的数据驱动器 IC，其中，所述伽马校正电路包括存储单元，该存储单元存储与所述第一伽马曲线相关联的数据以及与所述第二伽马曲线相关联的数据，并且

其中，所述伽马校正电路通过使用与所述第一伽马曲线相关联的所述数据来生成所述第一伽马校正的数据并且通过使用与所述第二伽马曲线相关联的所述数据来生成所述第二伽马校正的数据。

8. 根据权利要求 7 所述的数据驱动器 IC，其中，与所述第一伽马曲线相关联的所述数据包括第一计算参数，该第一计算参数指示所述图像数据与所述第一伽马校正的数据的关联；

其中，与所述第二伽马曲线相关联的所述数据包括第二计算参数，该第二计算参数指示所述图像数据与所述第二伽马校正的数据的关联；

其中，所述伽马校正电路进一步包括：

计数器，该计数器与所述图像数据的接收同步地操作；

解码器，用于依赖于从所述计数器接收到的计数值和所述图像数据选择所述参数存储单元的地址；和

伽马校正电路，该伽马校正电路生成所述第一和第二伽马校正的数据，

其中，当所述计数值为第一值时，所述解码器选择所述参数存储单元的其中存储所述第一计算参数的地址，并且所述伽马校正电路由通过使用所述第一计算参数的近似伽马校正操作来生成所述第一伽马校正数据，并且

其中，当所述计数值为第二值时，所述解码器选择所述参数存储单元的其中存储所述第二计算参数的地址，并且所述伽马校正电路由通过使用所述第二计算参数的近似伽马校正操作来生成所述第二伽马校正数据。

9. 根据权利要求 7 所述的数据驱动器 IC，其中，与所述第一伽马曲线相关联的所述数据包括第一 LUT，该第一 LUT 指示所述图像数据与所述第一伽马校正的数据的关联；

其中，与所述第二伽马曲线相关联的所述数据包括第二 LUT，该第二 LUT 指示所述图像数据与所述第二伽马校正的数据的关联；

其中，所述伽马校正电路进一步包括：

计数器，该计数器与所述图像数据的接收同步地操作；

解码器，用于依赖于从所述计数器接收到的计数值和所述图像数据选择所述参数存储单元的地址；和

伽马校正电路，该伽马校正电路生成所述第一和第二伽马校正的数据，

其中，当所述计数值为第一值时，所述解码器选择所述参数存储单元的其中存储所述第一 LUT 的地址，并且从所述伽马校正电路输出从所述第一 LUT 获得的灰阶值作为所述第一伽马校正的数据，并且

其中，当所述计数值为第二值时，所述解码器选择所述参数存储单元的其中存储所述第二 LUT 的地址，并且从所述伽马校正电路输出从所述第二 LUT 获得的灰阶值作为所述第二伽马校正的数据。

10. 根据权利要求 6 所述的数据驱动器 IC，其中，所述数据驱动器 IC 进一步包括暂时存储电路，用于外部地接收所述图像数据并且将接收到的图像数据传输至所述伽马校正电路，

其中，在所述第一水平期间之前的第三水平期间中，将所述图像数据从所述暂时存储电路传输至所述伽马校正电路并且从所述传输的图像数据生成所述第一伽马校正的数据，并且

其中，在所述第一水平期间中，将所述图像数据从所述暂时存储电路再次传输至所述伽马校正电路并且从所述传输的图像数据生成所述第二伽马校正的数据。

11. 一种驱动液晶显示面板的方法，所述液晶显示面板包括第一和第二栅极线；数据线；以及像素，所述像素包括连接至所述数据线和所述第一栅极线的第一子像素以及连接至所述数据线和所述第二栅极线的第二子像素，所述方法包括：

将图像数据外部供给到数据驱动器 IC；

在所述数据驱动器 IC 中通过根据第一伽马曲线对所述图像数据进行伽马校正来生成第一伽马校正的数据；

在所述数据驱动器 IC 中通过根据第二伽马曲线对所述图像数据进行伽马校正来生成第二伽马校正的数据；

在第一水平期间中响应于所述第一伽马校正的数据驱动所述数据线；以及

在所述第一水平期间接下来的第二水平期间中响应于所述第二伽马校正的数据驱动所述数据线。

用于驱动液晶显示面板的装置和方法

技术领域

本发明涉及液晶显示,更具体地,涉及一种液晶显示面板的驱动技术,在该液晶显示面板中每个像素包括多个辅助子像素。

背景技术

视角是液晶显示装置的重大问题之一,并因此已经提出了用于改善视角的各种技术。一种已知的用于改善视角的技术是利用两个或者更多个子像素组成一个像素并用不同驱动电压驱动子像素。典型地,每个像素由两个子像素组成。用不同驱动电压驱动同一像素中的子像素允许在不同的方向上配向子像素内的液晶分子。当斜着浏览图像时,这样的驱动技术允许校正和最小化伽马曲线的扭曲。Sang Soo Kim 在题为“The World Largest (82-in.) TFT-LCD” SID O5 DIGEST, 2005, pp.1842-1847 的一文中公开了这样的技术。

该文献公开了一种双数据线结构,在该双数据线结构中,液晶显示面板中的每个像素由两个子像素组成。图 1 是示出采用双栅极线结构的液晶显示面板的典型构造的概念图。在采用双栅极线结构的液晶显示面板中,每个像素由两个子像素组成,并且沿着每条像素线安排两条栅极线。将成对的栅极线中的一条连接至每个对应的像素中的两个子像素中的一个,并且将另一条连接至两个子像素中的另一个。将一个像素中的两个子像素连接至同一数据线。

更具体地,每个点 101 包括三个像素:水平方向中安排的 R 像素 102、G 像素 103 和 B 像素 104。R 像素 102 每个均由两个 R 子像素 102A 和 102B 组成, G 像素 103 每个均由两个 G 子像素 103A 和 103B 组成,并且 B 像素 104 每个均由两个 B 子像素 104A 和 104B 组成。为 R、G

和 B 像素 102、103 和 104 的每一行设置两条栅极线 $G_j(A)$ 和 $G_j(B)$ 。另外，为 R 像素 102 的每一列设置一条数据线 R_j ，为 G 像素 103 的每一列设置一条数据线 G_i ，并且为 B 像素 104 的每一列设置一条数据线 B_i 。将同一 R 像素 102 中的两个 R 子像素 102A 和 102B 连接至同一数据线 R_j ，将同一 G 像素 103 中的两个 G 子像素 103A 和 103B 连接至同一数据线 G_j ，并且将同一 B 像素 104 中的两个 B 子像素 104A 和 104B 连接至同一数据线 B_j 。

如图 2 中所示，每个子像素包括 TFT（薄膜晶体管），在公共电极 VCOM 和像素电极之间形成的液晶电容器，以及在公共电极 VCOM 和保留电极之间形成的保持电容器（retention capacitor）。例如，R 子像素 102A 包括 TFT 105A、液晶电容器 106A，以及保持电容器 107A，并且 R 子像素 102B 包括 TFT 105B、液晶电容器 106B，以及保持电容器 107B。类似地构造其它子像素。

当在某水平期间中选择某栅极线 $G_i(A)$ 时，用从数据线 R_i 、 G_i 和 B_i 供给的驱动电压分别驱动连接至栅极线 $G_i(A)$ 的 R 主子像素 102A，G 主子像素 103A 和 B 主子像素 104A。当在下一水平期间选择相邻栅极线 $G_i(B)$ 时，用从同一数据线 R_i 、 G_i 和 B_i 供给的驱动电压分别驱动连接至栅极线 $G_i(B)$ 的 R 子像素 102B，G 子像素 103B 和 B 子像素 104B。

在具有图 1 和图 2 中所示的构造的液晶显示面板中，对于图像数据的相同值用不同的驱动电压驱动两个子像素。换言之，根据不同的伽马曲线驱动每个像素中的两个子像素。因此，产生用于驱动两个子像素的驱动电压要求根据不同伽马曲线的伽马校正。为了提供根据不同伽马曲线的伽马校正，图 1 和图 2 中所示的液晶显示装置采用了特殊的驱动方法，该方法没有普遍用于普通液晶显示装置中。

日本专利特开 No.P2007-226242A 公开了驱动图 1 和图 2 中所示的

构造的液晶显示面板的技术。图 3 是示出在该日本专利申请中公开的液晶显示装置 200 的构造的框图。液晶显示装置 200 设置有如图 1 和图 2 中所示构造的液晶面板 210、第一存储单元 220、第二存储单元 230、时序控制器 250、切换单元 260、第一栅极驱动器 270、第二栅极驱动器 280 以及数据驱动器 290。因为液晶显示被构造有时序控制器 IC（集成电路）、栅极驱动器 IC 和数据驱动器 IC 的结构是液晶显示的一种普通结构，所以本领域的技术人员应了解时序控制 250 对应于时序控制器 IC，第一和第二栅极驱动器 270 和 280 对应于栅极驱动器 IC，并且数据驱动器 150 对应于数据驱动器 IC。第一存储单元 220 存储描述用于“高像素”（即，R 子像素 102A、G 子像素 103A 和 B 子像素 104A）的伽马曲线的 LUT 并且第二存储单元 230 存储描述用于“低像素”（即，R 子像素 102B、G 子像素 103B 和 B 子像素 104B）的伽马曲线的 LUT。第一和第二存储单元 220 和 230 每个均设置有用红（R）、绿（G）和蓝（B）色的不同的 LUT。

液晶显示装置 200 大概如下地操作：时序控制器 250 从图像信号 R、G 和 B 生成图像数据 R'、G' 和 B'，并且将图像数据 R'、G' 和 B' 供给到数据驱动器 290。同时，切换单元 260 将与高像素伽马曲线相对应的存储在第一存储单元 220 的数据和与低像素伽马曲线相对应的存储在第二存储单元 230 的数据交替地供给到数据驱动器 290。数据驱动器 290 根据从切换单元 260 接收到的数据对图像数据 R'、G' 和 B' 执行校正，并且将校正的图像数据 R'、G' 和 B' 变换为数据电压。在使奇数编号的栅极线有效期间输出通过根据与高像素伽马曲线相对应的数据的校正而获得的数据电压，并且在使偶数编号的栅极线有效期间输出通过根据与低像素伽马曲线相对应的数据的校正而获得的数据电压。

图 3 的液晶显示装置 200 的一个缺点是数据驱动器 290（或者数据驱动器 IC）的数据传输量的增加。图 3 中所示的液晶显示装置 200 要求交替地传输除了图像数据 R'、G' 和 B' 之外的存储在第一存储单元 220 中的与高像素伽马曲线相对应的数据和存储在第二存储单元 230 中的

与低像素伽马曲线相对应的数据。这不想要地增加了到数据驱动器 290 的数据传输量。为了解决此问题，必须增加数据传输率或者增加连接至数据驱动器 290 的信号线的数目。数据传输率的增加是不优选的，因为这不想要地增加了数据错误率。应特别注意由于液晶显示面板尺寸的增长导致最近时序控制器 IC 和数据驱动器 IC 之间的数据传输路径的长度日益增加。因此，难以实现时序控制器 IC 和数据驱动器 IC 之间高频率的数据传输。另一方面，连接至数据驱动器 290 的信号线的数目的增加不想要地增加了传输线的环孔径，导致由传输线生成的 EMI 噪音的增加。特别是在以下情况下，不想要地增加了由传输线产生的 EMI 噪音，其中所述情况为当数据驱动器 290 是由多个数据驱动器 IC 组成时；当信号线被连接至多个数据驱动器 IC，其中信号线传输与高像素伽马曲线相对应的存储在第一存储单元 220 中的数据以及与低像素伽马曲线相对应的存储在第二存储单元 230 中的数据时。

发明内容

在本发明的一方面中，液晶显示装置设置有：液晶显示面板和驱动液晶显示面板的数据驱动器 IC。液晶显示面板包括第一和第二栅极线，数据线和像素，所述像素包括连接至数据线和第一栅极线的第一子像素以及连接至数据线和第二栅极线的第二子像素。数据驱动器 IC 包括：伽马校正电路，该伽马校正电路通过根据第一伽马曲线对外部接收到的图像数据执行伽马校正来生成第一伽马校正的数据，并通过根据第二伽马曲线对图像数据执行伽马校正来生成第二伽马校正的数据；和驱动电路，该驱动电路在第一水平期间中响应于第一伽马校正的数据驱动数据线并且在第一水平期间接下来的第二水平期间中响应于第二伽马校正的数据驱动数据线。

附图说明

根据下面结合附图对某些优选实施例的详细说明，本发明的上述和它的目标、优点和特征将是显而易见的，其中：

图 1 是示出液晶显示面板的示例性构造的概念图，在所述液晶显

示面板中每个像素由两个子像素组成；

图 2 是示出液晶显示面板的示例性构造的电路图，在所述液晶显示面板中每个像素由两个子像素组成；

图 3 是示出传统液晶显示面板的示例性构造的框图；

图 4 是示出本发明的第一实施例的液晶显示装置的示例性构造的框图；

图 5 是示出第一实施例中数据驱动器 IC 的示例性构造的框图；

图 6A 和 6B 是示出第一实施例中数据驱动器 IC 的操作的时序图；

图 7 是示出第二实施例中数据驱动器 IC 的构造的框图；

图 8A 和 8B 是示出第二实施例中数据驱动器 IC 的示例性操作的时序图；

图 9 是示出第三实施例中数据驱动器 IC 的示例性构造的框图；

图 10A 和 10B 是示出第三实施例中数据驱动器 IC 的示例性操作的时序图；

图 11 是示出第四实施例中数据驱动器 IC 的示例性构造的框图；
和

图 12A 和 12B 示出第四实施例中数据驱动器 IC 的示例性操作的时序图。

具体实施方式

将在这里参照说明性实施例描述本发明。该领域中的技术人员将会了解使用本发明的教导可以完成许多替代实施例，并且本发明不限于为解释性目的而示出的实施例。

（第一实施例）

图 4 是示出本发明的第一实施例的液晶显示 1 的示例性构造的框图。液晶显示 1 设置有液晶显示面板 2、在基板 3 上设置的时序控制器 4、在基板 5 上设置的栅极驱动器 IC 6 和在基板 7 上设置的数据驱动器 IC 8。

液晶显示面板 2 设置有栅极线 G1、G2、……、数据线 D1、D2、D3、D4、……，以及在栅极线和数据线的交点上设置的像素 11。构造本实施例的液晶显示面板 2 从而每个像素 11 包括两个子像素：主子像素 12A 和辅助子像素 12B。沿着像素 11 的每行设置两条栅极线。沿着像素 11 的最高的行设置栅极线 G1 和 G2，并且沿着像素 11 的次最高的行设置栅极线 G3 和 G4。将主子像素 12A 连接至奇数编号的栅极线 G(2i-1)，并且将辅助子像素 12B 连接至偶数编号的栅极线 G(2i)。同一像素 11 内的主子像素 12A 和辅助子像素 12B 被共同连接至同一数据线。例如，在像素 11 的最左边的线中设置的主子像素 12A 和辅助子像素 12B 被共同连接至数据线 G1，并且在像素 11 的次最左边的线中设置的主子像素 12A 和辅助子像素 12B 被共同连接至数据线 G2。在本实施例中，可以将沿着某栅极线排列的像素 11 称为一条水平线上的像素 11。

主子像素 12A 每个均设置有像素电极 13A 和 TFT 14A，而辅助子像素 12B 每个均设置有像素电极 13B 和 TFT 14B。将主子像素 12A 中的 TFT 14A 的栅极连接至奇数编号的栅极线 G(2i-1) 并且将辅助子像素 12B 中的 TFT 14B 的栅极连接至偶数编号的栅极线 G(2i)。另外，在像素电极 13A 和相应的数据线 Di 之间连接 TFT 14A，并且在像素电极 13B 和相应的数据线 Di 之间连接 TFT 14B。应注意在同一像素 11 的主子像素 12A 和辅助子像素 12B 中设置的 TFT 14A 和 14B 被连接至同一数据线。尽管在图 4 中仅部分地示出液晶显示面板 2 的构造，但是技术人员会了解类似地构造整个液晶显示面板 2。

时序控制器 IC 4 串行地将图像数据 9 传输至数据驱动器 IC 8。在本实施例中，图像数据 9 是利用十位表示每个像素的灰阶度的十位数据。应注意不同于图 3 中所示的液晶显示装置，在进行伽马校正之前将图像数据 9 从时序控制器 IC 4 传输到数据驱动器 IC 8。另外，时序控制器 IC 4 通过将时序控制信号（未示出）供应到数据驱动器 IC 8 和栅极驱动器 IC 6 而提供数据驱动器 IC 8 和栅极驱动器 IC 6 的时序控

制。

栅极驱动器 IC 6 接下来驱动液晶显示面板 2 的栅极线 Gi。

将数据线 Di 连接至数据驱动器 IC 8 的源输出 Si，并且数据驱动器 IC 8 响应于图像数据 9 而驱动液晶显示面板 2 的数据线 Di。本实施例的数据驱动器 IC 8 每个都被构造为根据不同伽马曲线对每个像素 11 内的主子像素 12A 和辅助子像素 12B 执行伽马校正。即，数据驱动器 IC 8 依赖于通过根据第一伽马曲线（下文中，称其为伽马曲线“A”）对相应的图像数据 9 进行伽马校正生成的数据来驱动目标像素内的主子像素 12A，而依赖于通过根据第二伽马曲线（下文中，称其为伽马曲线“B”）对相应的图像数据 9 进行伽马校正生成的数据来驱动目标像素内的辅助子像素 12B。

图 5 是示出数据驱动器 IC 8 的示例性构造的示意图。在图 5 中，示出了对于下述情况的数据驱动器 IC 8 的示例性构造，其中每个数据驱动器 IC 8 设置有 720 个源输出 S1 至 S720；每个数据驱动器 IC 8 在每个水平期间中驱动 720 个像素 11。数据驱动器 IC 8 每个均设置有串行-并行转换器电路 21、伽马校正电路 22、参数存储单元 23、1 位的计数器 24、解码器 25、开关 26、12 位的锁存电路 27A、27B、28、切换电路 29、12 位的锁存电路 30、电平转换器 31、12 位的解码器 32 以及放大器电路 33。锁存电路 27A、27B、28、电平转换器 28、切换电路 29、锁存电路 30、电平转换器 31、解码器 32 以及放大器电路 33 的数目等于每个数据驱动器 IC 8 的源输出的数目。在图 5 的构造中，为每个数据驱动器 IC 8 提供 720 个源输出 S1 至 S720，并且相应地，锁存电路 27A、27B、28、电平转换器 28、切换电路 29、锁存电路 30、电平转换器 31、解码器 32 以及放大器电路 33 的数目都是 720。

串行-并行转换器电路 21 对串行传输的图像数据 9 进行串行-并行转换，并且将串行-并行转换后的图像数据 9 供给到伽马校正电路 22。

伽马校正电路 22、参数存储单元 23、1 位的计数器 24 和解码器 25 组成伽马校正电路，用于通过对图像数据 9 进行伽马校正来生成伽马校正的数据 10。在本实施例中，伽马校正的数据 10 是 12 位的数据，而图像数据 9 是 10 位的数据。

具体地，参数存储单元 23 存储下述计算参数，即用于根据伽马曲线“A”通过近似计算进行伽马校正（即，对主子像素 12A 进行的伽马校正）的计算参数，和用于根据伽马曲线“B”通过近似计算进行伽马校正（即，对辅助子像素 12B 进行的伽马校正）的计算参数。应注意，计算参数是用于确定近似公式的数据，该近似公式用于从图像数据 9 的灰阶值计算伽马校正的数据 10 的灰阶值。例如，近似公式中包括的未确定的系数可以作为计算参数存储在参数存储单元 23 中。用于根据伽马曲线“A”进行近似计算的计算参数被存储在参数存储单元 23 中其最高有效位为“1”的地址中，并且用于根据伽马曲线“B”进行近似计算的计算参数被存储在其最高有效位为“0”的地址中。

计数器 24 包括一位的计数值，该值指定对参数存储单元 23 的访问是要对伽马曲线“A”的计算参数进行还是要对伽马曲线“B”的计算参数进行。具体地，将计数器 24 的计数值作为参数存储单元 23 的目的地址的最高有效位供给解码器 25，从而指示所述访问是对伽马曲线“A”的计算参数进行的还是对伽马曲线“B”的计算参数进行的。具体地，当开始信号有效时，计数器 24 开始以接收用于每个像素的图像数据 9 时的频率两倍的频率在“0”和“1”之间切换计数值。计数值被供给到解码器 25，以指示参数存储单元 23 的地址的最高有效位。当使停止信号有效时，计数器 24 停止切换计数值，并且然后被复位。

解码器 25 从伽马校正电路 22 接收图像数据 9，并选择参数存储单元 23 的目的地址，将从计数器 24 接收的计数值确认为目的地址的最高有效位，并且将从伽马校正电路 22 接收的图像数据 9 确认为目的地

址的较低位。

伽马校正电路 22 通过使用从参数存储单元 23 的选择的目的地址接收的计算参数，对图像数据 9 进行近似伽马校正计算，来生成伽马校正的数据 10。将生成的伽马校正的数据 10 供给到锁存电路 26。如后面所述，伽马校正电路 22 交替地输出根据对应于主子像素 12A 的伽马曲线“A”校正的伽马校正的数据 10 和根据对应于辅助子像素 12B 的伽马曲线“B”校正的伽马校正的数据 10。

开关 26 响应于从计数器 24 接收到的计数值，用于将伽马校正电路 22 的输出连接至锁存电路 27A 或者锁存电路 27B。开关 26 的此种功能允许将用伽马曲线“A”校正的伽马校正的数据 10 传输至锁存电路 27A，并且将用伽马曲线“B”校正的伽马校正的数据 10 传输至锁存电路 27B。

锁存电路 27A、27B 和 28，切换电路 29、锁存电路 30、电平转换器 31、解码器 32 和放大器电路 33 用作驱动电路，所述驱动电路响应于伽马校正的数据 10 而驱动连接至源输出 S1 至 S720 的数据线 D1 至 D720。

具体地，锁存电路 27A 从伽马校正电路 22 接收通过利用伽马曲线“A”的伽马校正生成的伽马校正的数据 10 并在其中存储接收到的伽马校正的数据 10。锁存电路 27A 被构造为顺序地从左至右接收伽马校正的数据 10。另一方面，锁存电路 27B 从伽马校正电路 22 接收通过利用伽马曲线“B”的伽马校正生成的伽马校正的数据 10 并在其中存储接收到的伽马校正的数据 10。锁存电路 27B 被构造为顺序地从左至右接收伽马校正的数据 10。具有连接至锁存电路 27B 的相应的输出的输入的锁存电路 28 从锁存电路 27B 接收通过利用伽马曲线“B”的伽马校正生成的伽马校正的数据 10，并存储接收到的伽马校正的数据 10。切换电路 29 将锁存电路 27A 或者锁存电路 28 选择性地连接至锁存电

路 30。锁存电路 30 响应于选通信号 STB 以锁存来自锁存电路 27A 或者锁存电路 28 的伽马校正的数据 10。锁存电路 30 通过电平转换器 31 将锁存的伽马校正的数据 10 发送至解码器 32。解码器 32 对从锁存电路 30 接收的伽马校正的数据 10 提供 D/A 转换, 以生成与由伽马校正的数据 10 指示的灰阶值相对应的模拟电压信号。放大器电路 33 通过从源输出 S1 至 S720 输出驱动电压来驱动数据线 D1 至 D720, 所述源输出 S1 至 S720 具有与从解码器 32 接收的模拟电压信号的电压电平相对应的电压电平; 驱动电压的电压电平基本上与相应的模拟电压信号的电压电平相同。

图 6A 和 6B 是示出本实施例的液晶显示 1 的示例性操作的时序图。应注意, 图 6A 和 6B 应被理解为在虚线处相互毗邻以组成一个时序图。接下来, 将与一条水平线的各像素 11 相对应的图像数据 9 描述为图像数据 D (ORG1) 至 D (ORG720)。用符号 D (Gak) 表示通过用对应于主子像素 12A 的伽马曲线 “A” 对图像数据 D (ORGk) 进行伽马校正获得的伽马校正的数据 10; 用符号 D (GBk) 表示通过用对应于辅助子像素 12B 的伽马曲线 “B” 对图像数据 D (ORGk) 进行伽马校正获得的伽马校正的数据 10。

在本实施例的液晶显示 1 中, 在每两个水平期间中将对应于一条水平线的像素 11 的 720 个图像数据 D (ORG1) 至 D (ORG720) 传输至数据驱动器 IC 8。即, 在奇数编号的水平期间中将图像数据 D (ORG1) 至 D (ORG360) 传输至数据驱动器 IC 8, 并在偶数编号的水平期间中将图像数据 D (ORG361) 至 D (ORG720) 传输至数据驱动器 IC 8。响应于在第 (2i-1) 个和第 (2i) 个的水平期间中传输至数据驱动器 IC 8 的图像数据 D (ORG1) 至 D (ORG720), 数据驱动器 IC 8 在第 (2i+1) 个水平期间中驱动连接至栅极线 G (2i+1) 的主子像素 12A, 并且在第 (2i+2) 个水平期间中驱动连接至栅极线 G (2i+2) 的辅助子像素 12B。接下来, 描述与连接至栅极线 G (2i+1) 的主子像素 12A 的驱动以及连接至栅极线 G (2i+2) 的辅助子像素 12B 的驱动有关的操作。本领

域的技术人员将会了解通过相同的过程驱动其它的主子像素 12A 和辅助子像素 12B。

第(2i-1)个水平期间

在第(2i-1)个水平期间中,将对应于连接至栅极线 $G(2i+1)$ 的主子像素 12A 以及连接至栅极线 $G(2i+2)$ 的辅助子像素 12B 的图像数据 $D(ORG1)$ 至 $D(ORG360)$ 传输到数据驱动器 IC 8。在传输这些图像数据之前,使开始信号有效来允许进行计数器 24 的操作。然后,当传输第一图像数据 $D(ORG1)$ 时,将计数器 24 的输出设为“1”,并且地址的最高有效位被设为“1”,从而允许访问存储在参数存储单元 23 中伽马曲线“A”的计算参数。此外,解码器 25 接收图像数据 $D(ORG1)$,并选择与由图像数据 $D(ORG1)$ 指示的灰阶值对应的目的地址。伽马校正电路 22 从选择的地址中获得伽马曲线“A”的计算参数,使用获得的伽马曲线“A”的计算参数对图像数据 $D(ORG1)$ 进行近似伽马校正操作,并输出与图像数据 $D(ORG1)$ 相对应的伽马校正的数据 $D(GA1)$ 。

响应于正被设置为“1”的计数器 24 的输出,开关 26 将伽马校正电路 22 的输出连接至锁存电路 27A。此外,触发与源输出 S1 相对应的锁存电路 27A 以将伽马校正的数据 $D(GA1)$ 存储在与源输出 S1 相对应的锁存电路 27A 中。

接着,将计数器 24 的输出设为“0”,并且地址的最高有效位设为“0”,以允许访问存储在参数存储单元 23 中的伽马曲线“B”的计算参数。解码器 25 选择与图像数据 $D(ORG1)$ 的灰阶值相对应的地址。伽马校正电路 22 从所选择的地址获得计算参数,使用获得的伽马曲线“B”的计算参数对图像数据 $D(ORG1)$ 进行近似伽马校正操作,并输出与图像数据 $D(ORG1)$ 对应的伽马校正的数据 $D(GB1)$ 。

响应于正被设置为“0”的计数器 24 的输出,开关 26 将伽马校正

电路 22 的输出连接至锁存电路 27B。此外，触发与源输出 S1 相对应的锁存电路 27B，并且将伽马校正的数据 D (GB1) 存储在源输出 S1 相对应的锁存电路 27B 中。

用相同的方式对图像数据 D (ORG2) 至 D (ORG360) 也进行伽马校正。因此，用伽马曲线“A”校正的伽马校正的数据 D (GA1) 至 D (GA360) 被存储在源输出 S1 至 S360 相对应的锁存电路 27A 中，并且将用伽马曲线“B”校正的伽马校正的数据 D (GB1) 至 D (GB360) 存储在源输出 S1 至 S360 相对应的锁存电路 27B 中。当完成将图像数据 D (ORG360) 传输至数据驱动器 IC 8 时，使停止信号有效以复位计数器 24。

第(2i)个水平期间

在第(2i)个水平期间中，将与连接至栅极线 G (2i+1) 的主子像素 12A 和连接至栅极线 G (2i+2) 的辅助子像素 12B 相对应的图像数据 D (ORG361) 至 D (ORG720) 传输到数据驱动器 IC 8。在传输这些图像数据之前，使开始信号有效以允许计数器 24 的操作。然后，当传输第一图像数据 D (ORG361) 时，将计数器 24 的输出设为“1”，并且地址的最高有效位设为“1”，以允许访问存储在参数存储单元 23 中伽马曲线“A”的计算参数。此外，解码器 25 接收图像数据 D (ORG361)，并选择与由图像数据 D (ORG361) 指示的灰阶值对应的地址。伽马校正电路 22 从选择的地址中获得伽马曲线“A”的计算参数，使用获得的伽马曲线“A”的计算参数对图像数据 D (ORG361) 进行近似伽马校正操作，并输出与图像数据 D (ORG361) 相对应的伽马校正的数据 D (GA361)。

响应于正被设置为“1”的计数器 24 的输出，开关 26 将伽马校正电路 22 的输出连接至锁存电路 27A。此外，触发与源输出 S361 相对应的锁存电路 27A 以将伽马校正的数据 D (GA361) 存储在源输出 S361 相对应的锁存电路 27A 中。

接着，将计数器 24 的输出设为“0”，并且地址的最高有效位设为“0”，以允许访问存储在参数存储单元 23 中的伽马曲线“B”的计算参数。解码器 25 选择与图像数据 D (ORG361) 指示的灰阶值相对应的地址。伽马校正电路 22 从选择的地址获得计算参数，使用获得的伽马曲线“B”的计算参数对图像数据 D (ORG361) 进行近似伽马校正操作，并输出与图像数据 D (ORG361) 相对应的伽马校正的数据 D (GB361)。

响应于正被设置为“0”的计数器 24 的输出，开关 26 将伽马校正电路 22 的输出连接至锁存电路 27B。此外，触发与源输出 S361 相对应的锁存电路 27B 以将伽马校正的数据 D (GB361) 存储在与源输出 S361 相对应的锁存电路 27B 中。

用相同的方式对图像数据 D (ORG362) 至 D (ORG720) 也进行伽马校正。因此，将用伽马曲线“A”校正的伽马校正的数据 D (GA361) 至 D (GA720) 被存储在与源输出 S361 至 S720 相对应的锁存电路 27A 中，并且将用伽马曲线“B”校正的伽马校正的数据 D (GB361) 至 D (GB720) 存储在与源输出 S361 至 S720 相对应的锁存电路 27B 中。当完成将图像数据 D (ORG720) 传输至数据驱动器 IC 8 时，使停止信号有效以复位计数器 24。

第(2i+1)个水平期间

当选通信号 STB 在第(2i+1)个水平期间的消隐期间被上拉到高电平时，切换电路 29 将锁存电路 27A 连接至锁存电路 30。响应于选通信号 STB 的上拉，锁存电路 30 锁存存储在锁存电路 27A 中的伽马校正的数据 D (GA1) 至 D (GA720)；将伽马校正的数据 D (GA1) 至 D (GA720) 从锁存电路 27A 传输至锁存电路 30。与从锁存电路 27 至锁存电路 30 的伽马校正的数据 D (GA1) 至 D (GA720) 的传输并行地，将存储在锁存电路 27B 中的伽马校正的数据 D (GB1) 至 D (GB720)

传输至锁存电路 28。

在第 $(2i+1)$ 个水平期间中，依赖于传输至锁存电路 30 的 $D(GA1)$ 至 $D(GA720)$ 驱动源输出 $S1$ 至 $S720$ ，并且栅极线 $G(2i+1)$ 被上拉。结果，依赖于由利用伽马曲线“A”的伽马校正生成的伽马校正的数据 $D(GA1)$ 至 $D(GA720)$ 驱动连接至栅极线 $(2i+1)$ 的主子像素 12A。

第 $(2i+2)$ 个水平期间

当选通信号 STB 在第 $(2i+2)$ 个水平期间的消隐期间被上拉到高电平时，切换电路 29 将锁存电路 28 连接至锁存电路 30。响应于选通信号 STB 的上拉，锁存电路 30 锁存存储在锁存电路 28 中的伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ ；将伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ 从锁存电路 28 传输至锁存电路 30。

在第 $(2i+2)$ 个水平期间中，依赖于传输至锁存电路 30 的 $D(GB1)$ 至 $D(GB720)$ 驱动源输出 $S1$ 至 $S720$ ，并且栅极线 $G(2i+2)$ 被上拉。结果，依赖于由利用伽马曲线“B”的伽马校正生成的伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ 驱动连接至栅极线 $(2i+2)$ 的辅助子像素 12B。

根据上述过程，依赖于由利用伽马曲线“A”的伽马校正生成的伽马校正的数据 $D(GA1)$ 至 $D(GA720)$ 驱动主子像素 12A，并且依赖于由利用伽马曲线“B”的伽马校正生成的伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ 驱动辅助子像素 12B。

本实施例的液晶显示 1 的优点在于它的构造，在该构造中进行伽马校正的数据驱动器 IC 8 有效地减少传输到数据驱动器 IC 8 的数据传输量。在图 3 中所示的液晶显示装置 200 中，除了图像数据 R' 、 G' 和 B' 之外，将存储在第一存储单元 220 中的与高像素伽马曲线相对应的数据和存储在第二存储单元 230 中的与低像素伽马曲线相对应的数据交替地传输至数据驱动器 290。这不想要地增加了至数据驱动器 290 的

数据传输量。另一方面，在本实施例的液晶显示 1 中在数据驱动器 IC 8 中提供了存储伽马曲线“A”和“B”的数据的参数存储单元 23，该液晶显示 1 消除了将与伽马曲线相对应的数据从用于外部传输至数据驱动器 IC 8 以执行伽马校正的需要。因此，本实施例的液晶显示 1 有效地减少了至数据驱动器 IC 8 的数据传输量。

应注意，为了便于理解，在本实施例的上述描述中没有提到各像素 11 的颜色。在商业上使用的液晶显示面板中，像素 11 可以包括红色像素（R 像素）、绿色像素（G 像素）和蓝色像素（B 像素）。在该情况下，优选的是，取决于感兴趣的像素的颜色，在伽马校正中使用不同的伽马曲线。本领域的技术人员应了解通过在参数存储单元 23 中准备以下六组计算参数，很容易地实现这样的改变：

- （1）与用于 R 像素内的主子像素的伽马曲线关联的计算参数；
- （2）与用于 R 像素内的辅助子像素的伽马曲线关联的计算参数；
- （3）与用于 G 像素内的主子像素的伽马曲线关联的计算参数；
- （4）与用于 G 像素内的辅助子像素的伽马曲线关联的计算参数；
- （5）与用于 B 像素的主子像素的伽马曲线关联的计算参数；
- （6）与 B 像素的辅助子像素的伽马曲线关联的计算参数,并且通过根据各感兴趣的像素 11 的颜色对参数存储单元 23 进行寻址。

尽管参数存储单元 23 在上述的本实施例中被描述为存储用于进行近似伽马校正操作的计算参数，但是可以代替地将与伽马曲线关联的 LUT（查找表）存储在存储单元 23 中。在该情况下，伽马校正电路 22 进行表查找以从对应于关联的伽马曲线的 LUT 中获得与图像数据对应的伽马校正的数据，并输出获得的伽马校正的数据。

（第二实施例）

图 7 是示出本发明的第二实施例的液晶显示 1 的数据驱动器 IC 8 的示例性构造的框图。第二实施例的数据驱动器 IC 8 的构造与第一实施例的相类似。不同之处如下：准备参数存储单元 23A 和参数存储单

元 23B 代替参数存储单元 23, 其中所述参数存储单元 23A 用于存储用于用伽马曲线“A”执行近似伽马校正操作的计算参数, 所述参数存储单元 23B 用于存储用于用伽马曲线“B”执行近似伽马校正操作的计算参数, 并且准备选择器 34 代替解码器 25。在本实施例中, 将计数器 24 的输出作为用于切换选择器 34 的操作的选择器控制信号供给到选择器 34。选择器 34 取决于计数器 24 的输出选择参数存储单元 23A 和 23B 中的一个, 并将选择的存储单元连接至伽马校正电路 22。伽马校正电路 22 从与选择的参数存储单元的图像数据 9 对应的地址获得计算参数, 使用获得的计算参数对图像数据 9 进行近似伽马校正操作, 并将最终的伽马校正的数据作为伽马校正的数据 10 传输到锁存电路 27A 或者锁存电路 27B。

图 8A 和 8B 使示出第二实施例中液晶显示装置 1 的示例性操作的时序图。应注意图 8A 和 8B 应被理解为在虚线处彼此毗邻以构成一个时序图。第二实施例的液晶显示 1 的操作本质上与第一实施例的相同。

第(2i-1)个水平期间

在第(2i-1)个水平期间中, 将与连接至栅极线 $G(2i+1)$ 的主子像素 12A 和连接至栅极线 $G(2i+2)$ 的辅助子像素 12B 相对应的图像数据 $D(ORG1)$ 至 $D(ORG360)$ 传输到数据驱动器 IC 8。当传输第一图像数据 $D(ORG1)$ 时, 将计数器 24 的输出设为“1”, 并且切换控制信号设为“1”。因此, 通过选择器 34 选择参数存储单元 23A 以允许访问参数存储单元 23A 中用于利用伽马曲线“A”的近似伽马校正操作的计算参数。伽马校正电路 22 从与图像数据 $D(ORG1)$ 的灰阶值相对应的参数存储单元 23A 的地址中获得伽马曲线“A”的计算参数, 使用伽马曲线“A”的计算参数对图像数据 $D(ORG1)$ 进行近似伽马校正的操作, 并输出与图像数据 $D(ORG1)$ 相对应的伽马校正的数据 $D(GA1)$ 。将输出的伽马校正的数据 $D(GA1)$ 存储在与源输出 S1 相对应的锁存电路 27A 中。

接着,将计数器 24 的输出设为“0”并且将切换控制信号设为“0”。因此,通过选择器 34 选择的参数存储单元 23B 以允许访问参数存储单元 23B 中用于利用伽马曲线“B”的近似伽马校正操作的计算参数。伽马校正电路 22 从与图像数据 D (ORG1) 的灰阶值相对应的参数存储单元 23B 的地址中获得计算参数,使用伽马曲线“B”的计算参数对图像数据 D (ORG1) 进行近似伽马校正的操作,并输出与图像数据 D (ORG1) 相对应的伽马校正的数据 D (GB1)。将输出的伽马校正的数据 D (GB1) 存储在与源输出 S1 相对应的锁存电路 27B 中。

用相同的方式对图像数据 D (ORG2) 至 D (ORG360) 也进行伽马校正。因此,用伽马曲线“A”校正的伽马校正的数据 D (GA1) 至 D (GA360) 被存储在与源输出 S1 至 S360 相对应的锁存电路 27A 中,并且将用伽马曲线“B”校正的伽马校正的数据 D (GB1) 至 D (GB360) 存储在与源输出 S1 至 S360 相对应的锁存电路 27B 中。当完成将图像数据 D (ORG360) 传输到数据驱动器 IC 8 时,使停止信号有效以复位计数器 24。

第(2i)个水平期间

在第(2i)个水平期间中,将与连接至栅极线 G (2i+1) 的主子像素 12A 和连接至栅极线 G (2i+2) 的辅助子像素 12B 相对应的图像数据 D (ORG361) 至 D (ORG720) 传输到数据驱动器 IC 8。用与图像数据 D (ORG1) 至 D (ORG360) 相同的方式对图像数据 D (ORG361) 至 D (ORG720) 也进行伽马校正。因此,用伽马曲线“A”校正的伽马校正的数据 D (GA361) 至 D (GA720) 被存储在与源输出 S361 至 S720 相对应的锁存电路 27A 中,并且将用伽马曲线“B”校正的伽马校正的数据 D (GB361) 至 D (GB720) 存储在与源输出 S361 至 S720 相对应的锁存电路 27B 中。

第(2i+1)个水平期间

当在第(2i+1)个水平期间的消隐期间选通信号 STB 被上拉到高电

平时, 切换电路 29 将锁存电路 27A 连接至锁存电路 30。响应于选通信号 STB 的上拉, 锁存电路 30 锁存存储在锁存电路 27A 中的伽马校正的数据 D (GA1) 至 D (GA720); 将伽马校正的数据 D (GA1) 至 D (GA720) 从锁存电路 27A 传输至锁存电路 30。与从锁存电路 27A 至锁存电路 30 的伽马校正的数据 D (GA1) 至 D (GA720) 的传输并行地, 将存储在锁存电路 27B 中的伽马校正的数据 D (GB1) 至 D (GB720) 传输至锁存电路 28。

在第(2i+1)个水平期间中, 取决于传输至锁存电路 30 的 D (GA1) 至 D (GA720) 驱动源输出 S1 至 S720, 并且栅极线 G(2i+1)被上拉。结果, 依赖于由伽马曲线“ A ”的伽马校正生成的伽马校正的数据 D (GA1) 至 D (GA360) 驱动连接至栅极线(2i+1)的主子像素 12A。

第(2i+2)个水平期间

当在第(2i+2)个水平期间的消隐期间中选通信号 STB 被上拉到高电平时, 切换电路 29 将锁存电路 28 连接至锁存电路 30。响应于选通信号 STB 的上拉, 锁存电路 30 锁存存储在锁存电路 28 中的伽马校正的数据 D (GB1) 至 D (GB720); 将伽马校正的数据 D (GB1) 至 D (GB720) 从锁存电路 28 传输至锁存电路 30。

在第(2i+2)个水平期间中, 依赖于传输至锁存电路 30 的 D (GB1) 至 D (GB720) 驱动源输出 S1 至 S720, 并且栅极线 G(2i+2)被上拉。结果, 依赖于由伽马曲线“ B ”的伽马校正生成的伽马校正的数据 D (GB1) 至 D (GB720) 驱动连接至栅极线 G(2i+2)的辅助子像素 12B。

利用上述过程, 依赖于由伽马曲线“ A ”的伽马校正生成的伽马校正的数据 D (GA1) 至 D (GA720) 驱动主子像素 12A, 并且依赖于由伽马曲线“ B ”的伽马校正生成的伽马校正的数据 D (GB1) 至 D (GB720) 驱动辅助子像素 12B。

第二实施例的液晶显示，如第一实施例的液晶显示的情况一样，有效地减少了到数据驱动器 IC 8 的数据传输量。

尽管上述本实施例中将参数存储单元 23A 和 23B 描述为存储用于进行近似伽马校正操作的计算参数，但是可以代替地将与伽马曲线关联的 LUT（查找表）存储在参数存储单元 23A 和 23B 中。在该情况下，伽马校正电路 22 执行表查找以从与关联的伽马曲线相对应的 LUT 中获得与图像数据相对应的伽马校正的数据，并输出获得的伽马校正的数据。

（第三实施例）

图 9 是示出本发明的第三实施例的液晶显示 1 的数据驱动器 IC 8 的示例性构造的框图。在第三实施例中，数据驱动器 IC 8 每个均设置有两个伽马校正电路，即伽马校正电路 22A 和 22B。伽马校正电路 22A 包括用于利用伽马曲线“A”进行近似伽马校正操作的计算参数。伽马校正电路 22A 通过使用伽马曲线“A”的计算参数来利用伽马曲线“A”对图像数据 9 进行伽马校正来生成伽马校正的数据 10A。另一方面，伽马校正电路 22B 包括用于利用伽马曲线“B”进行近似伽马校正操作的计算参数。伽马校正电路 22B 通过使用伽马曲线“B”的计算参数来利用伽马曲线“B”对图像数据 9 进行伽马校正来生成伽马校正的数据 10B。

将伽马校正电路 22A 的输出连接至锁存电路 27A，并将伽马校正电路 22B 的输出连接至锁存电路 27B。将由伽马校正电路 22A 生成的伽马校正的数据 10A 存储在锁存电路 27A 中并将由伽马校正电路 22B 生成的伽马校正的数据 10B 存储在锁存电路 27B 中。应注意，在本实施例中，分离地设置连接在伽马校正电路 22A 和锁存电路 27A 之间的信号线以及连接在伽马校正电路 22B 和锁存电路 27B 之间的信号线。如上所述，将锁存电路 27B 的输出连接至锁存电路 28，并且切换电路 29 将锁存电路 27A 或者锁存电路 28 选择性地连接至锁存电路 30。将

伽马校正的数据 10A 从锁存电路 27A 传输至锁存电路 30, 并通过锁存电路 28 将伽马校正的数据 10B 从锁存电路 27B 传输至锁存电路 30。将存储在锁存电路 30 的伽马校正的数据 10A 和 10B 传输至解码器 32 以从源输出 S1 至 S720 输出与伽马校正的数据 10A 或者伽马校正的数据 10B 相对应的驱动电压。

图 10A 和 10B 是示出第三实施例的液晶显示 1 的示例性操作的时序图。应注意, 图 10A 和 10B 应被理解为在虚线处相互毗邻以组成一个时序图。接下来, 描述与连接至栅极线 $G(2i+1)$ 的主子像素 12A 以及连接至栅极线 $G(2i+2)$ 的辅助子像素 12B 的驱动有关的操作。

第(2i-1)个水平期间

在第(2i-1)个水平期间中, 将与连接至栅极线 $G(2i+1)$ 的主子像素 12A 以及连接至栅极线 $G(2i+2)$ 的辅助子像素 12B 相对应的图像数据 D(ORG1) 至 D(ORG360) 传输到数据驱动器 IC 8。当传输第一图像数据 D(ORG1) 时, 伽马校正电路 22A 利用伽马曲线“A”对图像数据 D(ORG1) 进行伽马校正以生成伽马校正的数据 D(GA1), 伽马校正电路 22B 利用伽马曲线“B”对图像数据 D(ORG1) 进行伽马校正以生成伽马校正的数据 D(GB1)。将从伽马校正电路 22A 输出的伽马校正的数据 D(GA1) 存储在与源线 S1 相对应的锁存电路 27A 中并且将从伽马校正电路 22B 输出的伽马校正的数据 D(GB1) 存储在与源线 S1 相对应的锁存电路 27B 中。

用相同的方式对图像数据 D(ORG2) 至 D(ORG360) 也进行伽马校正。结果, 将用伽马曲线“A”校正的伽马校正的数据 D(GA1) 至 D(GA360) 存储在与源输出 S1 至 S360 相对应的锁存电路 27A 中, 并且将用伽马曲线“B”校正的伽马校正的数据 D(GB1) 至 D(GB360) 存储在与源输出 S1 至 S360 相对应的锁存电路 27B 中。

第(2i)个水平期间

在第 $(2i)$ 个水平期间中,将与连接至栅极线 $G(2i+1)$ 的主子像素 12A 以及连接至栅极线 $G(2i+2)$ 的辅助子像素 12B 相对应的图像数据 $D(ORG361)$ 至 $D(ORG720)$ 传输到数据驱动器 IC 8。用对图像数据 $D(ORG1)$ 至 $D(ORG360)$ 一样的方式也对图像数据 $D(ORG361)$ 至 $D(ORG720)$ 进行伽马校正。因此,将用伽马曲线“A”校正的伽马校正的数据 $D(GA361)$ 至 $D(GA720)$ 存储在与源输出 $S361$ 至 $S720$ 相对应的锁存电路 27A 中,并且将用伽马曲线“B”校正的伽马校正的数据 $D(GB361)$ 至 $D(GB720)$ 存储在与源输出 $S361$ 至 $S720$ 相对应的锁存电路 27B 中。

第 $(2i+1)$ 个水平期间

当在第 $(2i+1)$ 个水平期间的消隐期间中选通信号 STB 被上拉到高电平时,切换电路 29 将锁存电路 27A 连接至锁存电路 30。响应于选通信号 STB 的上拉,锁存电路 30 锁存存储在锁存电路 27A 中的伽马校正的数据 $D(GA1)$ 至 $D(GA720)$; 将伽马校正的数据 $D(GA1)$ 至 $D(GA720)$ 从锁存电路 27A 传输至锁存电路 30。

当将伽马校正的数据 $D(GA1)$ 至 $D(GA720)$ 传输至锁存电路 30 时,依赖于传输的伽马校正的数据 $D(GA1)$ 至 $D(GA720)$ 驱动源输出 $S1$ 至 $S720$, 并且栅极线 $G(2i+1)$ 被上拉。结果,依赖于由利用伽马曲线“A”的伽马校正生成的伽马校正的数据 $D(GA1)$ 至 $D(GA360)$ 驱动连接至栅极线 $G(2i+1)$ 的主子像素 12A。

与从锁存电路 27 至锁存电路 30 的伽马校正的数据 $D(GA1)$ 至 $D(GA720)$ 的传输并行地,第 $(2i+1)$ 个水平期间中将存储在锁存电路 27B 中的伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ 传输至锁存电路 28。

第 $(2i+2)$ 个水平期间

当在第 $(2i+2)$ 个水平期间的消隐期间中选通信号 STB 被上拉到高电平时,切换电路 29 将锁存电路 28 连接至锁存电路 30。响应于选通

信号 STB 的上拉, 锁存电路 30 锁存存储在锁存电路 28 中的伽马校正的数据 D (GB1) 至 D (GB720); 将伽马校正的数据 D (GB1) 至 D (GB720) 从锁存电路 28 传输至锁存电路 30。

在第 $(2i+2)$ 个水平期间中, 依赖于传输至锁存电路 30 的 D (GB1) 至 D (GB720) 驱动源输出 S1 至 S720, 并且栅极线 G $(2i+2)$ 被上拉。结果, 依赖于由利用伽马曲线“B”的伽马校正生成的伽马校正的数据 D (GB1) 至 D (GB720) 驱动连接至栅极线 G $(2i+2)$ 的辅助子像素 12B。

根据上述过程, 依赖于由利用伽马曲线“A”的伽马校正生成的伽马校正的数据 D (GA1) 至 D (GA720) 驱动主子像素 12A, 并且依赖于由利用伽马曲线“B”的伽马校正生成的伽马校正的数据 D (GB1) 至 D (GB720) 驱动辅助子像素 12B。

第三实施例的液晶显示装置, 如第一和第二实施例的液晶显示装置的情况一样, 有效地减少了到数据驱动器 IC 8 的数据传输量。另外, 与第一和第二实施例的液晶显示装置相比较, 第三实施例的液晶显示装置的优点在于允许伽马校正电路以较慢的操作速度操作。然而, 应注意, 与第三实施例的液晶显示装置相比较, 第一和第二实施例的液晶显示装置的优点是减少了硬件尺寸。

尽管上述实施例中将参数存储单元 23A 和 23B 描述为存储用于进行近似伽马校正操作的计算参数, 但是可以替代地将与伽马曲线关联的 LUT (查找表) 存储在伽马校正电路 22A 和 22B 中。在该情况下, 伽马校正电路 22A 和 22B 执行表查找以从与关联的伽马曲线相对应的 LUT 中获得与图像数据相对应的伽马校正的数据, 并输出获得的伽马校正的数据。

(第四实施例)

图 11 是示出本发明的第四实施例中的液晶显示 1 的数据驱动器 IC

8 的示例性构造的框图。在第四实施例中，根据第一至第三实施例的数据驱动器 IC 8 的构造修改了数据驱动器 IC 8 的构造。接下来，参考图 11，描述了第四实施例中数据驱动器 IC 8 的构造。图 11 示出了数据驱动器 IC 8 的构造，该数据驱动器 IC 8 用于以下情况：每个数据驱动器 IC 8 具有 720 个源输出 S1 至 S720，即，每个数据驱动器 IC 8 在每个水平期间驱动 720 个像素 11。

数据驱动器 IC 8 每个均设置有串行-并行转换器电路 41，10 位的锁存电路 42、43、伽马校正电路 44、参数存储单元 45A、45B、选择器 46、12 位的锁存电路 47、48、电平转换器 49、12 位的解码器 50、以及放大器电路 51。将锁存电路 42、43、47 和 48、电平转换器 49 以及放大器电路 51 设置为和数据驱动器 IC 8 的源输出一样多。因为在图 11 的构造中，在数据驱动器 IC 8 中设置了 720 个源输出 S1 至 S720，锁存电路 42、43、47 和 48、电平转换器 49、解码器 50、以及 720 个放大器电路 51 每个均设置为 720 个。

串行-并行转换器电路 41 对串行传输至数据驱动器 IC 8 的图像数据 9 执行串行-并行转换，并且将串行-并行转换后的图像数据 9 顺序地供给到锁存电路 42。

锁存电路 42 和 43 用作暂时存储电路，该暂时存储电路顺序地接收 10 位的图像数据 9，并且在其中暂时地存储接收到的 10 位的图像数据 9。为了接收，锁存电路 42 和 43 将接收到的图像数据 9 传输至伽马校正电路 44。具体地，锁存电路 26 顺序地从左到右接收从串行-并行转换器电路 41 传输的图像数据 9。另一方面，锁存电路 43 同时锁存来自于锁存电路 42 的图像数据 9。锁存电路 43 将锁存的图像数据 9 顺序地从左到右传输至伽马校正电路 44。接下来，将从锁存电路 43 传输至伽马校正电路 44 的 10 位的图像数据作为图像数据 9a 以与发送至数据驱动器 IC 8 的图像数据 9 区分。

伽马校正电路 44、参数存储单元 45A、45B 和选择器 46 作为伽马校正电路操作，用于通过对图像数据 9a 进行伽马校正来生成伽马校正的数据 10。在本实施例中，图像数据 9a 是 10 位的数据，而伽马校正的数据 10 是 12 位的数据。

参数存储单元 45A 包括用于利用伽马曲线“A”进行近似伽马校正操作的计算参数并且参数存储单元 45B 包括用于利用伽马曲线“B”进行近似伽马校正操作的计算参数。选择器 46 选择参数存储单元 45A 和 45B 中的一个，并将选择的一个连接至伽马校正电路 44。伽马校正电路 44 从选择的参数存储单元中获得计算参数，使用获得的计算参数对图像数据 9a 进行近似伽马校正操作，并将最终的数据作为伽马校正的数据 10 输出至锁存电路 47。

锁存电路 47、48、电平转换器 49、解码器 50 以及放大器电路 51 用作驱动电路，该驱动电路响应于伽马校正的数据 10 驱动连接至源输出 S1 至 S720 的数据线 D1 至 D720。

具体地，锁存电路 47 从伽马校正电路 44 接收伽马校正的数据 10 并在其中存储接收到的伽马校正的数据 10。锁存电路 47 顺序地从左到右接收伽马校正的数据 10。响应于选通信号 STB，锁存电路 48 从锁存电路 47 接收伽马校正的数据 10 并在其中存储接收到的伽马校正的数据 10。锁存电路 48 通过电平转换器 49 将锁存的伽马校正的数据 10 发送至解码器 50。解码器 50 对从锁存电路 48 接收到的伽马校正的数据 10 进行 D/A 转换以生成与伽马校正的数据 10 的灰阶值相对应的模拟电压信号。放大器电路 51 通过从源输出 S1 至 S720 输出驱动电压来驱动数据线 D1 至 D720。由放大器电路 51 产生的驱动电压具有与从解码器 50 接收到的模拟电压信号的电压电平相对应的电压电平；基本上，驱动电压的电压电平等于相应的模拟电压信号的电压电平。

图 12A 和 12B 示出了第四实施例的液晶显示 1 的示例性操作的时

序图。应注意，图 10A 和 10B 应被认为在虚线处相互毗邻以组成一个时序图。接下来，描述了与连接至栅极线 $G(2i+1)$ 的主子像素和连接至栅极线 $G(2i+2)$ 的辅助子像素 12B 的驱动有关的操作。

第 $(2i-2)$ 个水平期间

在第 $(2i-2)$ 个水平期间中，将与连接至栅极线 $G(2i+1)$ 的主子像素 12A 和连接至栅极线 $G(2i+2)$ 的辅助子像素 12B 相对应的图像数据 $D(ORG1)$ 至 $D(ORG360)$ 传输至数据驱动器 IC 8。然后，将传输的图像数据 $D(ORG1)$ 至 $D(ORG360)$ 顺序地传输至与源输出 $S1$ 至 $S360$ 相对应的锁存电路 42 并在其中进行存储。

第 $(2i-1)$ 个水平期间

在第 $(2i-1)$ 个水平期间中，将与连接至栅极线 $G(2i+1)$ 的主子像素 12A 和连接至栅极线 $G(2i+2)$ 的辅助子像素 12B 相对应的图像数据 $D(ORG361)$ 至 $D(ORG720)$ 传输至数据驱动器 IC 8。然后，将传输的图像数据 $D(ORG361)$ 至 $D(ORG720)$ 顺序地传输至与源输出 $S361$ 至 $S720$ 相对应的锁存电路 42 并在其中进行存储。

第 $(2i)$ 个水平期间

在第 $(2i)$ 个水平期间中，将存储在锁存电路 42 中的图像数据 $D(ORG1)$ 至 $D(ORG720)$ 传输至锁存电路 43。锁存电路 43 将图像数据 $D(ORG1)$ 至 $D(ORG720)$ 顺序地传输至锁存电路 44。

在从锁存电路 43 接收图像数据 $D(ORG1)$ 时，伽马校正电路 44 对接收到的图像数据 $(ORG1)$ 进行伽马校正。在第 $(2i)$ 个水平期间中，通过选择器 34 选择参数存储单元 45A 以允许访问存储在参数存储单元 45A 的伽马曲线“A”的计算参数。伽马校正电路 44 从参数存储单元 45A 中获得伽马曲线“A”的计算参数，使用获得的计算参数对从锁存电路 43 接收到的图像数据 $D(ORG1)$ 进行近似伽马校正操作，并输出与图像数据 $D(ORG1)$ 相对应的伽马校正的数据 $D(GA1)$ 。

将输出的伽马校正的数据 D (GA1) 存储在与源输出 S1 相对应的锁存电路 47 中。

用相同的方式对图像数据 D (ORG2) 至 D (ORG720) 也进行伽马校正。因此, 将用伽马曲线 “A” 校正的伽马校正的数据 D (GA1) 至 D (GA720) 存储在与源输出 S1 至 S720 相对应的锁存电路 47 中。

第(2i+1)个水平期间

当在第(2i+1)个水平期间的消隐期间中选通信号 STB 被上拉到高电平时, 锁存电路 48 锁存存储在锁存电路 47 中的伽马校正的数据 D (GA1) 至 D (GA720); 将伽马校正的数据 D (GA1) 至 D (GA720) 从锁存电路 47 传输至锁存电路 48。

当将伽马校正的数据 D (GA1) 至 D (GA720) 传输至锁存电路 48 时, 依赖于传输的伽马校正的数据 D (GA1) 至 D (GA720) 驱动源输出 S1 至 S720, 并且栅极线 G(2i+1)被上拉。结果, 依赖于由利用伽马曲线“A”的伽马校正生成的伽马校正的数据 D(GA1)至 D(GA720)驱动连接至栅极线 G(2i+1)的主子像素 12A。

与伽马校正的数据 D (GA1) 至 D (GA720) 至锁存电路 48 的传输并行地, 伽马校正电路 44 利用伽马曲线 “B” 对图像数据 D (ORG1) 至 D (ORG720) 进行伽马校正。具体地, 在第 (2i+1) 个水平期间中, 通过选择器 34 选择参数存储单元 45B 以允许访问存储在参数存储单元 45B 中的伽马曲线 “B” 的计算参数。伽马校正电路 44 从参数存储单元 45B 中获得伽马曲线 “B” 的计算参数, 使用获得的计算参数对从相应的锁存电路 43 中接收到的图像数据 D (ORG1) 进行近似伽马校正操作, 并输出与图像数据 D(ORG1)相对应的伽马校正的数据 D(GB1)。将输出的伽马校正的数据 D (GB1) 存储在与源输出 S1 相对应的锁存电路 47 中。

用相同的方式对图像数据 $D(ORG2)$ 至 $D(ORG720)$ 也进行伽马校正。因此，将用伽马曲线“B”校正的伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ 存储在与源输出 $S1$ 至 $S720$ 相对应的锁存电路 47 中。

第 $(2i+2)$ 个水平期间

当在第 $(2i+2)$ 个水平期间的消隐期间中选通信号 STB 被上拉到高电平时，锁存电路 48 锁存存储在锁存电路 47 中的伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ 。因此，将伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ 从锁存电路 47 传输至锁存电路 48。

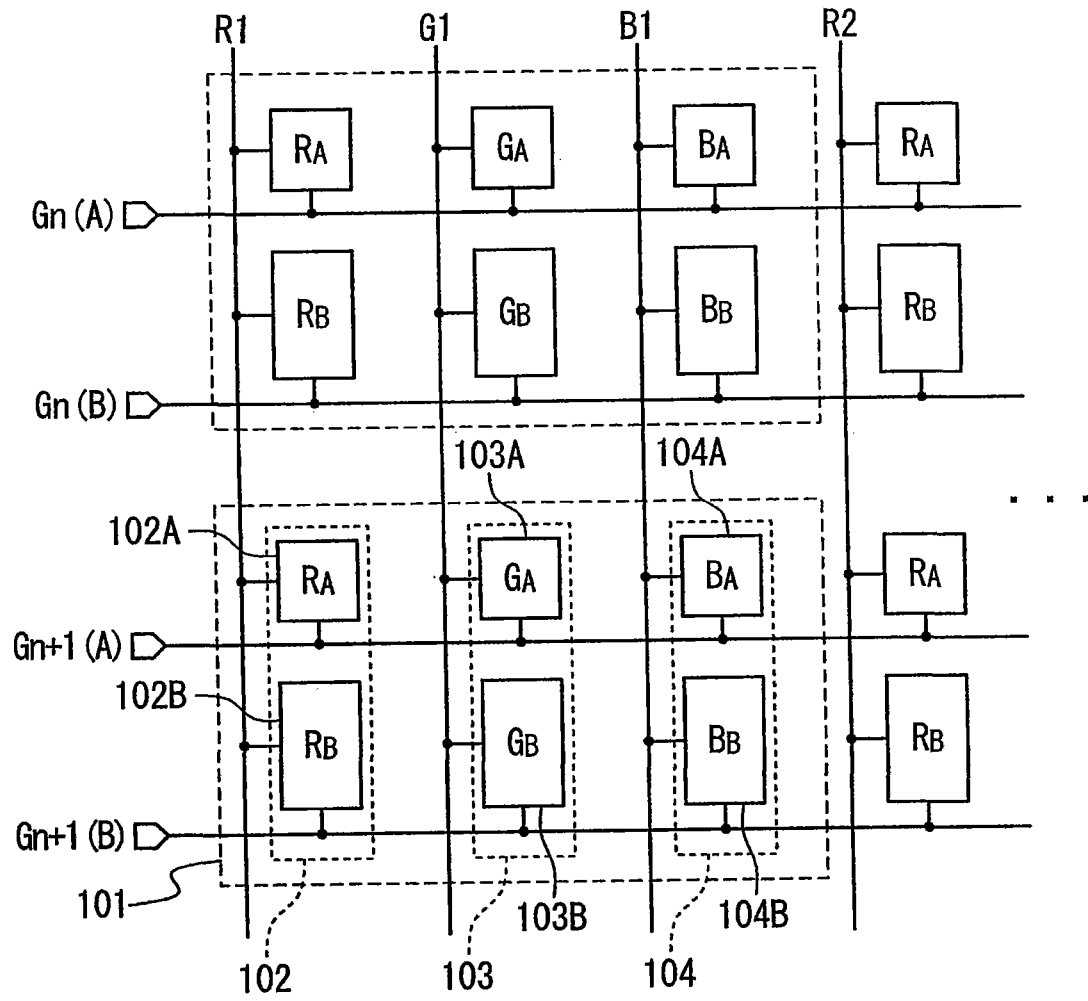
当将伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ 传输至锁存电路 48 时，依赖于传输的伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ 驱动源输出 $S1$ 至 $S720$ ，并且栅极线 $G(2i+2)$ 被上拉。结果，依赖于由利用伽马曲线“B”的伽马校正生成的伽马校正的数据 $D(GB1)$ 至 $D(GB360)$ 驱动连接至栅极线 $G(2i+2)$ 的辅助子像素 12B。

利用上述过程，依赖于由利用伽马曲线“A”的伽马校正生成的伽马校正的数据 $D(GA1)$ 至 $D(GA720)$ 驱动主子像素 12A，并且依赖于由利用伽马曲线“B”的伽马校正生成的伽马校正的数据 $D(GB1)$ 至 $D(GB720)$ 驱动辅助子像素 12B。

第四实施例的液晶显示装置，如第一至第三实施例的液晶显示装置的情况一样，有效地减少了到数据驱动器 IC 8 的数据传输量。

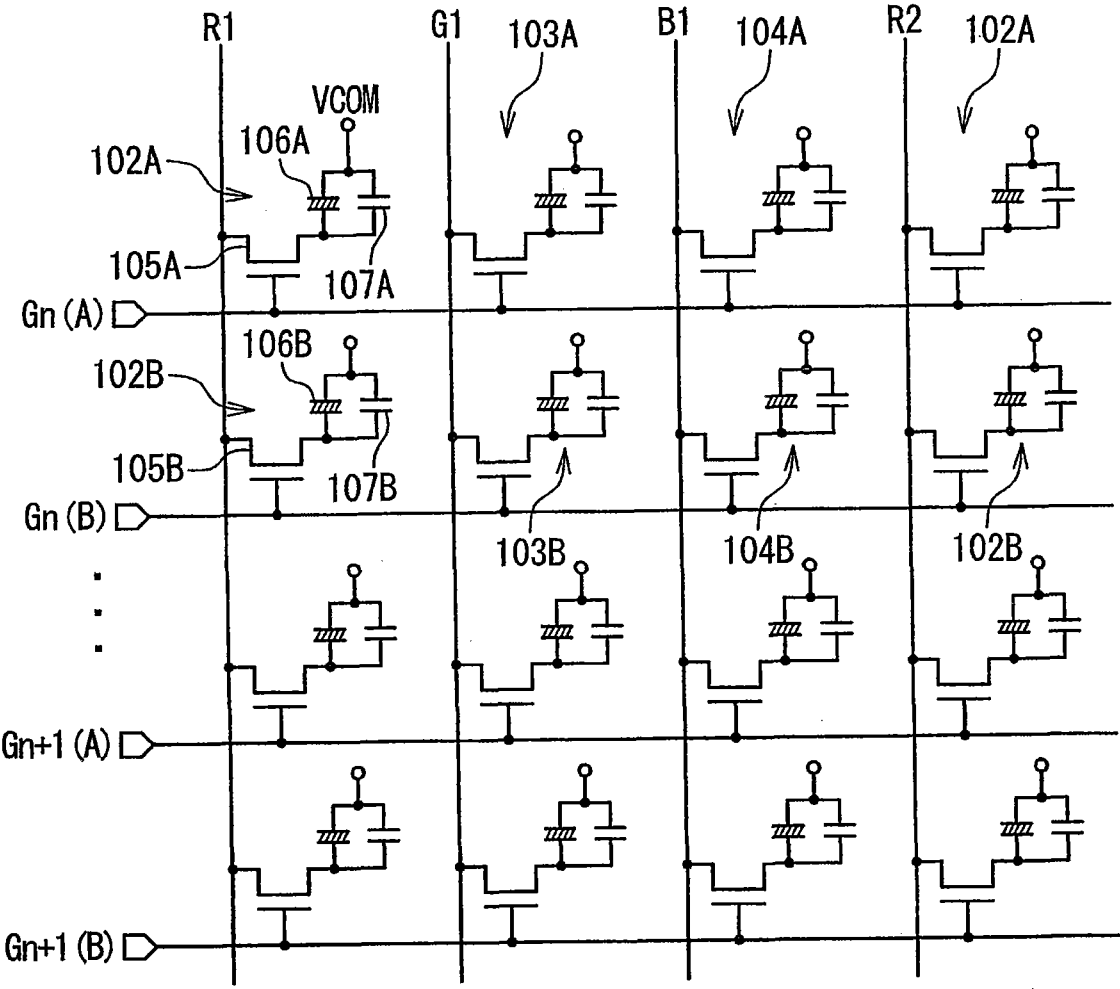
尽管上述实施例中将参数存储单元 45A 和 45B 描述为存储用于进行近似伽马校正操作的计算参数，但是可以替代地将与伽马曲线关联的 LUT（查找表）存储在参数存储单元 45A 和 45B 中。在该情况下，伽马校正电路 44 执行表查找以从与关联的伽马曲线相对应的 LUT 中获得与图像数据相对应的伽马校正的数据，并输出获得的伽马校正的数据。

显然，本发明不限于上述实施例，但是可在不脱离本发明的范围情况下进行修改和变化。



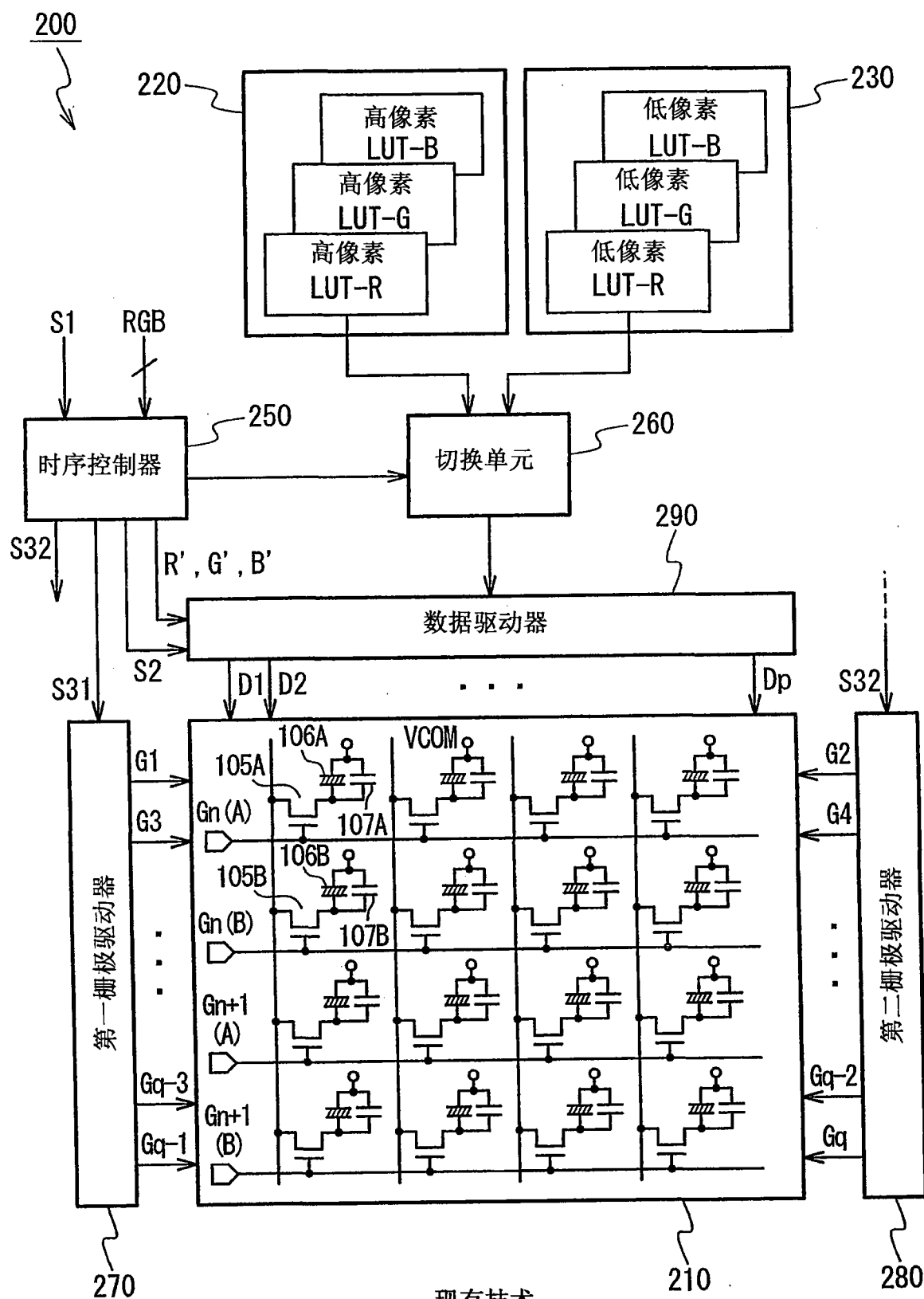
现有技术

图1



现有技术

图2



现有技术

图3

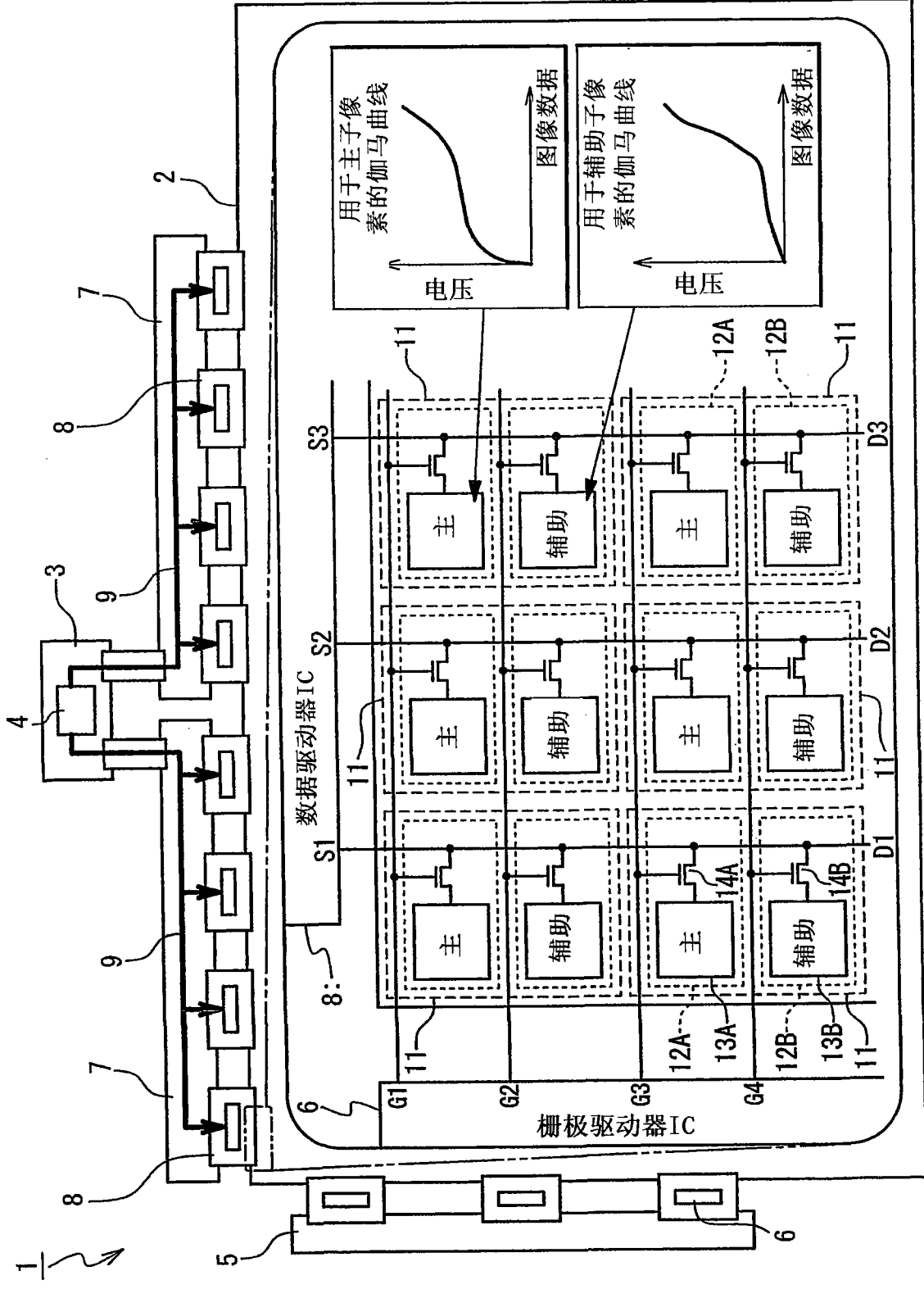


图4

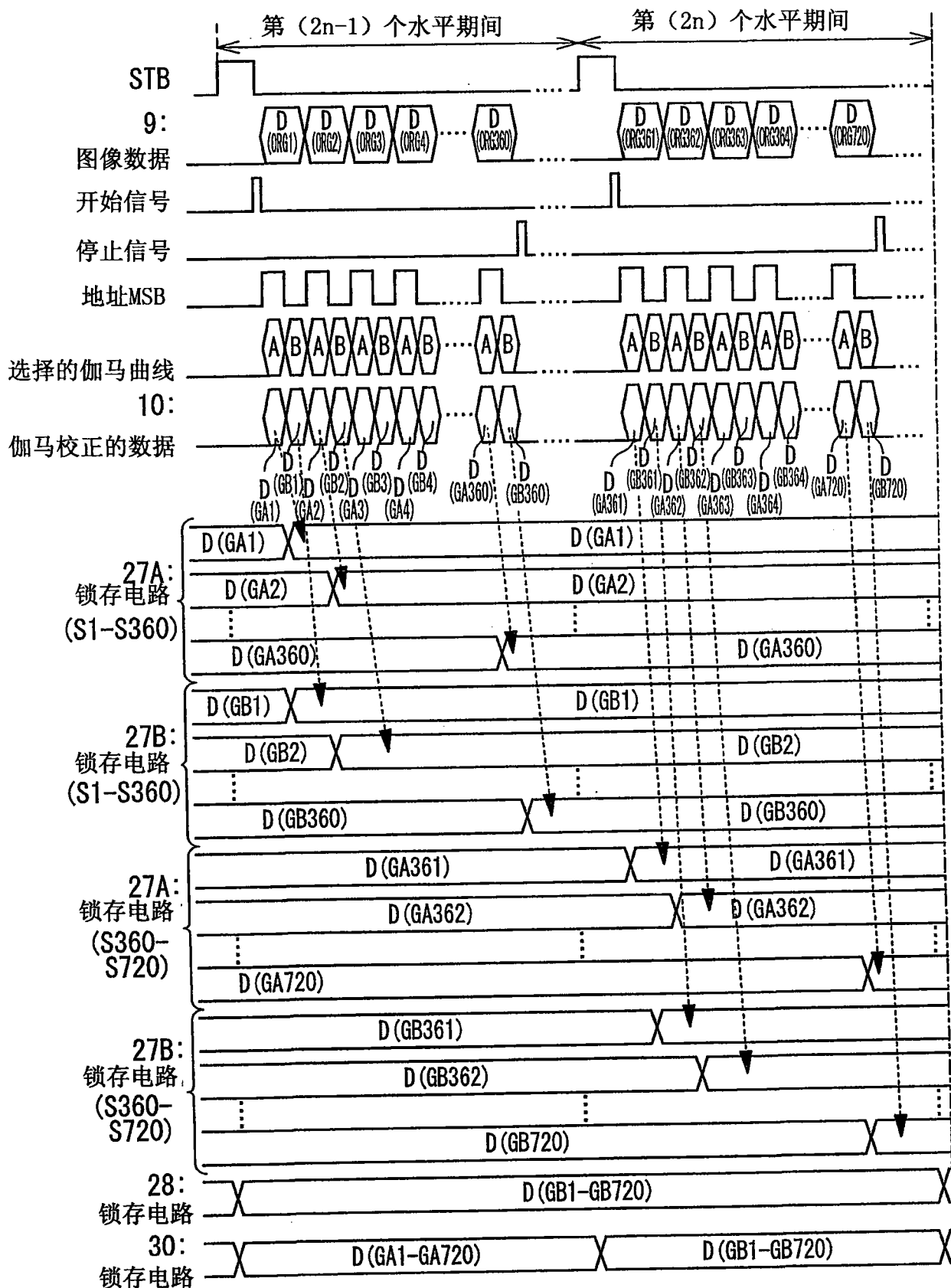


图6A

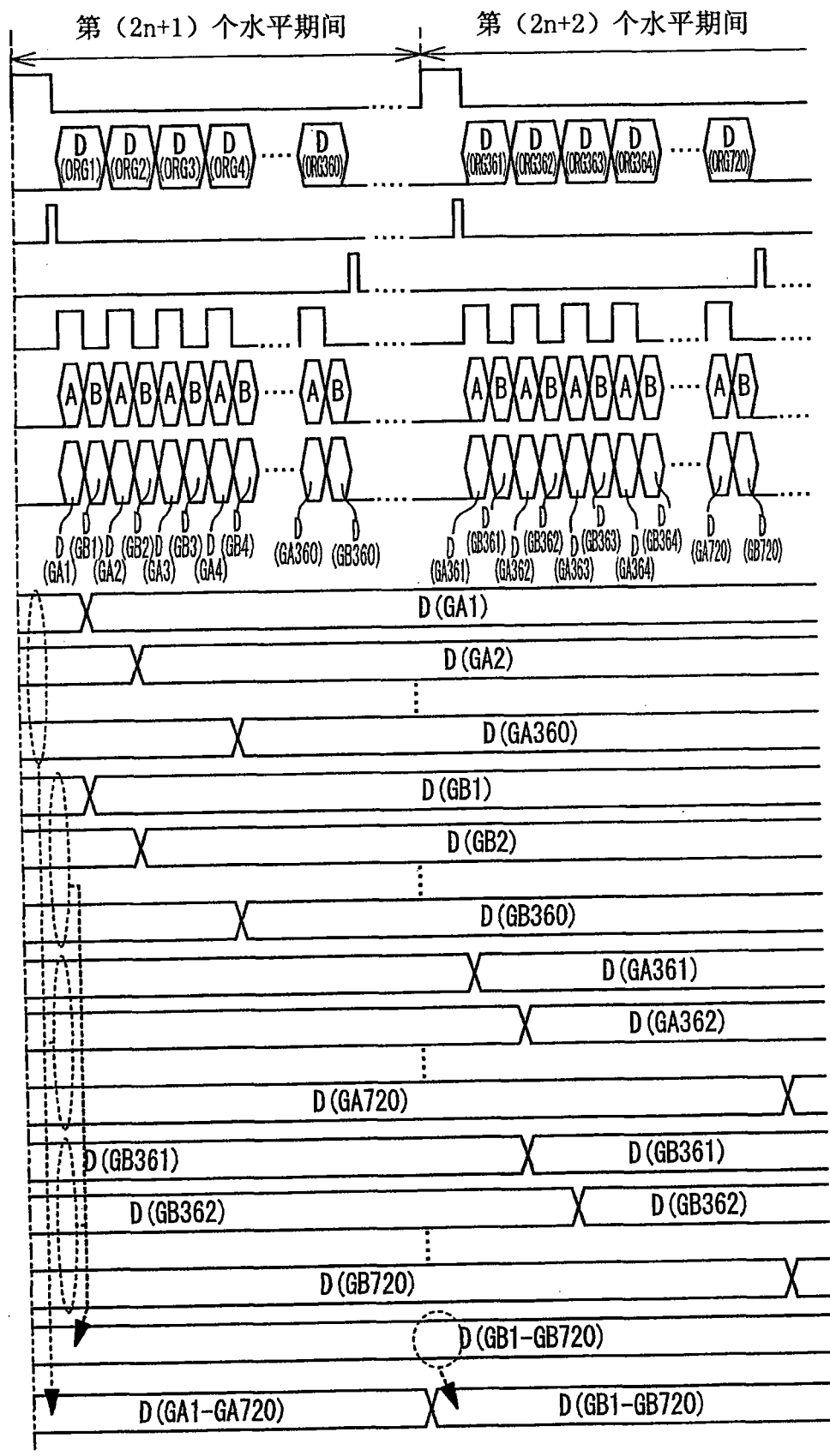


图6B

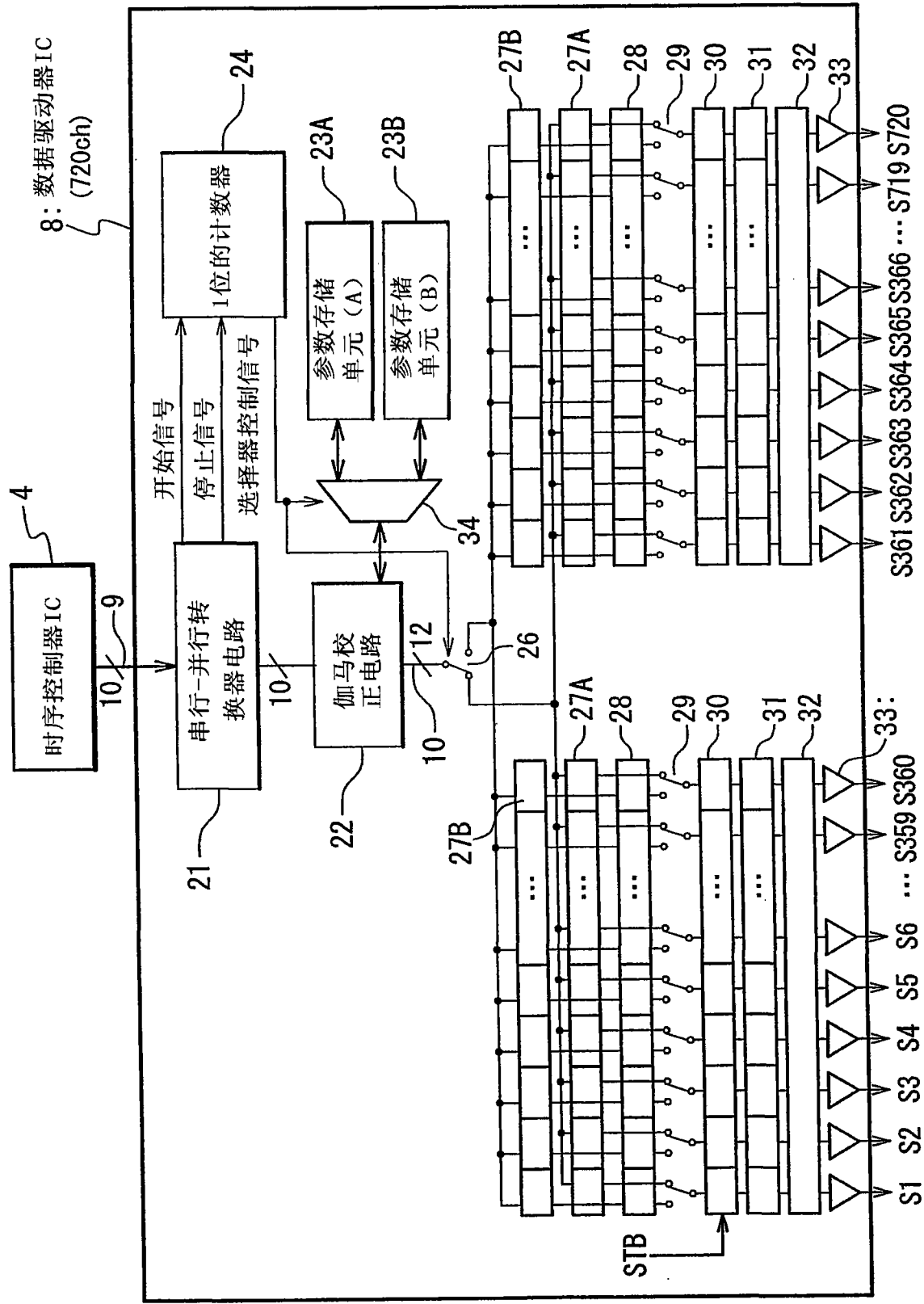


图7

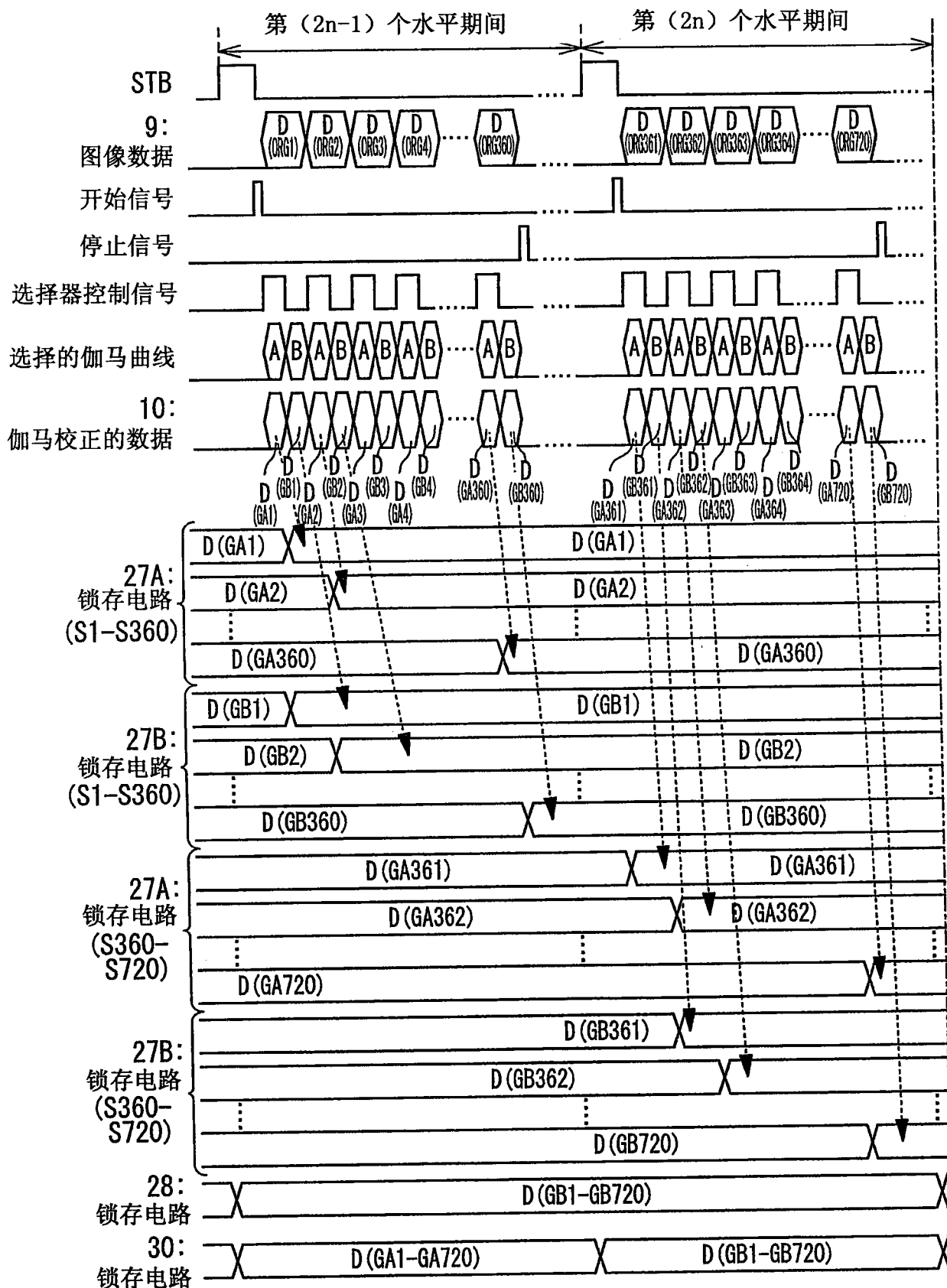


图8A

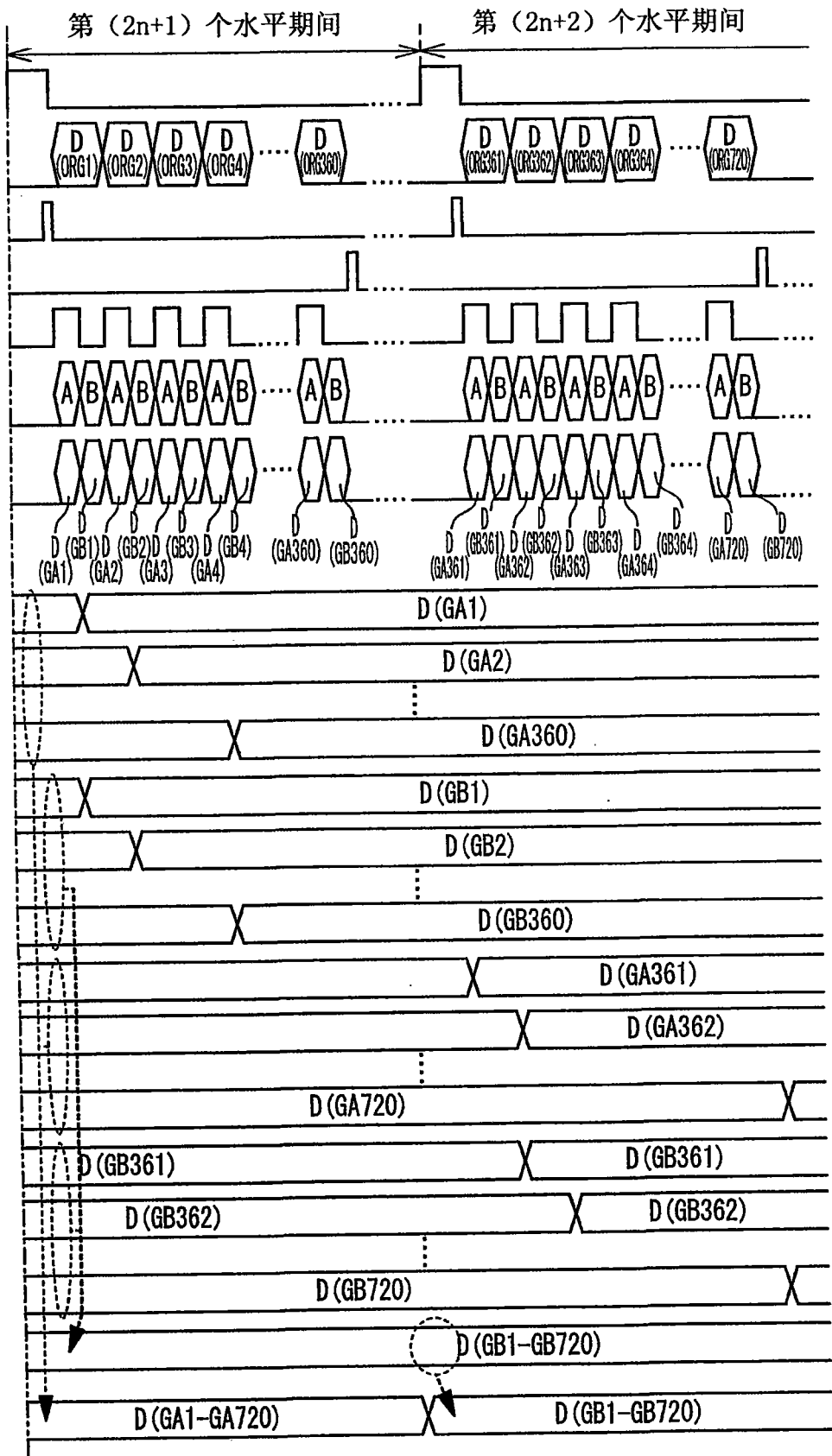


图8B

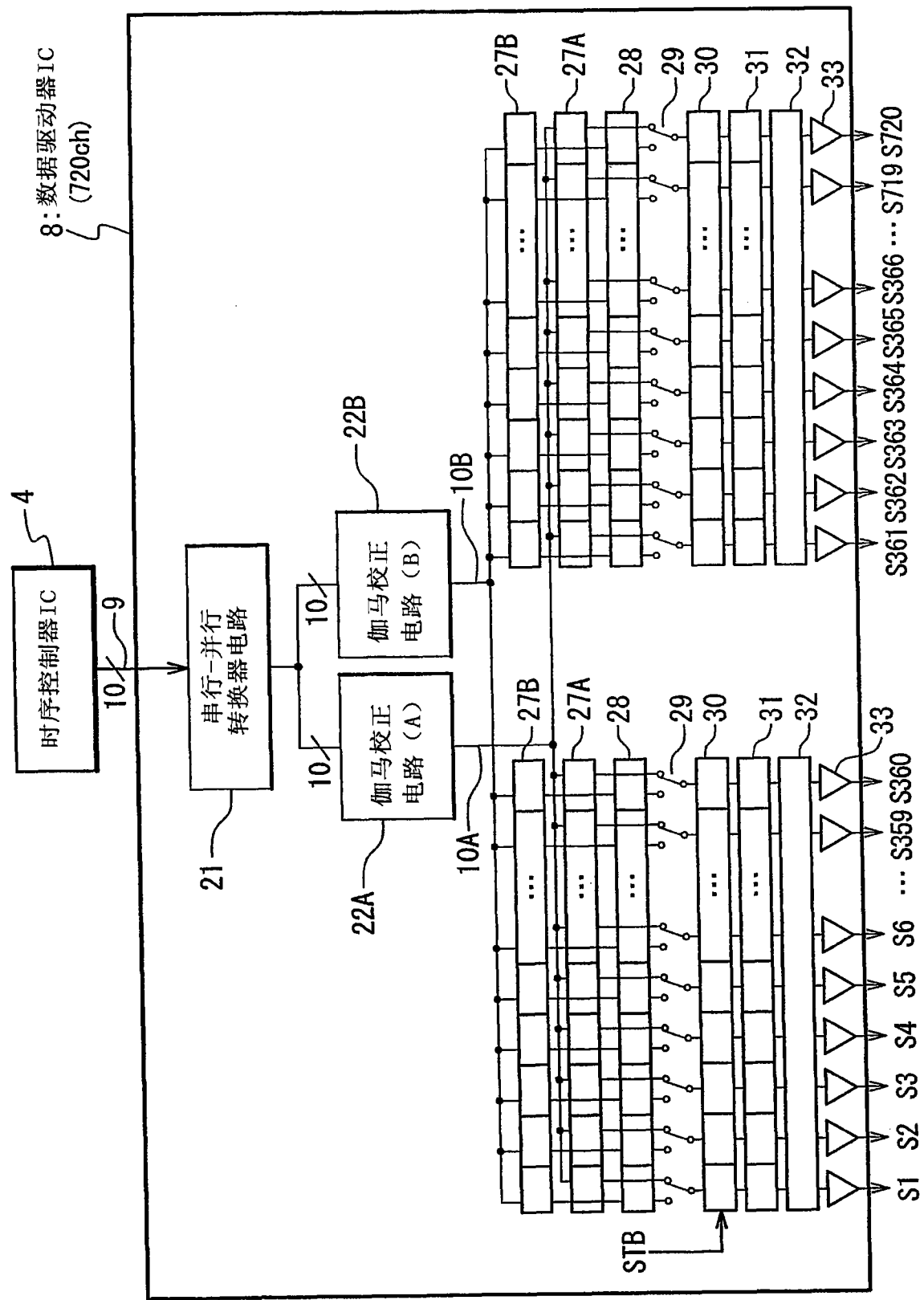


图9

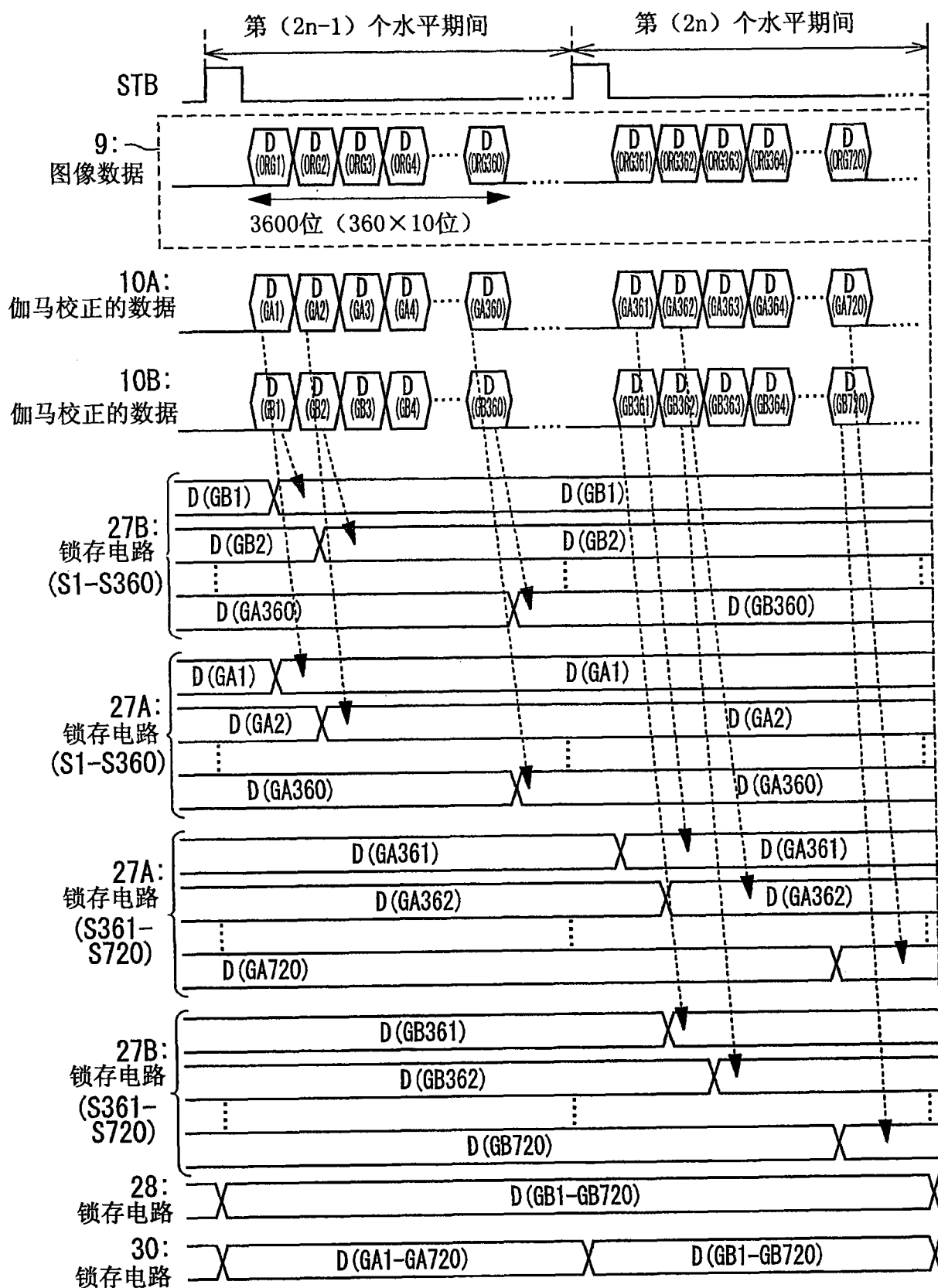


图10A

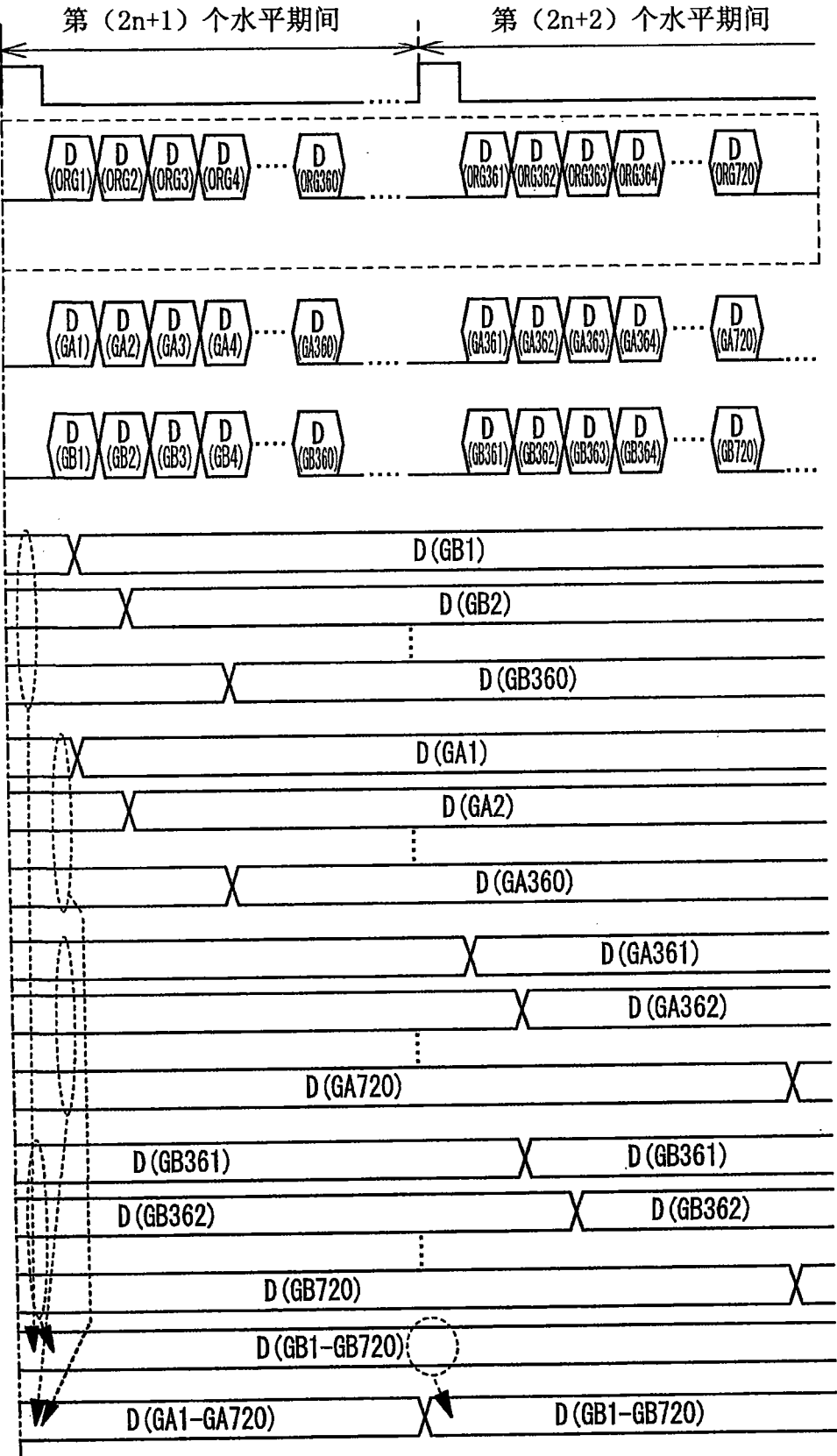


图10B

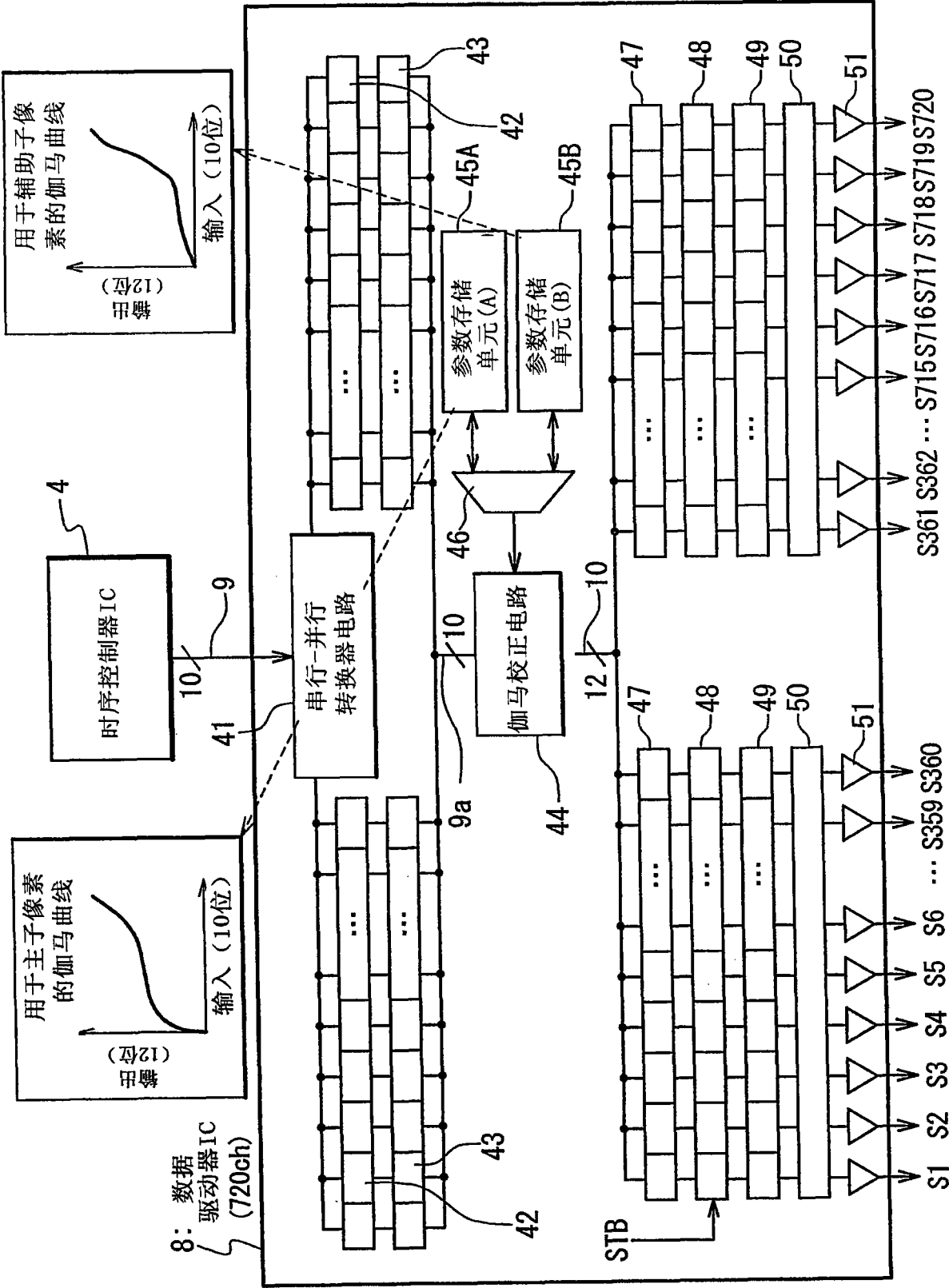


图11

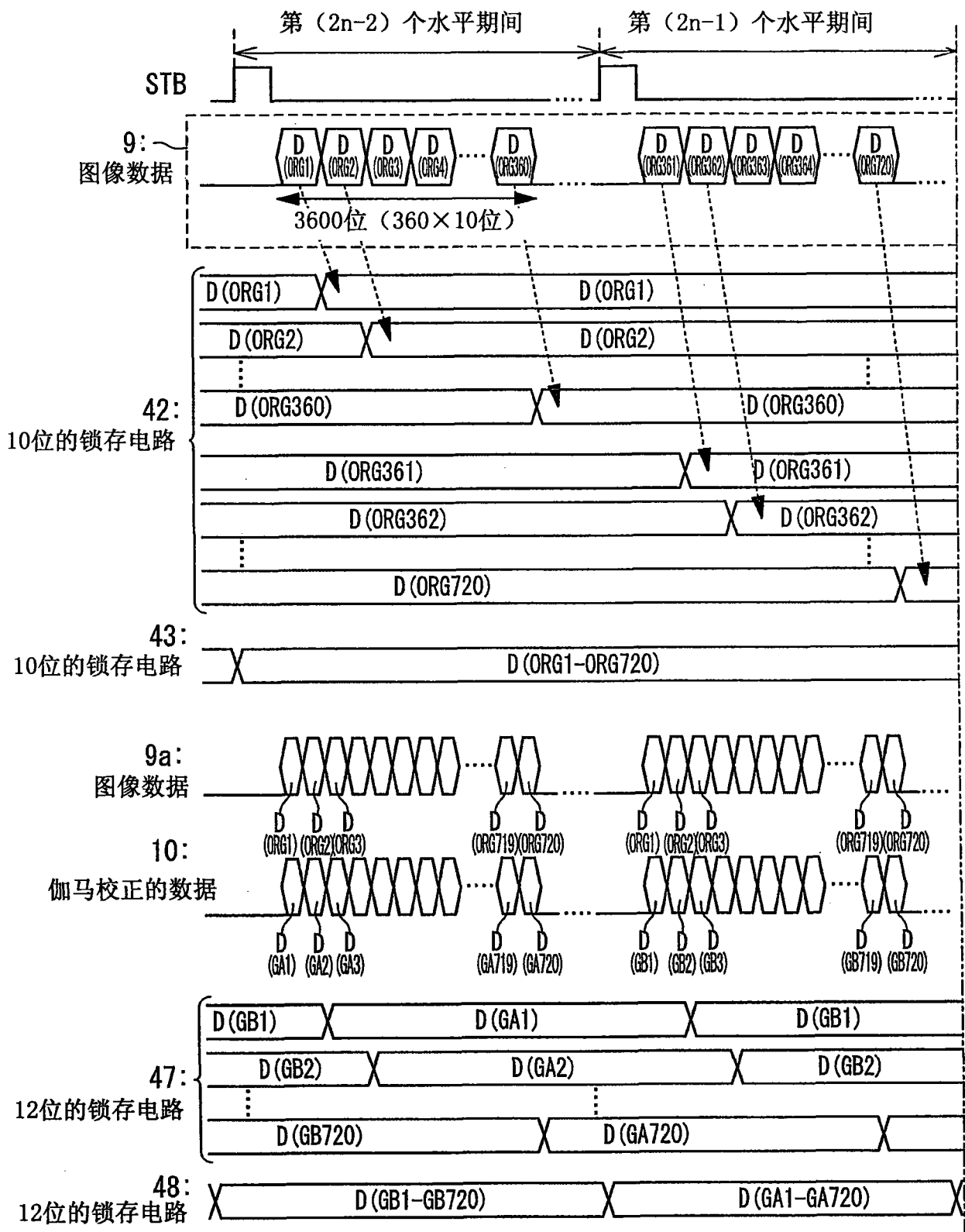


图12A

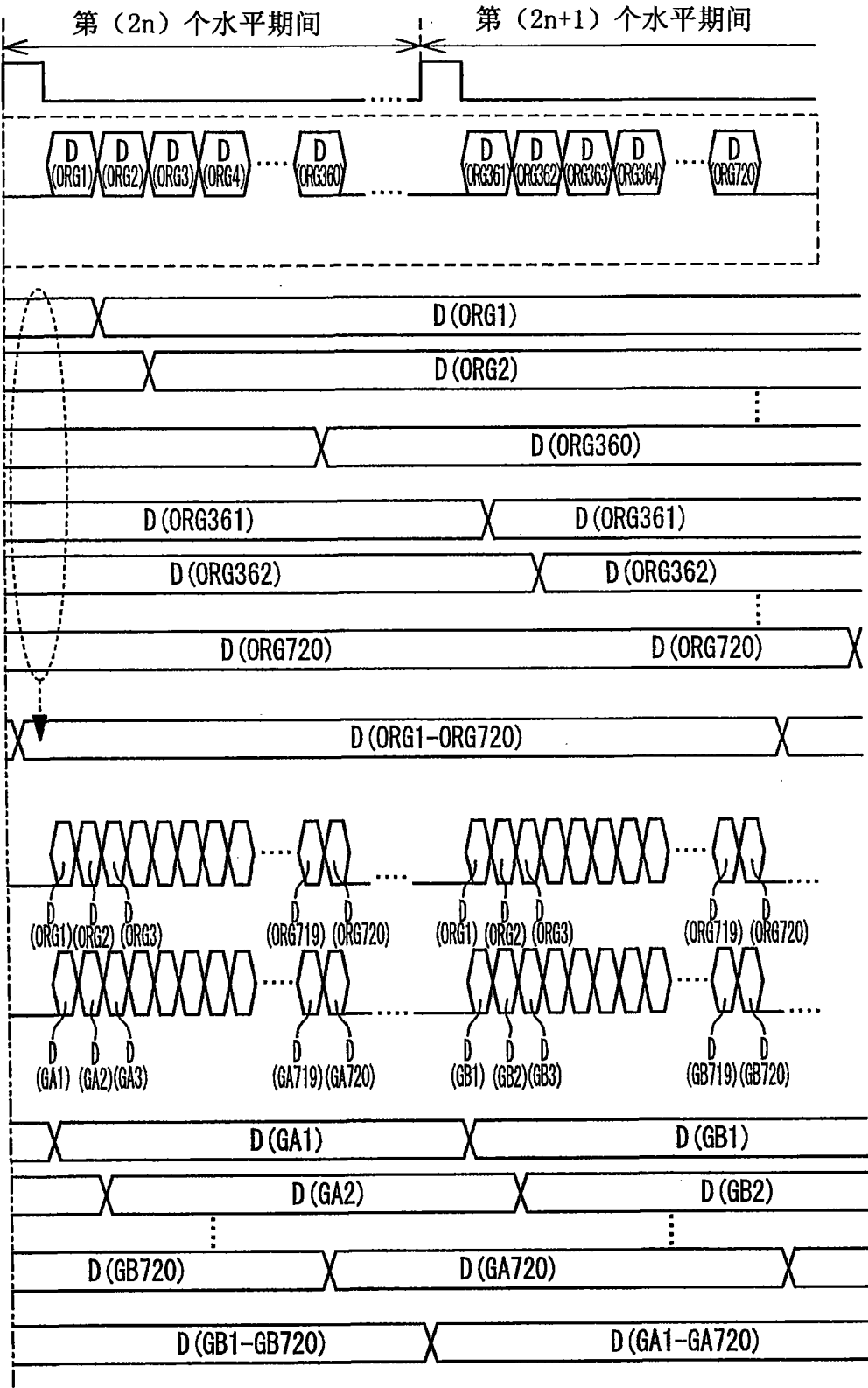


图12B

[illegible]