



(12) 实用新型专利

(10) 授权公告号 CN 202008813 U

(45) 授权公告日 2011. 10. 12

(21) 申请号 201020677703. 5

(22) 申请日 2010. 12. 23

(73) 专利权人 北京京东方光电科技有限公司

地址 100176 北京市大兴区经济技术开发区
西环中路 8 号

(72) 发明人 王洁琼

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G09G 3/36 (2006. 01)

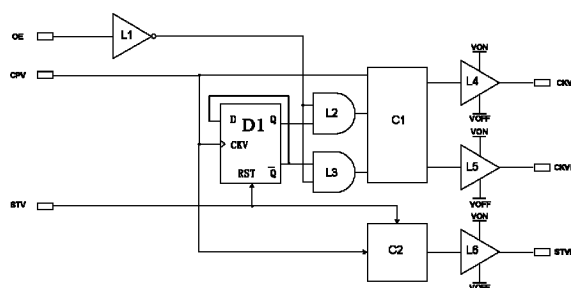
权利要求书 1 页 说明书 5 页 附图 1 页

(54) 实用新型名称

薄膜晶体管液晶显示器的栅极驱动器、驱动
电路及液晶显示器

(57) 摘要

本实用新型公开了一种薄膜晶体管液晶显示器的栅极驱动器、驱动电路及液晶显示器,其中,薄膜晶体管液晶显示器的栅极驱动器包括用于输入 CPV 信号、OE 信号和 STV 信号的输入端,以及用于输出 CKV 信号和 CKVB 信号的输出端,输入端与输出端之间连接有处理电路,用于对 CPV 信号、OE 信号和 STV 信号进行处理,以使在 CKV 信号的一个周期内,CKV 信号的下降沿与 CKVB 信号的上升沿之间具有预先设置的时间间隔,或者在 CKVB 信号的一个周期内,CKV 信号的上升沿与 CKVB 信号的下降沿之间具有预先设置的时间间隔。本实用新型能够避免由于栅极驱动信号的延迟造成的输入到像素电极中的数据混淆。



1. 一种薄膜晶体管液晶显示器的栅极驱动器,其特征在于,包括用于输入 CPV 信号、OE 信号和 STV 信号的输入端,以及用于输出 CKV 信号和 CKVB 信号的输出端,所述输入端与所述输出端之间连接有处理电路,用于对所述 CPV 信号、所述 OE 信号和所述 STV 信号进行处理。

2. 根据权利要求 1 所述的薄膜晶体管液晶显示器的栅极驱动器,其特征在于,所述处理电路包括非门 L1、D 触发器 D1、第一与门 L2、第二与门 L3、第一逻辑组合电路 C1、第一逻辑选择电路 L4 和第二逻辑选择电路 L5,其中,

非门 L1 的输入端与 OE 信号输入端连接;

非门 L1 的输出端分别与第一与门 L2 的输入端和第二与门 L3 的输入端连接;

D 触发器 D1 的触发端 CKV 与 CPV 信号输入端链接;

D 触发器 D1 的输入端 D 与反向输出端 $\overline{Q}$ 连接;

D 触发器 D1 的反向输出端 $\overline{Q}$ 与第二与门 L3 的输入端连接;

D 触发器 D1 的输出端 Q 与与门 L2 的输入端连接;

D 触发器 D1 的复位端 RST 分别与 STV 信号输入端连接;

第一逻辑组合电路 C1 的输入端分别与 CPV 信号输入端、第一与门 L2 和第二与门 L3 的输出端连接;

第一逻辑组合电路 C1 的输出端分别与第一逻辑选择电路 L4 和第二逻辑选择电路 L5 连接;

第一逻辑选择电路 L4 的输出端与 CKV 信号输出端连接;

第二逻辑选择电路 L5 的输出端与 CKVB 信号输出端连接;

第一逻辑选择电路 L4 和第二逻辑选择电路 L5 分别与参考选择高电压 VON 和参考选择低电压 VOFF 连接。

3. 根据权利要求 1 所述的薄膜晶体管液晶显示器的栅极驱动器,其特征在于,所述输出端还用于输出 STVP 信号;所述处理电路还包括第二逻辑组合电路 C2 和第二逻辑选择电路 L6,其中,

第二逻辑组合电路 C2 的输入端分别与 CPV 信号输入端和 STV 信号输入端连接;

第二逻辑组合电路 C2 的输出端与第三逻辑选择电路 L6 的输入端连接;

第三逻辑选择电路 L6 的输出端与 STVP 信号输出端连接;

第三逻辑选择电路 L6 与参考选择高电压 VON 和参考选择低电压 VOFF 相连接。

4. 一种薄膜晶体管液晶显示器的驱动电路,包括源极驱动器和栅极驱动器,其特征在于,所述栅极驱动器采用权利要求 1 至 3 任一权利要求所述的栅极驱动器。

5. 一种薄膜晶体管液晶显示器,包括外框架、液晶面板和驱动电路,其特征在于,所述驱动电路采用权利要求 4 所述的薄膜晶体管液晶显示器的驱动电路。

薄膜晶体管液晶显示器的栅极驱动器、驱动电路及液晶显示器

技术领域

[0001] 本实用新型涉及液晶显示器驱动技术,尤其涉及一种薄膜晶体管液晶显示器的栅极驱动器、驱动电路及液晶显示器。

背景技术

[0002] 液晶显示器是目前常用的平板显示器,其中薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display,简称 TFT-LCD) 是液晶显示器中的主流产品。如图 1 所示为现有技术中 TFT-LCD 的驱动电路结构示意图,时序控制器 1 用于产生各种控制信号,例如:栅极行开启信号(本领域中通常称为 CPV 信号 (Clock Pulse Vertical,简称 CPV))、栅极帧开启信号(本领域中通常称为 STV 信号 (Start Vertical,简称 STV))、栅极输出使能信号(本领域中通常称为 OE 信号 (Output Enable,简称 OE))等。时序控制器 1 将产生的各种控制信号输入到高电压逻辑驱动器 (High Voltage TFT-LCD Logic Driver) 2 中,该高电压逻辑驱动器 2 将 CPV 信号、STV 信号、OE 信号等生成第一时钟信号(本领域中通常称为 CKV 信号)、第二时钟信号(本领域中通常称为 CKVB 信号)以及改进后 STV 信号(本领域中通常称为 STVP 信号),所谓改进后的 STV 信号是指电平经过调整后的 STV 信号,因为时序控制器中输出的 STV 信号的电平和栅极驱动电路需要的 STV 信号的电平可能不一致,需要通过一些电平转换电路将 STV 信号的电平进行转换。CKVB 信号、CKV 信号和 STVP 信号输入到栅极驱动电路 3 中,就可以驱动栅极工作了。

[0003] TFT-LCD 的驱动电路中,通常当栅极驱动电路输出用于开启一行栅线的栅极驱动信号(本领域中通常称为 Gate 信号)时,源极驱动电路将该行栅线对应的各个像素的数据信号输入到该行的各个像素电极上,即当 Gate 信号为高电平时,源极驱动电路向像素电极上输入数据信号。实际应用当中,Gate 信号的下降沿有一定的延时,那么当前一行的 Gate1 信号正处于下降沿时,后一行的 Gate2 信号已经开始上升,那么也就是说前一行栅线对应的各个 TFT 还没有关断,这时源极驱动电路已经输入了后一行像素对应的数据,从而导致了前一行像素的数据发生混淆,影响了画面显示的质量。

实用新型内容

[0004] 本实用新型提供一种薄膜晶体管液晶显示器的栅极驱动器、驱动电路及液晶显示器,用以避免由于栅极驱动信号的延迟造成输入到像素电极中的数据混淆。

[0005] 本实用新型提供一种薄膜晶体管液晶显示器的栅极驱动器,包括用于输入 CPV 信号、OE 信号和 STV 信号的输入端,以及用于输出 CKV 信号和 CKVB 信号的输出端,所述输入端与所述输出端之间连接有处理电路,用于对所述 CPV 信号、所述 OE 信号和所述 STV 信号进行处理,以使在所述 CKV 信号的一个周期内,所述 CKV 信号的下降沿与所述 CKVB 信号的上升沿之间具有预先设置的时间间隔,或者在所述 CKVB 信号的一个周期内,所述 CKV 信号的上升沿与所述 CKVB 信号的下降沿之间具有预先设置的时间间隔。

[0006] 如上所述的薄膜晶体管液晶显示器的栅极驱动器,其中,所述处理电路包括非门 L1、D 触发器 D1、第一与门 L2、第二与门 L3、第一逻辑组合电路 C1、第一逻辑选择电路 L4 和第二逻辑选择电路 L5,其中,

[0007] 非门 L1 的输入端与 OE 信号输入端连接;

[0008] 非门 L1 的输出端分别与第一与门 L2 的输入端和第二与门 L3 的输入端连接;

[0009] D 触发器 D1 的触发端 CKV 与 CPV 信号输入端链接;

[0010] D 触发器 D1 的输入端 D 与反向输出端 $\bar{Q}$ 连接;

[0011] D 触发器 D1 的反向输出端 $\bar{Q}$ 与第二与门 L3 的输入端连接;

[0012] D 触发器 D1 的输出端 Q 与与门 L2 的输入端连接;

[0013] D 触发器 D1 的复位端 RST 分别与 STV 信号输入端连接;

[0014] 第一逻辑组合电路 C1 的输入端分别与 CPV 信号输入端、第一与门 L2 和第二与门 L3 的输出端连接;

[0015] 第一逻辑组合电路 C1 的输出端分别与第一逻辑选择电路 L4 和第二逻辑选择电路 L5 连接;

[0016] 第一逻辑选择电路 L4 的输出端与 CKV 信号输出端连接;

[0017] 第二逻辑选择电路 L5 的输出端与 CKVB 信号输出端连接;

[0018] 第一逻辑选择电路 L4 和第二逻辑选择电路 L5 分别与参考选择高电压 VON 和参考选择低电压 VOFF 连接。

[0019] 如上所述的薄膜晶体管液晶显示器的栅极驱动器,其中,所述输出端还用于输出 STVP 信号。

[0020] 如上所述的薄膜晶体管液晶显示器的栅极驱动器,其中,所述时间间隔为所述 OE 信号高电平持续的时间。

[0021] 本实用新型提供一种薄膜晶体管液晶显示器的驱动电路,包括源极驱动器和栅极驱动器,其中,所述栅极驱动器采用上述栅极驱动器。

[0022] 本实用新型提供一种薄膜晶体管液晶显示器,包括外框架、液晶面板和驱动电路,其中,所述驱动电路采用上述薄膜晶体管液晶显示器的驱动电路。

[0023] 本实用新型提供的薄膜晶体管液晶显示器的栅极驱动器、驱动电路及液晶显示器,通过处理电路将现有技术中的 STV 信号、OE 信号和 CPV 信号生成 CKV 信号和 CKVB 信号,在 CKV 信号的一个周期内,CKV 信号的下降沿与 CKVB 信号的上升沿之间能够错开一定时间,或者在 CKVB 信号的一个周期内,CKVB 信号的下降沿与 CKV 信号的上升沿之间能够错开一定时间,从而能够避免由于栅极驱动信号的延迟造成的输入到像素电极中的数据混淆。

附图说明

[0024] 图 1 为现有技术中薄膜晶体管液晶显示器的驱动电路的结构示意图;

[0025] 图 2 为本实用新型实施例一提供的薄膜晶体管液晶显示器的栅极驱动器的结构示意图;

[0026] 图 3 为本实用新型实施例一提供的薄膜晶体管液晶显示器的栅极驱动器的时序图。

具体实施方式

[0027] 为使本实用新型实施例的目的、技术方案和优点更加清楚,下面将结合本实用新型实施例中的附图,对本实用新型实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本实用新型一部分实施例,而不是全部的实施例。基于本实用新型中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本实用新型保护的范围。

[0028] 图2为本实用新型实施例一提供的薄膜晶体管液晶显示器的栅极驱动器的结构示意图,如图2所示,本实用新型的薄膜晶体管液晶显示器的栅极驱动器可以包括用于输入CPV信号、OE信号和STV信号的输入端,以及用于输出CKV信号和CKVB信号的输出端,上述输入端与上述输出端之间连接有处理电路,用于对上述CPV信号、上述OE信号和上述STV信号进行处理,以使在上述CKV信号的一个周期内,上述CKV信号的下降沿与上述CKVB信号的上升沿之间具有预先设置的时间间隔,或者在上述CKVB信号的一个周期内,上述CKV信号的上升沿与上述CKVB信号的下降沿之间具有预先设置的时间间隔。

[0029] 具体地,上述输入端可以包括输入CPV信号的CPV信号输入端、输入OE信号的OE信号输入端和输入STV信号的STV信号输入端;上述输出端可以包括输出CKV信号的CKV信号输出端和输出CKVB信号的CKVB信号输出端。

[0030] 具体地,输入端INPUT可以包括CPV信号输入端、OE信号输入端和STV信号输入端。输出端OUTPUT可以包括CKV信号输出端和CKVB信号输出端。处理电路可以包括:非门L1、D触发器D1、第一与门L2、第二与门L3、第一逻辑组合电路C1、第一逻辑选择电路L4和第二逻辑选择电路L5。其中,

[0031] 非门L1的输入端与OE信号输入端连接;

[0032] 非门L1的输出端分别与第一与门L2的输入端和第二与门L3的输入端连接;

[0033] D触发器D1的触发端CKV与CPV信号输入端链接;

[0034] D触发器D1的输入端D与反向输出端 $\bar{Q}$ 连接;

[0035] D触发器D1的反向输出端 $\bar{Q}$ 与第二与门L3的输入端连接;

[0036] D触发器D1的输出端Q与与门L2的输入端连接;

[0037] D触发器D1的复位端RST分别与STV信号输入端连接;

[0038] 第一逻辑组合电路C1的输入端分别与CPV信号输入端、第一与门L2和第二与门L3的输出端连接;

[0039] 第一逻辑组合电路C1的输出端分别与第一逻辑选择电路L4和第二逻辑选择电路L5连接;

[0040] 第一逻辑选择电路L4的输出端与CKV信号输出端连接;

[0041] 第二逻辑选择电路L5的输出端与CKVB信号输出端连接;

[0042] 第一逻辑选择电路L4和第二逻辑选择电路L5分别与参考选择高电压VON和参考选择低电压VOFF连接。

[0043] 图2中,D触发器D1的输入端D、输出端Q、反向输出端 $\bar{Q}$ 端和复位端RST都是电子电路领域中公知的称呼,本发明实施例中不再具体解释。

[0044] 下面说明本发明实施例的薄膜晶体管液晶显示器的栅极驱动器的工作原理。图2中,当CPV信号上升置高时,由于D触发器D1的输入端D与反向输出端 $\bar{Q}$ 连接,CPV信号作

为边沿触发信号将 D 触发器 D1 的输出反向,进而将第一逻辑组合电路 C1 的输出反向,使得第一逻辑选择电路 L4 和第二 L5 逻辑选择电路进行电平切换,进而将 CKV 信号和 CKVB 信号反相,使得给栅极的 Gate 信号进行行切换;通过逻辑第一与门 L2 和第二与门 L3 将 OE 信号接入电路中,当 OE 信号上升置高时,经过非门 L1 变为低,经过第一与门 L2 和第二与门 L3 同时输出为低,通过第一逻辑组合电路 C1 后将第一逻辑选择电路 L4 和第二逻辑选择电路 L5 的信号同时接至低电压 VOFF,CKV 信号和 CKVB 信号输出低电压 VOFF,从而使得在 CKV 信号的一个周期内,CKV 信号的下降沿与 CKVB 信号的上升沿之间具有预先设置的时间间隔,或者在 CKVB 信号的一个周期内,CKV 信号的上升沿与 CKVB 信号的下降沿之间具有预先设置的时间间隔,进而使得栅极在预期时间关断。

[0045] 图 3 为本实用新型实施例一提供的薄膜晶体管液晶显示器的栅极驱动器的时序图,如图 3 所示,STV 信号、OE 信号和 CPV 信号是输入信号,CKV 信号和 CKVB 信号是输出信号。通常 CKV 信号的上升沿和 CKVB 信号的上升沿都会输出一个 Gate 信号,CKV 信号和 CKVB 信号周期相同,交替出现上升沿,这样就能顺次输出各行栅线的栅极驱动信号。从图 3 中可以看出,OE 信号的下降沿对应 CKV 信号或 CKVB 信号的上升沿,而在 CKV 信号的一个周期内,CKV 信号的下降沿与 CKVB 信号的上升沿之间相差 OE 信号的一个周期内高电平保持的时间;在 CKVB 信号的一个周期内,CKVB 信号的下降沿与 CKV 信号的上升沿之间也相差 OE 信号的一个周期内高电平保持的时间,这样即使 CKV 信号的下降沿和 CKVB 信号的下降沿有延时导致 Gate 信号的下降沿有延时,也不会导致数据混淆,从而保证了画面显示的质量。

[0046] 进一步地,本实施例的上述输出端还可以用于输出 STVP 信号,即包括 STVP 信号输出端。相应地,处理电路还可以进一步包括第二逻辑组合电路 C2 和第二逻辑选择电路 L6。其中,

[0047] 第二逻辑组合电路 C2 的输入端分别与 CPV 信号输入端和 STV 信号输入端连接;

[0048] 第二逻辑组合电路 C2 的输出端与第三逻辑选择电路 L6 的输入端连接;

[0049] 第三逻辑选择电路 L6 的输出端与 STVP 信号输出端连接;

[0050] 第三逻辑选择电路 L6 与参考选择高电压 VON 和参考选择低电压 VOFF 相连接。具体地,STV 信号通过第三逻辑选择电路 L6 进行电平转换生成 STVP 信号,以给第一行栅线进行充电。

[0051] 本实施例中,通过处理电路将现有技术中的 STV 信号、OE 信号和 CPV 信号生成 CKV 信号和 CKVB 信号,在 CKV 信号的一个周期内,CKV 信号的下降沿与 CKVB 信号的上升沿之间能够错开一定时间,或者在 CKVB 信号的一个周期内,CKVB 信号的下降沿与 CKV 信号的上升沿之间能够错开一定时间,从而能够避免由于栅极驱动信号的延迟造成的输入到像素电极中的数据混淆。

[0052] 本实用新型实施例还提供了一种薄膜晶体管液晶显示器的驱动电路,该驱动电路包括源极驱动器和栅极驱动器,上述的栅极驱动器采用上述实施例提供的薄膜晶体管液晶显示器的栅极驱动器。

[0053] 本实用新型实施例还提供了一种液晶显示器,包括外框架、液晶面板和驱动电路,所述驱动电路采用上述薄膜晶体管液晶显示器的驱动电路。

[0054] 最后应说明的是:以上实施例仅用以说明本实用新型的技术方案,而非对其限制;尽管参照前述实施例对本实用新型进行了详细的说明,本领域的普通技术人员应当理解:

其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本实用新型各实施例技术方案的精神和范围。

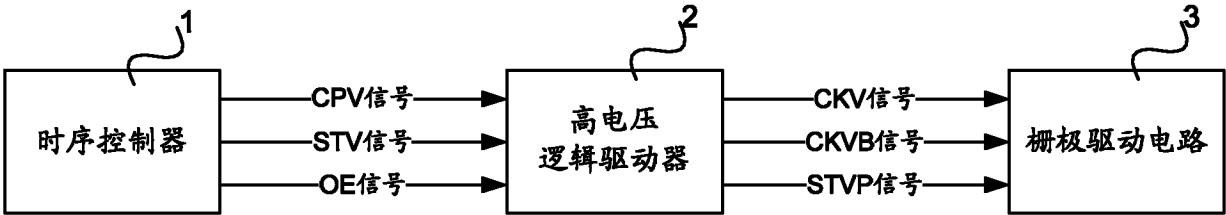


图 1

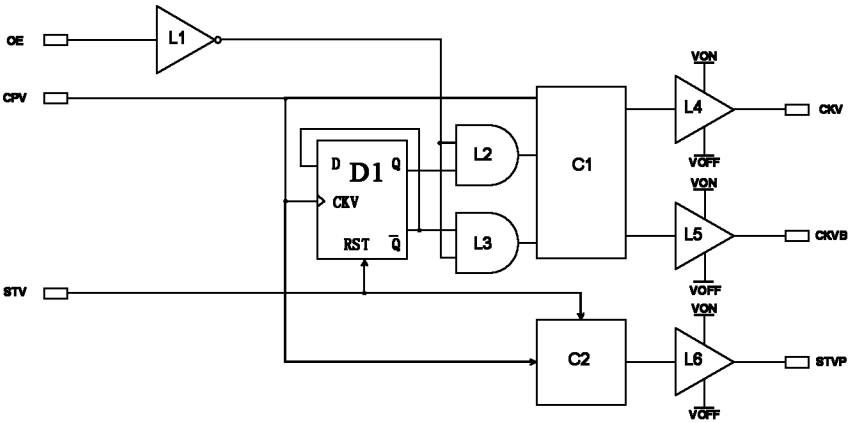


图 2

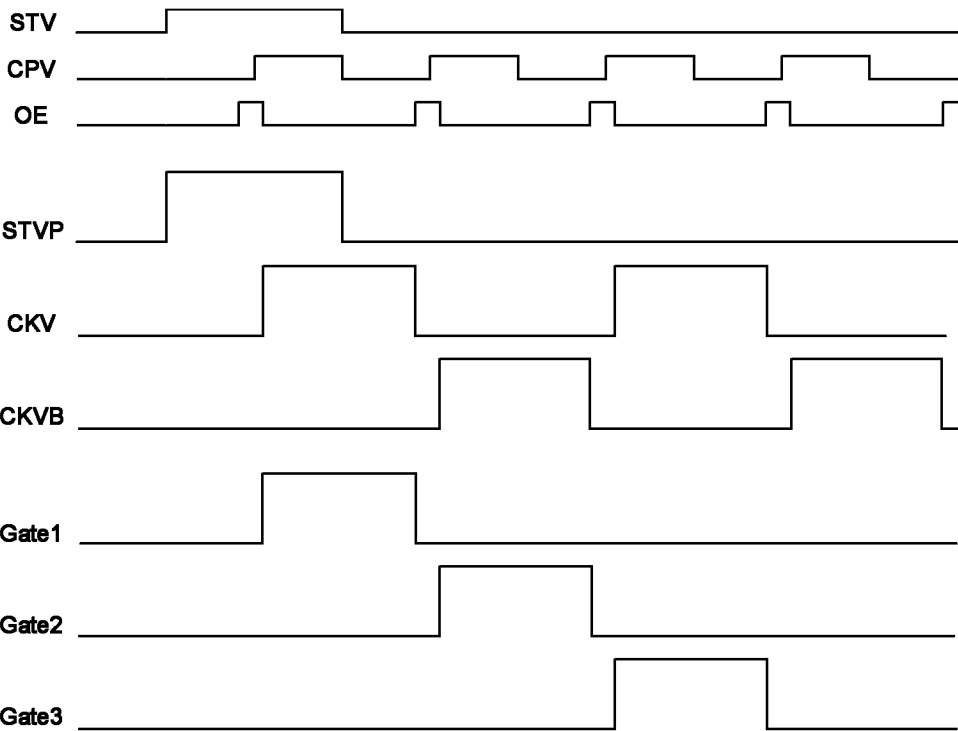


图 3

专利名称(译)	薄膜晶体管液晶显示器的栅极驱动器、驱动电路及液晶显示器		
公开(公告)号	CN202008813U	公开(公告)日	2011-10-12
申请号	CN201020677703.5	申请日	2010-12-23
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方光电科技有限公司		
[标]发明人	王洁琼		
发明人	王洁琼		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3674 G09G3/3677 G09G2310/0267		
代理人(译)	刘芳		
外部链接	Espacenet SIPO		

摘要(译)

本实用新型公开了一种薄膜晶体管液晶显示器的栅极驱动器、驱动电路及液晶显示器，其中，薄膜晶体管液晶显示器的栅极驱动器包括用于输入CPV信号、OE信号和STV信号的输入端，以及用于输出CKV信号和CKVB信号的输出端，输入端与输出端之间连接有处理电路，用于对CPV信号、OE信号和STV信号进行处理，以使在CKV信号的一个周期内，CKV信号的下降沿与CKVB信号的上升沿之间具有预先设置的时间间隔，或者在CKVB信号的一个周期内，CKV信号的上升沿与CKVB信号的下降沿之间具有预先设置的时间间隔。本实用新型能够避免由于栅极驱动信号的延迟造成的输入到像素电极中的数据混淆。

