

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

G02F 1/136

G02F 1/133

H01L 29/786

H01L 21/027

G03F 7/20



# [12] 发明专利申请公开说明书

[21] 申请号 200510072276.1

[43] 公开日 2005 年 11 月 30 日

[11] 公开号 CN 1702530A

[22] 申请日 2005. 5. 27

[21] 申请号 200510072276.1

[30] 优先权

[32] 2004. 5. 27 [33] KR [31] 10-2004-0037770

[71] 申请人 LG. 飞利浦 LCD 株式会社

地址 韩国汉城

[72] 发明人 安炳喆

[74] 专利代理机构 北京律诚同业知识产权代理有限公司

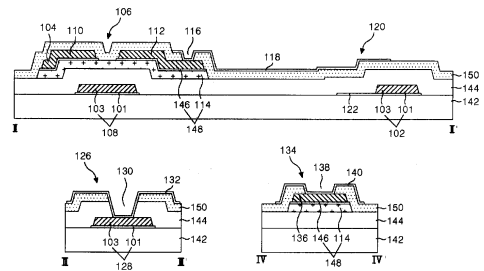
代理人 徐金国 祁建国

权利要求书 4 页 说明书 14 页 附图 36 页

[54] 发明名称 液晶显示器件及其制造方法

[57] 摘要

本发明公开了一种 LCD 器件的薄膜晶体管基板及其制造方法，以简化制造工艺并增大存储电容的电容值又不会缩小孔径比。该 LCD 器件包括：具有第一透明导电层和第二不透明导电层的双层栅线，第二不透明导电层具有阶梯覆层；栅线上的栅绝缘膜；与栅线交叉限定像素区的数据线；连接到栅线和数据线的 TFT；通过薄膜晶体管上保护膜的保护膜接触孔连接到 TFT 的像素电极；以及与像素电极重叠并具有用第一透明导电层形成的下存储电极的存储电容。



ISSN 1008-4274

- 1、一种液晶显示器件，包括：  
具有第一透明导电层和第二不透明导电层的双层栅线，第二不透明导电层  
5 具有阶梯覆层；  
栅线上的栅绝缘膜；  
与栅线交叉限定像素区的数据线；  
连接到栅线和数据线的薄膜晶体管；  
通过薄膜晶体管上保护膜的联系孔连接到薄膜晶体管的象素电极；以及  
10 与象素电极重叠并具有用所述第一透明导电层形成的下存储电极的存储  
电容。
- 2、按照权利要求 1 所述的器件，其特征在于，所述下存储电极从所述栅  
线的第一透明导电层朝向象素区伸出。
- 3、按照权利要求 1 所述的器件，其特征在于，还包括与所述象素电极和  
15 数据线交叉的公共线。
- 4、按照权利要求 3 所述的器件，其特征在于，所述公共线用所述下存储  
电极的第一透明导电层形成。
- 5、按照权利要求 3 所述的器件，其特征在于，所述公共线以类似于双层  
的栅线的方式形成。
- 20 6、按照权利要求 5 所述的器件，其特征在于，所述下存储电极从所述栅  
线的第一透明导电层朝向象素区伸出。
- 7、按照权利要求 1 所述的器件，其特征在于，还包括在所述栅线之间独  
立形成的冗余线。
- 8、按照权利要求 7 所述的器件，其特征在于，所述冗余线与数据线重叠。
- 25 9、按照权利要求 7 所述的器件，其特征在于，所述冗余线用第一导电层  
和栅线的双层之一形成。
- 10、按照权利要求 1 所述的器件，其特征在于，还包括从所述栅线的第二  
导电层伸出并与所述象素电极的两侧重叠的遮光图案。
- 11、按照权利要求 10 所述的器件，其特征在于，所述遮光图案与下存储  
30 电极重叠。

12、按照权利要求 1 所述的器件，其特征在于，还包括栅焊盘，该栅焊盘包括具有双层结构的下栅焊盘电极和通过栅绝缘膜及保护膜的接触孔连接到下栅焊盘电极的上栅焊盘电极，其中下栅焊盘电极连接到栅线。

13、按照权利要求 1 所述的器件，其特征在于，还包括数据焊盘，该数据焊盘包括连接到数据线的下数据焊盘电极，以及通过保护膜的接触孔连接到下数据焊盘电极的上数据焊盘电极。

14、按照权利要求 1 所述的器件，其特征在于，所述栅线还包括第二导电层上的第三导电层。

15、按照权利要求 1 的器件，其特征在于，所述薄膜晶体管的栅极连接到栅线，该栅极具有双层。

16、一种制作液晶显示器件的方法，包括：

用第一掩模在基板上形成包括栅线、栅极和下存储电极的栅图案，栅线和栅极由具有透明导电层的双层形成，而下存储电极由透明导电层形成；

在栅图案上形成栅绝缘膜；

15 在栅绝缘膜上用第二掩模形成半导体图案和具有数据线及源极和漏极的源极/漏极图案，数据线限定像素区；

用第三掩模在源极/漏极图案上形成保护膜，并形成暴露出漏极的接触孔；并且

20 用第四掩模在保护膜上形成通过所述接触孔连接到漏极并与下存储电极重叠的像素电极。

17、按照权利要求 16 所述的方法，其特征在于，所述形成栅图案包括：

在基板上形成作为透明导电层的第一导电层以及第二导电层；

在第二导电层上用第一掩模按光刻术形成具有不同厚度的第一和第二光刻胶图案；

25 用第一和第二光刻胶图案进行蚀刻，对第一和第二导电层构图，形成栅线、栅极和下存储电极；

用第一光刻胶图案进行蚀刻，去除下存储电极上的第二导电层；并且去除第一光刻胶图案。

30 18、按照权利要求 17 所述的方法，其特征在于，还包括在形成栅线、栅极和下存储电极之后利用灰化削薄第一光刻胶图案并且去除第二光刻胶图案。

19、按照权利要求 16 所述的方法，其特征在于，所述下存储电极从栅线的透明导电层朝向像素区伸出。

20、按照权利要求 17 所述的方法，其特征在于，所述形成栅图案还包括形成与像素电极和数据线交叉的公共线，该公共线用具有下存储电极的透明导电层形成。

21、按照权利要求 16 所述的方法，其特征在于，所述形成栅图案包括形成与像素电极和数据线交叉的公共线，该公共线具有双层，

其中下存储电极从所述公共线的第一导电层朝向像素区伸出。

22、按照权利要求 16 所述的方法，其特征在于，所述形成栅图案包括在所述栅线之间形成与所述数据线重叠的独立冗余线。

23、按照权利要求 22 所述的方法，其特征在于，所述冗余线用第一导电层和双层结构之一形成。

24、按照权利要求 16 所述的方法，其特征在于，所述形成栅图案包括形成从所述栅线的第二导电层伸出的遮光图案，以与所述像素电极的两侧重叠。

25、按照权利要求 24 所述的方法，其特征在于，所述遮光图案与下存储电极重叠。

26、按照权利要求 16 所述的方法，其特征在于，还包括：

形成具有双层结构的下栅焊盘电极，该下栅焊盘电极连接到所述栅线；

形成贯穿所述栅绝缘膜和保护膜的第三接触孔；并且

形成通过所述第三接触孔连接到下栅焊盘电极的上栅焊盘电极。

27、按照权利要求 26 所述的方法，其特征在于，还包括：

形成连接到所述数据线的下数据焊盘电极；

形成贯穿所述保护膜的第三接触孔；并且

形成通过第三接触孔连接到下数据焊盘电极的上数据焊盘电极。

28、按照权利要求 16 所述的方法，其特征在于，所述形成栅图案还包括连同第二导电层形成第三导电层。

29、按照权利要求 16 所述的方法，其特征在于，所述双层结构的第一和第二导电层具有固定的阶梯覆层。

30、按照权利要求 16 所述的方法，其特征在于，所述第一掩模是半色调掩模。

---

31、按照权利要求 16 所述的方法，其特征在于，所述第二掩模是衍射曝光掩模。

32、按照权利要求 16 所述的方法，其特征在于，所述半导体图案与数据线重叠。

## 液晶显示器件及其制造方法

- 5           本申请要求享有 2004 年 5 月 27 日在韩国递交的韩国专利申请 P2004-37770 号的权益, 该申请可供参考。

### 技术领域

- 10           本发明涉及一种应用于显示器件的薄膜晶体管基板, 具体涉及一种薄膜晶体管基板及其适合简化工艺的制造方法。

### 背景技术

- 15           液晶显示器(LCD)一般利用电场控制液晶的光透射比来显示图像。为此, LCD 面板包括具有按矩阵布置的液晶单元的液晶显示面板, 和用来驱动液晶显示面板的驱动电路。

液晶显示面板包括彼此面对的薄膜晶体管基板和滤色片基板, 注入两个基板之间的液晶, 以及在两个基板之间维持盒间隙的衬垫料。

- 20           薄膜晶体管基板包括栅线、数据线、在各栅线和数据线之间的交叉点处形成的作为开关器件的薄膜晶体管、为各液晶单元形成并且连接到薄膜晶体管的像素电极以及在其上面形成的定向膜。栅线和数据线通过各焊盘部从驱动电路接收信号。薄膜晶体管响应施加到栅线的扫描信号向像素电极提供施加到数据线的像素信号。

- 25           滤色片基板包括为各液晶单元形成的滤色片, 用来分隔滤色片并且反射外部光的黑矩阵, 向液晶单元同时提供参考电压的公共电极, 以及在其上面形成的定向膜。

单独制备薄膜晶体管基板和滤色片基板, 将二者粘结, 然后在二者之间注入液晶并且密封就制成了液晶显示面板。

- 30           在这种液晶显示器件中, 薄膜晶体管基板具有复杂的制造工艺, 它是液晶显示面板制造成本上升的主要因素, 因为其包含半导体工艺并需要多轮掩模工艺。为了解决这一问题, 薄膜晶体管基板的研发方向是减少掩模工艺。这是因

为一轮掩模工艺中包括薄膜沉积、清洗、光刻、蚀刻、光刻胶剥离和检查程序等等。近来受到关注的是一种四轮掩模工艺，它从作为薄膜晶体管标准掩模工艺的五轮掩模工艺中去掉了一轮掩模工艺。

图 1 是采用四轮掩模工艺的一种薄膜晶体管基板的平面图，图 2 是沿图 1 中的 I-I' 线提取的薄膜晶体管的截面图。

在图 1 和图 2 中，薄膜晶体管基板包括按彼此交叉的方式设置在下基板 42 上的栅线 2 和数据线 4，在二者之间设有栅绝缘膜 44，设在各交叉点处的薄膜晶体管 6，以及设在具有交叉结构的单元区上的像素电极 18。薄膜晶体管基板还包括设在像素电极 18 与前级栅线 2 之间的重叠部分处的存储电容 20、连接到栅线 2 的栅焊盘 26，以及连接到数据线 4 的数据焊盘 34。

薄膜晶体管 6 响应施加给栅线 2 的扫描信号允许提供给数据线 4 的像素信号充入像素电极 18 并且保持。为此，薄膜晶体管 6 包括连接到栅线 2 的栅极 8，连接到数据线 4 的源极 10，连接到像素电极 18 的漏极 12，以及与栅极 8 重叠并在源极 10 和漏极 12 之间限定一沟道的有源层 14。

与源极 10 和漏极 12 重叠并在源极 10 和漏极 12 之间具有沟道部的有源层 14 还与数据线 4、下数据焊盘电极 36 和存储电极 22 重叠。在有源层 14 上还设有与数据线 4、源极 10、漏极 12、下数据焊盘电极 36 和存储电极 22 形成欧姆接触的欧姆接触层 48。

像素电极 18 通过贯穿钝化膜 50 的第一接触孔 16 连接到薄膜晶体管 6 的漏极 12。像素电极 18 因充入像素信号相对于设在上基板(未表示)上的公共电极产生一电位差。该电位差借助介电各向异性使位于薄膜晶体管基板和上基板之间的液晶旋转，并通过像素电极 18 将来自光源(未表示)的光朝向上基板发射。

存储电容 20 包括前级栅线 2，与栅线 2 重叠并具有栅绝缘膜 44 的上存储电极 22，有源层 14 和二者之间的欧姆接触层 48，以及与上存储电极 22 重叠并在二者之间具有钝化膜 50 而且通过贯穿钝化膜 50 的第二接触孔 24 连接的像素电极 18。存储电容 20 允许充入像素电极 18 的像素信号稳定维持到充入下一像素电压。

栅线 2 通过栅焊盘 26 连接到栅驱动器(未示出)。栅焊盘 26 由从栅线 2 伸出的下栅焊盘电极 28 及通过贯穿栅绝缘膜 44 和钝化膜 50 的第三接触孔 30

连接到下栅焊盘电极 28 的上栅焊盘电极 32 组成。

数据线 4 通过数据焊盘 34 连接到数据驱动器(未示出)。数据焊盘 34 包括从数据线 4 伸出的下数据焊盘电极 36 及通过贯穿钝化膜 50 的第四接触孔 38 连接到下数据焊盘电极 36 的上数据焊盘电极 40。

5 以下要具体参照图 3A 到图 3D 详细描述采用四轮掩模工艺的具有上述结构的薄膜晶体管的制造方法。

在图 3A 中, 在下基板 42 上用第一掩模工艺形成包括栅线 2、栅极 8 和下栅焊盘电极 28 的栅图案。

10 具体地说, 在下基板 42 上用溅射等沉积技术形成栅金属层。用第一掩模按光刻和蚀刻工艺对栅金属层构图以形成包括栅线 2、栅极 8 和下栅焊盘电极 28 的栅图案。栅金属层可具有单层或双层结构的铬(Cr)、钼(Mo)或铝族金属等等。

15 在图 3B 中, 栅绝缘膜 44 形成在设有栅图案的下基板 42 上。进而用第二掩模工艺在栅绝缘膜 44 上依次形成包括有源层 14 和欧姆接触层 48 的半导体图案以及包括数据线 4、源极 10、漏极 12、下数据焊盘电极 36 和存储电极 22 的源极/漏极图案。

20 具体地说, 利用诸如等离子体增强化学蒸气沉积(PECVD)和溅射等沉积技术在设有栅图案的下基板 42 上依次形成栅绝缘膜 44、非晶硅层、n+非晶硅层和源极/漏极金属层。这里, 栅绝缘膜 44 用诸如氮化硅(SiNx)或氧化硅(SiOx)等无机绝缘材料形成。源极/漏极金属可以选自钼(Mo)或钼合金等等。

然后在源极/漏极金属层上用第二掩模通过光刻形成光刻胶图案。在这种情况下, 采用在薄膜晶体管的沟道部具有衍射曝光部的衍射曝光掩模作为第二掩模, 使得沟道部的光刻胶图案具有低于源极/漏极图案部分的降低的高度。

25 接着用光刻胶图案按湿法蚀刻对源极/漏极金属层构图, 形成包括数据线 4、源极 10、与源极 10 构成整体的漏极 12 以及存储电极 22 的源极/漏极图案。

接着用同一光刻胶图案按干法蚀刻工艺对 N+非晶硅层和非晶硅层构图以形成欧姆接触层 48 和有源层 14。

30 采用灰化工序从沟道部去除高度比较低的光刻胶图案, 然后按干法蚀刻工艺蚀刻沟道部的源极/漏极图案和欧姆接触层 48。这样就暴露出沟道部的有源层 14, 将源极 10 与漏极 12 断开。

然后用剥离工序去除留在源极/漏极金属图案组上的光刻胶图案。

在图3C中,在设有源极/漏极图案的栅绝缘图案44上形成包括第一到第四接触孔16、24、30和38的钝化膜50。

具体地说,在设有源极/漏极图案的整个栅绝缘膜44上用诸如等离子体增强化学蒸气沉积(PECVD)等沉积技术形成钝化膜50。然后用第三掩模按光刻术和蚀刻工艺对钝化膜50构图,从而限定第一到第四接触孔16、24、30和38。形成的第一接触孔16贯穿钝化膜50暴露出漏极12,形成的第二接触孔24贯穿钝化膜50暴露出上存储电极22。形成的第三接触孔30贯穿钝化膜50和栅绝缘膜44暴露出下栅焊盘电极28。形成的第四接触孔38贯穿钝化膜50暴露出上数据焊盘电极36。

钝化膜50是用与栅绝缘膜44相同的一种无机绝缘材料形成的,或是一种有机绝缘材料,例如是具有小介电常数的丙烯酸有机化合物、BCB(苯并环丁烯)或是PFCB(全氟环丁烷)等等。

在图3D中,在钝化膜50上用第四掩模工艺形成包括像素电极18、上栅焊盘电极32和上数据焊盘电极40的透明导电图案。

在钝化膜50上用溅射等沉积技术形成透明导电层。然后用第四掩模按光刻术和蚀刻工艺对透明导电层构图,形成包括像素电极18、上栅焊盘电极32和上数据焊盘电极40的透明导电图案。像素电极18通过第一接触孔16电连接到漏极12,同时通过第二接触孔24电连接到与前级栅线2重叠的上存储电极22。上栅焊盘电极32通过第三接触孔30电连接到下栅焊盘电极28。上数据焊盘电极40通过第四接触孔38电连接到下数据焊盘电极36。此处的透明导电层是用氧化铟锡(ITO)等等形成的。

如上所述,现有技术的薄膜晶体管基板及其制造方法采用四轮掩模工艺,这样能减少工艺步骤,并随着工艺步骤减少而降低制造成本。

然而,在现有技术的薄膜晶体管基板中,存储电容20的上、下电极是分别用不透明的源极/漏极金属和不透明的栅金属形成的。由此带来的问题是,如果为了增大存储电容20的容量而扩大上存储电极22与栅线2之间的重叠面积,则像素电极18的孔径比就会降低。

30 发明内容

本发明涉及一种液晶显示器件及其制造方法,能够基本上克服由于现有技术的缺点和局限产生的一个或者多个问题。

本发明的优点是提供了一种薄膜晶体管基板及其制造方法,适合简化工艺并且扩大存储电容的容量而不会降低孔径比。

5 为了实现本发明的上述及其他优点,按照本发明实施例的液晶显示器件包括:具有第一透明导电层和第二不透明导电层的双层栅线,第二不透明导电层具有阶梯覆层;栅线上的栅绝缘膜;与栅线交叉限定象素区的数据线;连接到栅线和数据线的薄膜晶体管;通过薄膜晶体管上保护膜的接触孔连接到薄膜晶体管的象素电极;以及与象素电极重叠并具有用第一透明导电层形成的下存储  
10 电极的存储电容。

按照本发明的另一实施例,一种制造液晶显示器件的方法包括:用第一掩模在基板上形成包括栅线、栅极和下存储电极的栅图案,栅线和栅极按具有透明导电层的双层形成,而下存储电极用透明导电层形成;在栅图案上形成栅绝缘膜;在栅绝缘膜上用第二掩模形成半导体图案和具有数据线及源极和漏极的  
15 源极/漏极图案,数据线及栅线限定象素区;用第三掩模在源极和漏极上形成保护膜,并形成暴露出漏极的接触孔;并且用第四掩模在保护膜上形成通过接触孔连接到漏极并与下存储电极重叠的象素电极。

应该意识到,以上对本发明的概述和下文的详细说明都是解释性的描述,都是为了进一步解释所要求保护的发明。

20

## 附图说明

所包括的用来便于理解本发明并且作为本申请一个组成部分的附图表示了本发明的实施例,连同说明书一起可用来解释本发明的原理。

在附图中:

25 图 1 的平面图表示现有技术中薄膜晶体管基板的一部分示意图;  
图 2 表示沿图 1 中的 I-I' 线提取的薄膜晶体管基板的截面图;  
图 3A 到图 3D 表示图 2 所示的薄膜晶体管基板的制造方法截面图;  
图 4 表示按照本发明一实施方式的薄膜晶体管基板的局部平面图;  
图 5 表示沿图 4 中的 II-II', III-III' 和 IV-IV' 线提取的薄膜晶体管  
30 基板的截面图;

图 6A 和 6B 是用来解释按照本发明实施例的薄膜晶体管基板的第一掩模工艺的平面图和截面图；

图 7A 到 7E 是用来解释第一掩模工艺的截面图；

图 8A 和 8B 分别表示的平面和截面图说明按照本发明实施例的薄膜晶体管基板的第二掩模工艺；

图 9A 到 9E 是用来解释第二掩模工艺的截面图；

图 10A 到 10C 是用来解释按照本发明实施例的薄膜晶体管基板的第三掩模工艺的平面图和截面图；

图 11A 和 11B 是用来解释按照本发明实施例的薄膜晶体管基板的第四掩模工艺的平面图和截面图；

图 12 的截面图表示按照本发明第二实施例的薄膜晶体管基板中的栅极图案；

图 13 的平面图表示按照本发明第三实施例的薄膜晶体管基板的一部分示意图；

图 14 表示沿图 13 中的 II-II' , III-III' , IV-IV' 和 V-V' 线提取的薄膜晶体管基板的截面图；

图 15 的平面图表示按照本发明第四实施例的薄膜晶体管基板的一部分示意图；

图 16 表示沿图 15 中的 III-III' , IV-IV' 和 VI-VI' 线提取的薄膜晶体管基板的截面图；

图 17 的平面图表示按照本发明第五实施例的薄膜晶体管基板的一部分示意图；

图 18 表示沿图 17 中的 III-III' , IV-IV' 和 VII-VII' 线提取的薄膜晶体管基板的截面图；

图 19 的平面图表示按照本发明第六实施例的薄膜晶体管基板的一部分示意图；

图 20 表示沿图 19 中的 III-III' , IV-IV' 和 VIII-VIII' 线提取的薄膜晶体管基板的截面图。

## 30 具体实施方式

以下要具体描述在附图中例举的本发明的实施例。

图4的平面图表示按照本发明实施例的薄膜晶体管基板的一部分示意图，而图5是沿图4中的II-II'，III-III'和IV-IV'线提取的薄膜晶体管基板的截面图。

5 在图4和图5中，薄膜晶体管基板包括按照彼此交叉的方式设置在下基板142上的栅线102和数据线104，数据线104与栅线102之间具有栅绝缘膜144，毗邻各交叉点的薄膜晶体管106，以及设在交叉结构所限定的像素区上的像素电极118。薄膜晶体管基板还包括设在像素电极118与连接到前级栅线102的下存储电极122之间重叠部位上的存储电容120，连接到栅线102的栅焊盘10  
10 126，以及连接到数据线104的数据焊盘134。

薄膜晶体管106响应提供给栅线102的扫描信号允许提供给数据线104的像素信号充入像素电极118并且保持。为此，薄膜晶体管106包括连接到栅线102的栅极108，连接到数据线104的源极110，与源极110位置相对并且连接到像素电极118的漏极112，以及与栅极108重叠且中间有栅绝缘膜144  
15 的有源层114，在源极110和漏极112之间限定一沟道，以及形成在除沟道部位之外的有源层114上的欧姆接触层146，与源极110和漏极112形成欧姆接触。

栅线102和栅极108具有双层结构，其中第一导电层101用透明导电层形成，而上面的第二导电层103用金属层形成。

20 半导体图案148还包括同样与数据线104重叠的有源层114和欧姆接触层146。

由栅线102和数据线104之间的交叉点限定的像素区上设有像素电极118。像素电极118通过贯穿钝化膜150的第一接触孔116连接到漏极112。像素电极118充入由薄膜晶体管106提供的像素信号，相对于设在滤色片基板  
25 (未示出)上的公共电极产生一电位差。该电位差根据介电各向异性使位于薄膜晶体管基板和滤色片基板之间的液晶旋转，并通过像素电极118将来自光源(未示出)的光朝向滤色片基板发射。

存储电容120是这样形成的，从第一导电层101朝向像素区伸出的下存储电极122与像素电极118重叠，中间是栅绝缘膜144和保护膜150。下存储电极122是用第一导电层101即透明导电层形成的，这样就能扩大其与像素区之  
30

间的重叠区域而不会降低孔径比。因此就能提高存储电容 120 的容量又不会降低孔径比，能够更加稳定地保持充入像素电极 18 的信号。

5 栅线 102 通过栅焊盘 126 连接到栅驱动器(未示出)。栅焊盘 126 包括从栅线 102 伸出的下栅焊盘电极 128 和通过贯穿栅绝缘膜 144 和钝化膜 150 的第二接触孔 130 连接到下栅焊盘电极 128 的上栅焊盘电极 132。下栅焊盘电极 128 具有双层结构，与栅线 102 一样形成第一和第二导电层 101 和 103。

10 数据线 104 通过数据焊盘 134 连接到数据驱动器(未示出)。数据焊盘 134 由从数据线 104 伸出的下数据焊盘电极 136 及通过贯穿钝化膜 150 的第三接触孔 138 连接到下数据焊盘电极 136 的上数据焊盘电极 140 构成。在下数据焊盘电极 136 的下方按与其重叠的方式形成包括欧姆接触层 146 和有源层 114 的半导体层 148。

15 如上所述，按照本发明实施例的薄膜晶体管基板，用透明导电层形成与像素电极 118 重叠的下存储电极 122，这样能增大存储电容 120 的容量，又不会降低孔径比。因此可以缩小栅线 102 的线宽度，而与栅线 102 和像素电极 118 之间的重叠面积无关，具有提高分辨率的优点。

按照本发明的实施例具有上述结构的薄膜晶体管基板是按以下四轮掩模工艺形成的。

图 6A 和 6B 分别是用来解释按照本发明实施例的薄膜晶体管基板的第一掩模工艺的平面图和截面图，而图 7A 到 7E 是用来解释第一掩模工艺的截面图。

20 用第一掩模工艺在下基板 142 上形成包括栅线 102、连接到栅线 102 的栅极 108、下栅焊盘电极 128 和下存储电极 122 的栅图案。栅线 102、栅极 108 和下栅焊盘电极 128 具有双层结构，在其中形成第一和第二导电层 101 和 103，而下存储电极 122 具有由栅线 102 的第一导电层 101 延伸的单层结构。具有上述双层和单层结构的栅图案是用半色调掩模 160 按一轮掩模工艺形成的。

25 具体如图 7A 所示，用诸如溅射等沉积技术在下基板 142 上形成第一和第二导电层 101 和 103，并在上面形成光刻胶 167。第一导电层 101 是用透明导电材料形成的，例如氧化铟锡(ITO)、锡氧化物(TO)或氧化铟锌(IZO)等等。第二导电层 103 是用金属材料形成的，例如 Mo、Cu、Al、Ti、Cr、MoW 或 AlNd 等等。

30 接着用半色调掩模 160 将光刻胶 167 曝光并且用光刻术显影形成如图 7B

所示具有阶梯覆层的光刻胶图案 168。

半色调掩模 160 包括透明石英(SiO<sub>2</sub>)衬底 166 和屏蔽层 162, 以及在上面形成的局部透射层 164。屏蔽层 162 处在要形成栅图案的区域以遮挡紫外线(UV), 在显影之后留下第一光刻胶图案 168A。局部透射层 164 处在要形成下存储电极的区域以局部透射 UV, 留下比第一光刻胶图案 168A 薄的第二光刻胶图案 168B。为此, 采用诸如 Cr 和 CrO<sub>x</sub> 等金属形成屏蔽层 162, 而局部透射层 164 是用 MoSi<sub>x</sub> 形成的。除了半色调掩模之外还可以采用衍射曝光掩模。

接着用具有阶梯覆层的光刻胶图案 168 按蚀刻工艺对第一和第二导电层 101 和 103 构图, 形成如图 7C 所示的双层结构的栅图案。

采用氧(O<sub>2</sub>)等离子体按照灰化工艺使光刻胶图案 168 灰化, 如图 7D 所示削薄第一光刻胶图案 168A 并且去除第二光刻胶图案 168B。进而用灰化的第一光刻胶图案 168A 按蚀刻工艺去除下存储电极 122 上的第二导电层 103。这样就能仅仅用第一导电层 101 形成下存储电极 122 而不会与栅线 102 中包括的第二导电层 103 错位。此时, 再次蚀刻沿灰化的第一光刻胶图案 168A 构图的第二导电层 103 的各侧, 使得栅图案的第一和第二导电层 101 和 103 具有一定阶梯形状的阶梯覆层。因此, 如果第一和第二导电层 101 和 103 的侧面具有很陡峭的斜率, 可以防止要在上面形成的源极/漏极金属层发生断裂。

同时, 第一和第二导电层 101 和 103 的蚀刻工艺可以选择采用湿法蚀刻或干法蚀刻。例如, 如果第一和第二导电层 101 和 103 都要蚀刻, 第一和第二导电层 101 和 103 的蚀刻工艺就如图 7C 所示; 而光刻胶图案的灰化工艺和曝光的第二导电层 103 的蚀刻工艺如图 7D 所示在同一个腔室内连续执行, 这样就能获得工艺简化的优点。

曝光的第二导电层 103 的蚀刻工艺也可以采用湿法蚀刻。按照另一实施例, 第一和第二导电层 101 和 103 可以如图 7C 所示采用湿法蚀刻, 而曝光的第二导电层 103 的灰化工艺和蚀刻工艺都可以采用干法蚀刻, 或是如图 7D 所示对曝光的第二导电层 103 的蚀刻工艺仅仅采用湿法蚀刻。否则, 第二导电层 103 执行湿法蚀刻, 而第一导电层 101 执行干法蚀刻, 或是第二导电层 103 执行干法蚀刻, 而第一导电层 101 执行湿法蚀刻; 然后对曝光的第二导电层 103 的灰化工艺和蚀刻工艺均采用干法蚀刻, 或是仅仅对曝光的第二导电层 103 的蚀刻工艺采用湿法蚀刻。

如果应用于高分辨率模型,干法蚀刻是有益的,而若是应用于大尺寸模型,湿法蚀刻是有益的。另外,若第二导电层 103 是用 Mo 形成的,干法蚀刻是有益的,如果第二导电层 103 是用 Cu 或 Al 形成的,湿法蚀刻是有益的。

接着如图 7E 所示,用剥离工艺去除留在栅图案上的光刻胶图案 168A。

5 图 8A 和 8B 分别表示的平面和截面图说明按照本发明实施例的薄膜晶体管基板的第二掩模工艺,图 9A 到 9E 用来详细解释第二掩模工艺的截面图。

首先,在具有栅图案的下基板 142 上形成栅绝缘膜 144。用第二掩模工艺形成包括数据线 104、源极 110、漏极 112 和下数据焊盘电极 136 的源极/漏极图案和半导体图案 148,后者包括沿源极/漏极图案的背面彼此重叠的有源层 10 114 和欧姆接触层 146。半导体图案 148 和源极/漏极图案是采用衍射曝光掩模按单一掩模工序形成的。

具体如图 9A 所示,在设有栅图案的下基板 142 上依次形成栅绝缘膜 144、非晶硅层 115、掺杂 n+或 p+杂质的非晶硅层 145 和源极/漏极金属层 105。例如,栅绝缘膜 144、非晶硅层 115 和掺杂杂质的非晶硅层 145 可以用 PECVD 形成,而源极/漏极金属层 105 按溅射形成。栅绝缘膜 144 用诸如氮化硅(SiNx) 15 或氧化硅(SiOx)等无机绝缘材料形成,而源极/漏极金属层 105 用 Cr、MoW、Al/Cr、Cu、Al (Nd)、Al/Mo、Al (Nd) /Al、Al (Nd) /Cr、Mo/Al (Nd) /Mo、Cu/Mo 或 Ti/Al(Nd)/Ti 等等形成。例如,双层 Al/Cr 意味着应首先形成 Cr,并随后形成 Al。

20 进而在源极/漏极金属层 105 上形成光刻胶 219,随后用衍射曝光掩模 210 按光刻术曝光并且显影,形成如图 9B 所示具有阶梯覆层的光刻胶图案 220。

衍射曝光掩模 210 包括透明石英衬底 212,用 Cr, CrOx 等等金属层形成的屏蔽层 214,以及衍射曝光狭缝 216。屏蔽层 214 处在要形成半导体图案和源极/漏极图案的区域以遮挡紫外线(UV),在显影之后留下第一光刻胶图案 220A。 25 衍射曝光狭缝 216 处在要形成薄膜晶体管的沟道的区域以衍射 UV,留下比第一光刻胶图案 220A 薄的第二光刻胶图案 220B。

接着用具有阶梯覆层的光刻胶图案 220 按蚀刻工艺对源极/漏极金属层 105 构图,形成如图 9C 所示的源极/漏极图案和其下面的半导体图案 148。在这种情况下,源极/漏极图案的源极 110 和漏极 112 具有整体结构。

30 然后采用氧(O<sub>2</sub>)等离子体按照灰化工艺使光刻胶图案 220 灰化,如图 9D

所示, 削薄第一光刻胶图案 220A 并且去除第二光刻胶图案 220B。进而用灰化的第一光刻胶图案 220A 按蚀刻工艺去除第二光刻胶图案 220B 及其下面的欧姆接触层以暴露出源极/漏极图案, 使源极 110 与漏极 112 断开并暴露出有源层 114。由此在源极 110 与漏极 112 之间形成由有源层 114 构成的沟道。在此时  
5 沿灰化的第一光刻胶图案 220A 再次蚀刻源极/漏极图案的各侧, 使得源极/漏极图案和半导体图案 148 具有一定阶梯形状的阶梯覆层。

接着如图 9E 所示用剥离工艺去除留在源极/漏极图案上的光刻胶图案 220A。

图 10A 到 10C 是用来解释按照本发明实施例的薄膜晶体管基板的第三掩模  
10 工序的平面图和截面图。

按照第三掩模工序用设有源极/漏极图案的栅绝缘膜 144 形成具有多个接触孔 116、130 和 138 的钝化膜 150。

用 PECVD 和旋涂等技术在设有源极/漏极图案的栅绝缘膜 144 上形成钝化膜 150。钝化膜 150 是用与栅绝缘膜 144 相同的无机绝缘材料形成, 或是有机绝缘材料, 例如是具有小介电常数的丙烯酸有机化合物, BCB(苯并环丁烯),  
15 或是 PFCB(全氟环丁烷)等等。然后用光刻术和蚀刻工艺对钝化膜 150 构图, 形成暴露出漏极 112 的第一接触孔、暴露出下栅极焊盘电极 128 的第二接触孔 130 以及暴露出下数据焊盘电极 136 的第三接触孔 138。

同时, 如果源极/漏极金属是选自 Mo, 第一和第三接触孔 116 和 138 就按  
20 图 10C 所示贯穿有源层 114 的方式形成。

图 11A 和 11B 是用来解释按照本发明实施例的薄膜晶体管基板的第四掩模工艺的平面图和截面图。

在钝化膜 150 上用第四掩模工艺形成包括像素电极 118、上栅焊盘电极 132 和上数据焊盘电极 140 的透明导电图案。

用溅射等沉积技术制备透明导电层来形成透明导电图案, 并且用光刻术和蚀刻工艺对其构图。透明导电层是用 ITO、TO 或 IZO 等形成的, 类似于上述栅图案的第一导电层 101。像素电极 118 通过第一接触孔 116 连接到漏极 112;  
25 上栅焊盘电极 132 通过第二接触孔 130 连接到下栅焊盘电极 128; 上数据焊盘电极 140 通过第三接触孔 138 连接到下数据焊盘电极 136。

30 如上所述, 按照本发明实施例的薄膜晶体管基板制造方法, 用半色调掩模

形成具有双层结构的栅图案和具有单层结构的下存储电极 122, 从而按四轮掩模工艺简化工序。另外, 按照本发明实施例的薄膜晶体管基板的制造方法在希望对应于下存储电极 122 等较宽面积薄薄地形成光刻胶图案时采用半色调掩模, 同时在希望对应于薄膜晶体管 106 的沟道等较窄面积薄薄地形成光刻胶图案时采用衍射曝光掩模, 这样能提高工艺效率。

图 12 的截面图仅仅表示按照本发明第二实施例的薄膜晶体管基板中用第一掩模工艺形成的栅图案。

图 12 所示的栅图案包括具有三层结构的栅线 202、栅极 208 和下栅焊盘电极 228, 其中设有第一到第三导电层 201、203 和 205, 并且设有下存储电极 222, 使栅线 202 的第一导电层 201 延伸进入像素区。用半色调掩模按单一掩模工艺形成具有上述三层和单层结构的栅图案。具有三层结构的栅图案的线电阻会降低, 使其可以适用于大尺寸或高分辨率面板。第一导电层 201 是用诸如氧化铟锡(ITO)、氧化锡(TO)、氧化铟锌(IZO)等透明导电材料形成的。第二导电层 203 是用诸如 Mo、Ti、Cu 或 Al(Nd) 族等金属材料形成的。第三导电层 205 是用诸如 Cu、Al、Ti、Mo 或 Al(Nd) 族等金属材料形成的, 而第二和第三导电层 203 和 205 可以用这些族的组合形成。例如可以用 Mo/ITO、Al(Nd)/ITO、Cu/ITO、Cu/Ti/ITO、Cu/Mo/ITO、Cu/Mo/IZO、Cu/Mo+Ti/ITO 或 Al(Nd)/Mo/ITO 等等形成。双层以上的 Mo/ITO 意味着要首先形成 ITO 然后形成 Mo。

图 13 的平面图表示按照本发明第三实施例的薄膜晶体管基板的一部分示意图, 而图 14 表示沿图 13 中的 II-II', III-III', IV-IV' 和 V-V' 线提取的薄膜晶体管基板的截面图。

图 13 和图 14 所示的薄膜晶体管基板与图 4 和 5 所示的薄膜晶体管基板具有相同的元件, 唯一不同是还包括与数据线 104 重叠的冗余线。因此省略了对相同元件的解释。

在数据线 104 出现断裂或缺陷时用激光等焊接技术将冗余线 170 连接到数据线 104, 从而修复断裂的数据线 104。采用半色调掩模工艺可以按类似下存储电极 122 的单层结构或是按栅线 102 那样的双层(或三层)结构形成冗余线 170, 连同包括栅线 102、栅极 108、下栅焊盘电极 128 和下存储电极 122 的栅图案。冗余线 170 还独立形成在栅线 102 之间并且是浮动的, 不会与设在同一层上的栅线 102 发生短路。

图 15 的平面图表示按照本发明第四实施例的薄膜晶体管基板的一部分示意图，而图 16 表示沿图 15 中的 III-III'，IV-IV' 和 VI-VI' 线提取的薄膜晶体管基板的截面图。

图 15 和 16 所示的薄膜晶体管基板与图 4 和 5 所示的薄膜晶体管基板具有相同的元件，唯一不同是还包括与像素电极 118 的各侧重叠的遮光图案 172。因此省略了对相同元件的解释。

形成的遮光图案 172 使得第二导电层 103 从栅线 102 伸出并与像素电极 118 的各侧重叠，为了在一轮工艺中形成，下存储电极 122 也是按相同方式形成并与遮光图案 172 重叠。如果为了降低寄生电容而希望扩大数据线 104 和像素电极 118 之间的距离，遮光图案 172 能防止数据线 104 和像素电极 118 之间漏光。遮光图案 172 是按半色调掩模工艺用第二导电层 102 连同包括栅线 102、栅极 108、下栅焊盘电极 128 和下存储电极 122 的栅图案一起形成的。遮光图案 172 的下部与属于第一导电层 101 的下存储电极 122 重叠。

图 17 的平面图表示按照本发明第五实施例的薄膜晶体管基板的一部分示意图，而图 18 表示图 17 沿中的 III-III'，IV-IV' 和 VII-VII' 线提取的薄膜晶体管基板的截面图。

图 17 和 18 所示的薄膜晶体管基板与图 4 和 5 所示的薄膜晶体管基板具有相同的元件，唯一不同是用公共线 182 和像素电极 118 之间的重叠形成存储电容 180。因此省略了对相同元件的解释。

形成存储电容 180 使得公共线 182 与像素电极 118 重叠，中间具有栅绝缘膜 144 和钝化膜 150。与像素电极 118 和数据线 104 交叉的公共线 182 与栅线 102 基本上平行。用半色调掩模工艺连同包括栅线 102、栅极 198 和下栅焊盘电极 128 的栅图案一起形成公共线 182。此时，利用半色调掩模的局部透明部分仅仅用不同于双层(或三层)结构栅图案的透明导电层即第一导电层 101 形成公共线 182。用透明导电层形成分别作为存储电容 180 的上、下电极的像素电极 118 和公共线 182，这样就能扩大两电极 118 和 182 之间的重叠面积而不会缩小孔径比，从而增大存储电容 180 的电容值。

图 19 的平面图表示按照本发明第六实施例的薄膜晶体管基板的一部分示意图，而图 20 表示沿图 19 中的 III-III'，IV-IV' 和 VIII-VIII' 线提取的薄膜晶体管基板的截面图。

图 19 和 20 所示的薄膜晶体管基板与图 4 和 5 所示的薄膜晶体管基板具有相同的元件，唯一不同是用公共线 192、与其连接的下存储电极 194 和像素电极 118 的重叠形成存储电容 190。因此省略了对相同元件的解释。

形成的存储电容 190 使得公共线 192 和下存储电极 194 与像素电极 118 重叠，中间是栅绝缘膜 144 和钝化膜 150。用双层(或三层)结构形成的与像素电极 118 和数据线 104 交叉的公共线 192 与栅线 102 基本上平行。用第一导电层 101 的一个突起即各像素区的公共线 192 的透明导电层形成下存储电极 194。用半色调掩模工艺连同包括栅线 102、栅极 108 和下栅焊盘电极 128 的栅图案一起形成公共线 192 和下存储电极 194。此时，利用半色调掩模的局部透明部分仅仅用不同于双层(或三层)结构栅图案的透明导电层即第一导电层 101 形成下存储电极 194 和公共线 192。这样就能扩大下存储电极 194 和像素电极 118 之间的重叠面积而不会缩小孔径比，从而增大存储电容 190 的电容值。另外，公共线 192 采用类似于栅图案的双层(或三层)结构来降低线电阻，以便缩小公共线 192 的线宽度来降低公共线 192 和数据线 104 之间的交叉造成的寄生电容。

如上所述，按照本发明，存储电容的上、下电极都是用透明导电层形成的，这样就能扩大两电极之间的重叠面积而不会缩小孔径比，从而增大存储电容的电容值。

本发明的特点是利用半色调掩模连同双层(或三层)结构的栅图案一起形成单层结构的下存储电极(或公共线)，从而简化工艺。另外，按照本发明，利用半色调掩模工艺形成的双层(或三层)结构的栅图案的第一和第二导电层具有阶梯形状的固定阶梯覆层，这样就能防止因第一和第二导电层倾斜造成源极/漏极图案发生断裂。

另外，按照本发明，在希望比较薄地限定宽光刻胶图案时采用半色调掩模，而在希望比较薄地限定窄光刻胶图案时采用衍射曝光掩模。这样就能提高工艺效率。

尽管本发明是按照上述附图所示的实施例来解释的，但是对本发明所属领域的普通技术人员并不仅限于这些实施例，无需脱离本发明的原理还能做出各种各样的修改或变更。因此，本发明的意图是要覆盖属于权利要求书及其等效物范围内的修改和变更。

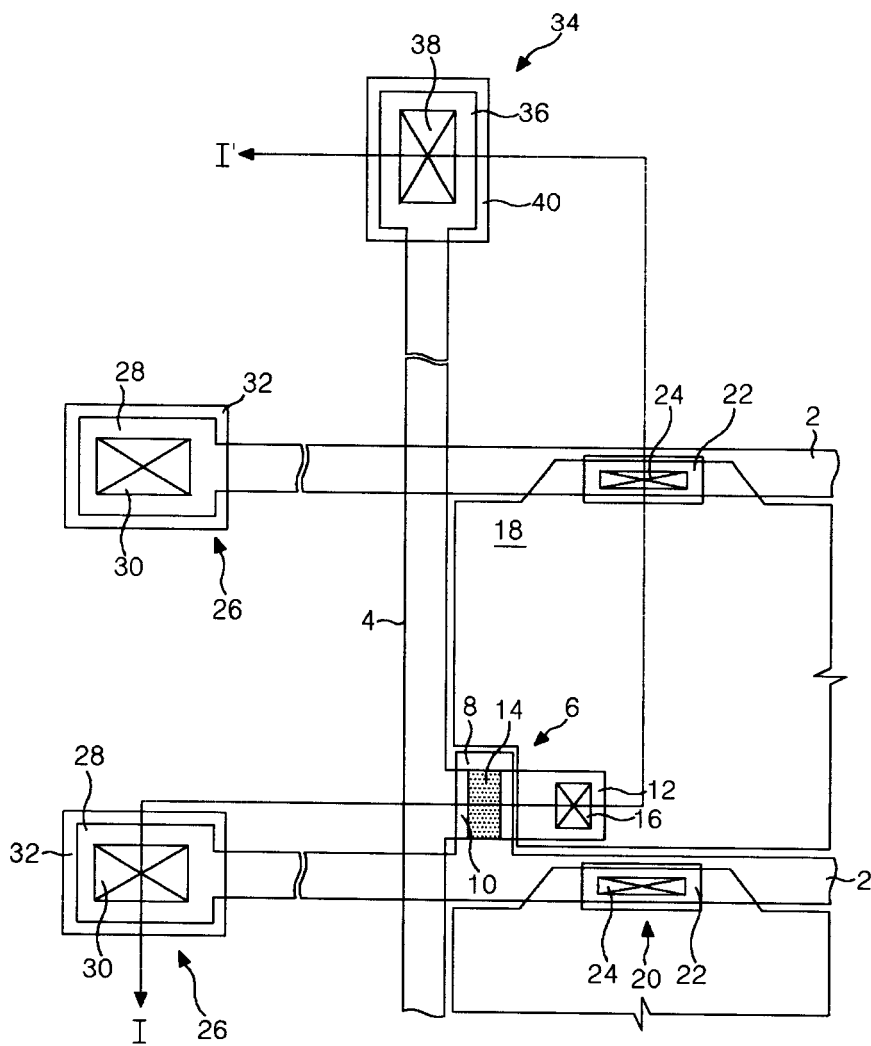


图 1

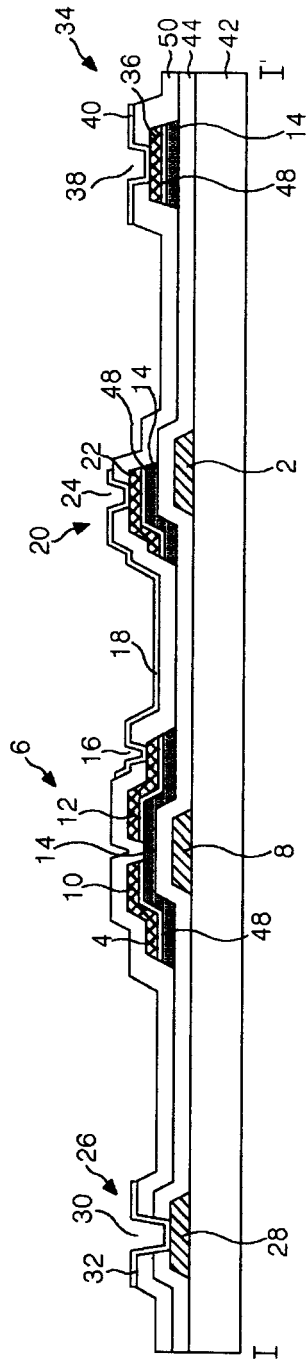


图 2

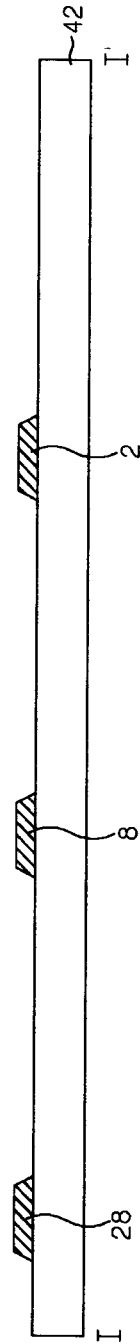


图 3A

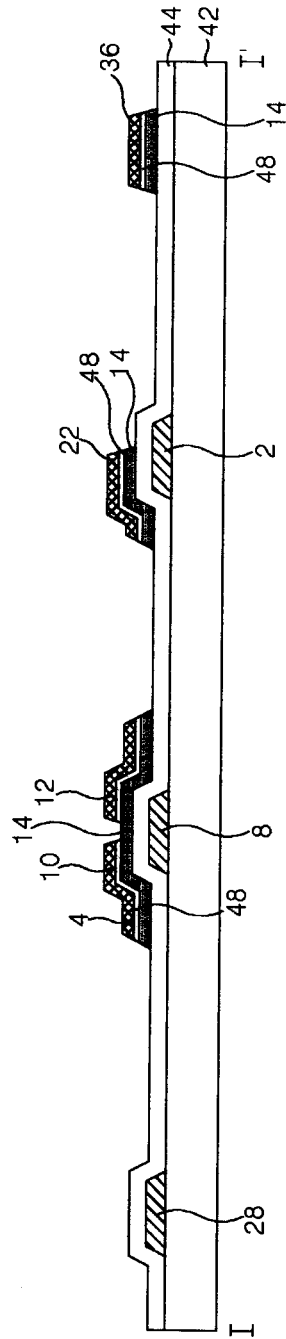


图 3B

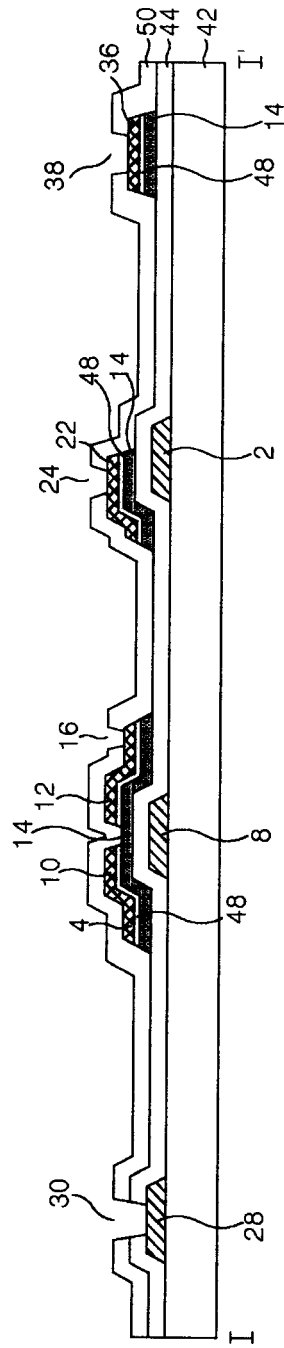


图 3C

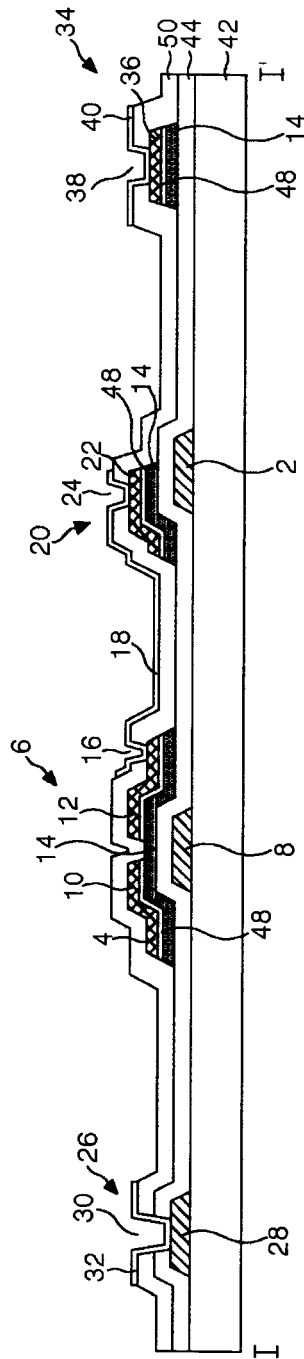


图 3D

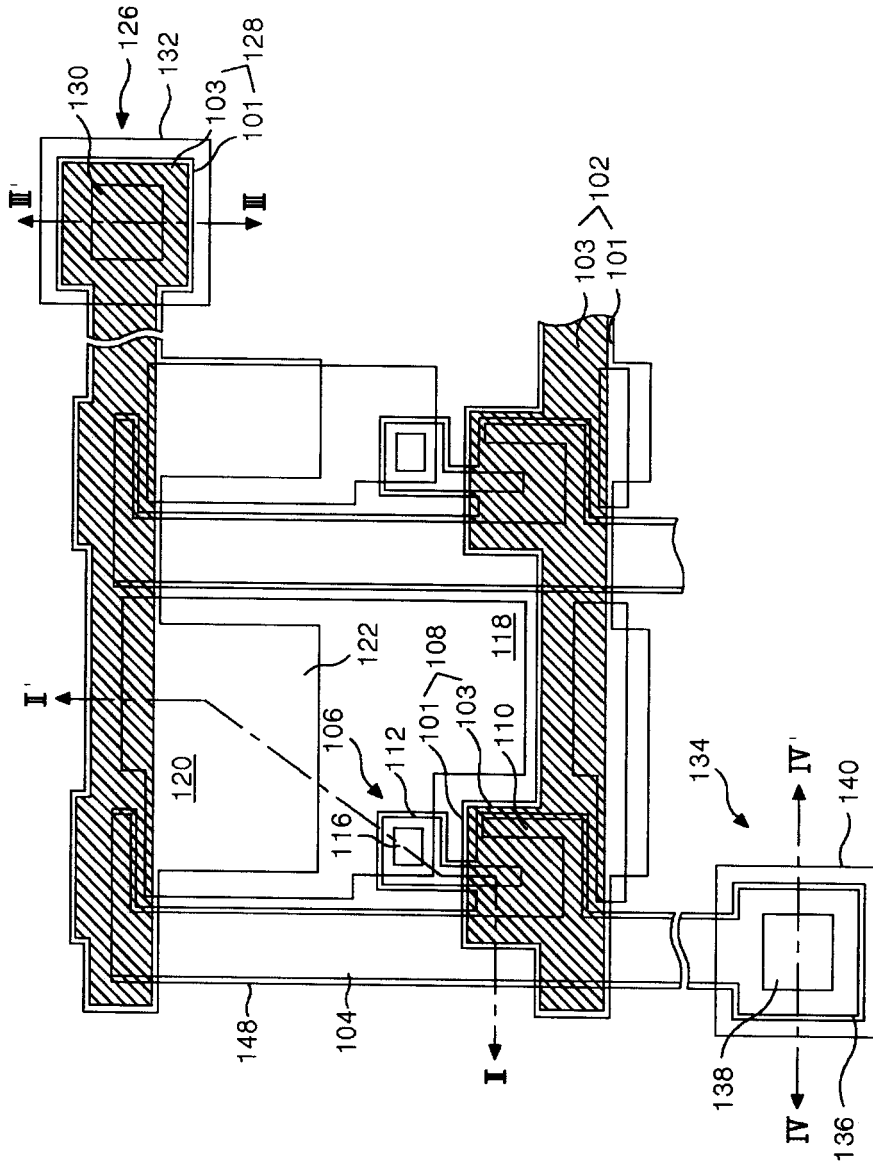


图 4

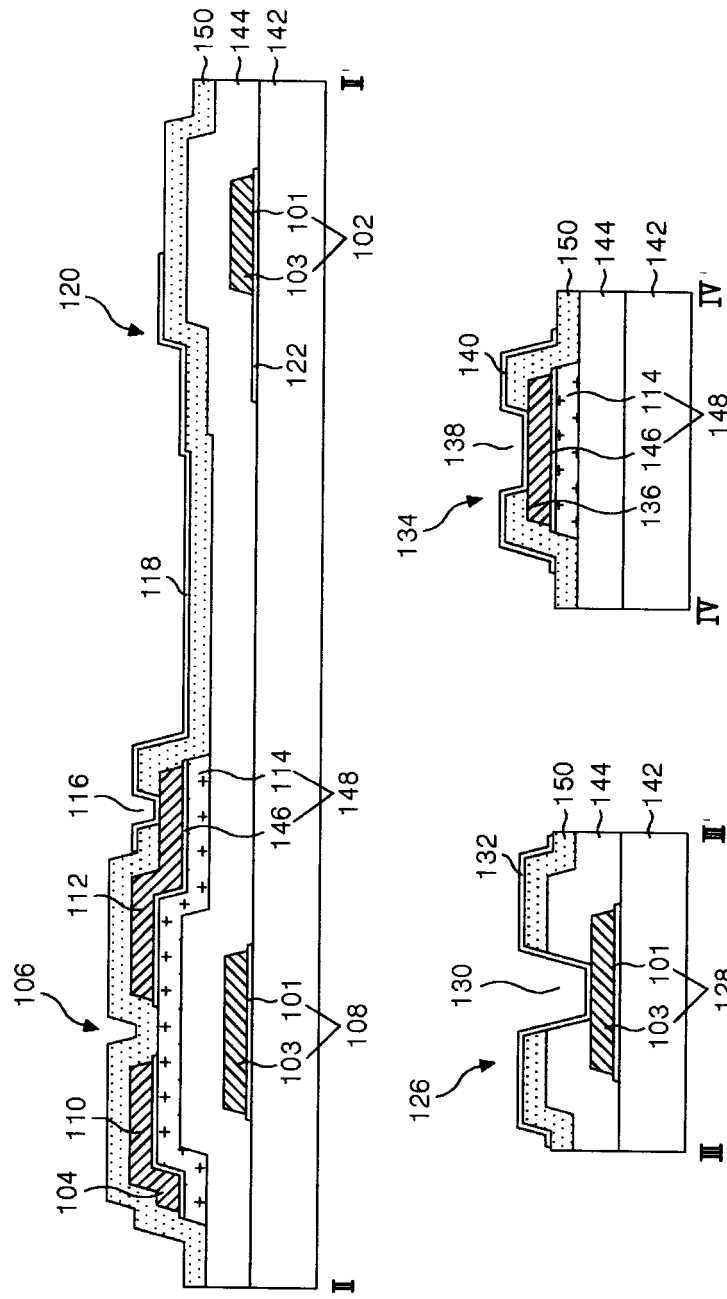


图 5

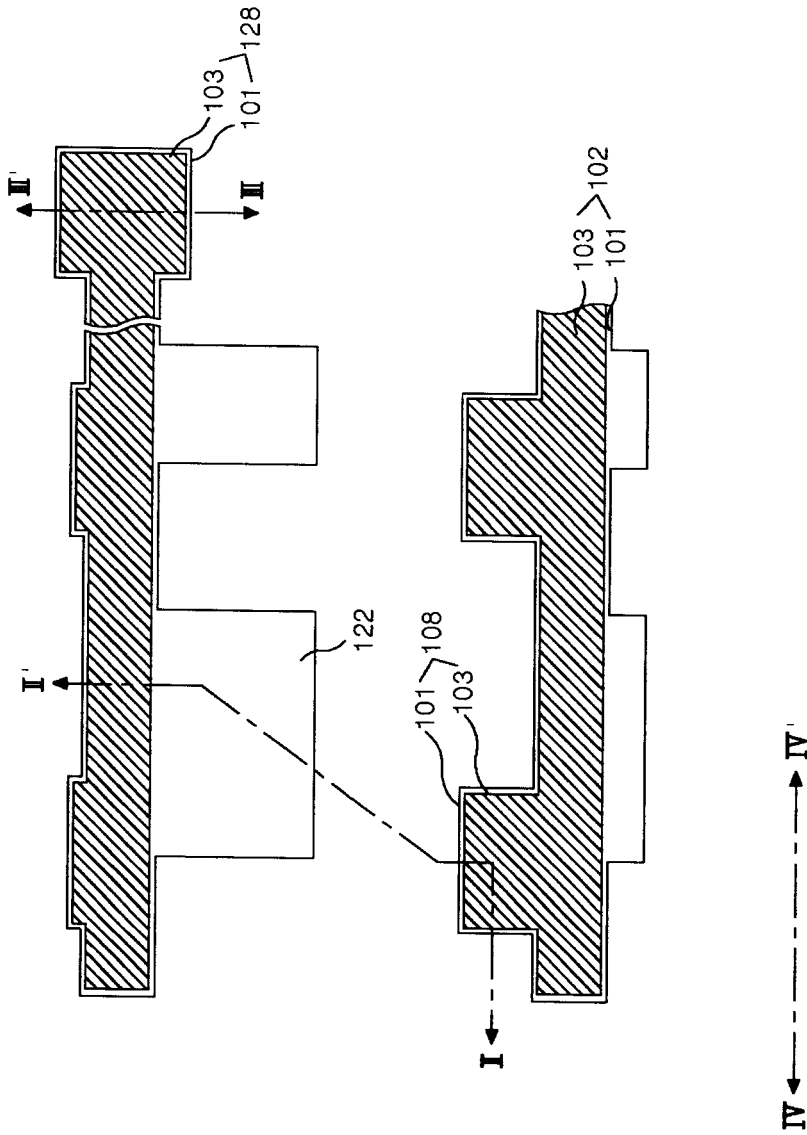


图 6A

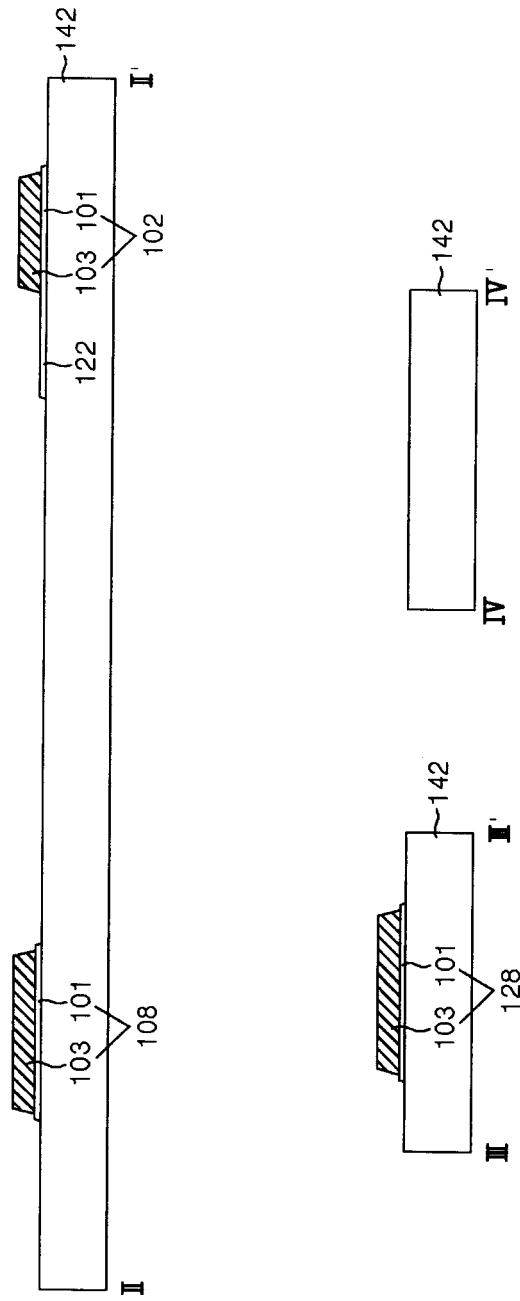


图 6B

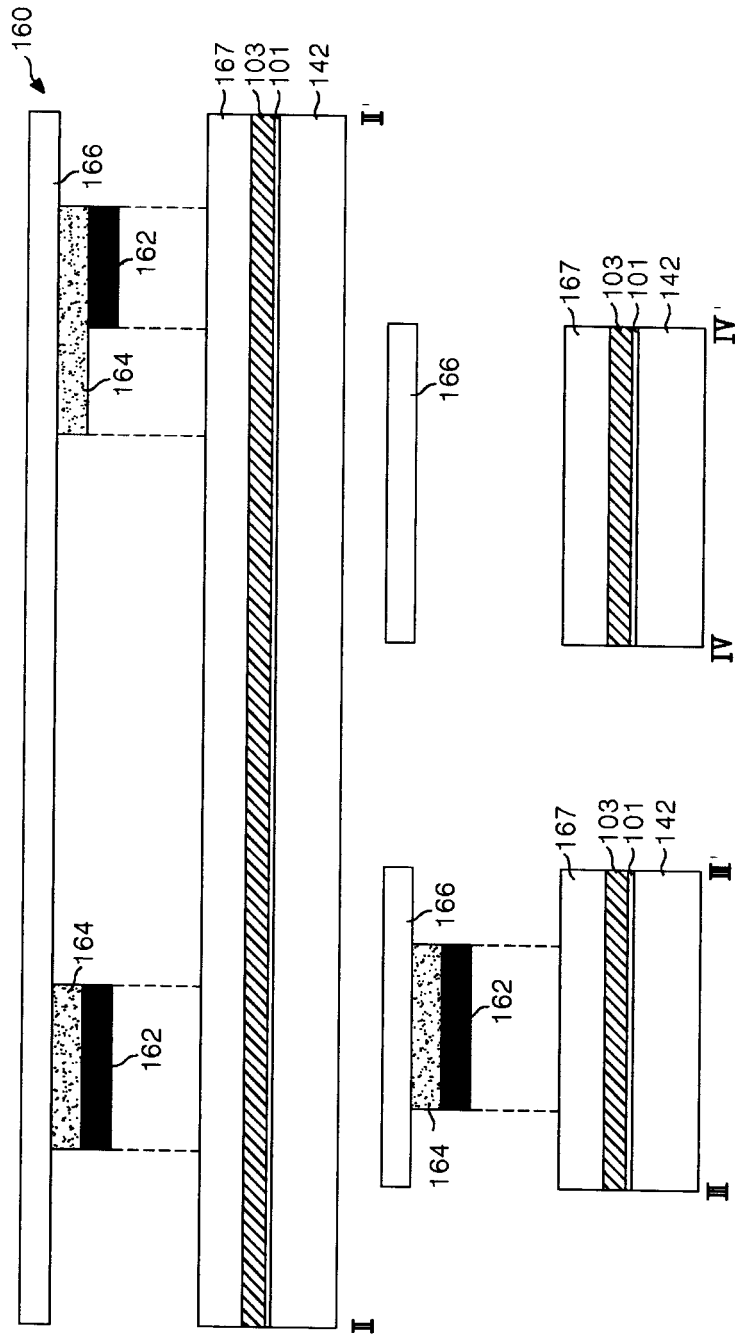


图 7A

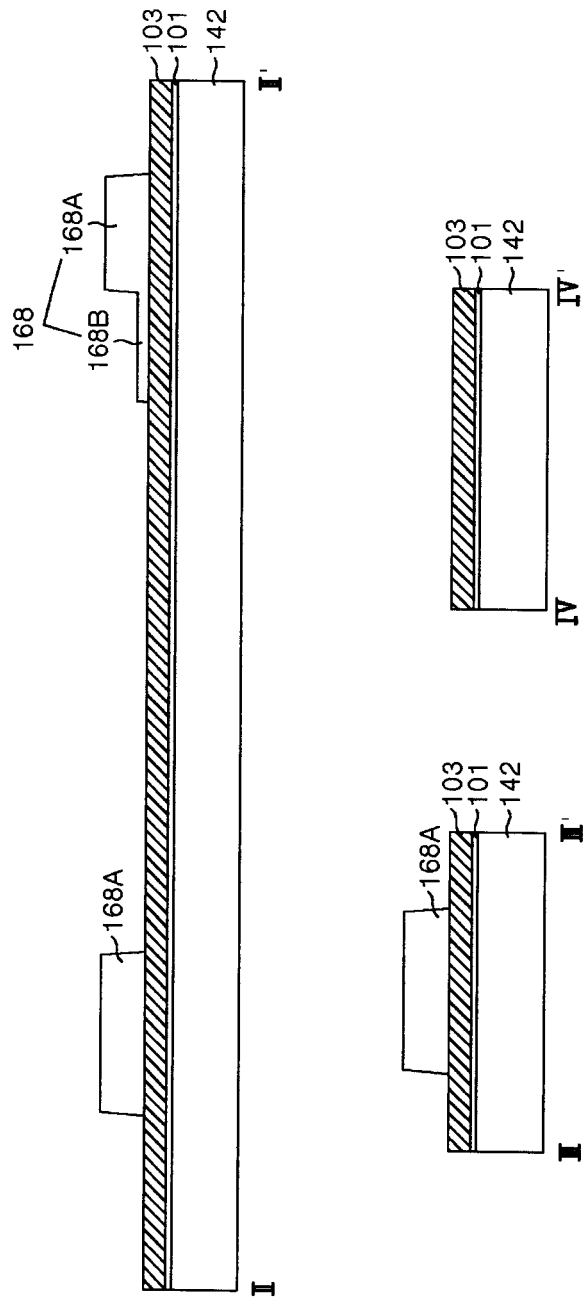


图 7B

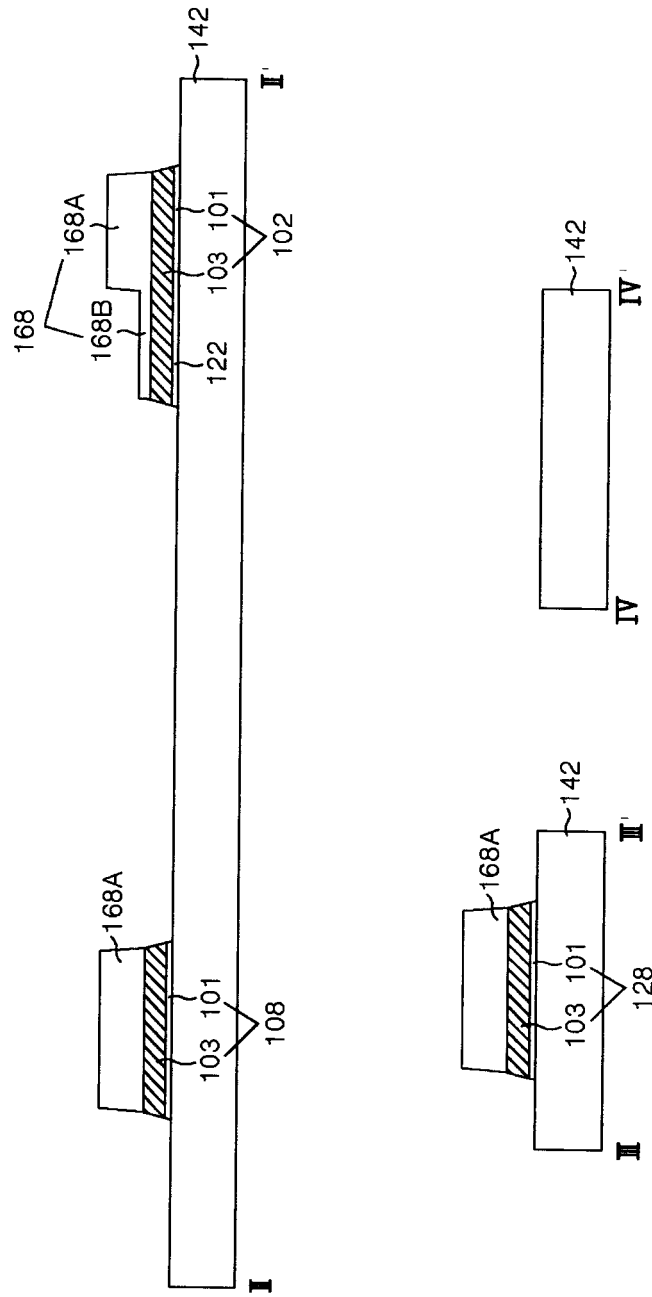


图 7C

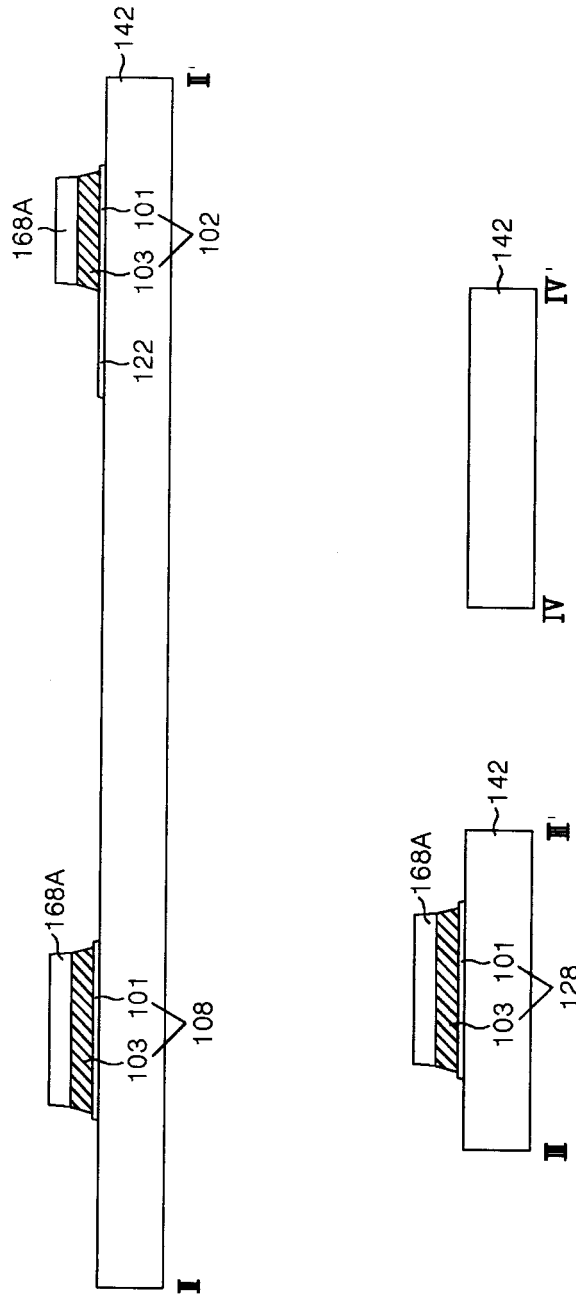


图 7D

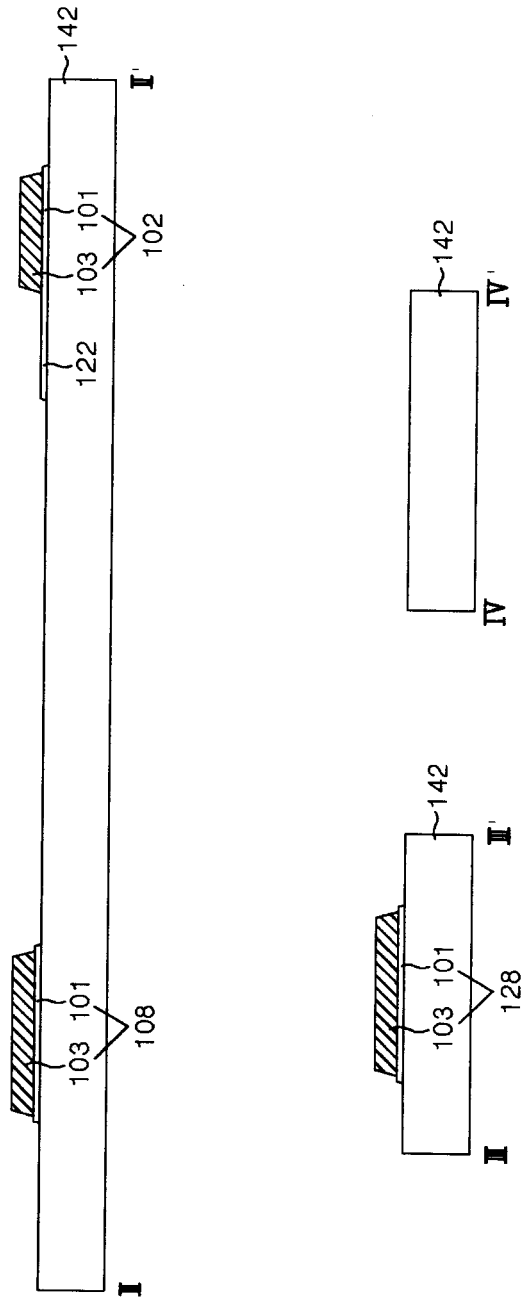


图 7E

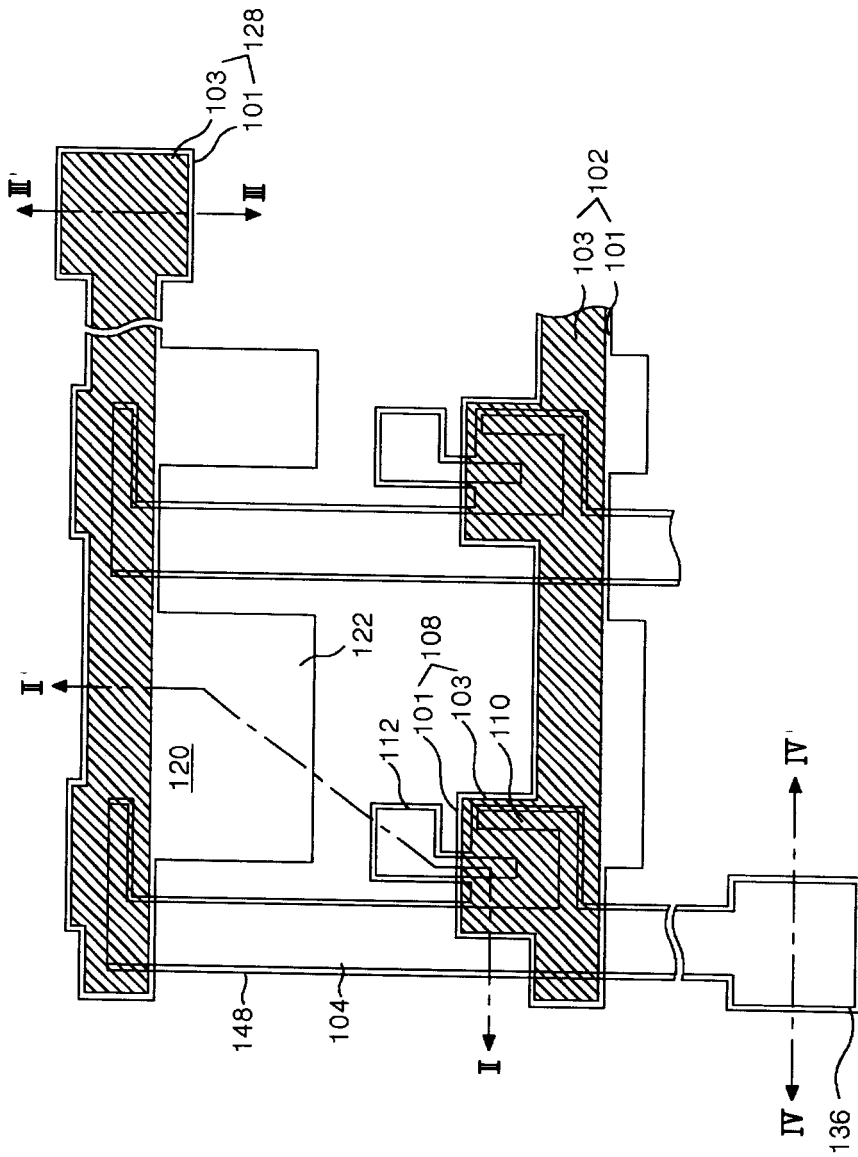


图 8A

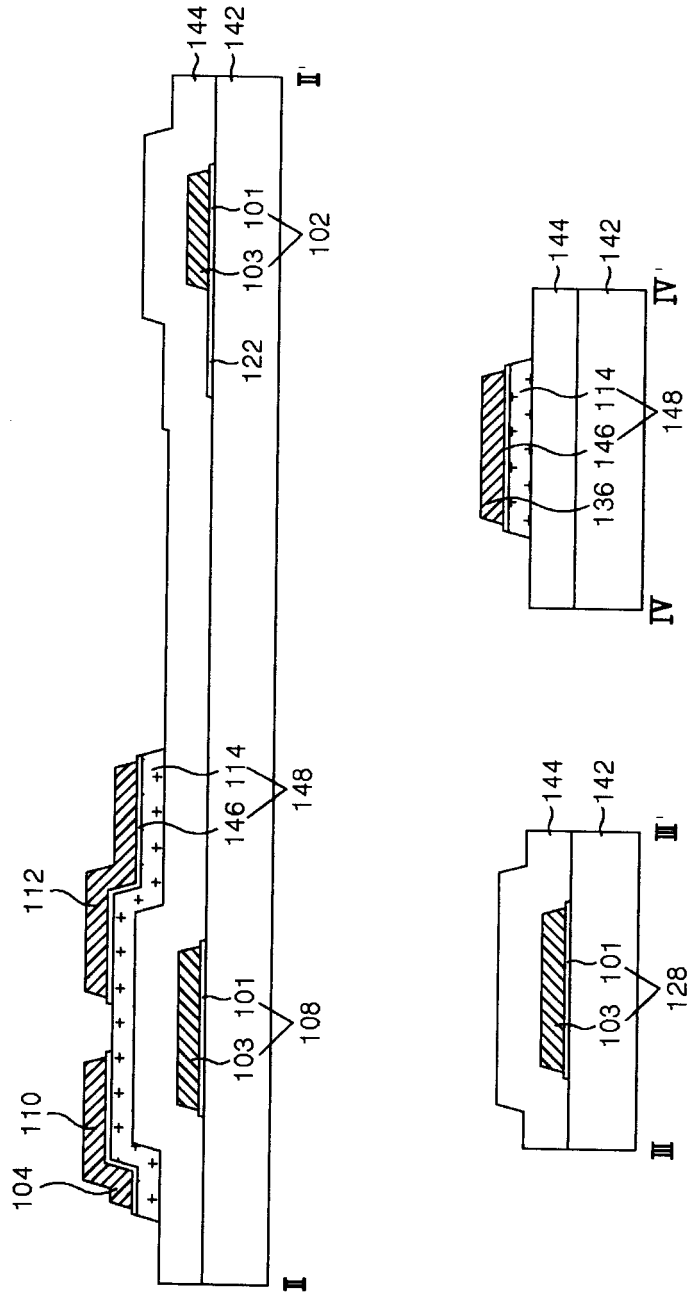


图 8B

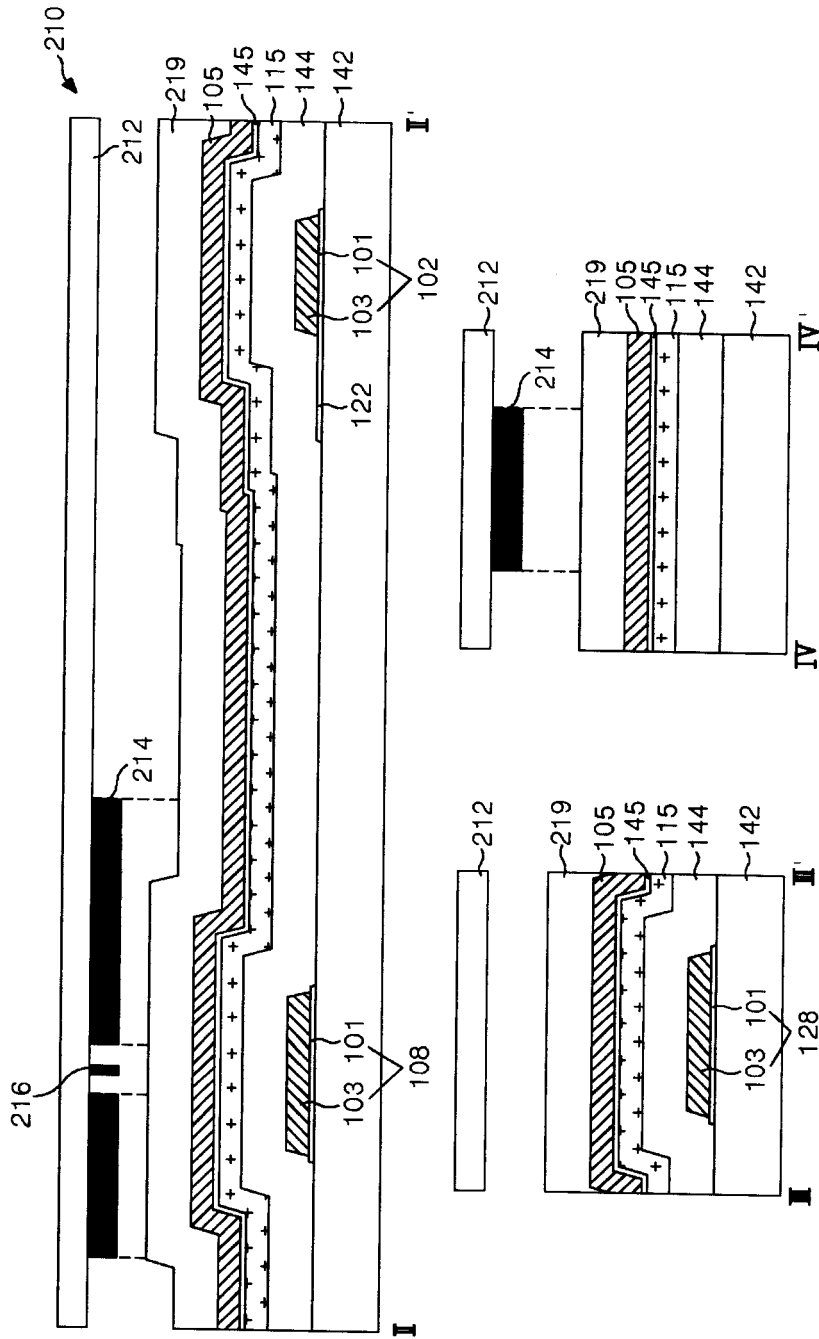


图 9A

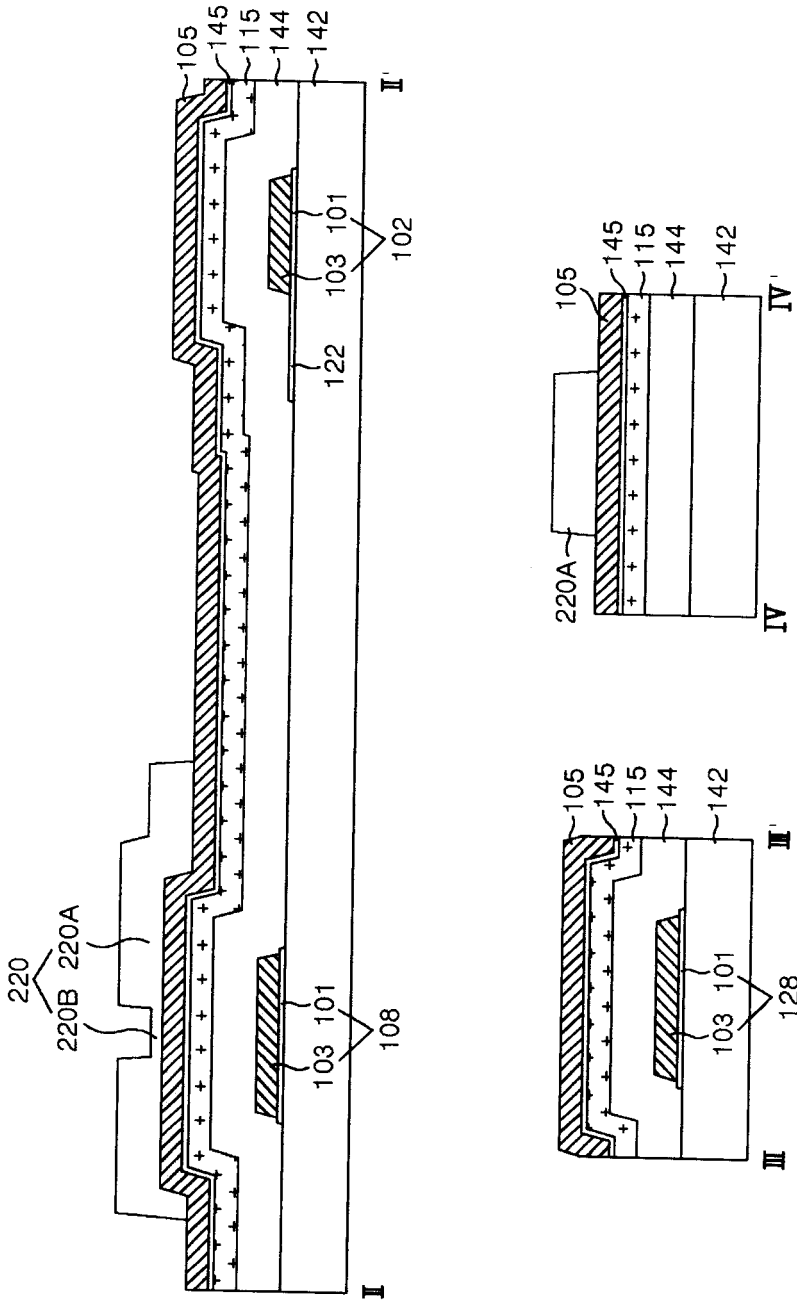


图 9B

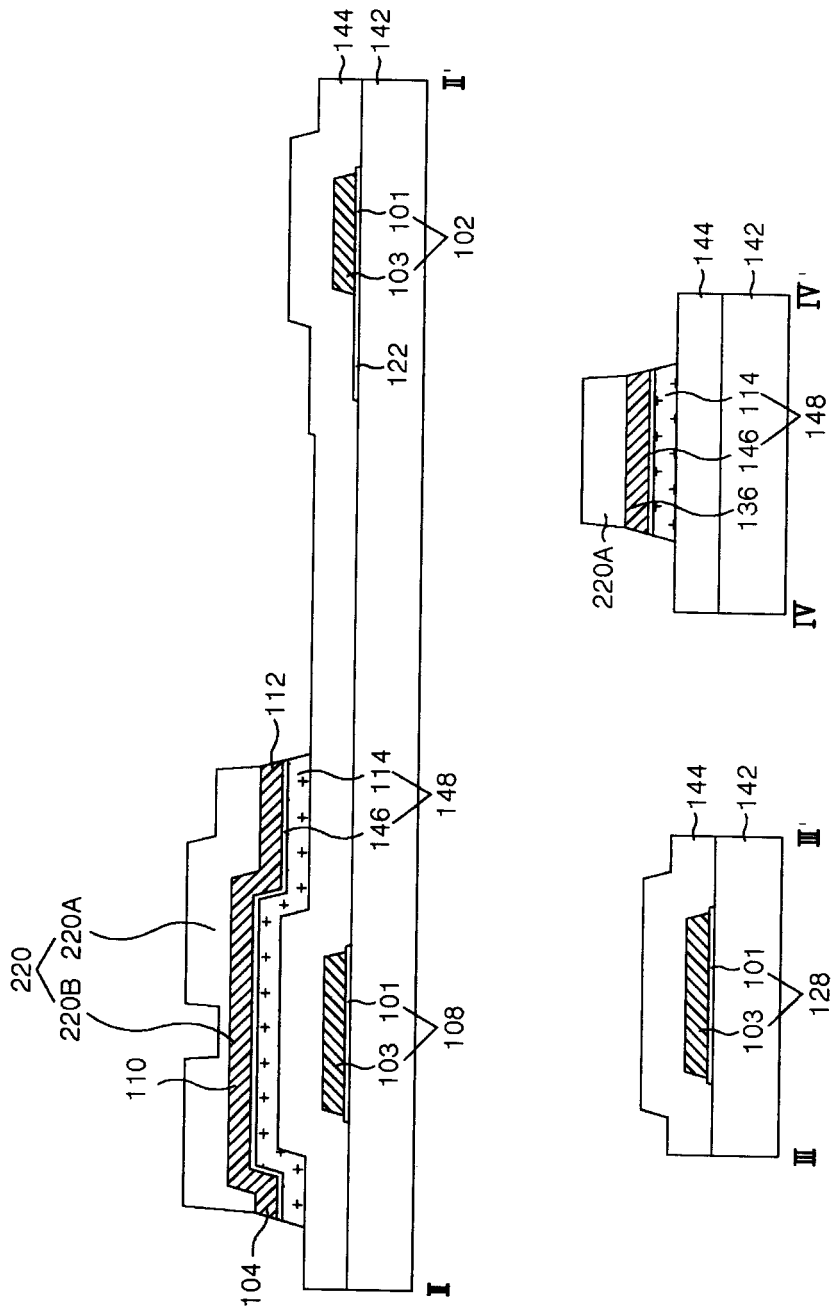


图 9C

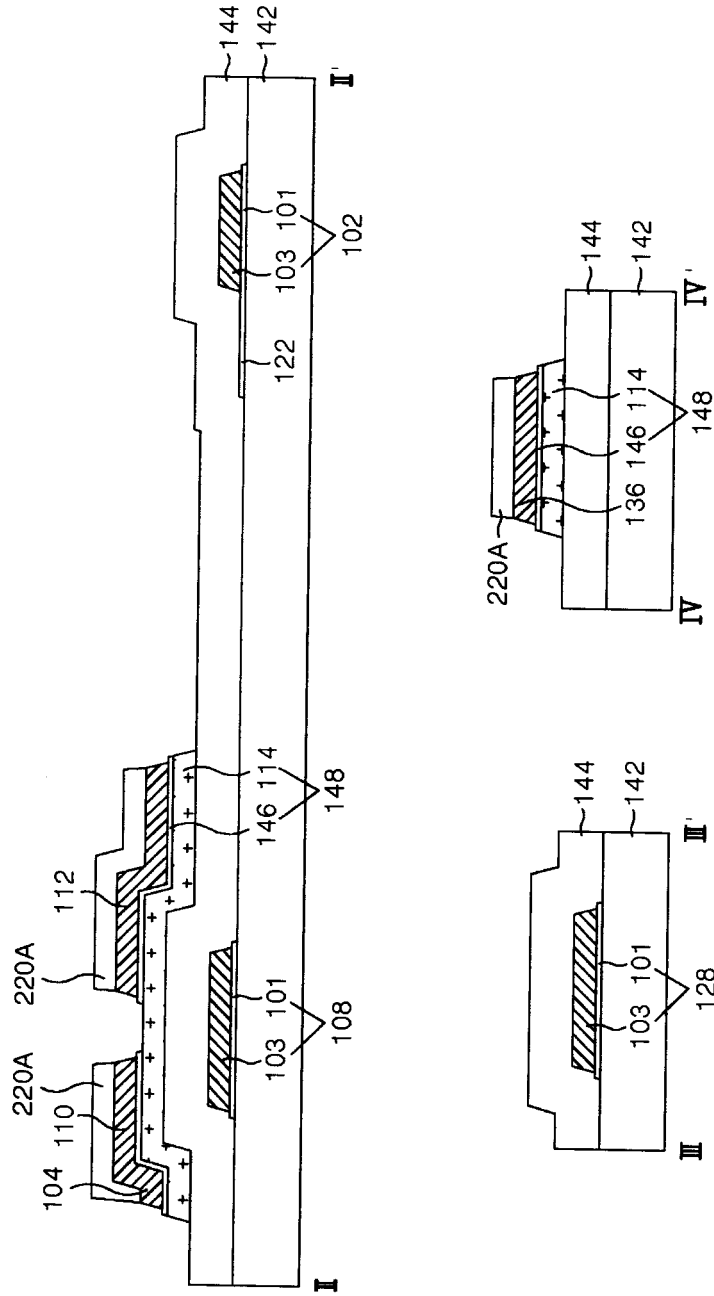


图 9D

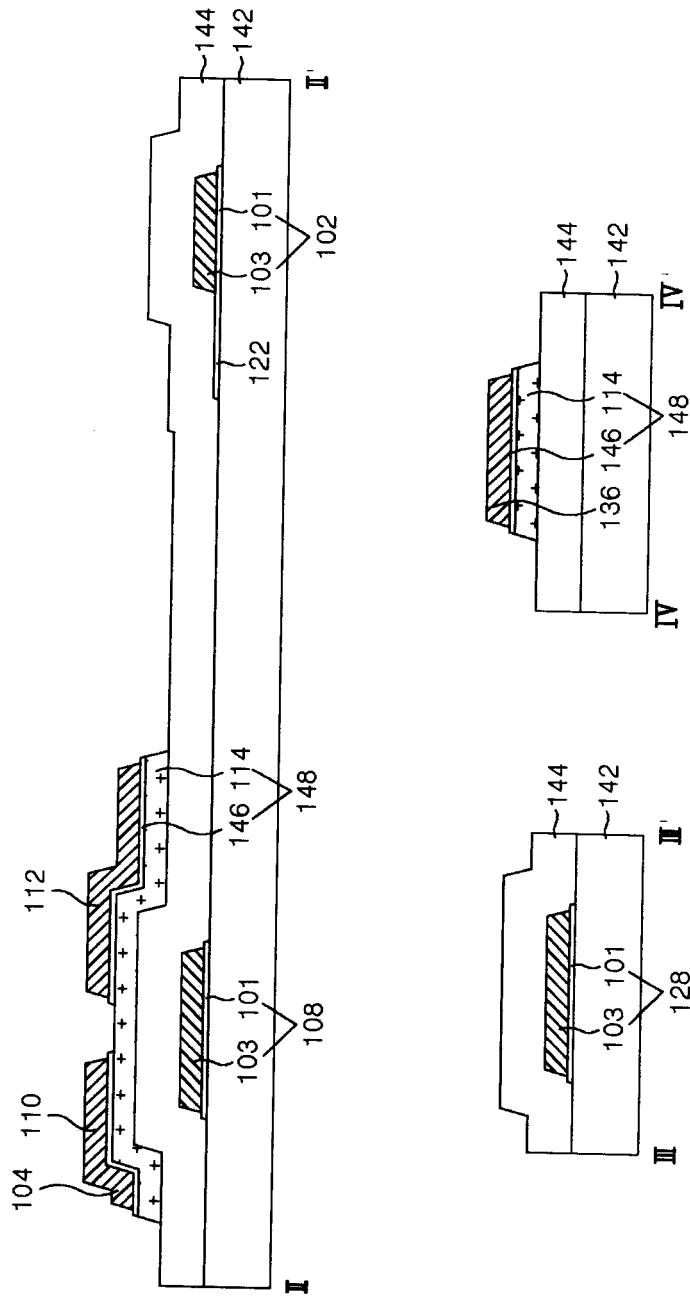


图 9E

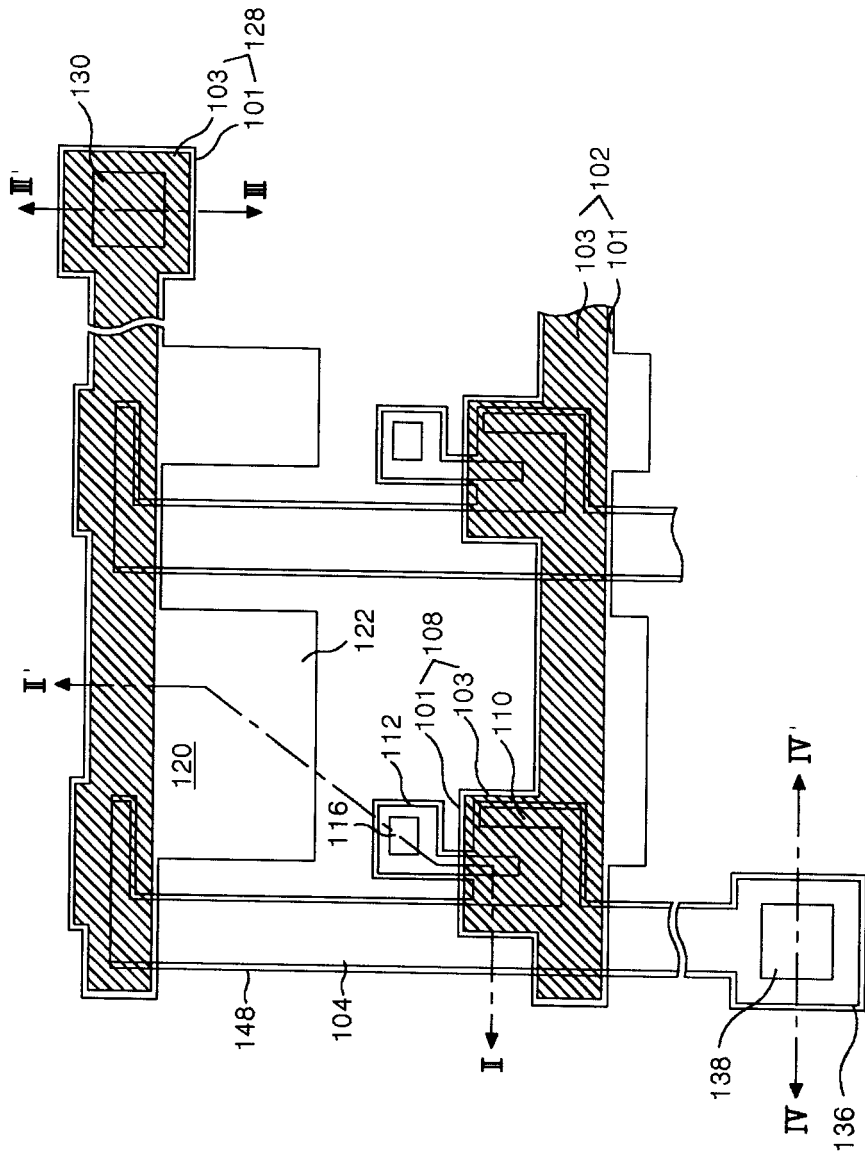


图 10A

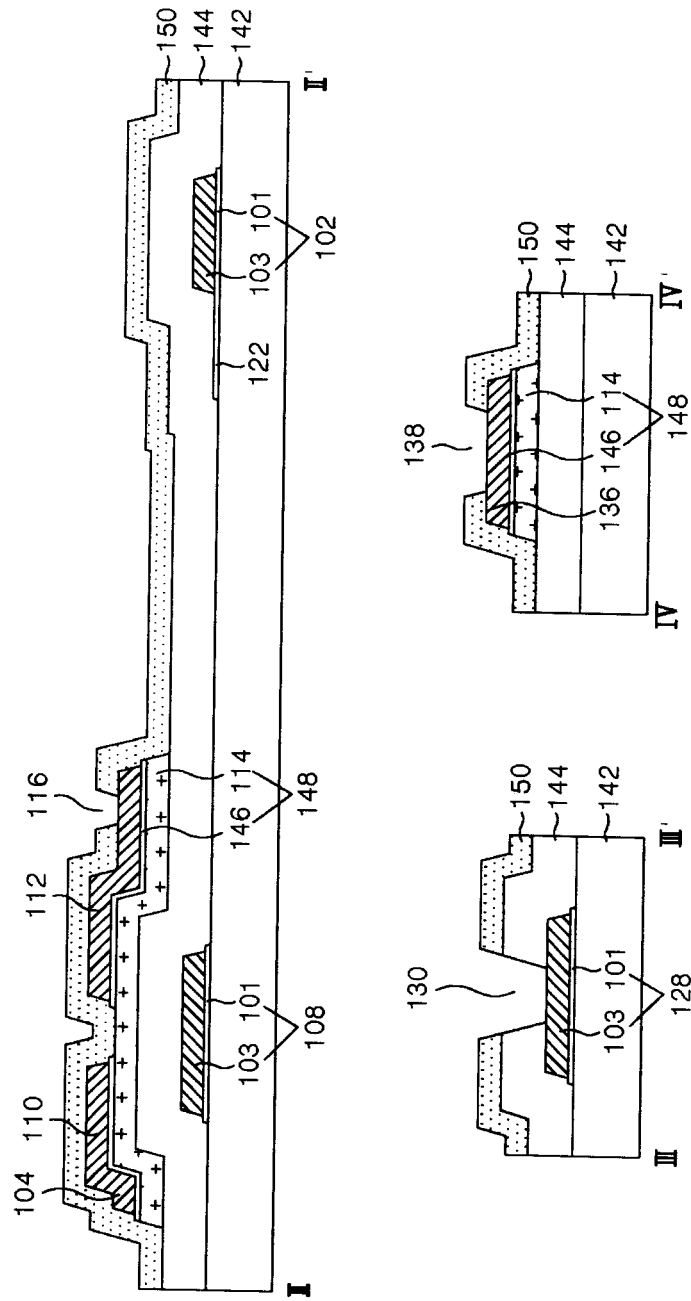


图 10B

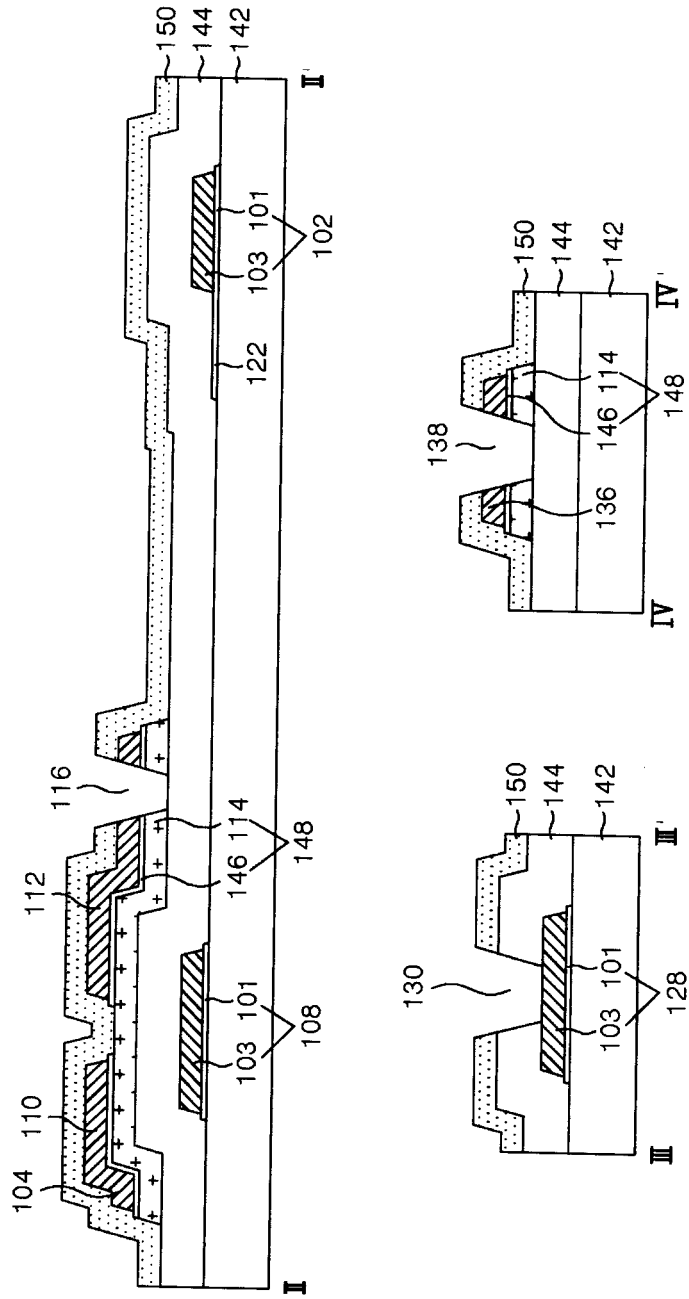


图 10C

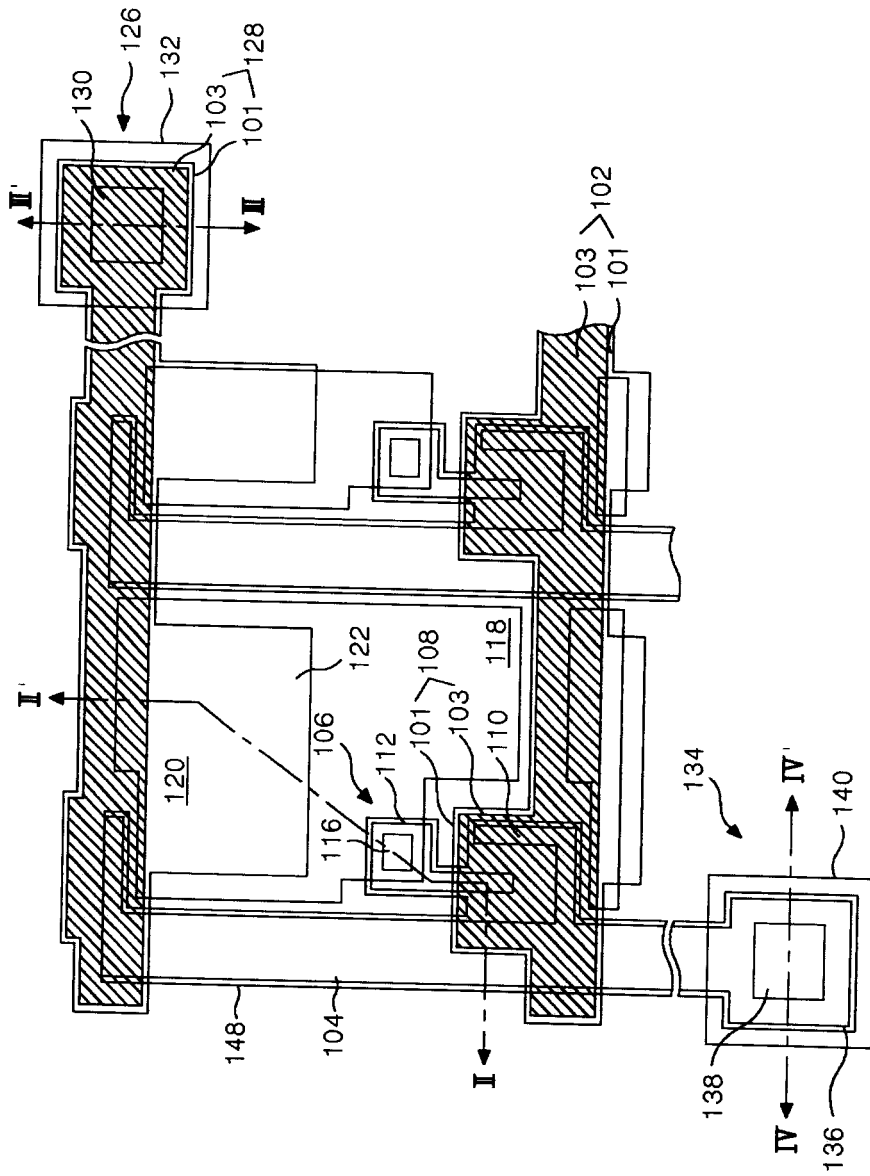


图 11A

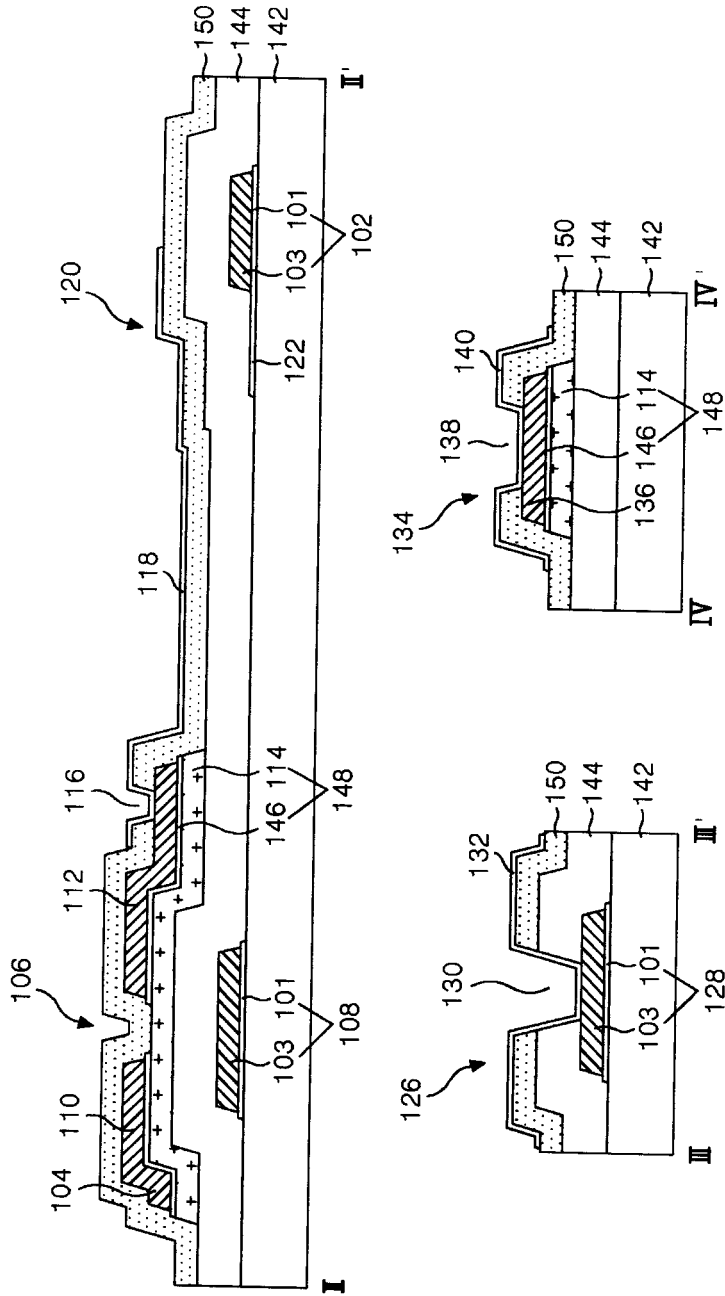


图 11B

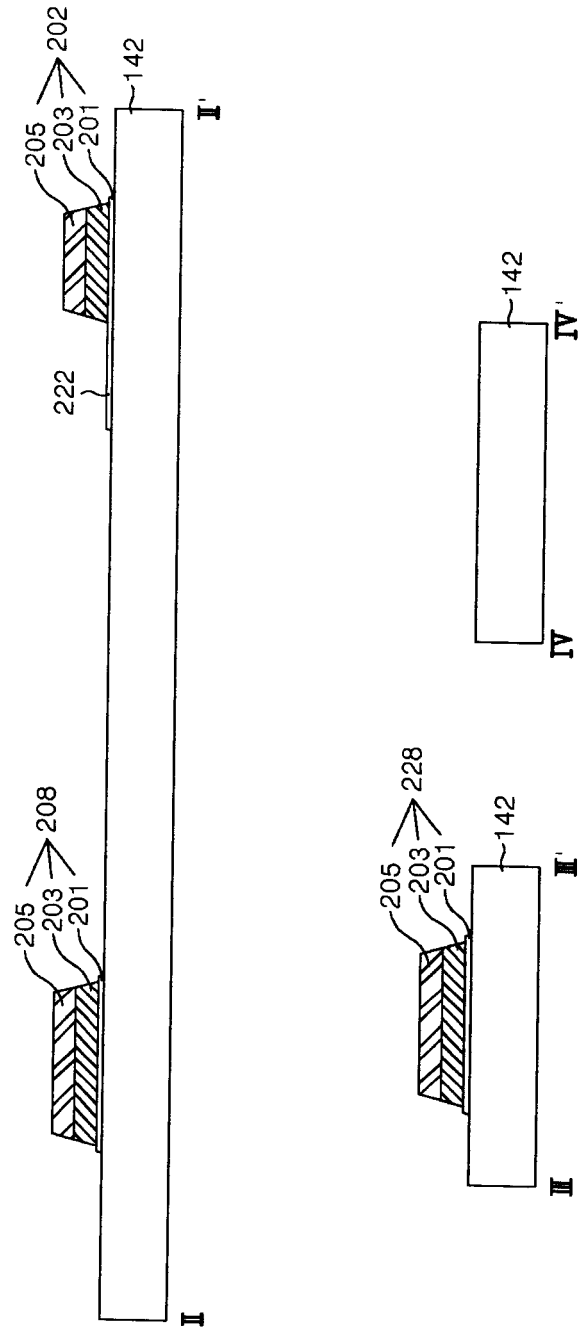


图 12

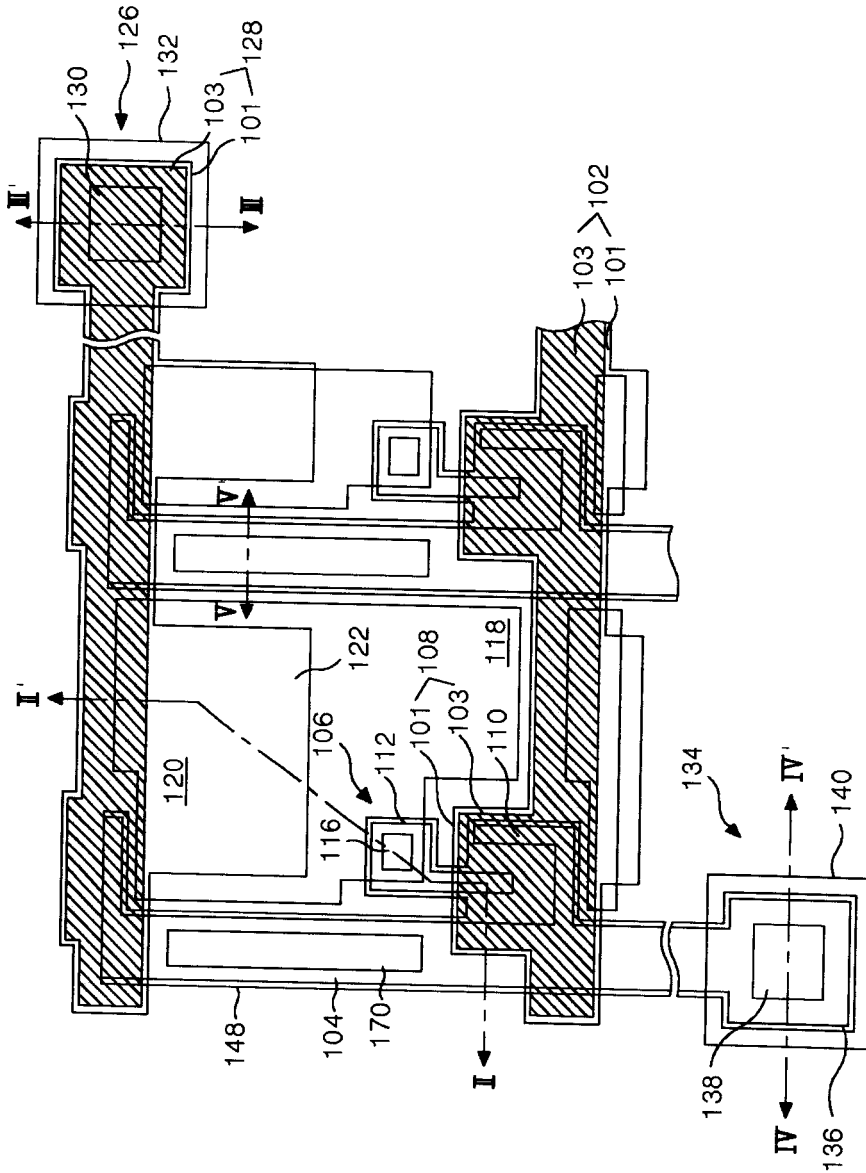


图 13

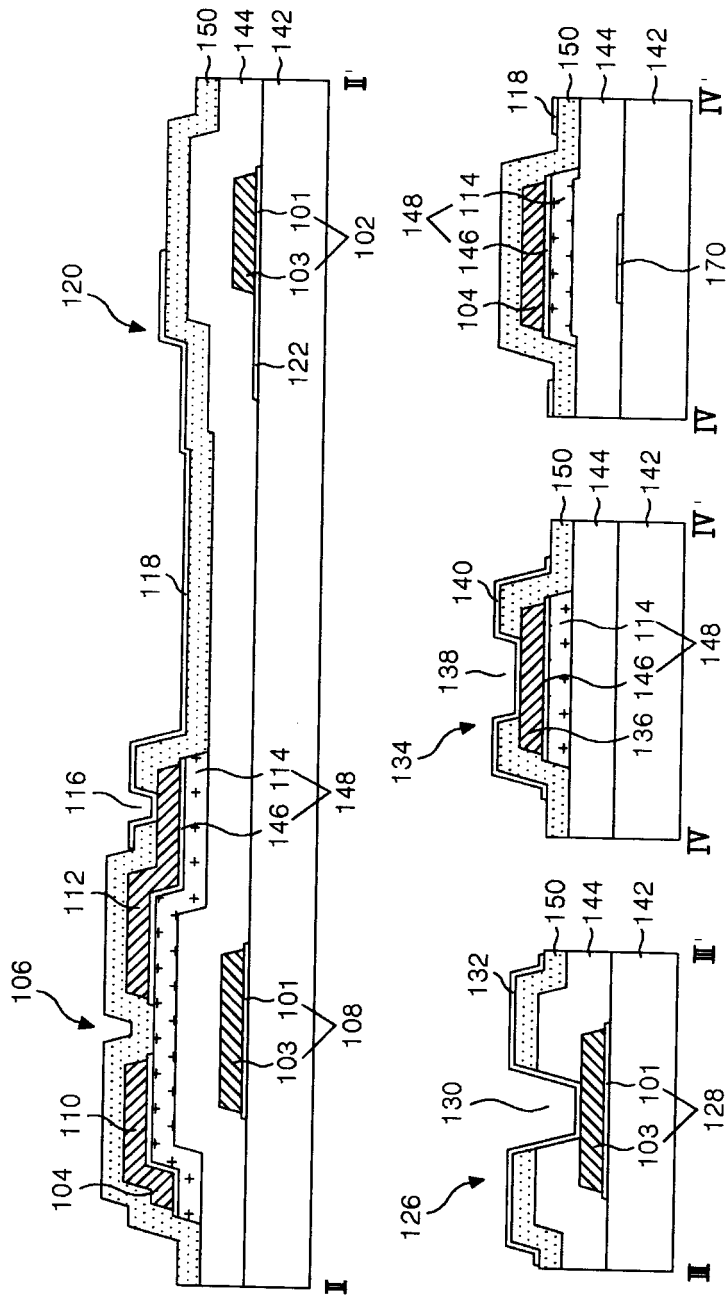


图 14

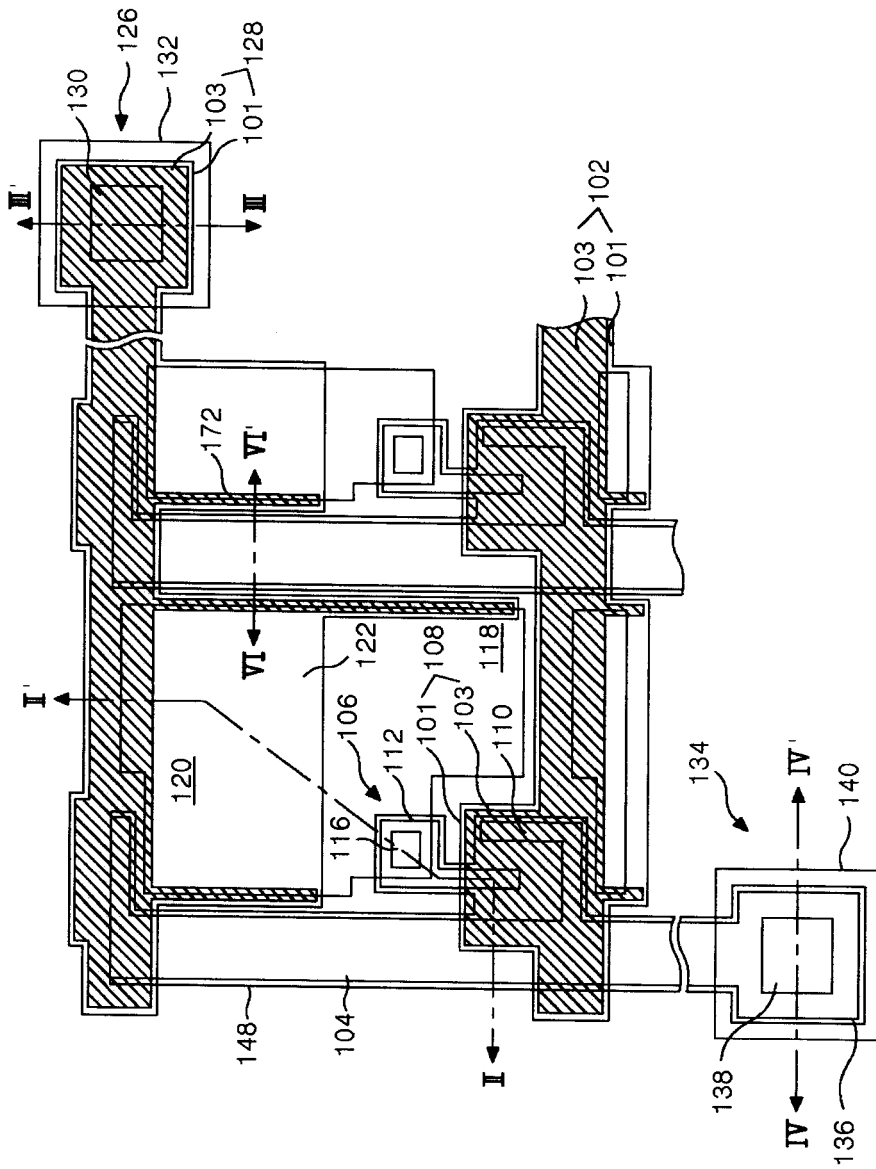


图 15

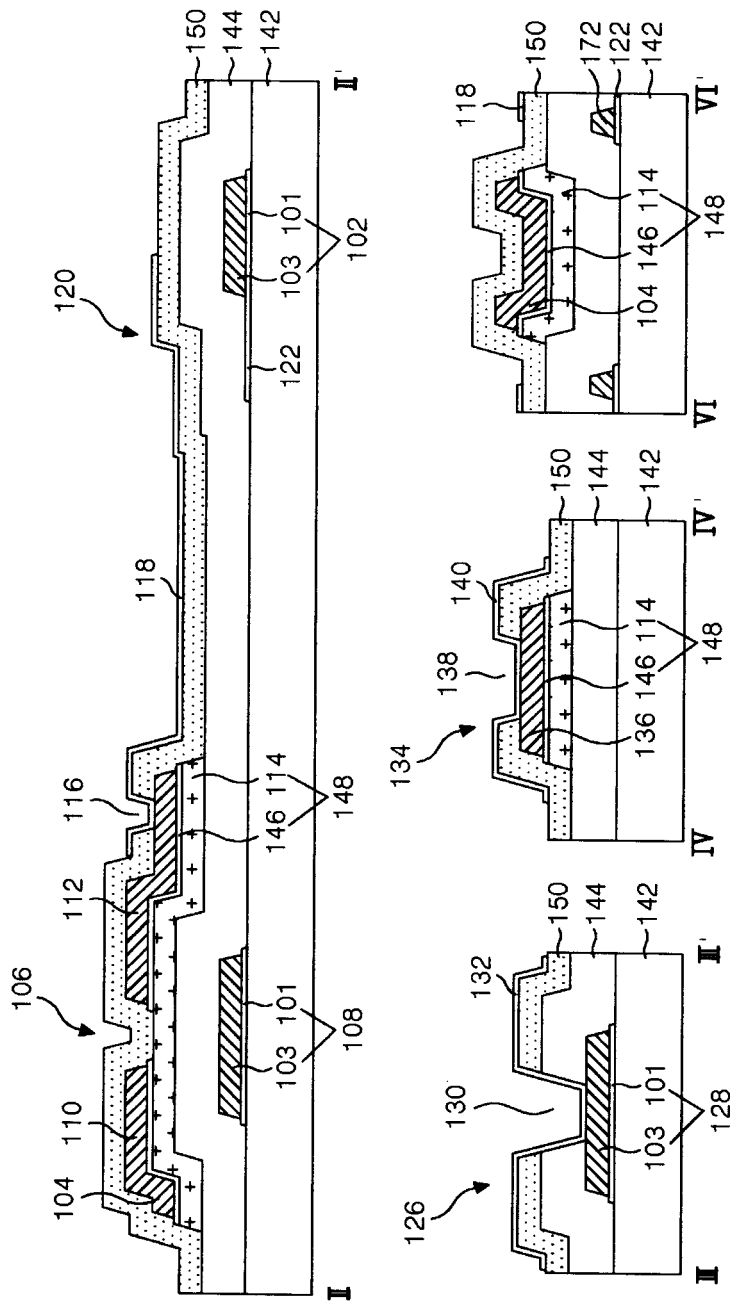


图 16

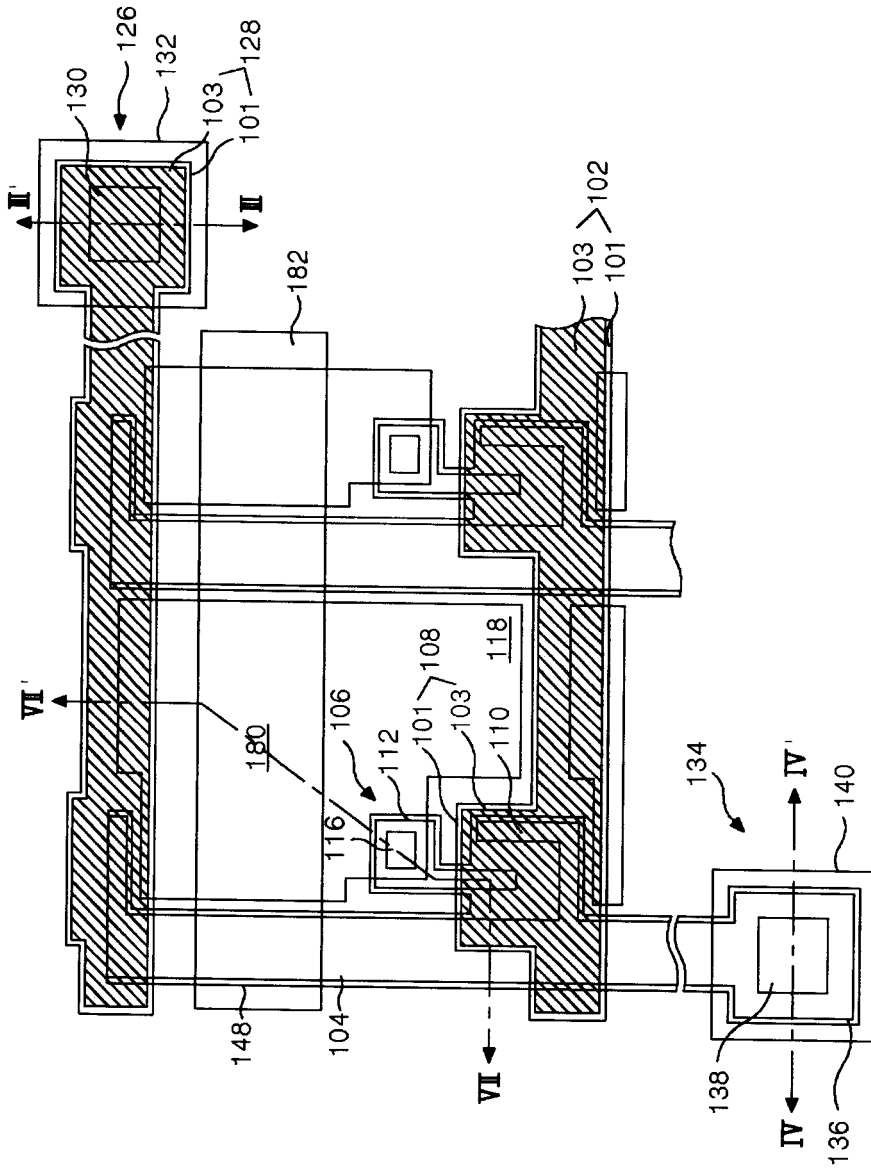


图 17

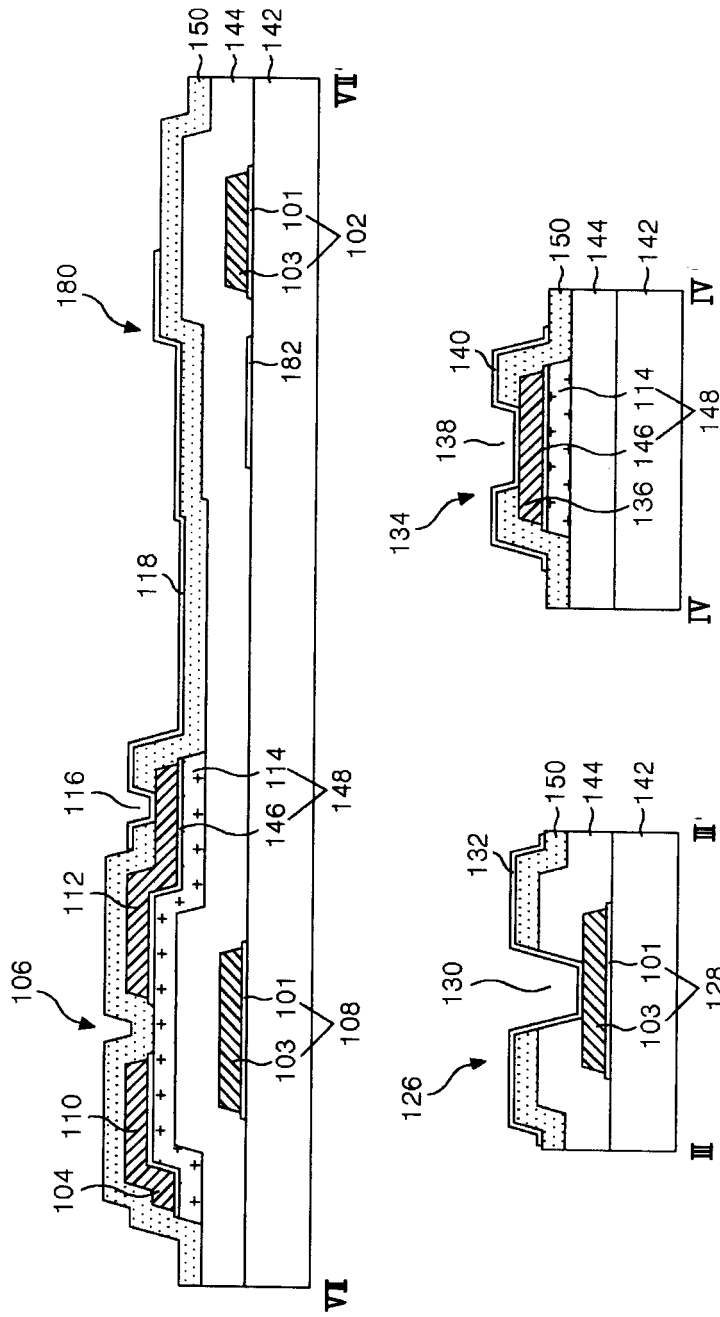


图 18

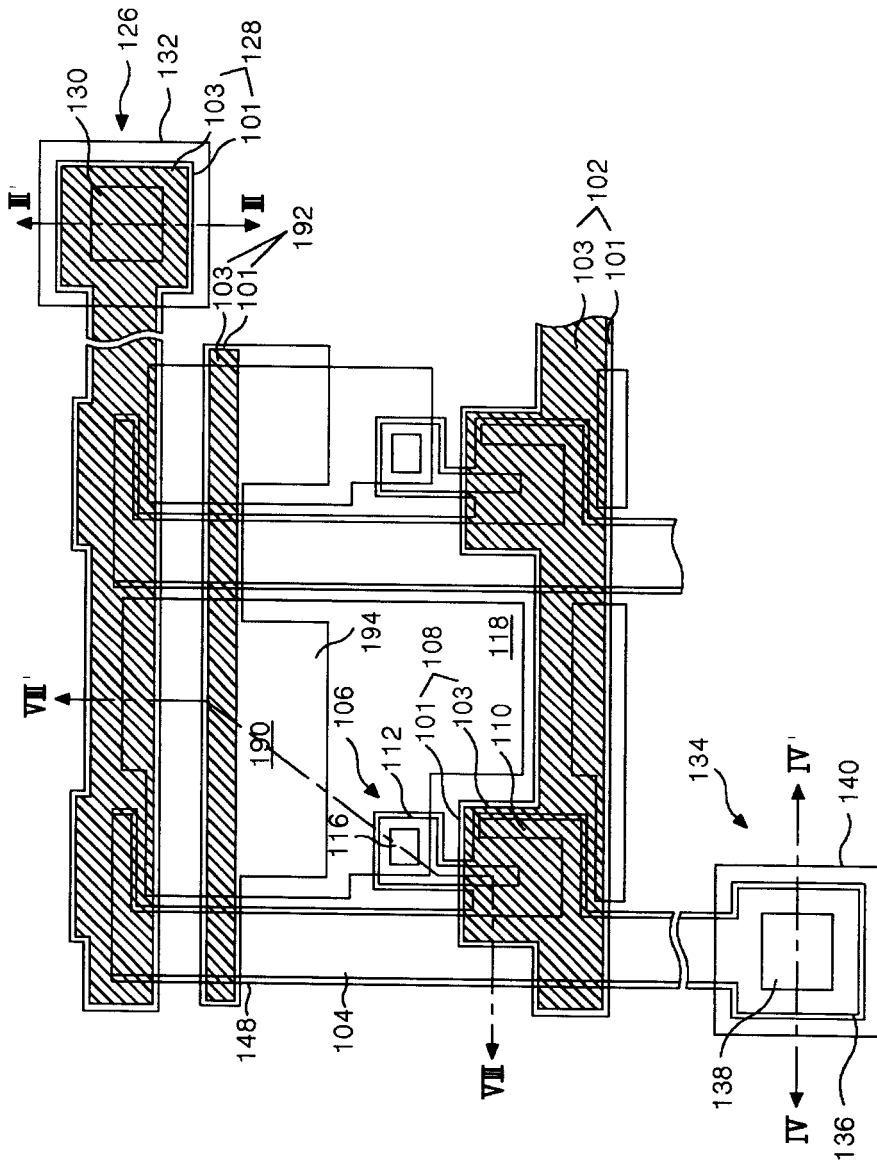


图 19

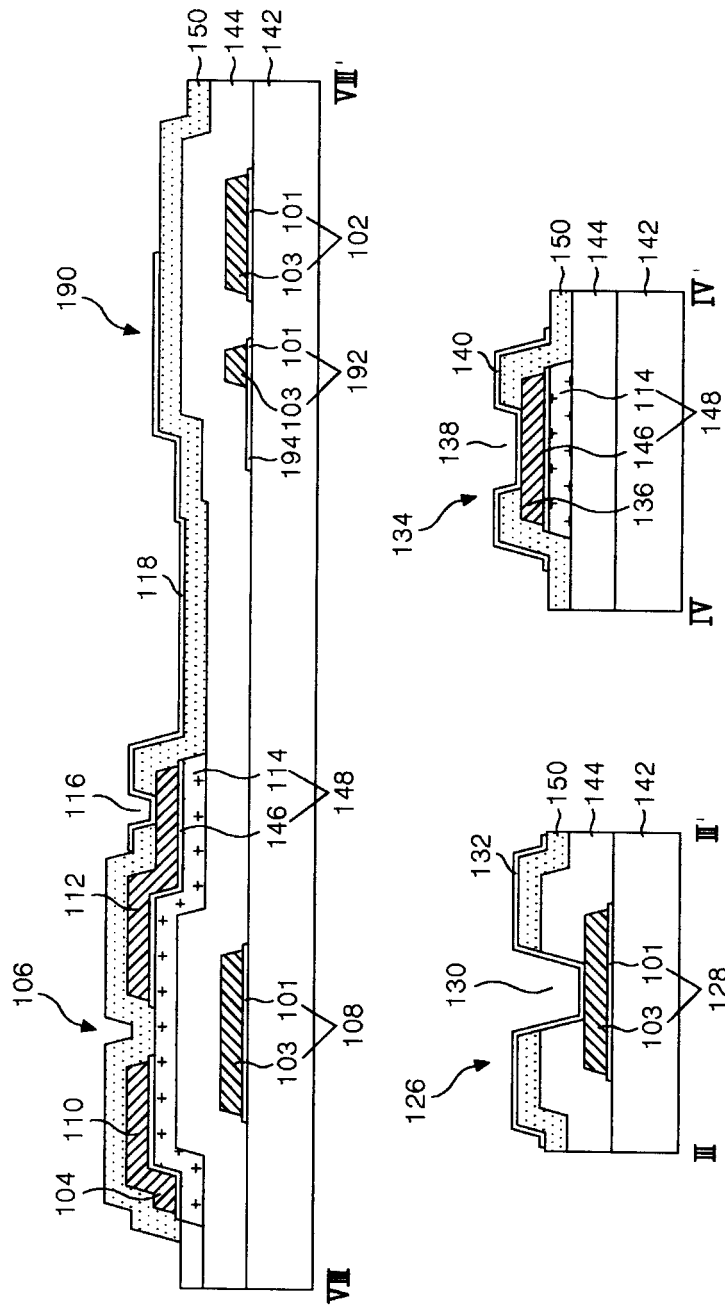


图 20

专利名称(译)	液晶显示器件及其制造方法		
公开(公告)号	<a href="#">CN1702530A</a>	公开(公告)日	2005-11-30
申请号	CN200510072276.1	申请日	2005-05-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG.飞利浦LCD株式会社		
当前申请(专利权)人(译)	LG.飞利浦LCD株式会社		
[标]发明人	安炳喆		
发明人	安炳喆		
IPC分类号	G02F1/1343 G02F1/136 G02F1/1362 G02F1/1368 G09F9/30 H01L21/336 H01L21/77 H01L21/84 H01L27/12 H01L27/13 H01L29/04 H01L29/786 G02F1/133 H01L21/027 G03F7/20		
CPC分类号	H01L27/1214 H01L27/13 G02F2001/136236 H01L27/1288 G02F1/136213 G02F1/136286 H01L27/12 G02F2001/13629 H01L27/124 H01L27/1255		
代理人(译)	徐金国		
优先权	1020040037770 2004-05-27 KR		
其他公开文献	CN100397211C		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明公开了一种LCD器件的薄膜晶体管基板及其制造方法，以简化制造工艺并增大存储电容的电容值又不会缩小孔径比。该LCD器件包括：具有第一透明导电层和第二不透明导电层的双层栅线，第二不透明导电层具有阶梯覆层；栅线上的栅绝缘膜；与栅线交叉限定像素区的数据线；连接到栅线和数据线的TFT；通过薄膜晶体管上保护膜的接触孔连接到TFT的像素电极；以及与像素电极重叠并具有用第一透明导电层形成的下存储电极的存储电容。

