



(12) 发明专利申请

(10) 申请公布号 CN 105589271 A

(43) 申请公布日 2016.05.18

(21) 申请号 201610109957.9

(22) 申请日 2011.11.29

(30) 优先权数据

2010-266443 2010. 11. 30 JP

(62) 分案原申请数据

201110397236. X 2011. 11. 29

(71) 申请人 松下液晶显示器株式会社

地址 日本兵库县

(72) 发明人 小野记久雄

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 陈伟

(51) Int. Cl.

G02F 1/1362(2006.01)

G02F 1/1343(2006, 01)

H01L 27/12(2006.01)

H01L 29/417(2006.01)

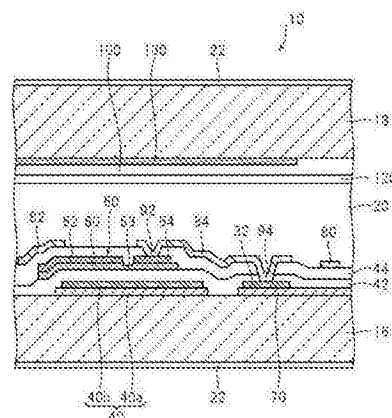
权利要求书1页 说明书12页 附图27页

(54) 发明名称

液晶面板

(57) 摘要

本发明提供一种液晶面板、液晶显示装置及其制造方法。栅极布线(40)具有包含下栅极布线(40a)和上栅极布线(40b)的两层结构,该下栅极布线(40a)由与像素电极(70)相同的材料形成,并且位于与像素电极(70)相同的层,该上栅极布线(40b)层叠在该下栅极布线(40a)上,由导电率高于透明导电材料的材料形成。根据该结构,在最上层形成有公共电极的横向电场方式的液晶面板的制造工序中,能够减少曝光的次数。



1. 一种液晶面板,其具有夹持液晶的第一基板和第二基板;形成在所述第一基板上的薄膜晶体管;形成在所述第一基板上且由透明导电材料形成的像素电极;形成在所述第一基板上且由透明导电材料形成的公共电极;与所述薄膜晶体管相连接的栅极布线,该栅极布线位于与所述像素电极相同的层中;覆盖所述栅极布线和所述像素电极的第一绝缘膜;覆盖所述第一绝缘膜的第二绝缘膜;贯通所述第一绝缘膜和所述第二绝缘膜双方以到达所述像素电极的接触孔;以及位于所述接触孔中的连结导体,

其中,所述薄膜晶体管包括源电极,其位于所述第一绝缘膜与所述第二绝缘膜之间,且该源电极的一部分在所述接触孔处从所述第二绝缘膜露出,所述公共电极形成在所述第二绝缘膜上,并且所述像素电极经由所述连结导体与所述源电极电连接,所述接触孔是用于所述源电极和所述像素电极的电连接的单个接触孔。

2. 根据权利要求1所述的液晶面板,其中,
所述源电极在俯视观察时与所述像素电极相重叠。

3. 根据权利要求1所述的液晶面板,其中,
所述源电极的端部从所述第二绝缘膜露出并且与所述连结导体相连接。

4. 根据权利要求1所述的液晶面板,其中,
所述连结导体由与所述公共电极相同的透明导电材料形成,并且位于与所述公共电极相同的层中。

液晶面板

[0001] 本发明申请是申请日为2011年11月29日、申请号为201110397236.X、发明名称为“液晶面板、液晶显示装置及其制造方法”的发明申请的分案申请。

技术领域

[0002] 本发明涉及一种液晶面板,尤其是涉及一种抑制在液晶面板的制造过程中的曝光次数的技术。

背景技术

[0003] 在横向电场方式的液晶面板中,在形成有薄膜晶体管的一方的基板上形成有像素电极和公共电极(对置电极)这两者。如国际公开第W001/018597号所公开的那样,在这种液晶面板中,存在如下类型:在除去取向膜以外的最上层形成有公共电极,在比公共电极靠下的层形成有像素电极、信号线等其它的导体层。根据该类型,能够由公共电极屏蔽由于施加到影像信号线(漏极布线)的电压产生的电场。其结果,能够得到如下优点:能够使掩盖电场影响的黑矩阵变小,能够提高像素的开口率等。

[0004] 液晶面板的基板一般通过光刻法进行制造。在光刻法中,在绝缘膜或导体膜上通过曝光工序而对抗蚀膜进行图案形成,将该抗蚀膜作为掩模对绝缘膜等进行蚀刻。

发明内容

[0005] 可是,曝光工序由于光掩模价格较高等,而需要昂贵的成本。因此,期望在液晶面板的制造过程中减少曝光次数。

[0006] 本发明是鉴于上述问题而完成的,其目的在于,在一方的基板上形成像素电极和公共电极且在比公共电极低的层上形成有像素电极、信号线等的液晶面板、液晶显示装置及其制造方法中,减少制造所需的曝光的次数。

[0007] 用于解决上述问题的本发明所涉及的液晶面板,其具有夹持液晶的两个基板。在一方的基板上形成有薄膜晶体管、由透明导电材料形成的像素电极以及由透明导电材料形成的公共电极。上述像素电极、上述薄膜晶体管、以及与上述薄膜晶体管相连接的布线位于比上述公共电极低的层。并且,与上述薄膜晶体管相连接的栅极布线具有包含下布线和上布线的两层结构,该下布线由与上述像素电极相同的材料形成,并且位于与上述像素电极相同的层,该上布线层叠在该下布线上,由导电率高于上述透明导电材料的材料形成。

[0008] 另外,为了解决上述问题,本发明所涉及的液晶显示装置具备上述液晶面板。

[0009] 根据本发明,在形成栅极布线和像素电极的工序中,能够利用多灰阶掩模对抗蚀膜进行曝光。其结果,能够通过一次曝光工序形成栅极布线和像素电极这双方,从而能够减少曝光工序的次数。

[0010] 另外,在本发明的一个方式中,也可以构成为上述薄膜晶体管包含形成在覆盖上述栅极布线和上述像素电极的第一绝缘膜的上侧的电极,上述公共电极形成在被形成于上述第一绝缘膜上的第二绝缘膜上。并且,也可以在与上述公共电极相同的层上形成连结导

体,该连结导体由与该公共电极相同的材料形成,并且通过接触孔与上述薄膜晶体管的上述电极和上述像素电极相连接。根据该方式,无需增加曝光工序的次数,就能够形成连结导体。在该方式中,也可以构成为上述薄膜晶体管的上述电极的一部分位于上述像素电极的上方,上述电极的上述一部分和上述像素电极的一部分位于上述接触孔的内侧,上述连结导体在上述接触孔中与上述电极的上述一部分和上述像素电极的上述一部分相连接。通过这样能够使连结导体变小,因此能够提高像素的开口率。

[0011] 另外,在本发明的一个方式中,也可以在比上述公共电极低的层上形成通过接触孔与该公共电极相连接的辅助公共布线。并且,上述辅助公共布线也可以具有包含下辅助布线和上辅助布线的两层结构,该下辅助布线位于与上述像素电极和上述下布线相同的层,并且由与上述像素电极相同的材料形成,该上辅助布线由与上述上布线相同的材料形成,层叠在上述下辅助布线上。根据该方式,通过辅助公共布线能够降低公共电极的电阻。另外,无需增加曝光工序的次数,就能够形成辅助公共布线。

[0012] 另外,在本发明的一个方式中,也可以在上述公共电极上形成由具有高于该公共电极的材料的导电率的材料形成的辅助公共布线。根据该方式,通过辅助公共布线能够降低公共电极的电阻。另外,无需增加曝光工序的次数,就能够形成辅助公共布线。

[0013] 另外,在本发明的一个方式中,也可以在比上述公共电极低的层上形成与上述薄膜晶体管相连接且被施加影像信号的漏极布线。并且,也可以在与上述漏极布线相同的层上形成由具有高于上述公共电极的导电率的材料形成且通过接触孔与上述公共电极相连接的辅助公共布线。根据该方式,能够降低公共电极的电阻。

[0014] 另外,在该方式中,也可以构成为上述薄膜晶体管包含由半导体层形成的沟道部,上述漏极布线和上述辅助公共布线具有包含上述半导体层和层叠在上述半导体层上的导体层的两层结构。通过这样,能够在形成沟道部、漏极布线以及辅助公共布线的工序中,利用多灰阶掩模对抗蚀膜进行曝光。其结果,能够通过一次曝光工序形成沟道部、漏极布线以及辅助公共布线,从而能够减少曝光工序的次数。

[0015] 另外,在本发明的一个方式中,上述公共电极也可以形成为其一部分位于与上述薄膜晶体管相连接、并且被施加影像信号的漏极布线的上方。根据该方式,能够通过公共电极屏蔽由漏极布线产生的电场。

[0016] 另外,在该方式中,也可以在上述公共电极的上述一部分与上述漏极布线之间形成第二绝缘膜和由介电常数低于上述第二绝缘膜的材料形成的附加绝缘部。这样能够降低漏极布线与公共电极之间的电容。

[0017] 在该方式中,上述附加绝缘部还可以由通过对上述第二绝缘膜的蚀刻处理而能够作为抗蚀膜发挥功能的材料形成。通过这样,无需曝光工序的次数,就能够形成附加绝缘部。

[0018] 为了解决上述问题,本发明所涉及的液晶面板的制造方法包括以下工序:在用于形成上述像素电极的透明导电膜上层叠导电率高于上述透明导电膜的导体膜的工序;在上述导体膜上形成抗蚀膜的工序;对上述抗蚀膜进行图案形成的工序,该工序通过利用多灰阶掩模的曝光来形成与上述像素电极相对应地形成图案的第一抗蚀膜、以及与上述薄膜晶体管所连接的栅极布线相对应地形成图案且比上述第一抗蚀膜厚的第二抗蚀膜;以及利用上述第一抗蚀膜和上述第二抗蚀膜,由上述透明导电膜形成上述像素电极,并且由上述透

明导电膜和上述导体膜形成上述栅极布线的工序。

[0019] 根据本发明,通过一次曝光工序能够形成栅极布线和像素电极这双方,能够减少曝光工序的次数。

[0020] 另外,在本发明的一个方式中,还可以包括以下工序:形成覆盖上述像素电极和上述栅极布线的第二绝缘膜的工序;在上述第二绝缘膜的上侧形成构成上述薄膜晶体管的电极的工序;在上述第二绝缘膜的上侧层叠第三绝缘膜来覆盖上述薄膜晶体管的上述电极的工序;在上述第三绝缘膜上形成透明导电膜的工序;以及由上述透明导电膜形成通过接触孔与上述像素电极和上述薄膜晶体管的上述电极相连接的连结导体及上述公共电极的工序。根据该方式,无需增加曝光工序的次数,就能够形成连结导体。

[0021] 另外,在本发明的一个方式中,上述第二抗蚀膜除了与上述栅极布线相对应地被图案形成以外,还可以与用于和上述公共电极连接的辅助公共布线相对应地被图案形成。根据该方式,无需增加曝光工序的次数,就能够形成辅助公共布线。

[0022] 另外,在本发明的一个方式中,还可以包括以下工序:在用于形成上述公共电极的透明导电膜上层叠导电率高于该透明导电膜的导体膜的工序;在上述导体膜上形成抗蚀膜的工序;对上述抗蚀膜进行图案形成的工序,该工序通过利用多灰阶掩模的曝光形成与上述公共电极相对应地形成图案的第三抗蚀膜、以及与形成在上述公共电极上的辅助公共布线相对应地形成图案且比上述第三抗蚀膜厚的第四抗蚀膜;以及利用上述第三抗蚀膜和上述第四抗蚀膜,由上述透明导电膜形成上述公共电极,并且由上述导体膜形成上述辅助公共布线的工序。根据该方式,无需增加曝光工序的次数,就能够形成辅助公共布线。

[0023] 另外,在本发明的一个方式中,还可以包括以下工序:在用于形成上述薄膜晶体管的沟道部的半导体层上层叠导体膜的工序;在上述导体膜上形成抗蚀膜的工序;对上述抗蚀膜进行图案形成的工序,该工序通过利用多灰阶掩模的曝光来形成与上述沟道部相对应地形成图案的第五抗蚀膜、以及与连接在上述薄膜晶体管上的漏极布线和沿上述漏极布线形成的辅助公共布线相对应地形成图案且比上述第五抗蚀膜厚的第六抗蚀膜;以及利用上述第五抗蚀膜和上述第六抗蚀膜,由上述半导体层形成上述沟道部,并且由上述半导体层和上述导体膜形成上述漏极布线和上述辅助公共布线的工序。根据该方式,无需增加曝光工序的次数,就能够形成辅助公共布线。

[0024] 在本发明的一个方式中,还可以包含以下工序:形成覆盖与上述薄膜晶体管相连接的上述栅极布线和上述像素电极的第一绝缘膜的工序;在上述第一绝缘膜的上侧形成第二绝缘膜的工序;在上述第二绝缘膜上形成具有低于上述第二绝缘膜的介电常数的抗蚀膜的工序;对上述抗蚀膜进行图案形成的工序,该工序通过利用多灰阶掩模的曝光形成在上述漏极布线的上方具有比其它部分厚的部分的抗蚀膜;除了上述抗蚀膜的上述较厚的部分以外,去除该抗蚀膜的工序;以及上述抗蚀膜的上述较厚的部分上和上述第二绝缘膜上形成上述公共电极的工序。根据该方式,无需增加曝光工序的次数,就能够在公共电极与漏极布线之间形成介电常数较低的绝缘部。

附图说明

[0025] 图1是本发明的一个实施方式所涉及的液晶面板的分解立体图。

[0026] 图2是形成在构成上述液晶面板的一方的透明基板上的像素的俯视图。

- [0027] 图3是将图2所示的III-III线设为切割面的上述液晶面板的截面图。
- [0028] 图4是将图2所示的IV-IV线设为切割面的上述液晶面板的截面图。
- [0029] 图5是用于说明第一基板的制造工序中的第一曝光工序的图。
- [0030] 图6是用于说明上述第一基板的制造工序中的第二曝光工序的图。
- [0031] 图7是用于说明上述第一基板的制造工序中的第三曝光工序的图。
- [0032] 图8是用于说明上述第三曝光工序的图。
- [0033] 图9是用于说明上述第三曝光工序的图。
- [0034] 图10是用于说明上述第一基板的制造工序中的第四曝光工序的图。
- [0035] 图11是图3所示的源电极与像素电极的连接结构的另一例。
- [0036] 图12是本发明的第二实施方式所涉及的液晶面板所具备的第一基板的俯视图。
- [0037] 图13是图12所示的第一基板的截面图。该图将用图12的XIII-XIII线表示的面设为切割面。
- [0038] 图14是图12所示的第一基板的截面图。该图将用图12的XIV-XIV线表示的面设为切割面。
- [0039] 图15是本发明的第三实施方式所涉及的液晶面板所具备的第一基板的俯视图。
- [0040] 图16是图15所示的第一基板的截面图。该图将用图15的XVI-XVI线表示的面设为切割面。
- [0041] 图17是图15所示的第一基板的截面图。该图将用图15的XVII-XVII线表示的面设为切割面。
- [0042] 图18A是表示第三实施方式所涉及的第一基板的制造工序的图。
- [0043] 图18B是表示第三实施方式所涉及的第一基板的制造工序的图。
- [0044] 图18C是表示第三实施方式所涉及的第一基板的制造工序的图。
- [0045] 图18D是表示第三实施方式所涉及的第一基板的制造工序的图。
- [0046] 图19是本发明的第四实施方式所涉及的液晶面板所具备的第一基板的俯视图。
- [0047] 图20是图19所示的第一基板的截面图,该图将用图19的XX-XX线表示的面设为切割面。
- [0048] 图21是图19所示的第一基板的截面图,该图将用图19的XXI-XXI线表示的面设为切割面。
- [0049] 图22是本发明的第五实施方式所涉及的液晶面板的截面图。该图将与用图2的III-III线表示的切割面相同的面设为切割面。
- [0050] 图23是上述第五实施方式所涉及的液晶面板的截面图。该图将与用图2的IV-IV线表示的切割面相同的面设为切割面。
- [0051] 图24是表示在上述第五实施方式中形成附加绝缘部的工序的图。

具体实施方式

[0052] 以下、参照附图详细说明本发明的一个实施方式。图1是发明的实施方式所涉及的液晶显示装置的分解立体图。

[0053] 如图1所示,液晶显示装置具有液晶面板10。另外,液晶显示装置具有夹持液晶面板10的外周边的上框架12和下框架14。液晶面板10被这些框架12、14支承。另外,液晶显示

装置具备背光单元(未图示)。背光单元配置在液晶面板10的背面侧,向该液晶面板10的背面照射光。

[0054] 图2是形成在构成液晶面板10的一方的透明基板16上的像素的俯视图。图3和图4是液晶面板10的截面图。图3是将图2所示的III-III线设为切割面的截面图,图4是将图2所示的IV-IV线设为切割面的截面图。

[0055] 如图3和图4所示,液晶面板10具有彼此相向的第一基板16和第二基板18。这两个基板是透明基板(例如玻璃基板)。第一基板16和第二基板18被配置成夹持液晶20。在第一基板16的与液晶20相反侧的面和第二基板18的与液晶20相反侧的面上以正交尼科尔偏光(crossed nicol)状态粘贴偏振板22。

[0056] 在第二基板18的液晶20侧的面上形成了黑色矩阵130。黑色矩阵130例如由黑颜料、含碳的树脂、金属铬、镍等遮光性高的材料形成。黑色矩阵130具有防止向形成在第一基板16上的后述的薄膜晶体管50的沟道部53照射光的功能。另外,在此说明的例子中,如图4所示,黑色矩阵130位于形成在第一基板16上的后述漏极布线52的上方,沿着该漏极布线52形成。

[0057] 在第二基板18的液晶20侧的面上还形成了滤色片100。滤色片100由多个颜色(例如红、绿、蓝三种颜色)的着色膜形成。

[0058] 另外,在第二基板18的液晶20侧形成有覆盖滤色片100的保护膜120。第二基板18的液晶20侧的表面被保护膜120保护。

[0059] 对第一基板16进行说明。此外,在下面的说明中,将朝向液晶20的方向设为上方。

[0060] 在第一基板16的液晶20侧的面(上侧的面)上如图2和图3所示那样形成有作为控制液晶20的驱动的开关而发挥功能的多个薄膜晶体管(下面为TFT)50。TFT 50具有由非晶硅、微晶硅等半导体层形成的沟道部53,以及夹持沟道部53彼此相对的漏电极52和源电极54。此外,在本实施方式中,将中间配置有沟道部53的两个电极52、54中的与后述的像素电极70连接的电极设为源电极54,将另一个电极52设为漏电极。

[0061] 如图2所示那样,在第一基板16上形成有与TFT 50相连接的多个栅极布线40。在本例中,漏电极52、源电极54、沟道部53位于栅极布线40的上方。因此,栅极布线40的一部分作为TFT 50的栅电极而发挥功能。对栅极布线40施加用于将TFT 50导通/截止的扫描信号(栅极电压)。

[0062] 如图4所示,在第一基板16上形成有与漏电极52相连接的多个漏极布线56。对漏极布线56施加影像信号(表示各像素的灰阶值的电压信号)。多个栅极布线40和多个漏极布线56形成成为格栅状。即,多个栅极布线40形成成为与各漏极布线56大致正交。由相邻的两个栅极布线40和相邻的两个漏极布线56包围的区域构成一个像素,在各像素上设置有TFT 50。

[0063] 液晶面板10是以横向电场方式(更具体地说是IPS(In Plane Switching:平板开关)方式)驱动液晶20的面板,在第一基板16上形成有像素电极70和与像素电极70对置的公共电极80这双方。这些像素电极70和公共电极80都由透明导电材料(例如氧化铟锡(ITO(indium tin oxide))、氧化铟锌)形成。

[0064] 通过漏极布线56和TFT 50对像素电极70施加影像信号。像素电极70在俯视观察时大致为矩形,其大小对应一个像素的大小。

[0065] 如图2所示,公共电极80包含公共布线82。在此说明的例子中,如图4所示那样公共布线82位于漏极布线56的上方,并且沿着漏极布线56形成。公共布线82连接公共电极80的与像素电极70对置的部分。由此,公共电极80整体形成大致相同的电位。

[0066] 在公共电极80的与像素电极70对置的部分上形成有多个狭缝。在图2所示的例子中,各狭缝在沿着漏极布线56的方向上是细长的。另外,各狭缝在其中间部弯曲,相对于中间部的一方侧(在图2中是上侧)的部分和另一方侧(在图2中是下侧)的部分相对于摩擦(rubbing)方向的角度不同。

[0067] 像素电极70、TFT 50以及与TFT 50相连接的布线(具体来说是栅极布线40和漏极布线56)相比公共电极80位于靠下的层(接近第一基板16的层)。在此说明的例子中,如图3所示,公共电极80形成在除取向膜(未图示)以外的最上层(最接近液晶20的层)。

[0068] 如图3所示,栅极布线40具有两层结构。即,栅极布线40具有下栅极布线40a和上栅极布线40b。下栅极布线40a由与像素电极70相同的透明导电材料形成,并且位于与像素电极70相同的层。即,像素电极70和下栅极布线40a都位于第一基板16上。上栅极布线40b层叠在下栅极布线40a上。下栅极布线40a图案形成为与上栅极布线40b相应的形状。并且,上栅极布线40b整体位于下栅极布线40a上,与下栅极布线40a相接触。根据这种栅极布线40的两层结构,能够实现后述的制造方法。

[0069] 上栅极布线40b由与下栅极布线40a、像素电极70的材料不同的材料形成。具体来说,上栅极布线40b由具有比形成像素电极70等的透明导电材料高的导电率的金属形成。例如上栅极布线40b由铜、钼、铝等形成。因此,能够减小栅极布线40整体的电阻。

[0070] 如图3所示,在栅极布线40和像素电极70的上侧形成有覆盖它们的栅极绝缘膜42。栅极绝缘膜42由半导体氧化物(氧化硅(SiO_2))、半导体氮化物(氮化硅(SiN_x))等无机材料形成。

[0071] 如图3所示,TFT 50的沟道部53、源电极54以及漏电极52形成在栅极绝缘膜42的上侧。在本例中,这些沟道部53等形成在栅极绝缘膜42上。

[0072] 如图4所示,与漏电极52相连接的漏极布线56也形成在栅极绝缘膜42的上侧。在此,漏极布线56位于与电极52、54相同的层,形成在栅极绝缘膜42上。

[0073] 如图3和图4所示,源电极54、漏电极52以及漏极布线56具有由用于形成沟道部53的半导体层60和层叠在半导体层60上的导体层(例如铜、钼、铝等金属层)构成的两层结构。即,半导体层60图案形成为与源电极54、漏电极52以及漏极布线56相对应的形状。并且,形成源电极54、漏电极52以及漏极布线56的整个导体层位于半导体层60上,与半导体层60相接触。

[0074] 如图3和图4所示,在沟道部53、源电极54、漏电极52以及漏极布线56的上侧形成有覆盖它们的保护绝缘膜44。保护绝缘膜44由半导体氧化物(氧化硅(SiO_2))、半导体氮化物(氮化硅(SiN_x))等无机材料形成。该保护绝缘膜44防止半导体层60的湿度污染。

[0075] 如图4所示,在保护绝缘膜44上形成有公共电极80。公共电极80形成为其一部分位于漏极布线56的上方(即,覆盖漏极布线56)。在本例中,公共电极80包含公共布线82。公共布线82位于漏极布线56的上方,俯视观察时与漏极布线56相重叠。尤其是在本例中,公共布线82的宽度大于漏极布线56的宽度。如上所述,对漏极布线56施加与各像素的灰阶值相应的影像信号。公共布线82具有屏蔽由于该影像信号的变化所引起的噪声电场的功能。其结

果,能够减小用于防止因噪声电场导致光透射的黑色矩阵的宽度。

[0076] 如图3所示,在与公共电极80相同的层上形成有助于将源电极54与像素电极70连接的连结导体(连结线)84。在本例中,连结导体84形成在保护绝缘膜44上,通过接触孔92、94与像素电极70和源电极54相连接。详细来说,在源电极54的上侧形成有贯通保护绝缘膜44的接触孔92。另外,在像素电极70的上侧形成有贯通栅极绝缘膜42和保护绝缘膜44的接触孔94。两个接触孔92、94分离配置。连结导体84架设在该接触孔92、94上,通过接触孔92、94与像素电极70和源电极54相行连接。其结果,像素电极70与源电极54电连接。连结导体84由与公共电极80相同的透明导电材料形成。

[0077] 如图2或图3所示,在像素电极70上形成有连接焊盘32。连接焊盘32位于接触孔94的下端,并且接触像素电极70。因此,连结导体84通过接触孔94和连接焊盘32与像素电极70相连接。连接焊盘32由具有比形成像素电极70、下栅极布线40a的透明导电材料高的导电率的材料形成。在本例中,连接焊盘32由与上栅极布线40b相同的材料(即,铜、钼等金属)形成。由此,接触孔94的下端与像素电极70的电连接的稳定性提高。另外,连接焊盘32位于与上栅极布线40b相同的层。因此,连接焊盘32如后述那样能够在与上栅极布线40b相同的工序中形成。此外,连接焊盘32的大小仅稍大于接触孔94的大小。

[0078] 在此,对第一基板16的制造方法进行说明。图5至图10是表示第一基板16的制造工序的图。此外,在本实施方式中,第一基板16经过四次曝光工序进行制造。图5是用于说明第一曝光工序的图,图6是用于说明第二曝光工序的图,图7至图9是用于说明第三曝光工序的图,图10是用于说明第四曝光工序的图。

[0079] 如图5的5A所示,首先,将用于形成像素电极70的透明导电膜(例如氧化铟锡、氧化铟锌等的膜)79和用于形成上述上栅极布线40b、连接焊盘32的导体膜49层叠在第一基板16上。例如,在第一基板16上通过溅射法、真空蒸镀法形成透明导电膜79,在透明导电膜79上形成具有比透明导电膜79高的导电率的导体膜49(例如铜、钼、铝等金属膜)。之后,在导体膜49上形成抗蚀膜99。

[0080] 接着,如图5B所示,经过利用了光掩模的曝光工序和显影工序来图案形成抗蚀膜99,在导体膜49上形成抗蚀剂99A、99B。在此,作为光掩模,利用半色调掩模(half-tone mask)、灰阶掩模等具有三个等级的透光率的多灰阶掩模。并且,形成厚度不同的两个抗蚀膜。具体来说,形成与像素电极70的形状相对应的图案的薄抗蚀膜99A以及与栅极布线40和连接焊盘32的形状相对应的比薄抗蚀膜99A厚的厚抗蚀膜99B。

[0081] 之后,利用薄抗蚀膜99A形成像素电极70,利用厚抗蚀膜99B形成栅极布线40和连接焊盘32。具体来说,首先将薄抗蚀膜99A和厚抗蚀膜99B这双方作为掩模,来蚀刻导体膜49和透明导电膜79。其结果,如图5的5C所示那样在薄抗蚀膜99A和厚抗蚀膜99B都未存在的区域去除导体膜49和透明导电膜79。之后,如5D所示那样剥离掉薄抗蚀膜99A。此时,由于厚抗蚀膜99B比薄抗蚀膜99A厚,因此以变薄的状态残留。接着,将残留的厚抗蚀膜99B作为掩模来蚀刻导体膜49,之后,将厚抗蚀膜99B完全剥离。其结果,如图5的5E所示,能够得到上述栅极布线40、连接焊盘32、以及像素电极70。即,像素电极70和下栅极布线40a由透明导电膜79形成,上栅极布线40b和连接焊盘32由导体膜49形成。

[0082] 接着,如图6所示,在栅极布线40、像素电极70以及连接焊盘32上形成覆盖它们的栅极绝缘膜42。栅极绝缘膜42例如能够通过等离子体化学气相沉积法形成。

[0083] 之后,在栅极绝缘膜42上形成TFT 50的沟道部53、源电极54、漏电极52以及漏极布线56。在本实施方式中,为了通过一次曝光工序形成这些部件,在形成这些部件时也利用多灰阶掩模。

[0084] 具体来说,在栅极绝缘膜42上通过等离子体化学气相沉积法或者溅射法使半导体层60、欧姆层(未图示)以及用于形成源电极54等的导体膜层叠。接着,在导体膜上形成抗蚀膜。然后,与图5的5C所示的方法同样地利用多灰阶掩模,图案形成抗蚀膜。即,在导体膜上形成与沟道部对应的薄抗蚀膜、以及与源电极54、漏电极52及漏极布线56对应的厚抗蚀膜。然后,利用这些厚度不同的两个抗蚀图案来形成沟道部53、源电极54、漏电极52以及漏极布线56。

[0085] 接着,如图7的7A所示,通过覆盖TFT 50来在栅极绝缘膜42上形成保护绝缘膜44。之后,在保护绝缘膜44上层叠抗蚀膜98。与栅极绝缘膜42的形成同样地,保护绝缘膜44的形成能够利用例如等离子体化学气相沉积法。

[0086] 接着,如7B和7C所示那样形成贯通于保护绝缘膜44的接触孔92和贯通于栅极绝缘膜42和保护绝缘膜44的接触孔94。具体来说,经过曝光工序和显影工序来图案形成抗蚀膜98。即,在抗蚀膜98上形成与接触孔92和接触孔94相对应的图案(孔98a、98b)(参照7B)。接着,将该图案形成的抗蚀膜98作为掩模,来蚀刻保护绝缘膜44和栅极绝缘膜42,之后将抗蚀膜98剥离。由此能够得到接触孔92、94(参照7C)。

[0087] 上述栅极布线40的端子部和漏极布线56的端子部设置在第一基板16的外周部。在第一基板16的外周部中,在栅极绝缘膜42和保护绝缘膜44上形成开口,栅极布线40的端子部通过该开口与对该栅极布线40施加扫描信号的驱动电路相连接。另外,漏极布线56的端子部通过该开口与对该漏极布线56施加影像信号的驱动电路相连接。用于栅极布线40的端子部与驱动电路的连接开口和用于漏极布线56的端子部与驱动电路的连接开口与图7的接触孔92、94的形成同时地形成。

[0088] 图8是栅极布线40的端子部处的截面图。图8的8A、8B、8C所示的截面分别对应图7的7A、7B、7C的阶段。另外,图9是漏极布线56的端子部处的截面图。图9的9A、9B、9C所示的截面分别对应图7的7A、7B、7C的阶段。

[0089] 如图8的8A所示,在栅极布线40的端子部上层叠有栅极绝缘膜42、保护绝缘膜44以及抗蚀膜98。另外,如图9的9A所示,漏极布线56形成在栅极绝缘膜42上,漏极布线56的端子部也被保护绝缘膜44和抗蚀膜98覆盖。

[0090] 接着,如图8的8B和图9的9B所示,经过曝光工序和显影工序,图案形成抗蚀膜98。即,在栅极布线40的端子部和漏极布线56的端子部的上方形成抗蚀膜98的开口98c、98d。然后,将该图案形成的抗蚀膜98作为掩模蚀刻保护绝缘膜44和栅极绝缘膜42。其结果,如8C和9C所示那样在栅极布线40的端子部和漏极布线56的端子部上形成开口43a、43b。这些端子部通过像这样形成的开口43a、43b来与驱动电路进行连接。具体来说,在后述的工序中,用于形成公共电极80的透明导电膜也被提供给这些开口43a、43b。其结果,各布线40、56的端子部通过被提供给这些开口43a、43b的透明导电膜来与驱动电路相连接。

[0091] 在蚀刻保护绝缘膜44和栅极绝缘膜42之后,在保护绝缘膜44上形成公共电极80和连结导体84。具体来说,如图10的10A所示那样在保护绝缘膜44上形成透明导电膜89。透明导电膜89的形成例如通过溅射法进行。然后,在透明导电膜89上涂覆抗蚀膜97,经过曝光工

序和显影工序,图案形成抗蚀膜97。即,将抗蚀膜97形成为与公共电极80和连结导体84相对应的图案。然后,将图案形成的抗蚀膜97作为掩模,来蚀刻透明导电膜89。其结果,如10B所示那样在保护绝缘膜44上形成公共电极80和连结导体84。此外,在该过程中,对上述的开口43a、43b也提供了透明导电膜,经过蚀刻处理等,仅在开口43a、43b的部分残留透明导电膜。以上就是第一基板16的制造方法的例子。

[0092] 在以上说明的液晶面板10中,栅极布线40具有包含下栅极布线40a和上栅极布线40b的两层结构,该下栅极布线40a由与像素电极70相同的材料形成且位于与像素电极70相同的层,该上栅极布线40b层叠在下栅极布线40a上,由导电率高于像素电极70的透明导电材料形成。因此,通过一次曝光工序能够形成栅极布线40和像素电极70这双方。

[0093] 特别地,在液晶面板10中,在与公共电极80相同的层上形成连结导体84,该连结导体84由与该公共电极80相同的材料形成且通过接触孔92、94与TFT 50的源电极54和像素电极70进行连接。由此,能够通过形成公共电极80相同的工序形成连结导体84。其结果,能够抑制为了连结导体84而增加制造工序。

[0094] 此外,在以上的例子中,连结导体84形成在保护绝缘膜44上,通过分开设置的接触孔92、94将源电极54和像素电极70进行了连接。然而,连结导体84也可以在一个接触孔中将源电极54和像素电极70进行连接。图11是表示源电极54与像素电极70的连接结构的另一例的截面图,其切割面与图3相同。此外,在图11中,与此前所说明的位置相同的部分附加相同的附图标记。

[0095] 在本例中,源电极54超过栅极布线40上的区域而朝向像素电极70延伸。源电极54的端部54'位于像素电极70的上方(在本例中,是连接焊盘32的上方),从俯视来看与连接焊盘32的一部分相重叠。在保护绝缘膜44和栅极绝缘膜42上形成有贯通于这些膜的接触孔94'。一个接触孔94'形成为使源电极54的端部54'和连接焊盘32的一部分露出。即,源电极54的端部54'和连接焊盘32的一部分位于接触孔94'的内侧。连结导体(连结电极)84'在接触孔94'中被连接在源电极54的端部54'和像素电极70(在本例中,是连接焊盘32)上。这样的连结导体84'与上述连结导体84相比长度较短,因此能够提高各像素的开口率。此外,连结导体84'也与连结导体84同样地由与公共电极80相同的材料形成。连结导体84'能够通过图10所示的工序与公共电极80同时形成。另外,源电极54'能够通过参照图6说明的工序与源电极54同样地形成。

[0096] [第二实施方式]

[0097] 图12是本发明的第二实施方式所涉及的液晶面板110所具备的第一基板的俯视图。图13和图14是本实施方式的液晶面板110的截面图,分别将用图12的XIII-XIII线和XIV-XIV线表示的面作为切割面。此外,在这些图中,对与以上说明的部分相同的部分附加相同的附图标记。

[0098] 在该方式中,由透明导电材料形成的公共电极180被形成在保护绝缘膜44上。在本例中,虽然也在公共电极180上形成了狭缝,但是其形状与上述的公共电极80不同。即,形成在公共电极180上的狭缝形成为从一方的公共布线182朝向另一方的公共布线182斜向延伸。多个狭缝被形成为夹持各像素的中心线C相对称。

[0099] 另外,本例的公共布线182如图13所示那样虽然沿着漏极布线56形成,但是没有被形成为覆盖漏极布线56。通过这样能够降低由漏极布线56和公共电极80形成的电容。其结

果,能够抑制由漏极布线56进行的影像信号的传送延迟。

[0100] 如图14所示,在比公共电极180低的层上形成有辅助公共布线183。辅助公共布线183形成在与上述的栅极布线40和像素电极70相同的层上。即,辅助公共布线183形成在第一基板16上。另外,辅助公共布线183沿着栅极布线40形成。换言之,辅助公共布线183与栅极布线40平行地形成。另外,辅助公共布线183靠近相邻的两个栅极布线40中的一方的栅极布线40。

[0101] 辅助公共布线183与上述的栅极布线40同样地具有两层结构。具体来说,辅助公共布线183包含下辅助布线183a和上辅助布线183b,该下辅助布线183a由与像素电极70、下栅极布线40a相同的透明导电材料形成,该上辅助布线183b层叠在下辅助布线183a上,由与上栅极布线40b相同的材料形成。即,上辅助布线183b由导电率高于透明导电材料的材料形成。

[0102] 辅助公共布线183与公共电极180电连接。由此,能够降低公共电极180的电阻。在本例中,如图14所示那样在栅极绝缘膜42和保护绝缘膜44上形成有接触孔195。辅助公共布线183通过该接触孔195与公共电极180电连接。

[0103] 这样的辅助公共布线183能够在图5所示的与像素电极70和栅极布线40相同的工序中形成。即,在使透明导电膜79、导体膜49以及抗蚀膜99层叠在第一基板16上之后(图5中的5A),利用多灰阶掩模来形成薄抗蚀膜99A和厚抗蚀膜99B,该薄抗蚀膜99A具有与栅极布线40和辅助公共布线183的形状相对应的图案,该厚抗蚀膜99B具有与像素电极70的形状相对应的图案。通过这样,无需增加曝光工序的次数,就能够形成辅助公共布线183。

[0104] 另外,接触孔195在图7所示的形成接触孔92、94的工序中形成。即,在保护绝缘膜44上形成具有与接触孔92、94、195相对应的图案的抗蚀膜(参照图7中的7B)。然后,在蚀刻保护绝缘膜44和栅极绝缘膜42之后,将该抗蚀膜剥离。由此,能够得到接触孔92、94、195。其它的工序与第一实施方式相同。

[0105] [第三实施方式]

[0106] 图15是本发明的第三实施方式所涉及的液晶面板210所具备的第一基板的俯视图。图16和图17是本实施方式的液晶面板210的截面图,分别将用图15的XVI-XVI线和XVII-XVII线表示的面作为切割面。此外,在这些图中对与以上说明的部分相同的部分附加相同的附图标记。

[0107] 如图15和图16所示,在公共电极180上形成有辅助公共布线283。辅助公共布线283由具有比形成公共电极80的透明导电材料高的导电率的材料形成。具体来说,辅助公共布线283由铜、钼、铝等金属形成。由此,能够降低公共电极80的电阻。

[0108] 另外,在本例中,辅助公共布线283沿着公共布线82形成,层叠在该公共布线82上。公共布线82如上所述那样被形成在由铜等金属形成的漏极布线56的上方。因此,通过形成辅助公共布线283能够抑制像素的开口率下降。

[0109] 如图17所示,在连结导体84上层叠有辅助连结导体284。辅助连结导体284由具有比形成公共电极80、连结导体84的透明导电材料高的导电率的材料形成。具体来说,辅助连结导体284与辅助公共布线283同样地由铜、钼、铝等金属形成。由此,能够降低连结导体84的电阻。

[0110] 说明第三实施方式所涉及的第一基板的制造方法。本方式的第一基板16的制造方

法与形成第一实施方式所涉及的液晶面板10的第一基板16的工序大致相同,不同点在于图10所示的第四曝光工序。图18A至图18D是表示第三实施方式所涉及的第一基板的制造中的第四曝光工序的图。在图18A至图18D中,(a)是将用图15的XVI-XVI线表示的面作为切割面的截面图,(b)是将用图15所示的XVII-XVII线表示的面作为切割面的截面图。

[0111] 在本方式中,在形成公共电极80、连结导体84时,也利用多灰阶掩模。由此,无需增加曝光工序的次数,就能够形成辅助连结导体284和辅助公共布线283。具体来说,如图18A所示,使透明导电膜89以及用于形成辅助公共布线283和辅助连结导体284的导体膜289层叠在保护绝缘膜44上,并且在导体膜289上形成抗蚀膜97。

[0112] 接着,如图18B所示,经过利用多灰阶掩模的曝光工序和显影工序来图案形成抗蚀膜97,在导体膜289上形成厚度不同的抗蚀膜97A、97B。即,形成具有与公共电极80的形状相对应的图案的薄抗蚀膜97A以及具有与辅助公共布线283和辅助连结导体284的形状相对应的图案的厚抗蚀膜97B。在此,厚抗蚀膜97B比薄抗蚀膜97A厚。

[0113] 接着,如图18C所示那样将薄抗蚀膜97A和厚抗蚀膜97B这双方作为掩模,来蚀刻导体膜289和透明导电膜89。之后,如图18D所示那样将薄抗蚀膜97A剥离。此时,厚抗蚀膜97B以变薄的状态残留。接着,将残留的厚抗蚀膜97B作为掩模来蚀刻导体膜289,之后将厚抗蚀膜97B完全剥离。由此,能够得到图15和图16所示的辅助公共布线283和辅助连结导体284。其它的工序与第一实施方式相同。

[0114] [第四实施方式]

[0115] 图19是本发明的第四实施方式所涉及的液晶面板310所具备的第一基板的俯视图。图20和图21是本实施方式的液晶面板310的截面图,分别将用图19的XX-XX线盒XXI-XXI线表示的面作为切割面。

[0116] 如图19和图20所示,在本方式中,在与漏极布线56相同的层上形成有辅助公共布线383。辅助公共布线383沿着漏极布线56形成。具体来说,辅助公共布线383与漏极布线56平行地形成,并且靠近相邻的两个漏极布线56中的一方的漏极布线56。

[0117] 如图20所示,公共布线382位于辅助公共布线383和漏极布线56的上方,并覆盖辅助公共布线383和漏极布线56。即,公共布线382沿着辅助公共布线383和漏极布线56形成,从俯视来看形成为与这些布线相重叠。

[0118] 如图21所示,辅助公共布线383通过形成于保护绝缘膜44的接触孔395与公共电极380相连接。在辅助公共布线383上设置有连接部383a,接触孔395形成在连接部383a上。在本例中,连接部383a从辅助公共布线383向沿着栅极布线40的方向突出,位于栅极布线40的上方。由此,能够抑制由于连接部383a而像素的开口率下降。此外,也可以不设置从辅助公共布线383突出的这种连接部383a。即,接触孔395也可以形成在辅助公共布线383上。

[0119] 辅助公共布线383与漏极布线56同样地也具有由半导体层60和层叠在半导体层60上的导体层构成的两层结构。即,在本方式中,半导体层60被图案形成为与源电极54、漏电极52、漏极布线56以及辅助公共布线383相对应的形状。

[0120] 这样的辅助公共布线383无需增加曝光工序的次数,就能够在形成漏极布线56的工序中形成。具体来说,首先,在参照图6说明的工序中,使半导体层60以及用于形成漏极布线56、辅助公共布线383等的导体膜层叠在栅极绝缘膜42上。接着,在该导体膜上形成抗蚀膜。然后,经过利用多灰阶掩模的曝光工序和显影工序来图案形成抗蚀膜。即,在导体膜上

形成与沟道部53对应的图案的薄抗蚀膜和厚抗蚀膜,该厚抗蚀膜具有与具有漏极布线56、辅助公共布线383等两层结构的部分对应的图案。然后,利用这些薄抗蚀膜和厚抗蚀膜,形成沟道部53、源电极54、漏电极52、漏极布线56以及辅助公共布线383。

[0121] 另外,接触孔395在图7所示的形成接触孔92、94的工序中形成。即,在保护绝缘膜44上形成具有与接触孔92、94、395相对应的图案的抗蚀膜(参照图7的7B)。然后,在蚀刻保护绝缘膜44和栅极绝缘膜42之后,将该图案形成的抗蚀膜剥离。由此,得到接触孔92、94、395。其它的工序与第一实施方式相同。

[0122] [第五实施方式]

[0123] 图22和图23是本发明的第五实施方式所涉及的液晶面板410的截面图。图22将与用图2的III-III线表示的切割面相同的面作为切割面。图23将与用图2的IV-IV线表示的切割面相同的面作为切割面。

[0124] 在该方式中,也与第一实施方式同样地,公共电极80被形成为其一部分位于漏极布线56的上方。具体来说,与公共电极80一体形成的公共布线82位于漏极布线56的上方。在该方式中,在公共布线82与漏极布线56之间形成有附加绝缘部445。附加绝缘部445沿着公共布线82、漏极布线56形成在保护绝缘膜44上。即,附加绝缘部445仅形成在公共布线82与漏极布线56之间,不形成在除此以外的区域上。由此,能够抑制由于附加绝缘部445而透光率下降。

[0125] 附加绝缘部445由介电常数比保护绝缘膜44低的材料形成。例如,在作为保护绝缘膜44使用SiO₂、SiN_x的情况下,对附加绝缘部445使用相对介电常数为4以下的有机材料。

[0126] 尤其是在本实施方式中,附加绝缘部445由通过对保护绝缘膜44的蚀刻处理而能够作为抗蚀膜发挥功能的材料(感光性丙烯酸树脂)形成。由此,无需增加曝光工序的次数,就能够在保护绝缘膜44上形成附加绝缘部445。

[0127] 图24是表示形成附加绝缘部445的工序的图。此外,该图中的用24A、24B、24C表示的工序分别对应图7的用7A、7B、7C表示的工序。在此,以与第一实施方式所涉及的制造工序不同的工序为中心进行说明。

[0128] 首先,在栅极绝缘膜42上层叠保护绝缘膜44和用于形成附加绝缘部445的抗蚀膜449来覆盖TFT 50。接着,如图24的24A所示那经过曝光工序和显影工序来图案形成抗蚀膜449。在该曝光工序中,将利用多灰阶掩模图案形成的厚度不同的两个抗蚀膜形成在保护绝缘膜44上。即,形成薄抗蚀膜449A和与附加绝缘部445对应的形状的厚抗蚀膜449B,该薄抗蚀膜449A具有接触孔92、94以及形成在栅极布线40、56的端子部上的开口43a、43b(参照图8至图9)。该厚抗蚀膜449B位于已经形成的漏极布线56的上方,并且沿着漏极布线56形成。

[0129] 接着,如24B所示那样蚀刻保护绝缘膜44和栅极绝缘膜42,来形成接触孔92、94以及端子部的开口43a、43b。接着,如24C所示那样将薄抗蚀膜449A剥离。此时,厚抗蚀膜449B由于接触到剥离液等而变薄。然后,残留的厚抗蚀膜449B形成为附加绝缘部445。之后,经过图10所示的工序,在附加绝缘部445上形成公共布线82。

[0130] 尽管已说明了目前被看作为本发明的特定实施例的这些实施例,但应当理解可以对这些实施例进行各种修改,并且意图是所附权利要求书涵盖所有这些修改而落入本发明的真实构思和范围内。

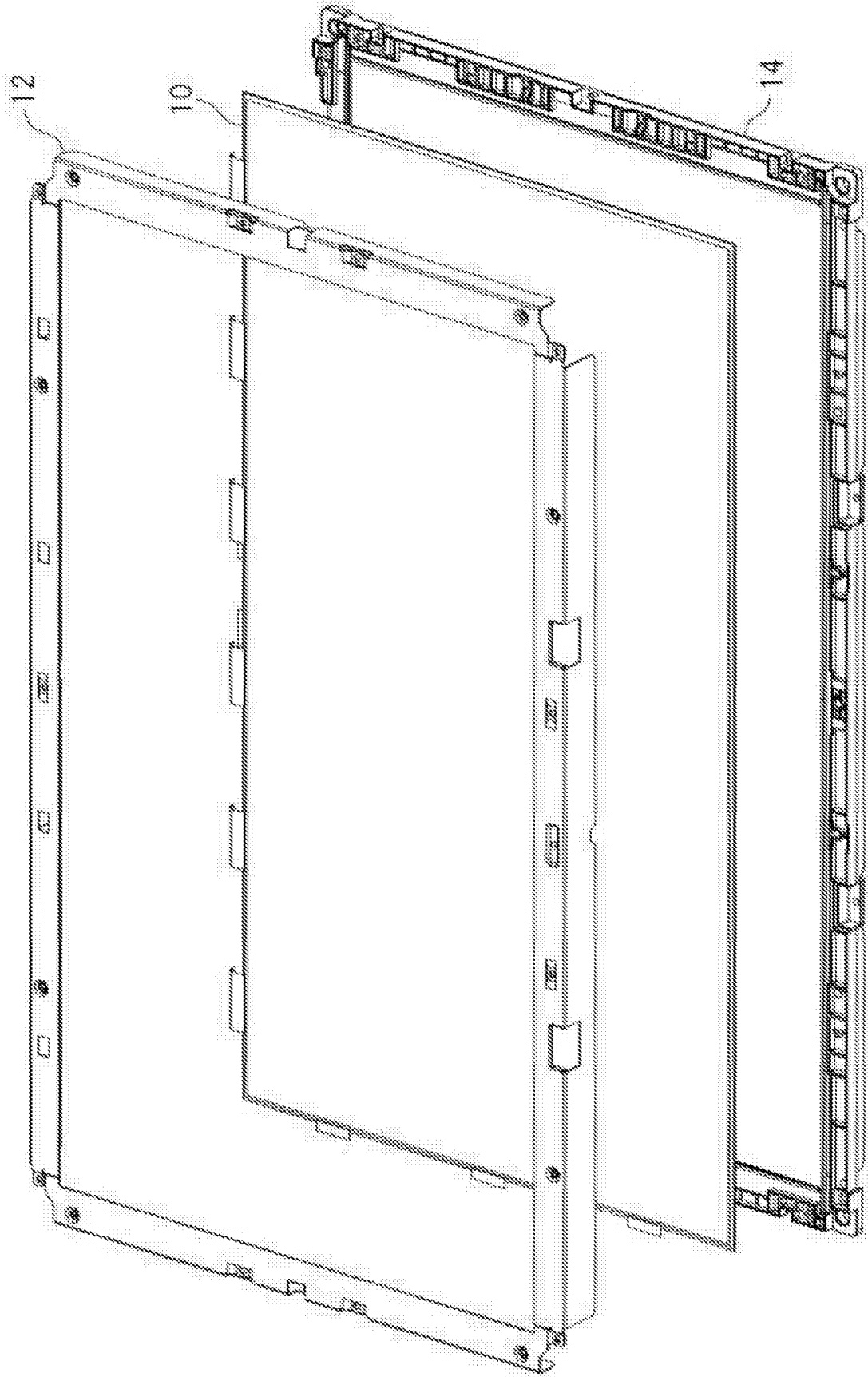


图1

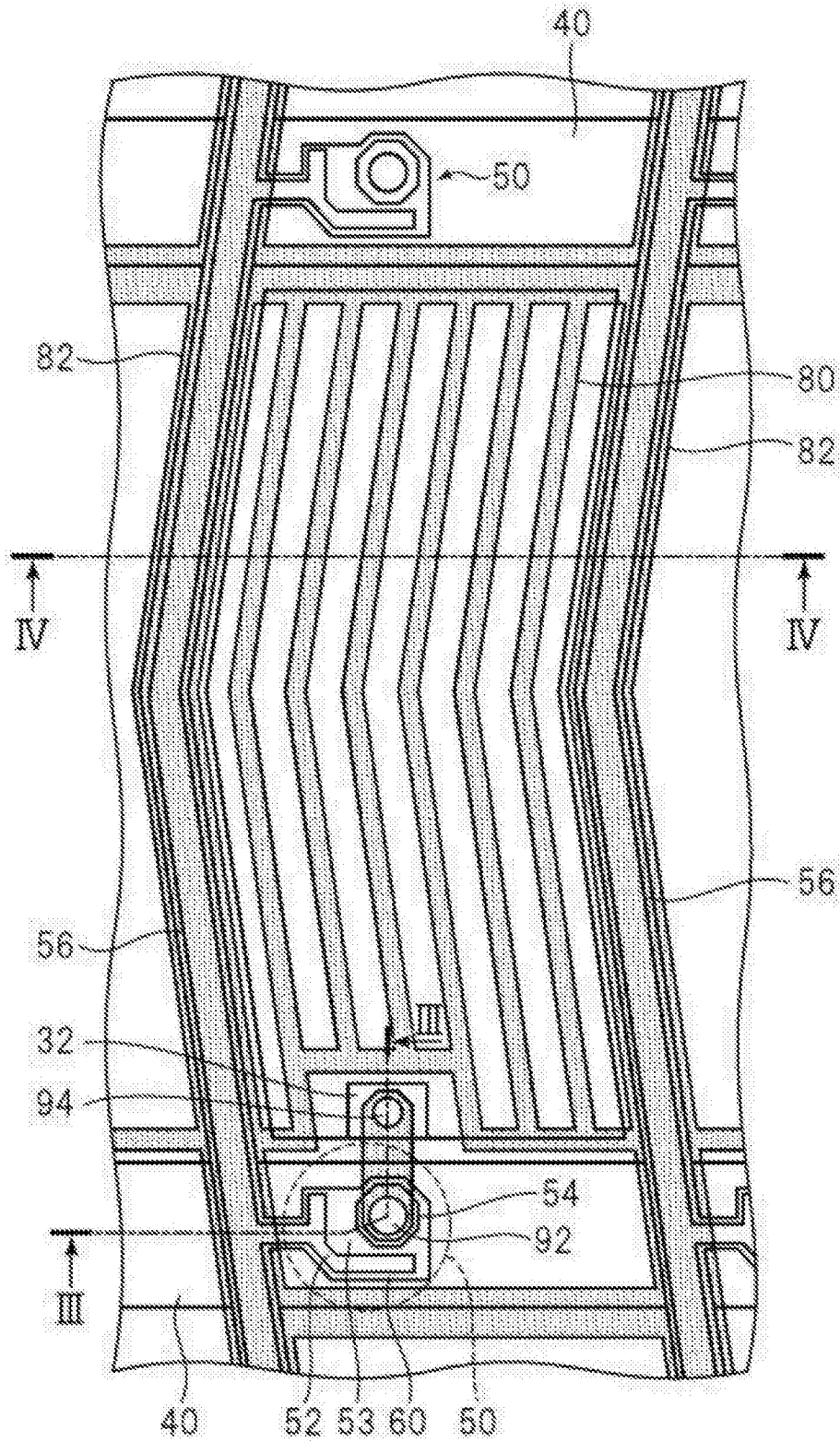


图2

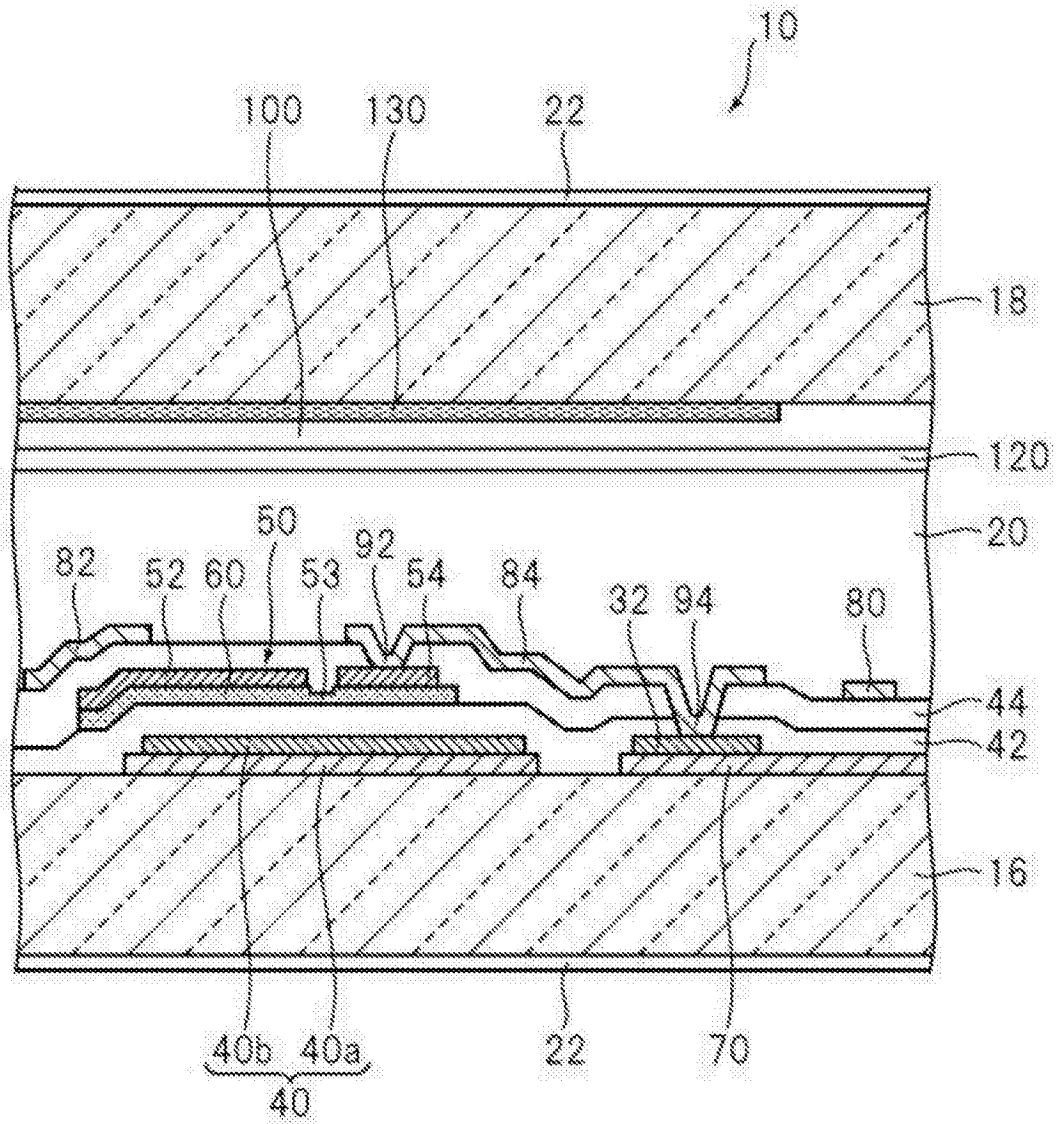


图3

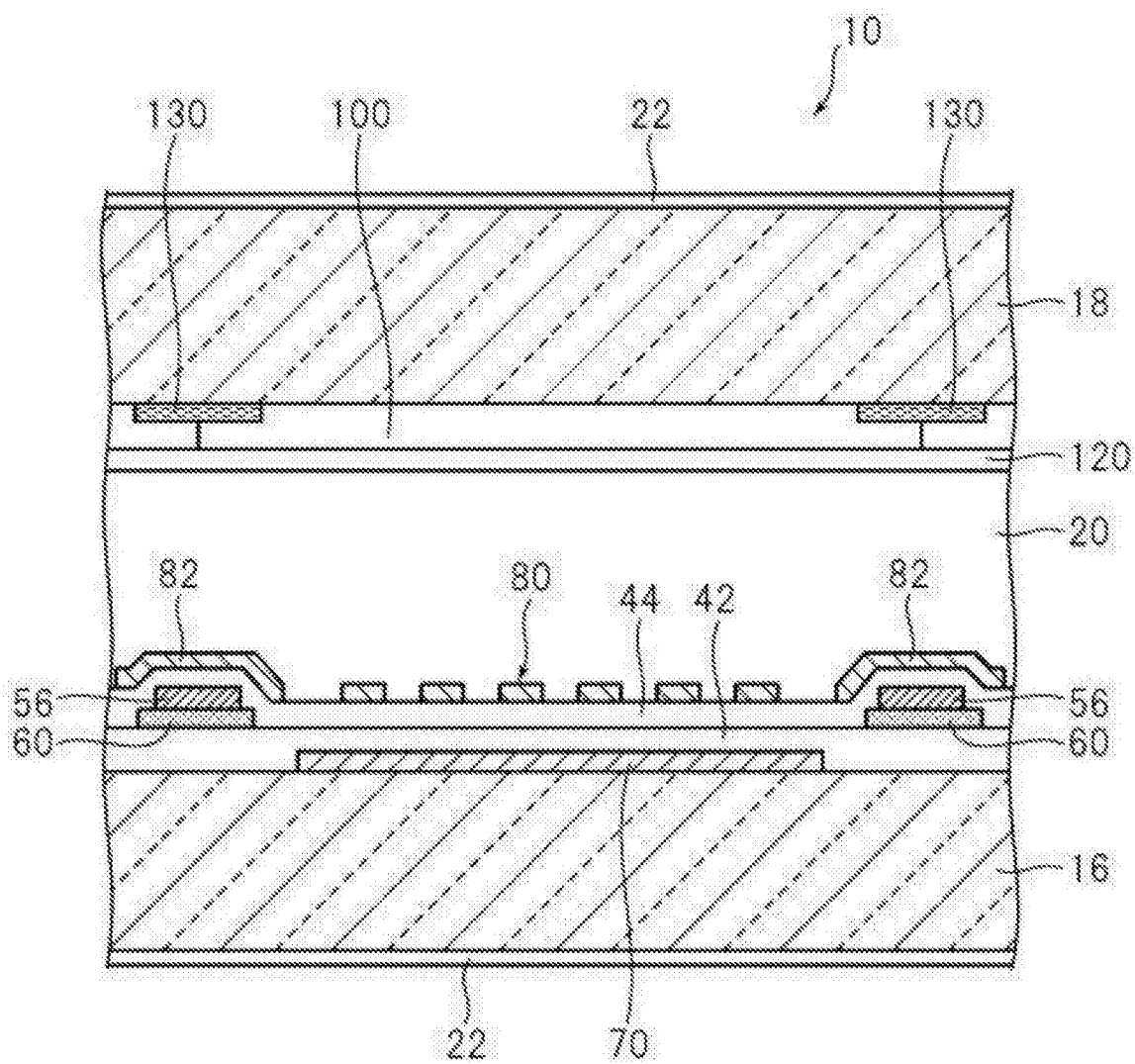


图4

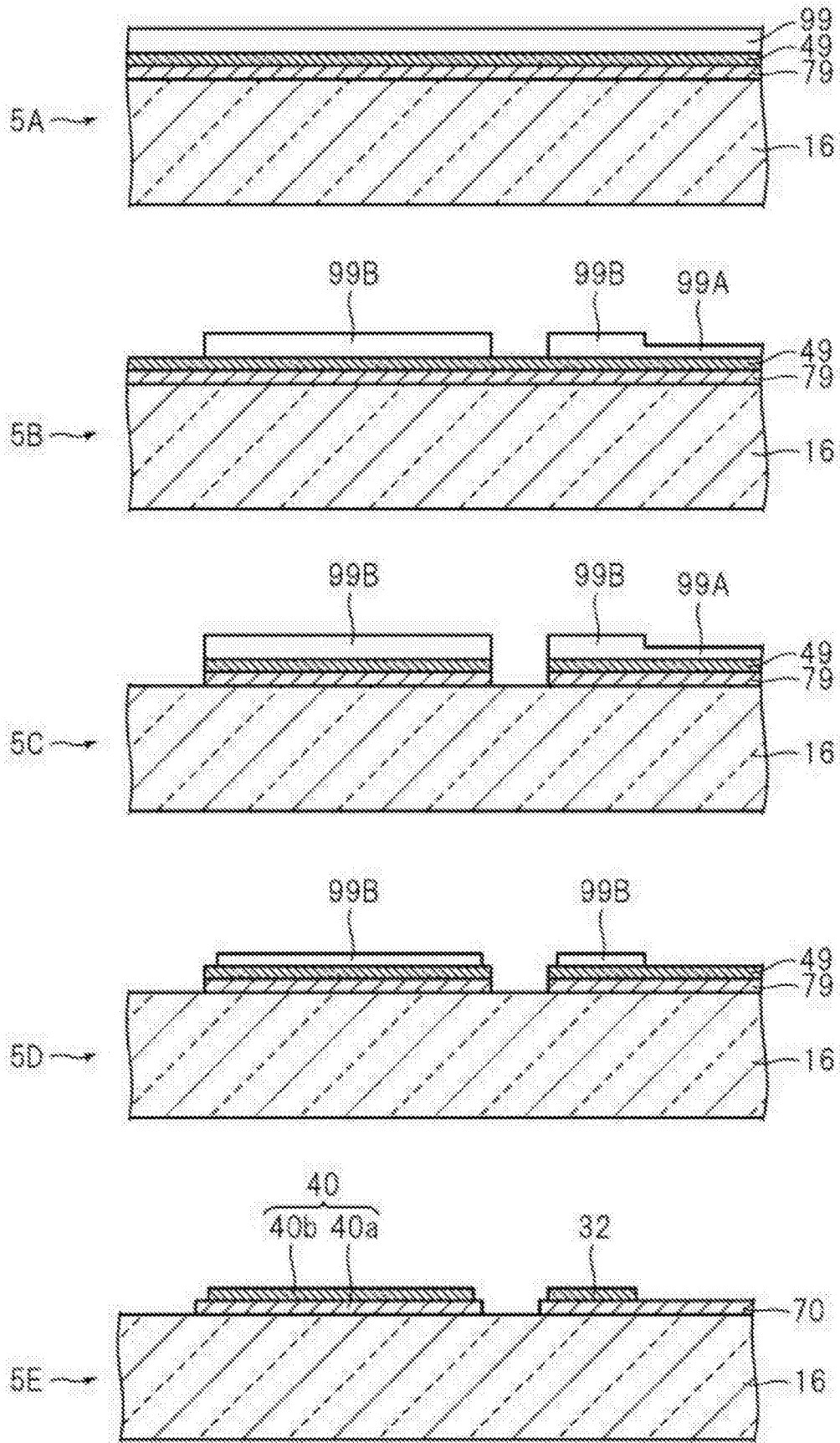


图5

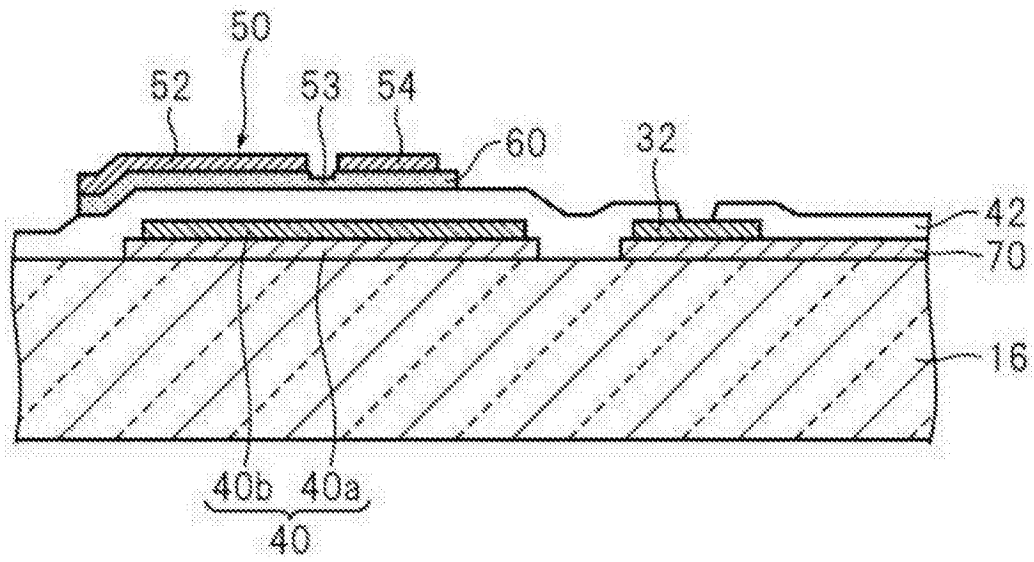


图6

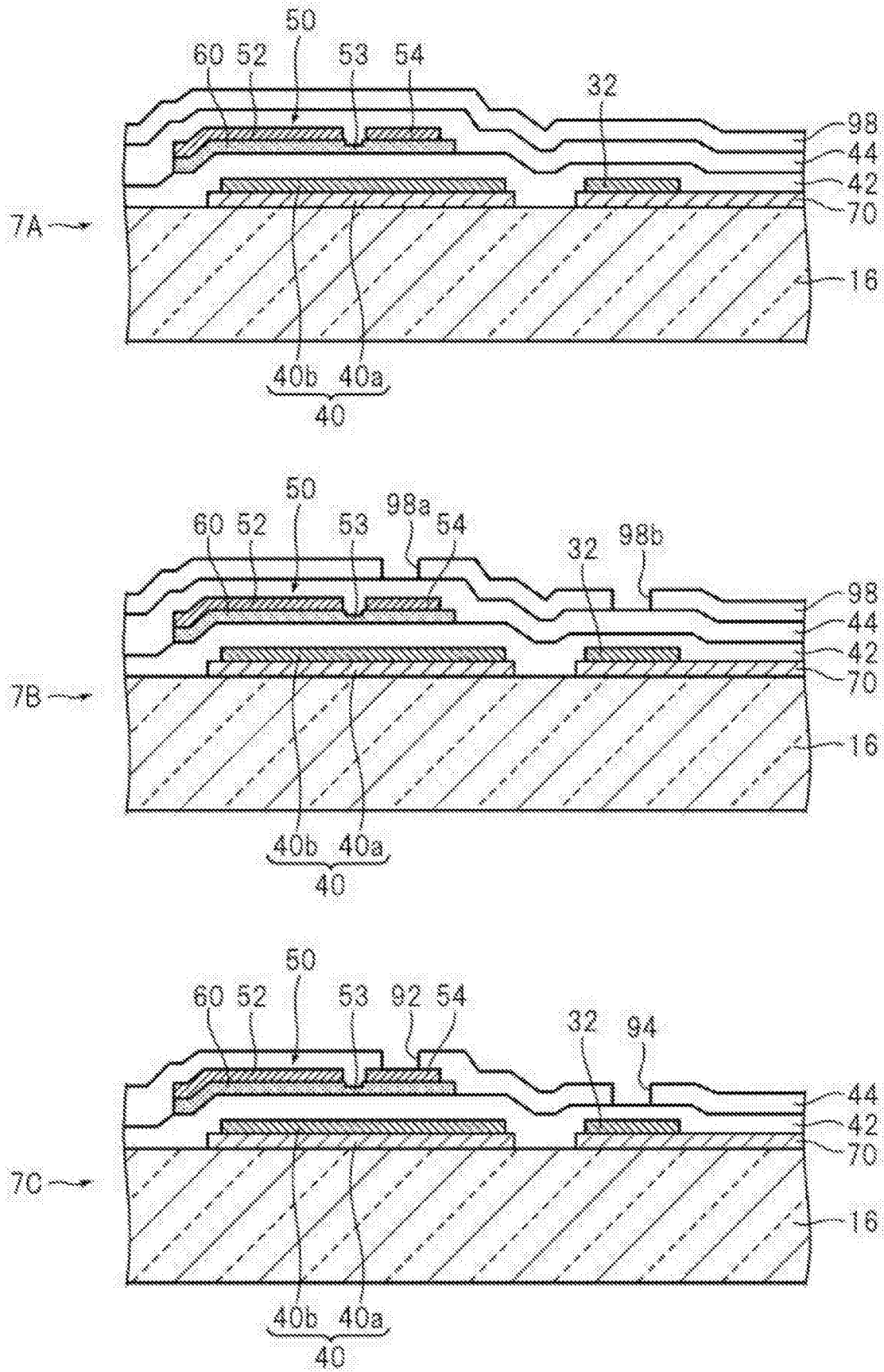


图7

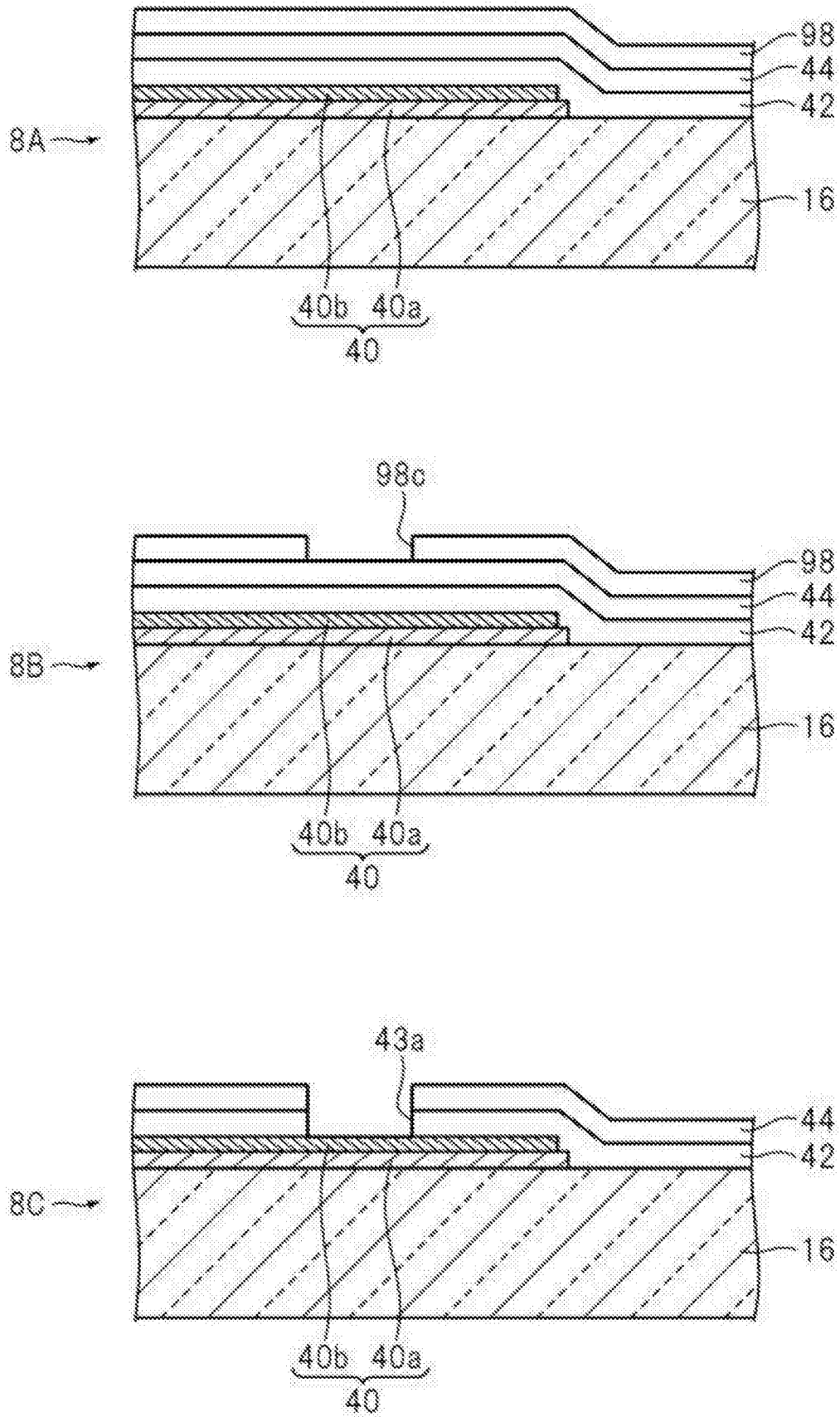


图8

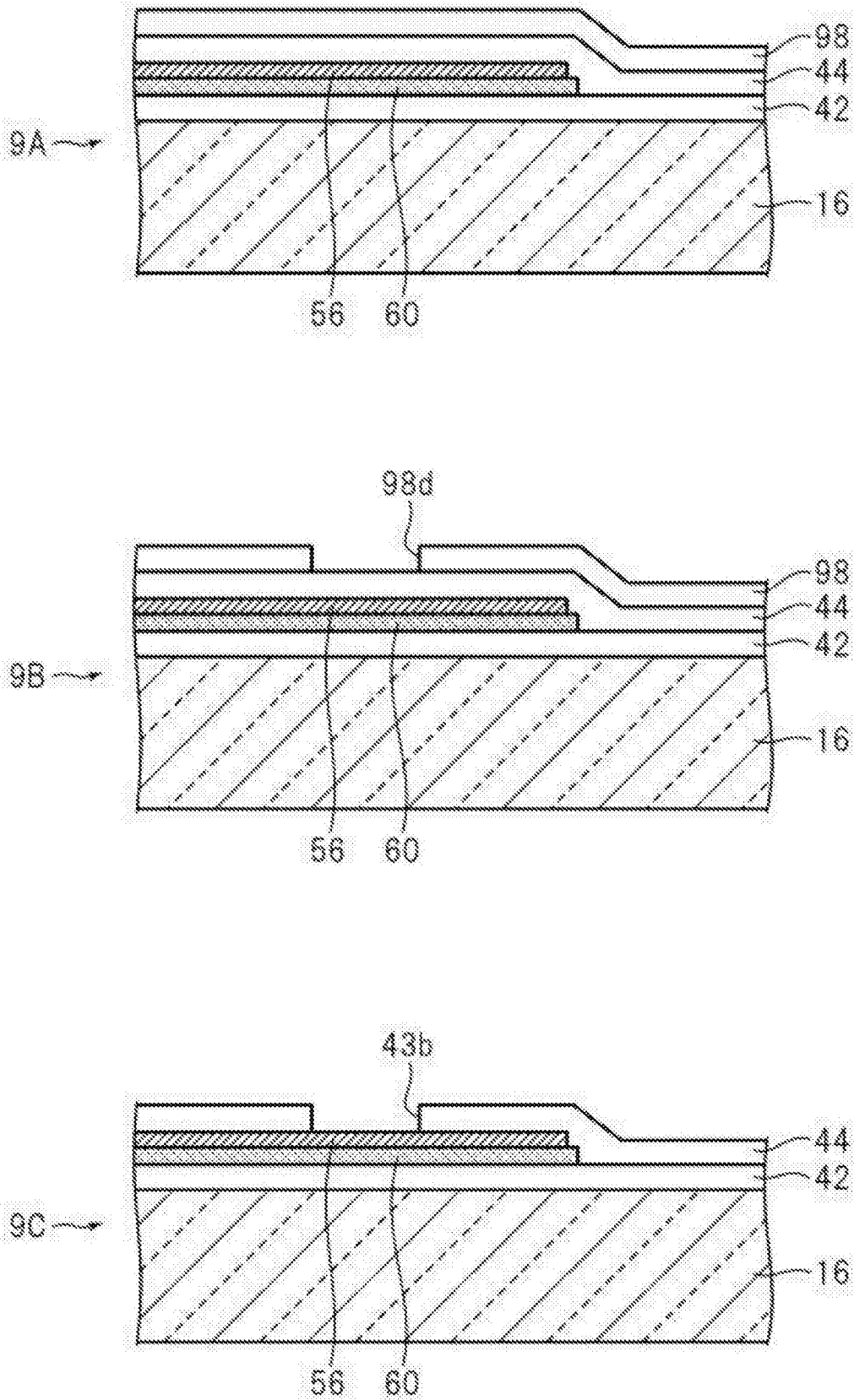


图9

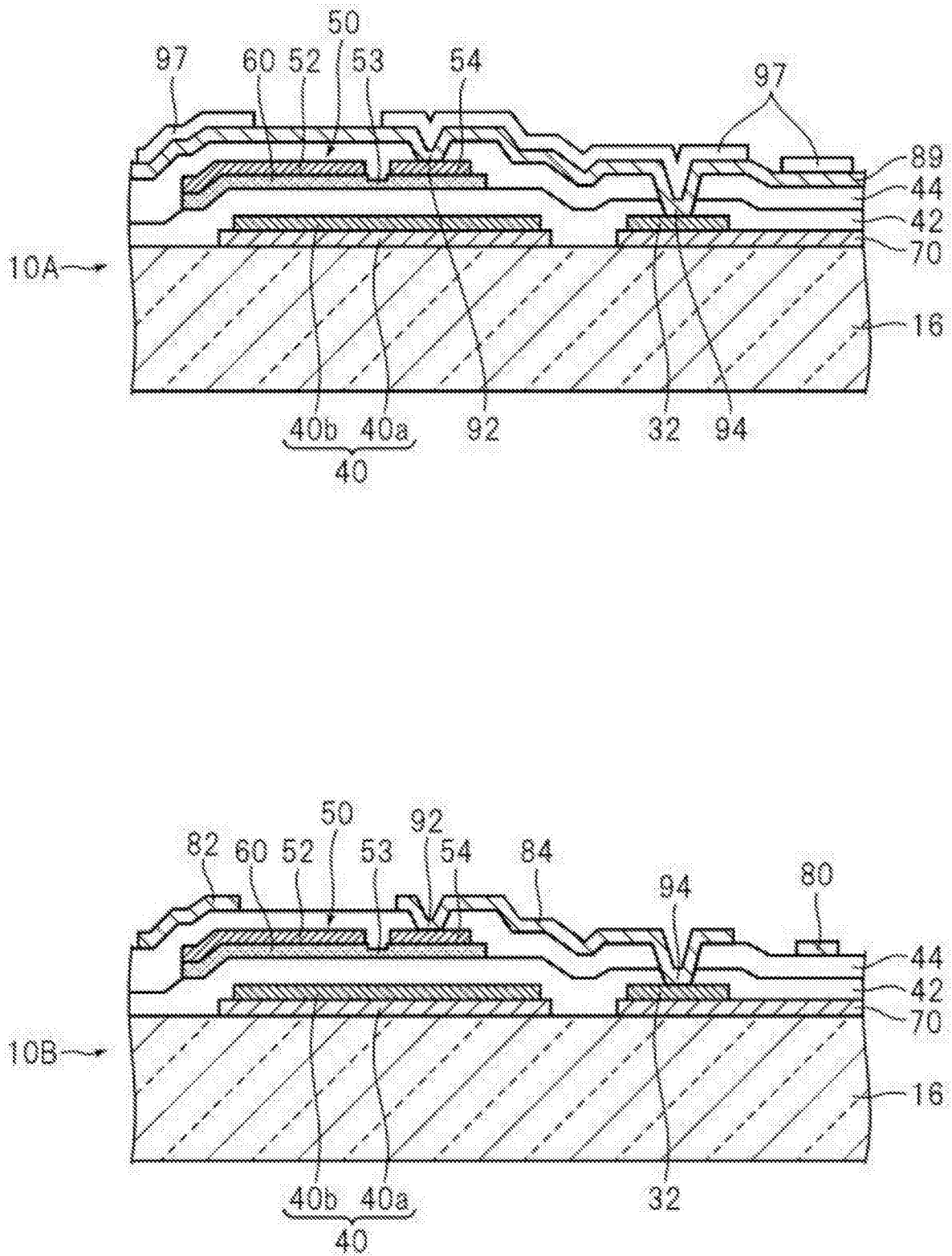


图10

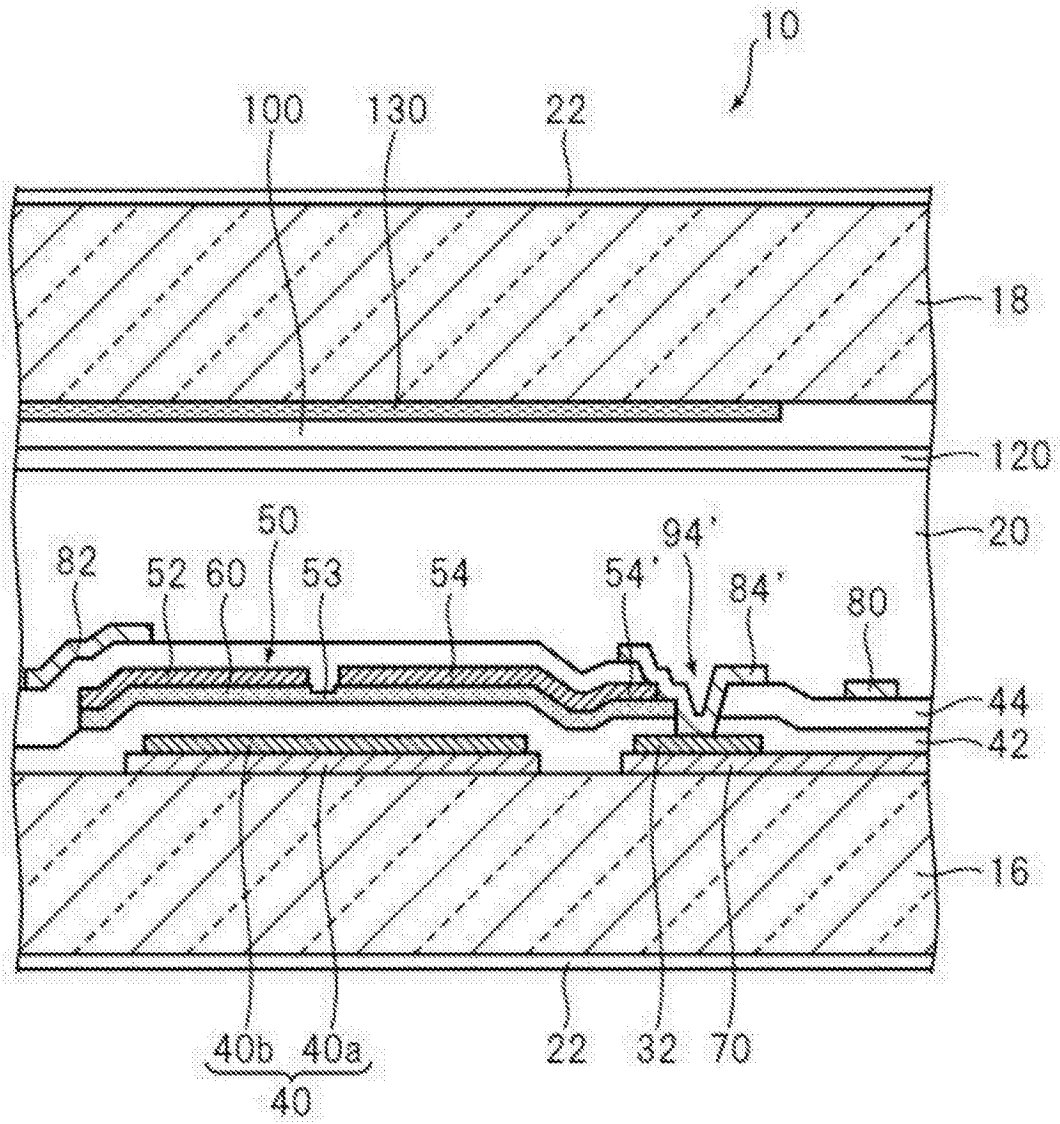


图11

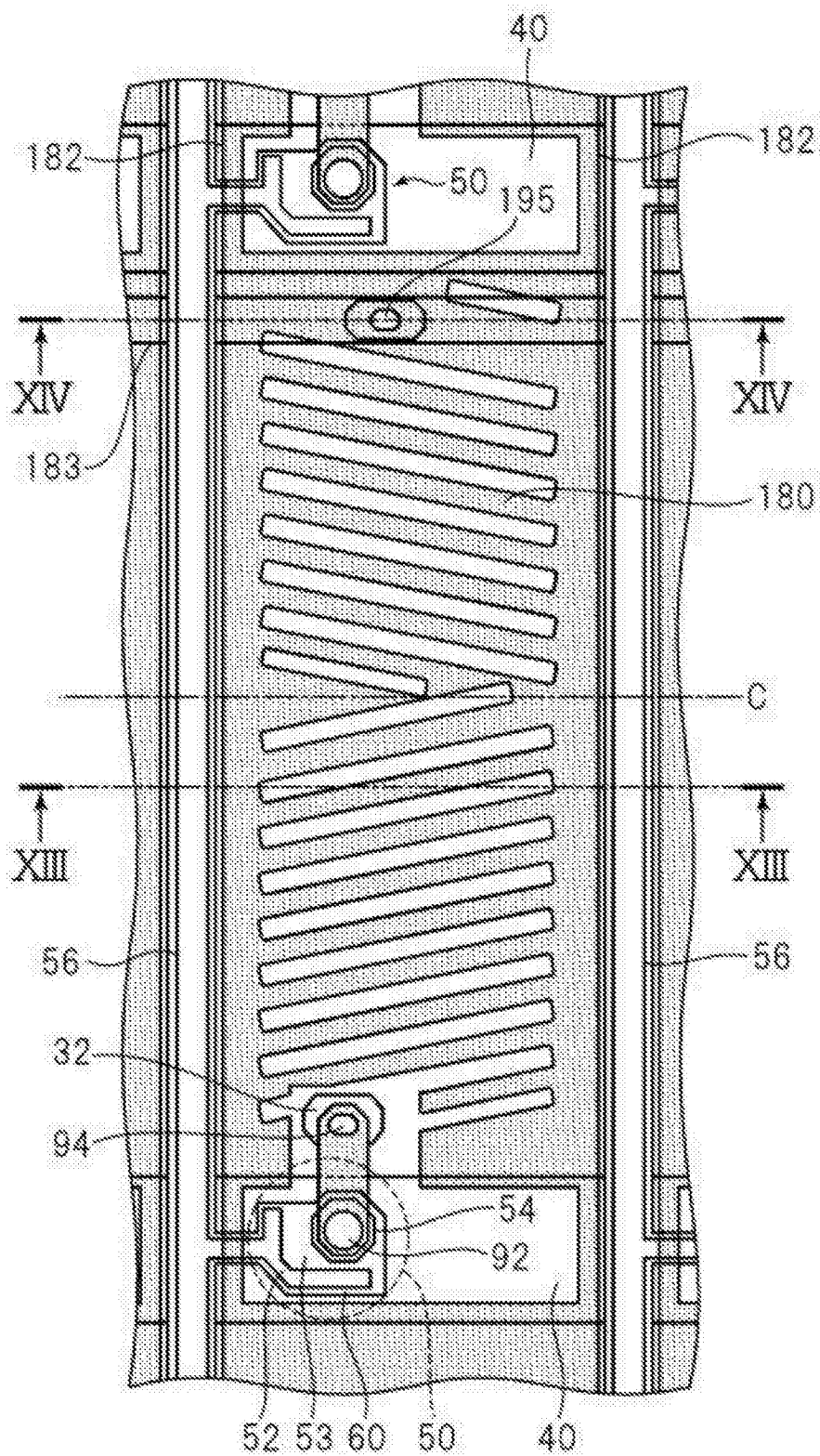


图12

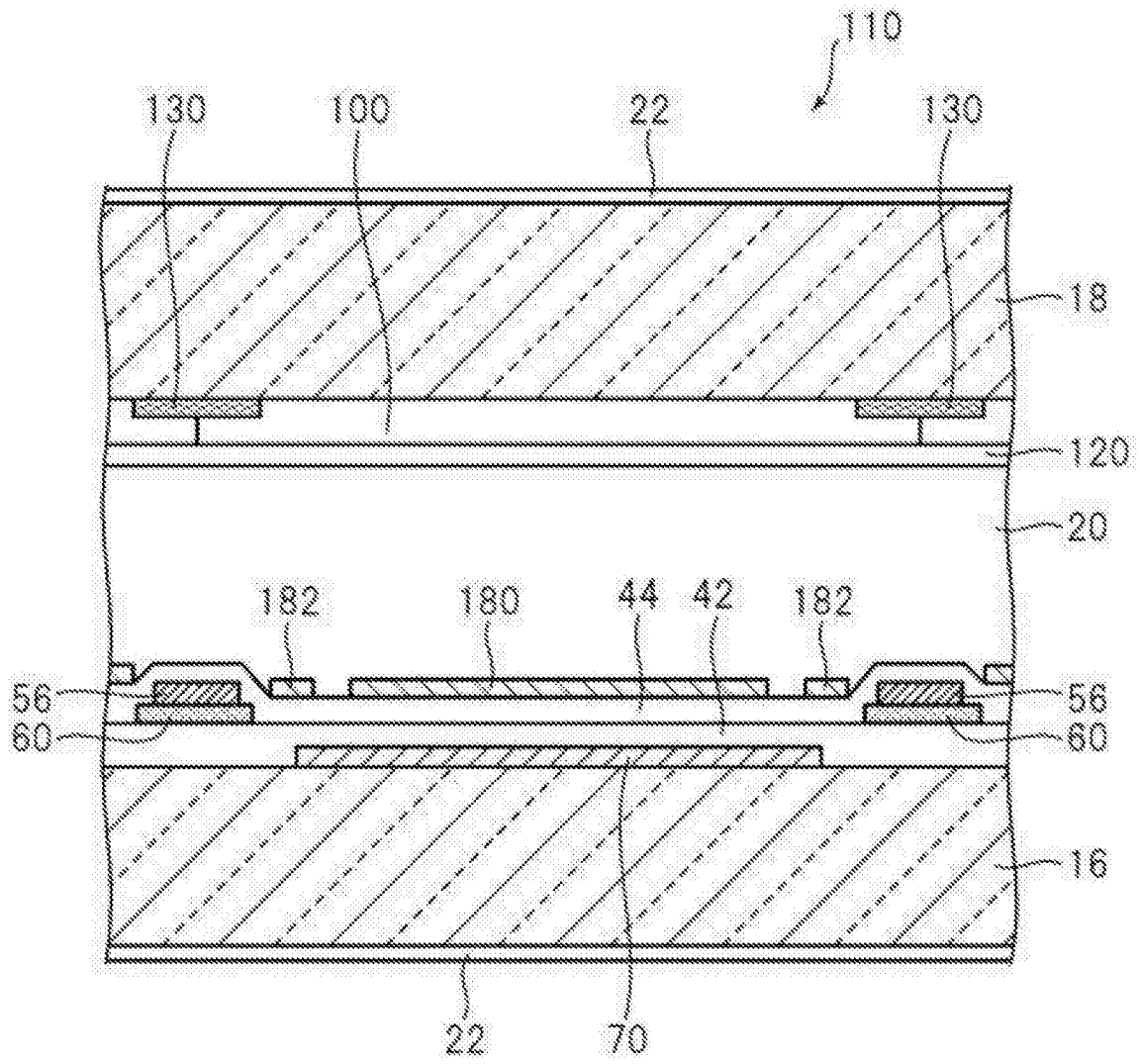


图13

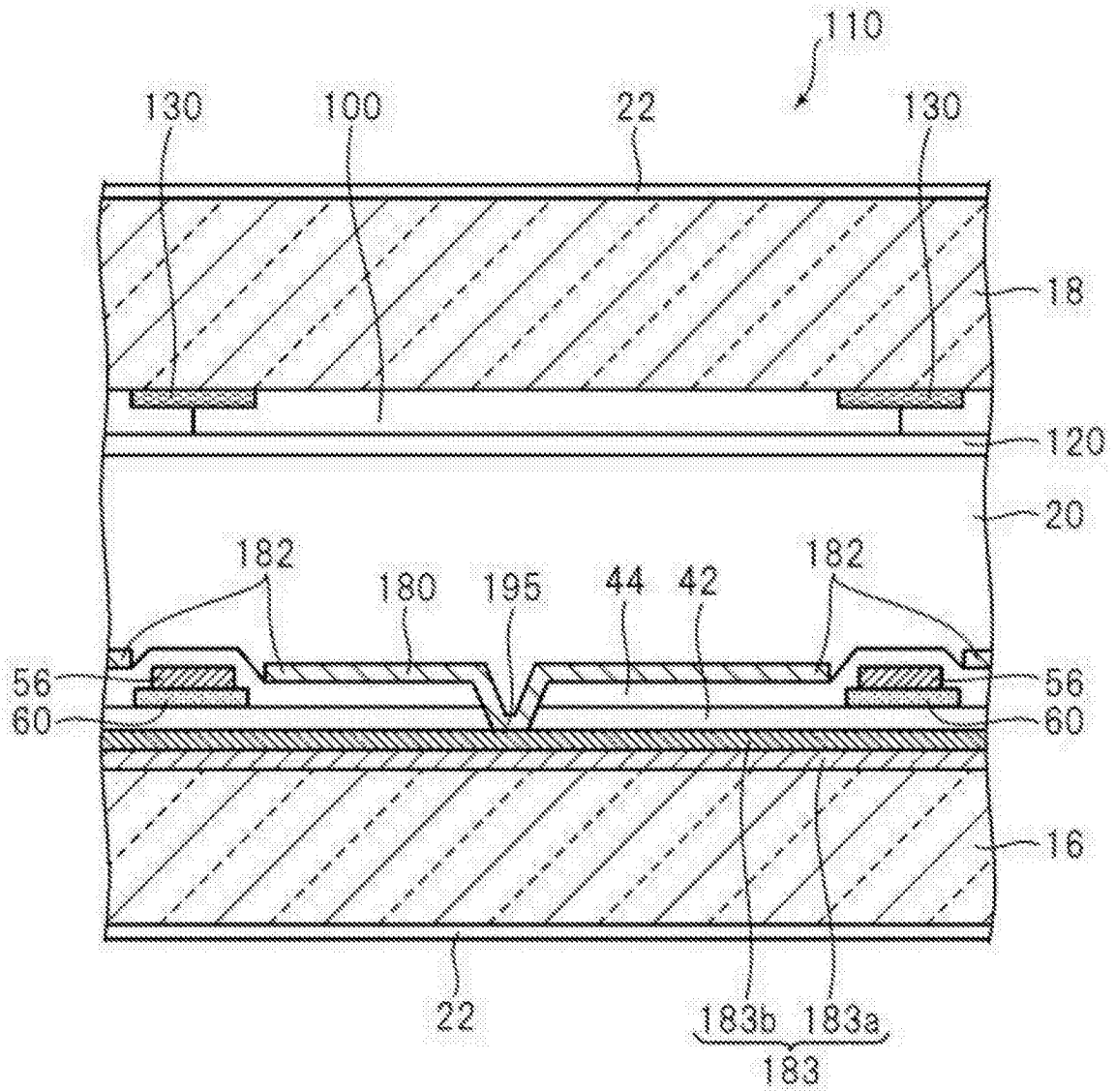


图14

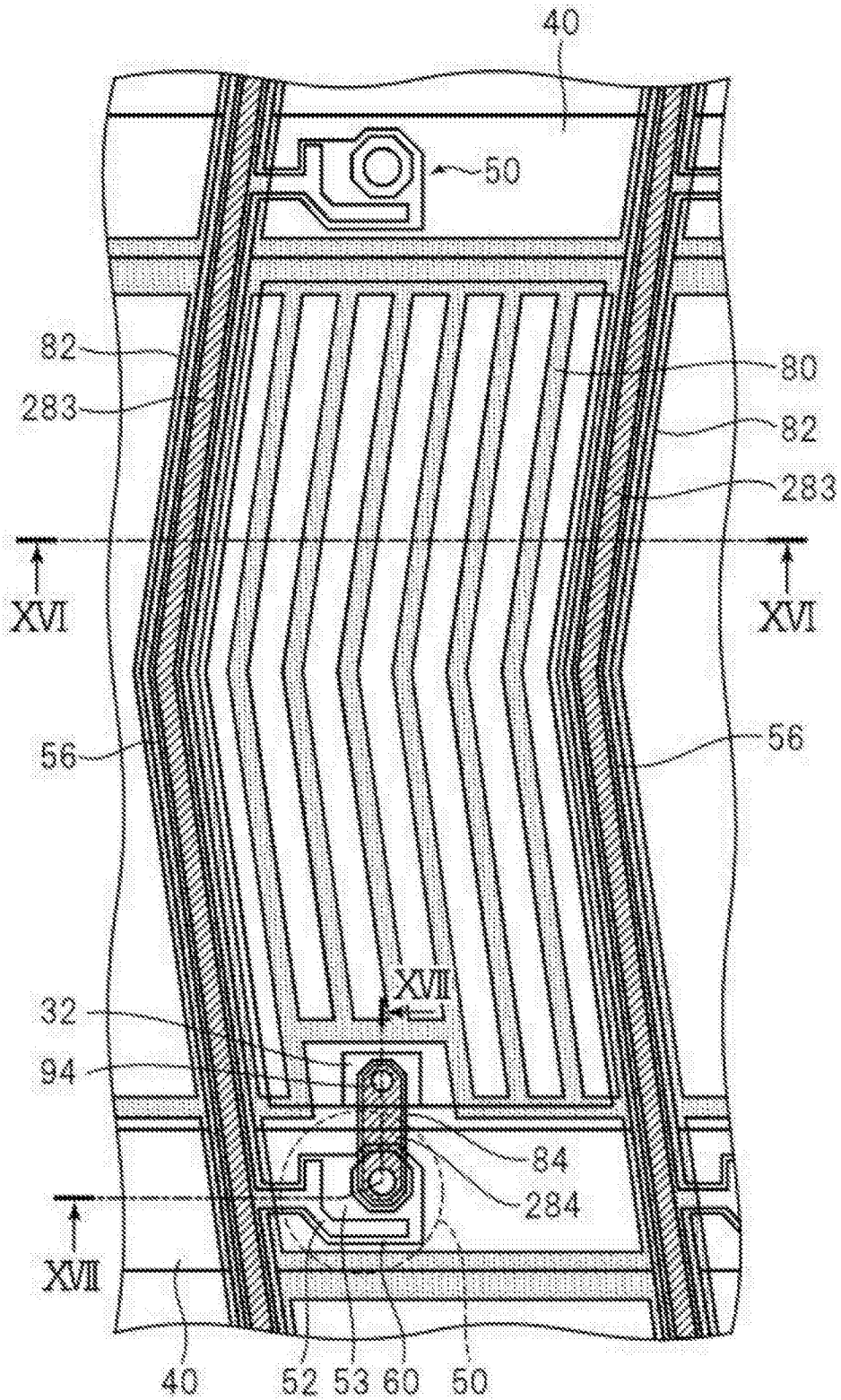


图15

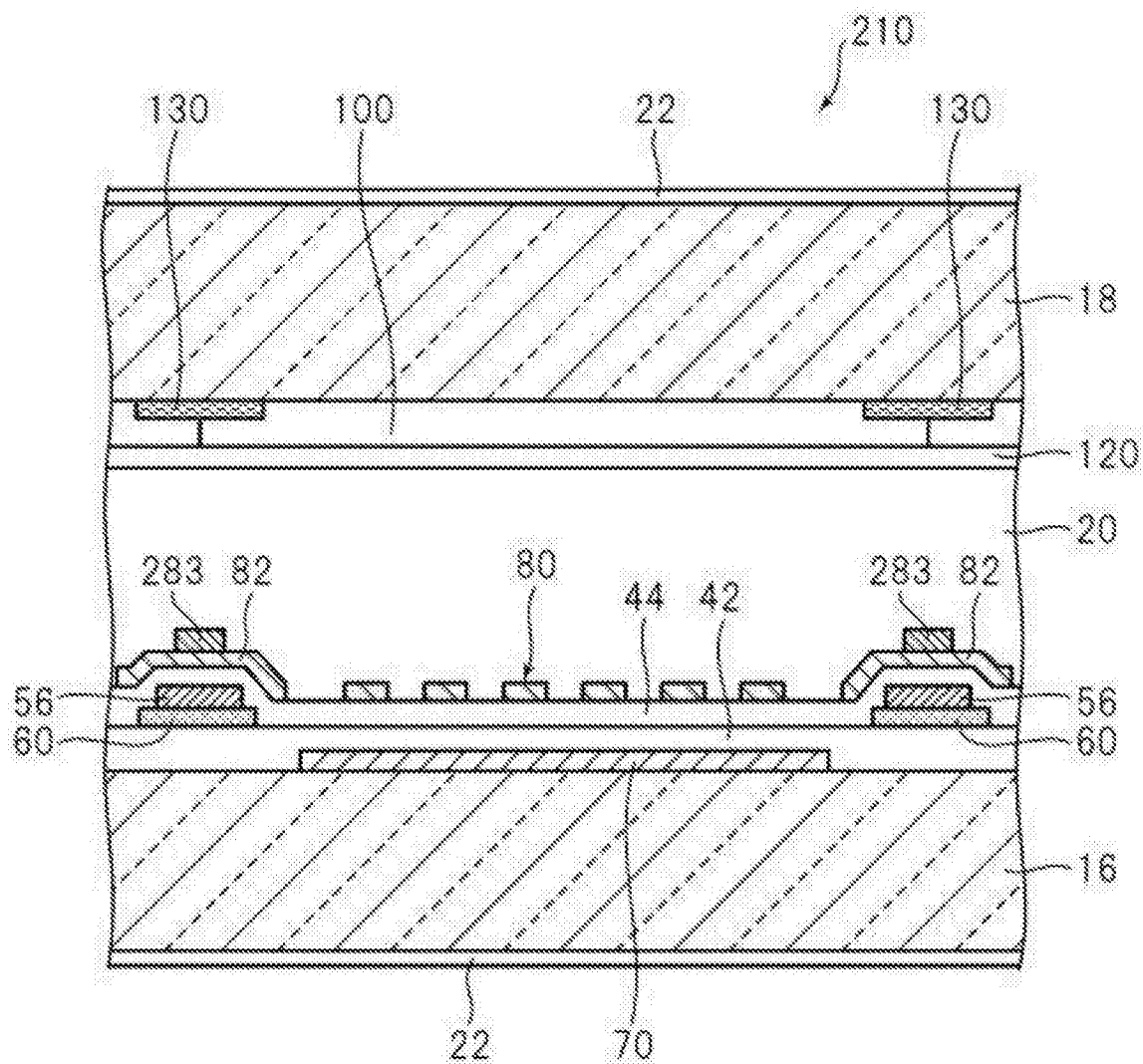


图16

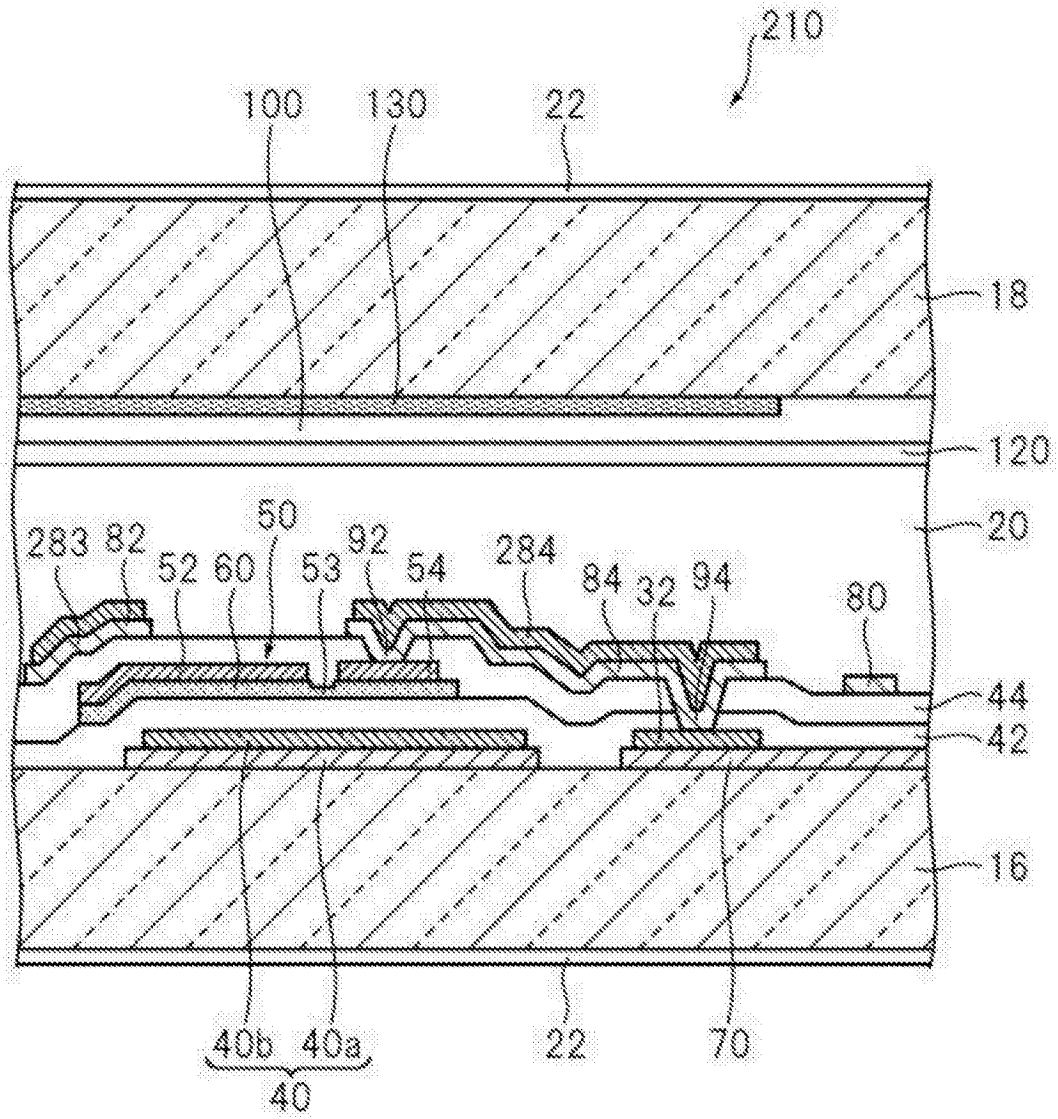
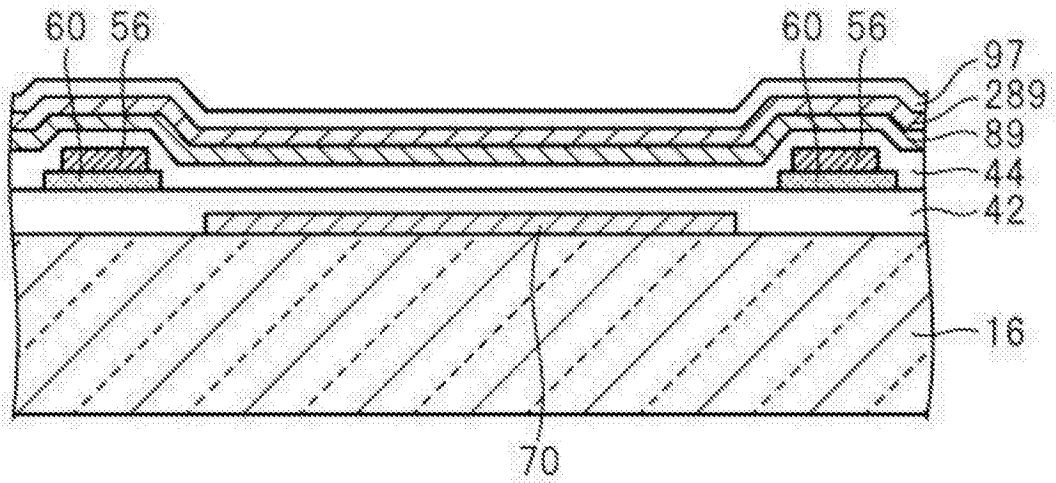


图17

(a)



(b)

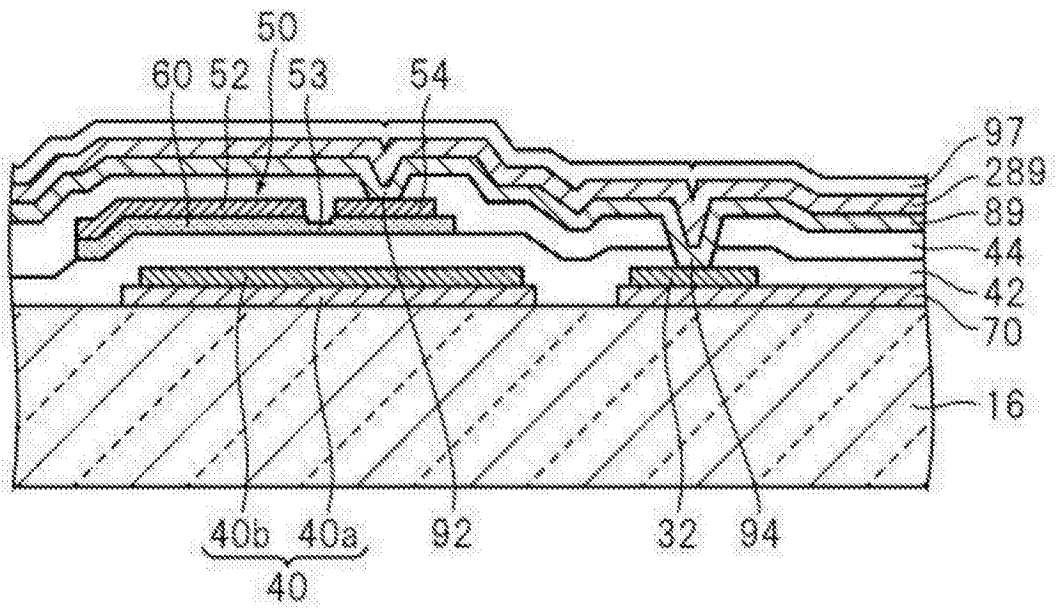


图18A

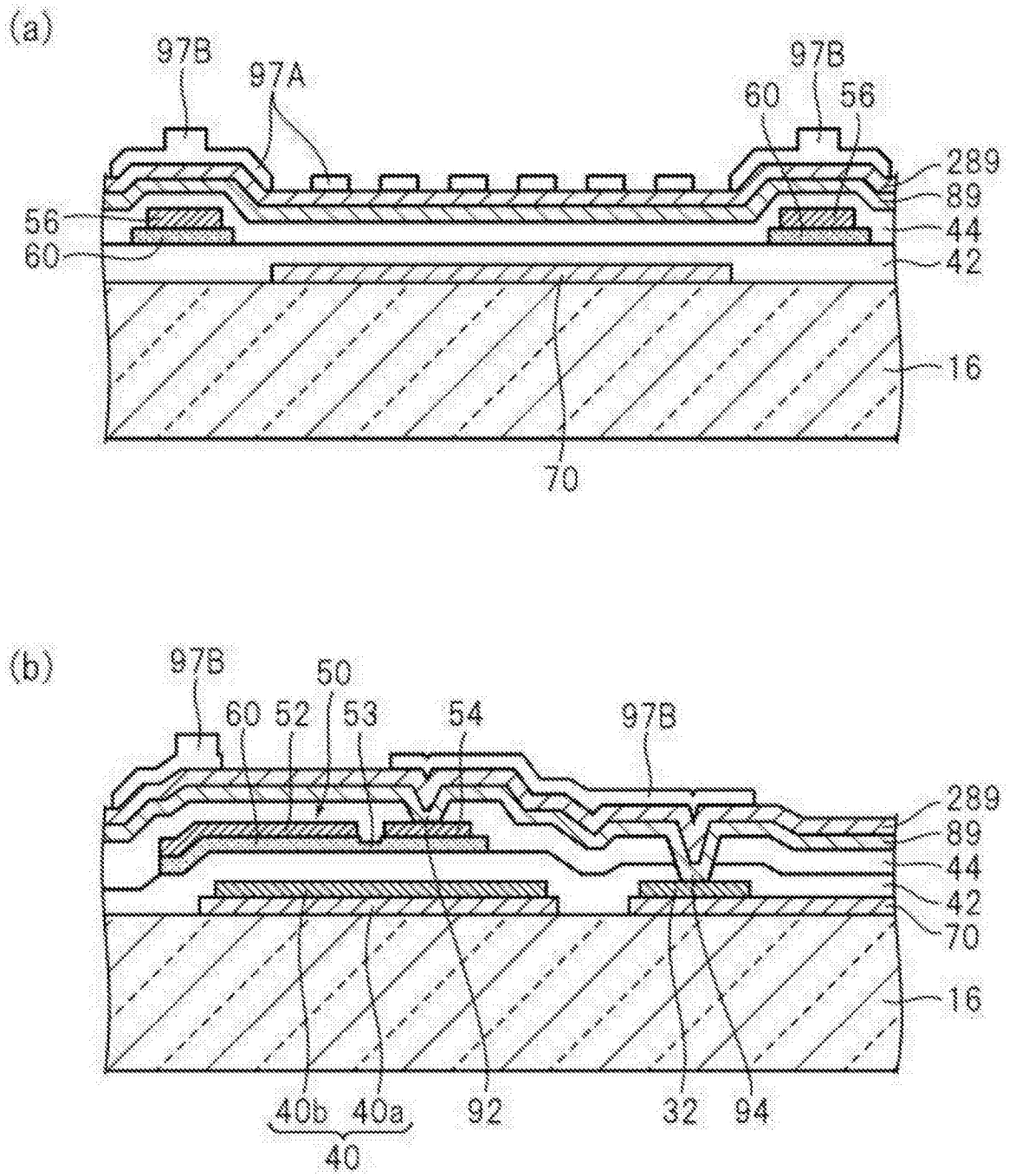


图18B

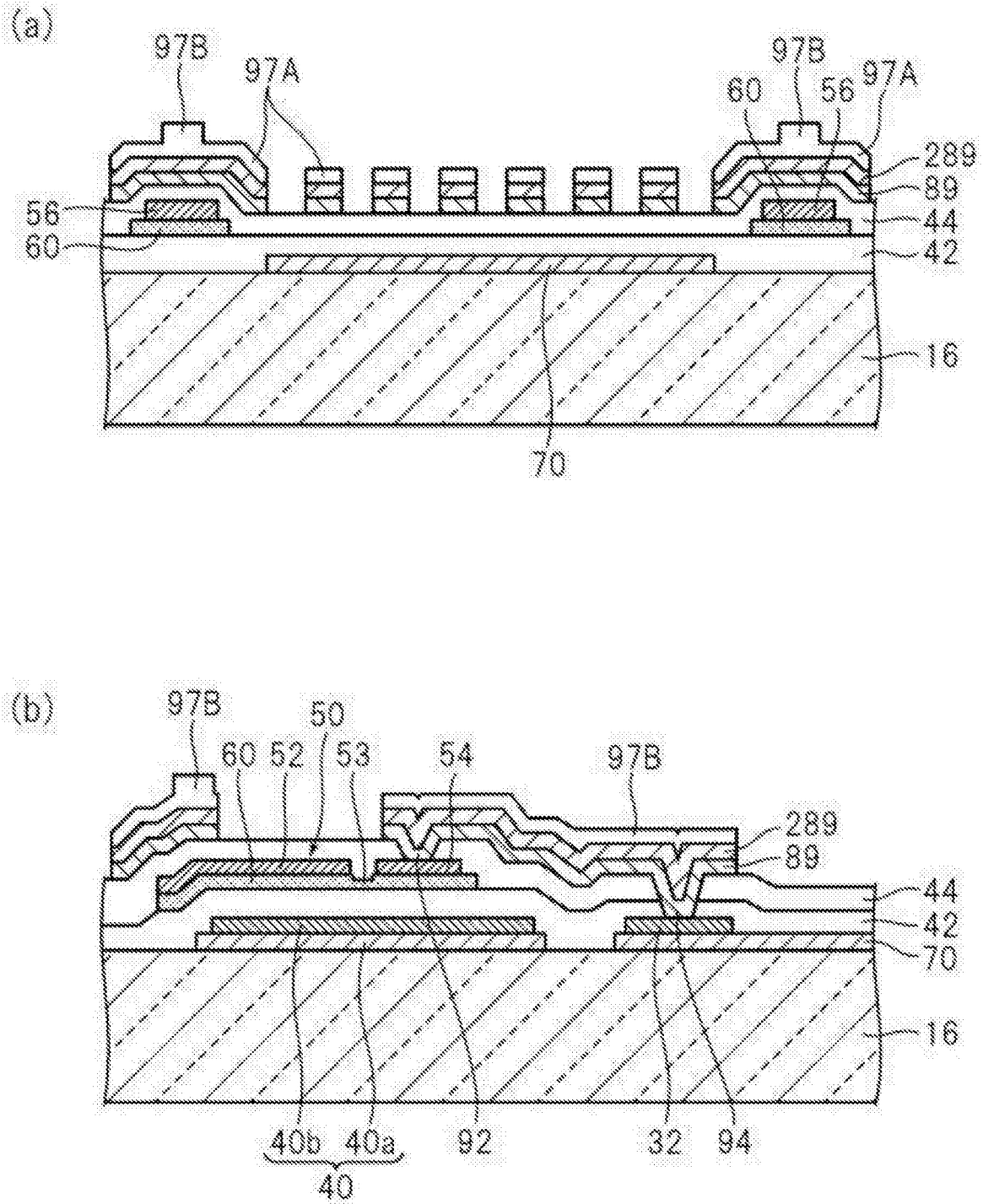


图18C

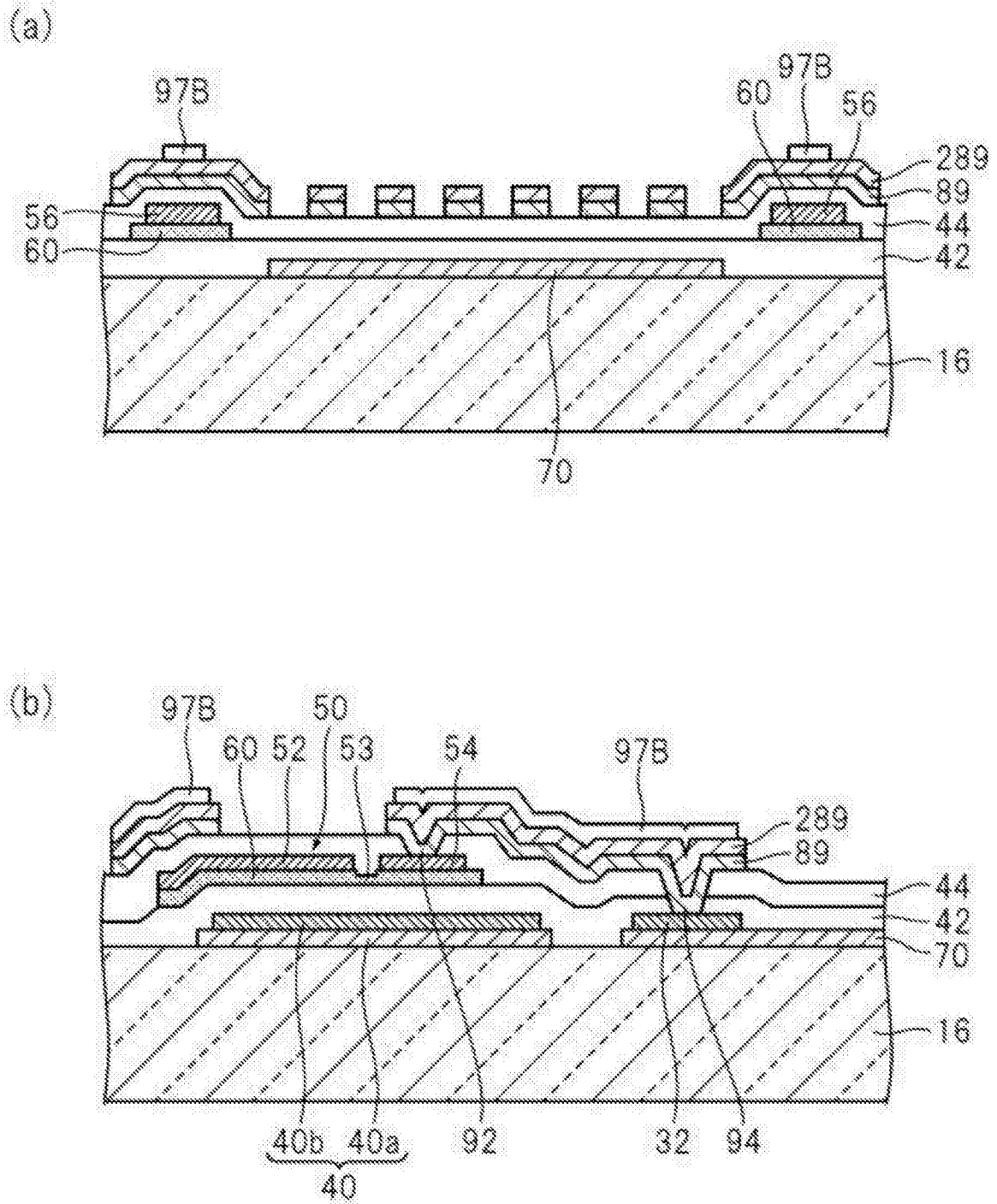


图18D

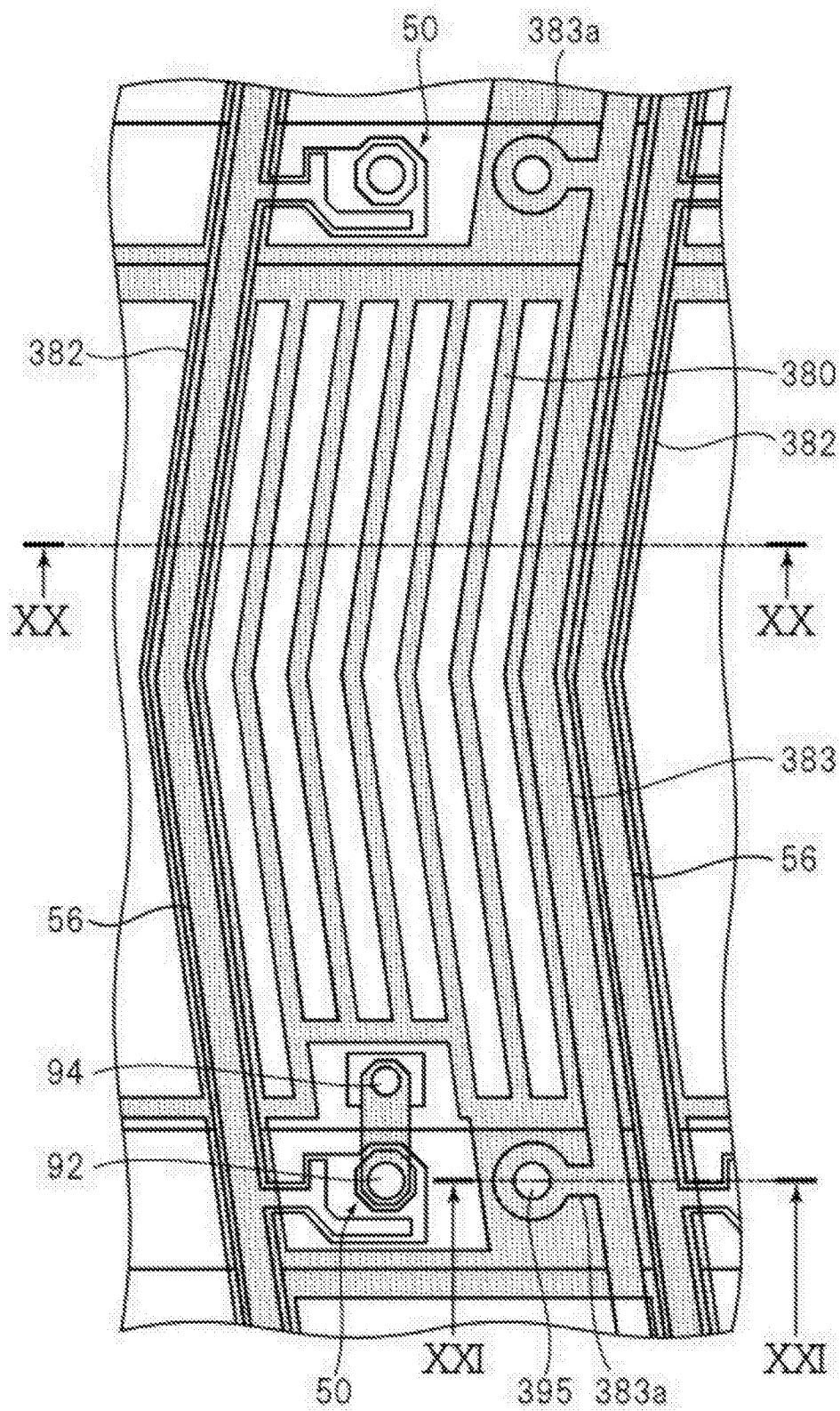


图19

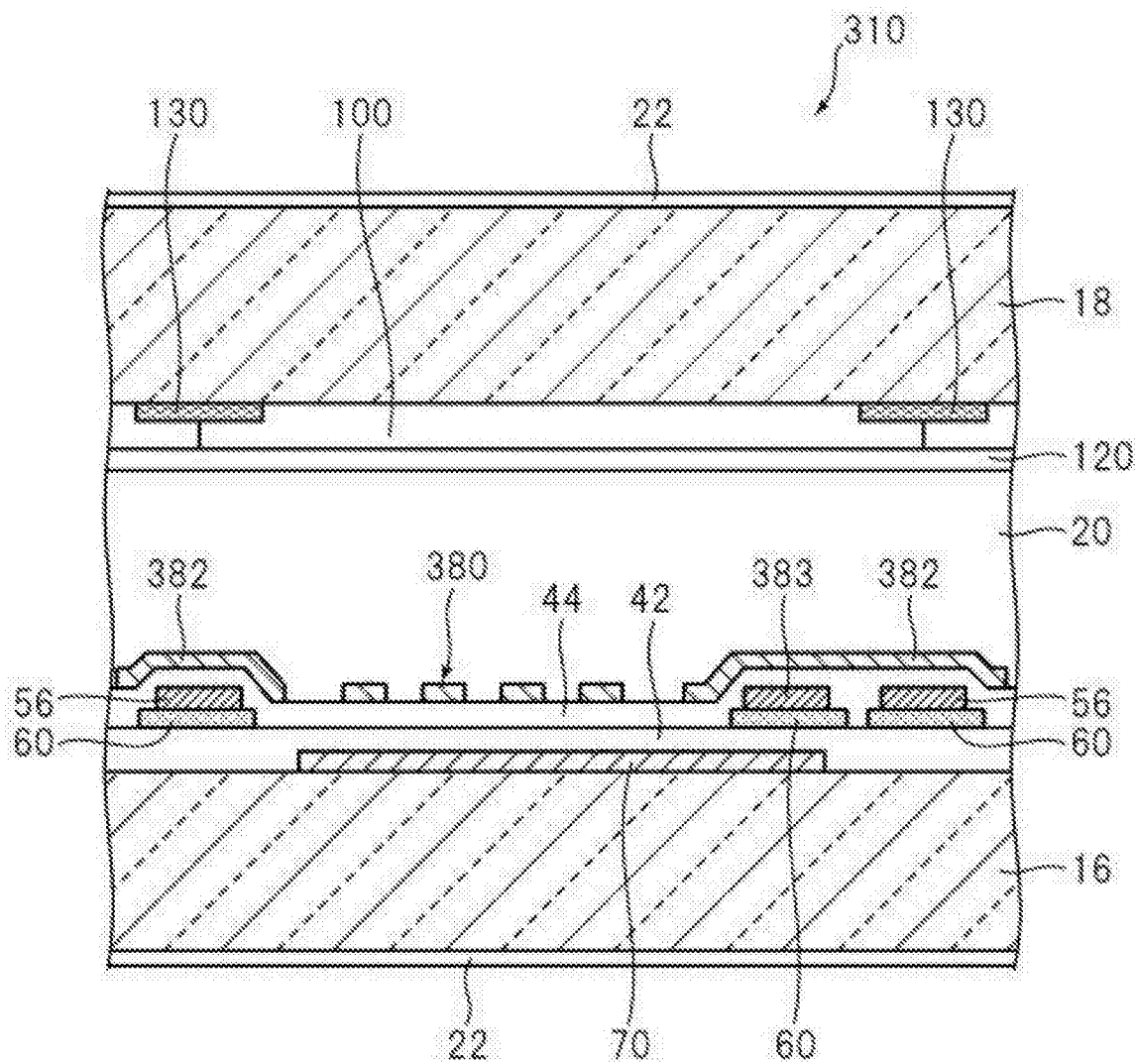


图20

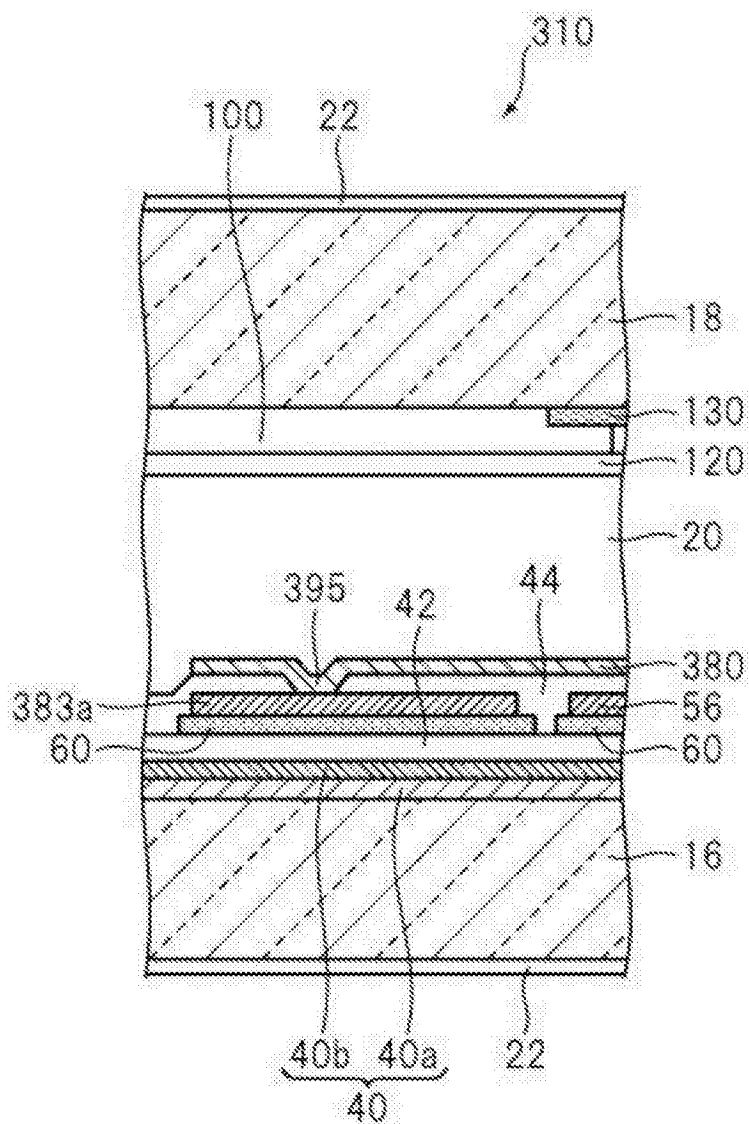


图21

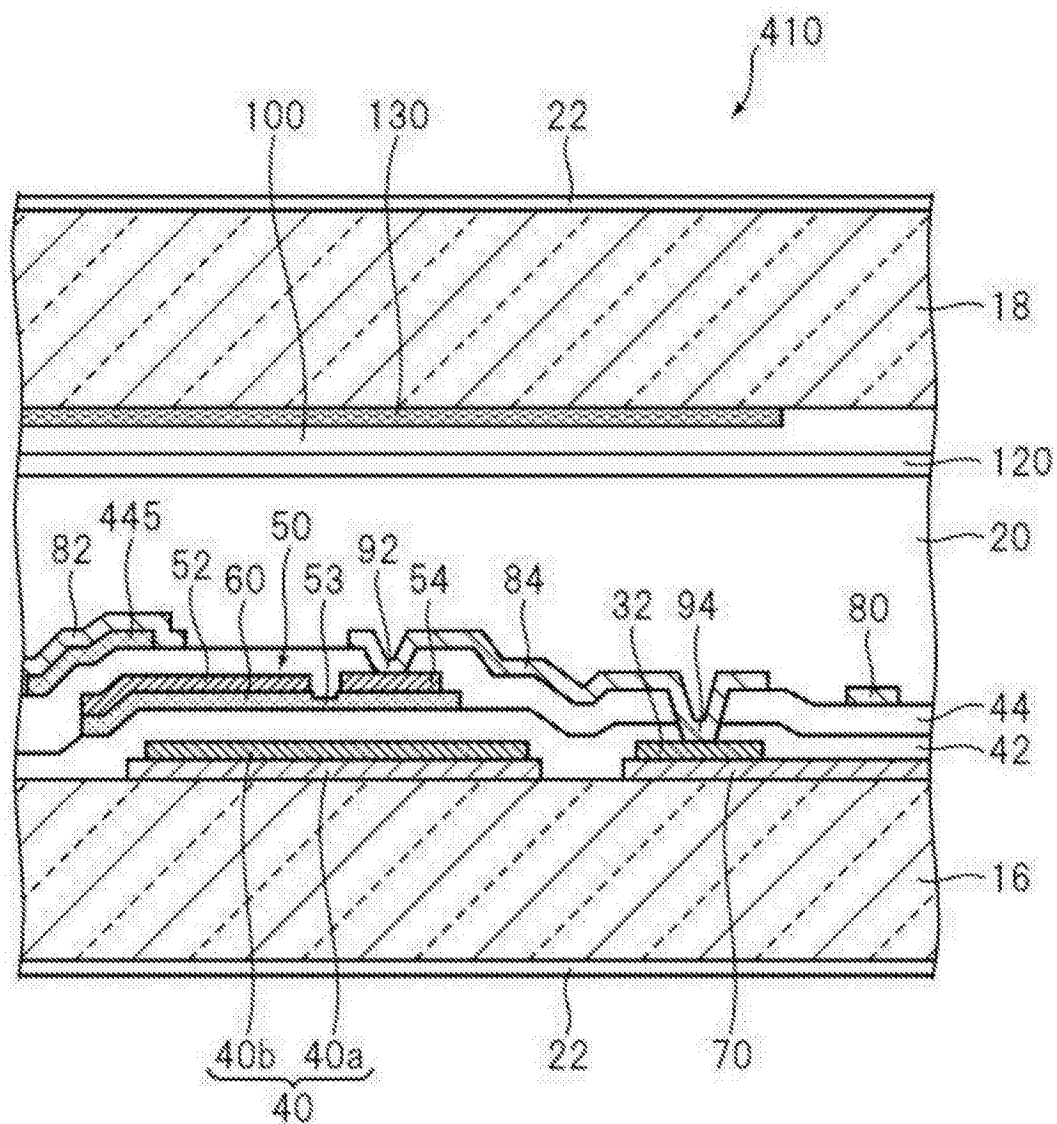


图22

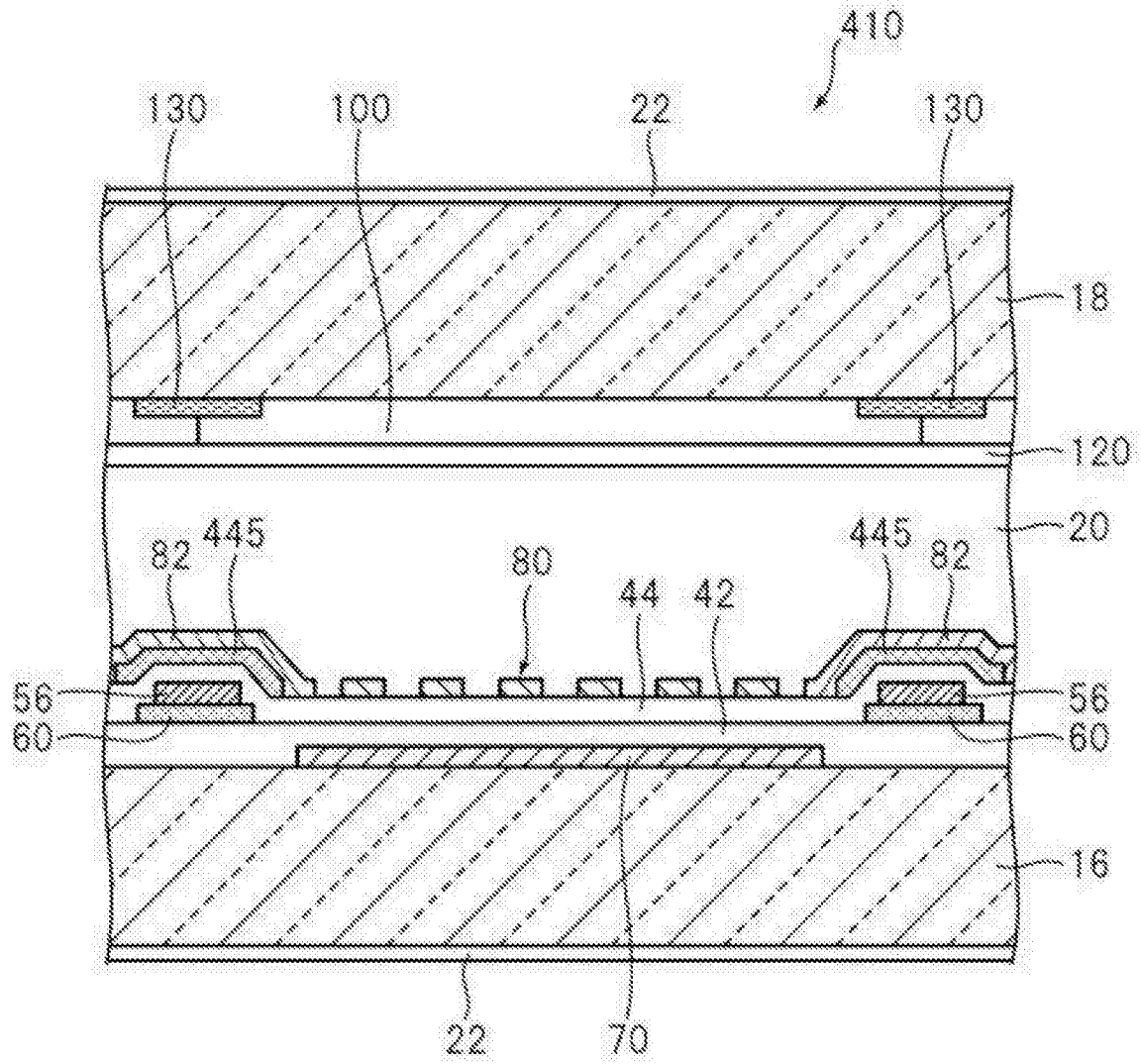


图23

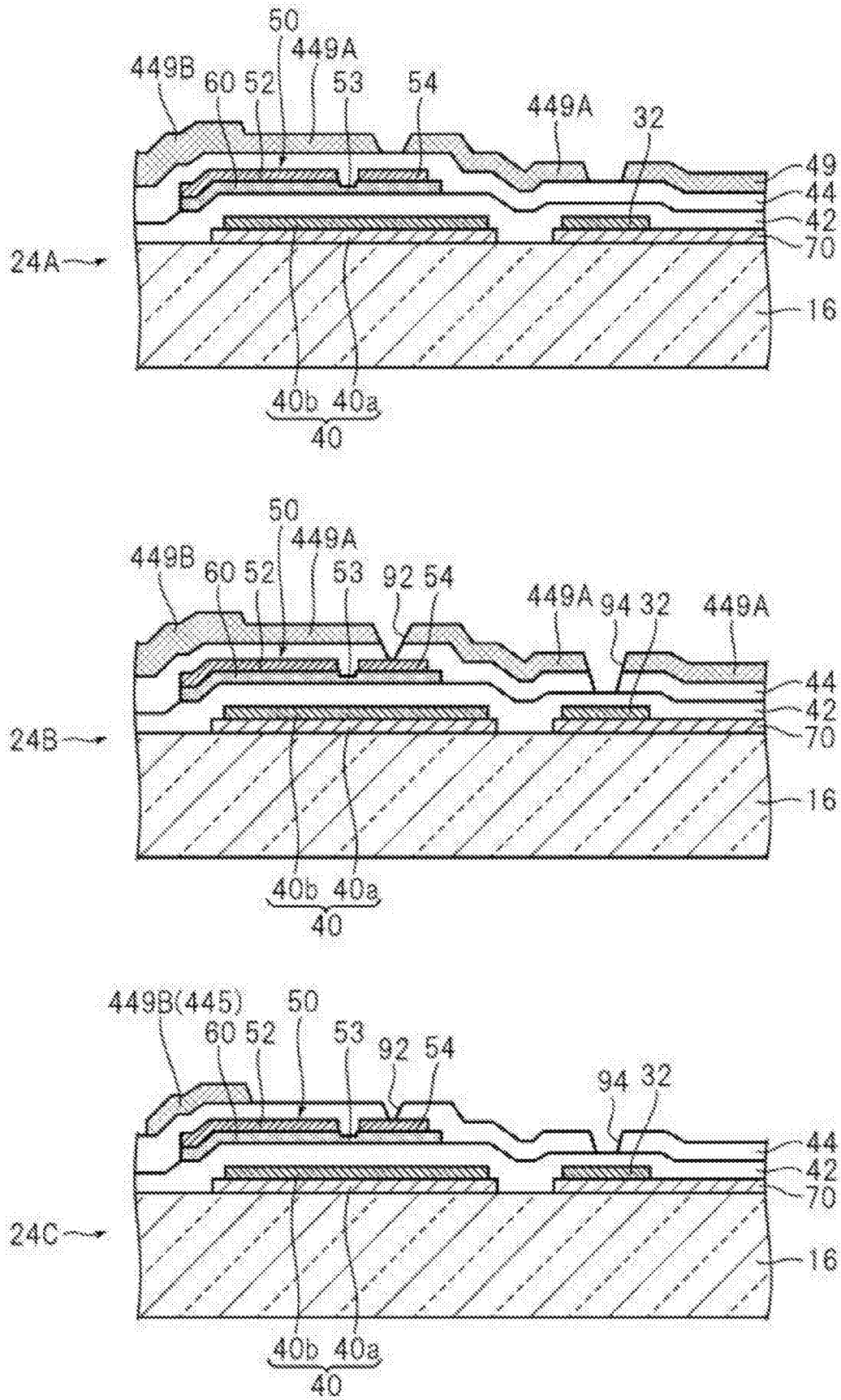


图24

专利名称(译)	液晶面板		
公开(公告)号	CN105589271A	公开(公告)日	2016-05-18
申请号	CN201610109957.9	申请日	2011-11-29
申请(专利权)人(译)	松下液晶显示器株式会社		
当前申请(专利权)人(译)	松下液晶显示器株式会社		
[标]发明人	小野记久雄		
发明人	小野记久雄		
IPC分类号	G02F1/1362 G02F1/1343 H01L27/12 H01L29/417		
CPC分类号	G02F1/136286 G02F1/133345 G02F1/134363 G02F1/13439 G02F1/13458 G02F1/1362 G02F1/136227 G02F1/1368 G02F2001/134372 G02F2001/136231 G02F2001/136236 G02F2001/13629 G02F2001/136295 G02F2201/121 G02F2201/123 G02F2202/10 H01L27/1288 H01L29/41733		
代理人(译)	陈伟		
优先权	2010266443 2010-11-30 JP		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种液晶面板、液晶显示装置及其制造方法。栅极布线(40)具有包含下栅极布线(40a)和上栅极布线(40b)的两层结构，该下栅极布线(40a)由与像素电极(70)相同的材料形成，并且位于与像素电极(70)相同的层，该上栅极布线(40b)层叠在该下栅极布线(40a)上，由导电率高于透明导电材料的材料形成。根据该结构，在最上层形成有公共电极的横向电场方式的液晶面板的制造工序中，能够减少曝光的次数。

