



(12) 发明专利申请

(10) 申请公布号 CN 102467890 A

(43) 申请公布日 2012. 05. 23

(21) 申请号 201010532020. 5

(22) 申请日 2010. 10. 29

(71) 申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路 10 号  
申请人 成都京东方光电科技有限公司

(72) 发明人 谭文 祁小敬 黄炜赟

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 刘芳

(51) Int. Cl.

G09G 3/36 (2006. 01)

G09G 3/20 (2006. 01)

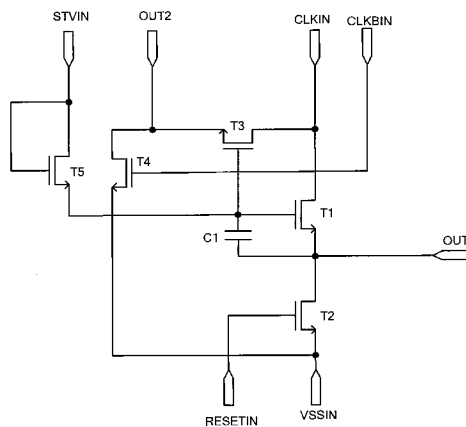
权利要求书 2 页 说明书 9 页 附图 8 页

(54) 发明名称

移位寄存器单元、栅极驱动装置及液晶显示器

(57) 摘要

本发明提供一种移位寄存器单元、栅极驱动装置及液晶显示器,其中移位寄存器单元包括五个薄膜晶体管,第一薄膜晶体管的漏极与第一时钟信号输入端连接;第三薄膜晶体管的漏极与第一时钟信号输入端连接,栅极与第一薄膜晶体管的栅极连接,源极与第二信号输出端连接;第一信号输出端用于输出栅极驱动信号;第二信号输出端用于向相邻的下一个移位寄存器单元提供控制信号。本发明提供的移位寄存器单元、栅极驱动装置和液晶显示器,将栅极驱动信号和用于控制相邻的下一个移位寄存器单元的控制信号分离开来,可以解决由于延迟累积导致的栅极驱动信号准确性低的问题。



1. 一种移位寄存器单元,其特征在于,包括:

第一薄膜晶体管,其漏极与第一时钟信号输入端连接,源极与第一信号输出端连接;

第二薄膜晶体管,其漏极与第一信号输出端连接,栅极与复位信号输入端连接,源极与低电平信号输入端连接;

第三薄膜晶体管,其漏极与所述第一时钟信号输入端连接,栅极与所述第一薄膜晶体管的栅极连接,源极与第二信号输出端连接;

第四薄膜晶体管,其漏极与所述第三薄膜晶体管的漏极连接,栅极与第二时钟信号输入端连接,源极与低电平信号输入端连接;

第五薄膜晶体管,其栅极和漏极均与起始信号输入端连接,源极与所述第一薄膜晶体管的栅极连接;

电容,其两端分别与所述第一薄膜晶体管的栅极和源极连接;

所述第一时钟信号输入端用于输入时钟信号;所述第二时钟信号输入端用于输入与所述第一时钟信号输入的信号反相的时钟信号;所述复位信号输入端用于输入复位信号;所述起始信号输入端用于输入起始信号;所述低电平信号输入端用于输入低电平信号;所述第一信号输出端用于输出栅极驱动信号;所述第二信号输出端用于向相邻的下一个移位寄存器单元提供控制信号。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,还包括:下拉模块,用于控制所述栅极驱动信号在需要保持低电平的阶段,将所述栅极驱动信号的电平拉至低电平。

3. 根据权利要求2所述的移位寄存器单元,其特征在于,所述下拉模块包括驱动单元和下拉单元;

所述驱动单元用于驱动所述下拉单元在所述栅极驱动信号需要保持低电平的阶段工作;

所述下拉单元用于在所述驱动单元的控制下将所述栅极驱动信号拉至低电平。

4. 根据权利要求3所述的移位寄存器单元,其特征在于,所述驱动单元包括:

第九薄膜晶体管,其漏极和栅极与所述第一时钟信号输入端连接;

第十薄膜晶体管,其漏极与所述第一时钟信号输入端连接,栅极与所述第二时钟信号输入端连接,源极与所述第九薄膜晶体管的源极连接;

第十一薄膜晶体管,其漏极与所述第九薄膜晶体管的源极和第十薄膜晶体管的源极连接,栅极与所述第三薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

所述下拉单元包括:

第六薄膜晶体管,其漏极与所述第五薄膜晶体管的源极连接,栅极与所述第九薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第七薄膜晶体管,其漏极与所述第一信号输出端连接,栅极与所述第九薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第八薄膜晶体管,其漏极与所述第一信号输出端连接,栅极与所述第二时钟信号输入端连接,源极与所述低电平信号输入端连接。

5. 根据权利要求3所述的移位寄存器单元,其特征在于,所述驱动单元包括:

第十二薄膜晶体管,其漏极与高电平信号输入端连接,栅极与所述第一时钟信号输入端连接;

第十三薄膜晶体管,其漏极与所述第十二薄膜晶体管的源极连接,栅极与所述第二时钟信号输入端连接,源极与所述低电平信号输入端连接;

第十四薄膜晶体管,其漏极与所述第十二薄膜晶体管的源极连接,栅极与所述第三薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

所述下拉单元包括:

第六薄膜晶体管,其栅极与所述第十二薄膜晶体管的源极连接,漏极与所述第五薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第七薄膜晶体管,其漏极与所述第一信号输出端连接,栅极与所述第十二薄膜晶体管的源极连接,源极与所述低电平信号输入端连接;

第八薄膜晶体管,其漏极与所述第一信号输出端连接,栅极与所述第二时钟信号输入端连接,源极与所述低电平信号输入端连接;

所述高电平信号输入端用于输入高电平信号。

6. 根据权利要求 4 或 5 所述的移位寄存器单元,其特征在于,还包括第十五薄膜晶体管,其漏极与所述第五薄膜晶体管的源极连接,栅极与所述复位信号输入端连接,源极与所述低电平信号输入端连接。

7. 一种液晶显示器栅极驱动装置,其特征在于,包括顺次连接的  $n$  个如权利要求 1-6 中任一权利要求所述的移位寄存器单元; $n$  为自然数;

除第一个移位寄存器单元和第  $n$  个移位寄存器单元之外,每个移位寄存器单元的第二信号输出端均和相邻的上一个移位寄存器单元的复位信号输入端以及相邻的下一个移位寄存器单元的起始信号输入端连接;

第一个移位寄存器单元的第二信号输出端与第二个移位寄存器单元的起始信号输入端连接;

最后一个移位寄存器单元的第二信号输出端与第  $n-1$  个移位寄存器单元的复位信号输入端以及自身的复位信号输入端连接。

8. 根据权利要求 7 所述的液晶显示器栅极驱动装置,其特征在于,所述对于第奇数个移位寄存器单元,其第一时钟信号输入端用于输入第一时钟信号,第二时钟信号输入端用于输入第二时钟信号;

对于第偶数个移位寄存器单元,其第一时钟信号输入端用于数据第二时钟信号,第二时钟信号输入端用于输入第一时钟信号;

所述第一时钟信号与第二时钟信号互为反相信号。

9. 一种液晶显示器,其特征在于,包括如权利要求 7 或 8 所述的液晶显示器栅极驱动装置。

## 移位寄存器单元、栅极驱动装置及液晶显示器

### 技术领域

[0001] 本发明实施例涉及驱动技术领域,尤其涉及一种移位寄存器单元、栅极驱动装置及液晶显示器。

### 背景技术

[0002] 在薄膜晶体管液晶显示器 (Thin Film Transistor Liquid Crystal Display, 简称 TFT-LCD) 中,通常通过栅极驱动装置向像素区域的各个薄膜晶体管的栅极提供栅极驱动信号。栅极驱动装置可以通过阵列工艺形成在液晶显示器的阵列基板上,这种技术也称作 GOA 技术 (Gate on Array, 简称 GOA)。

[0003] 采用 GOA 技术形成的液晶显示器栅极驱动装置包括多个移位寄存器单元,一个移位寄存器单元输出一个栅极驱动信号。移位寄存器单元需要与像素区域 (像素区域是指液晶显示器的显示区域,包括多个子像素) 的栅线连接,像素区域的栅线上存在负载,栅线上的负载会导致移位寄存器单元输出的栅极驱动信号产生延迟。

[0004] 现有技术中的栅极驱动装置中,一个移位寄存器单元输出的栅极驱动信号除了需要驱动栅线,还需要作为相邻的下一个移位寄存器单元的控制信号 (例如,作为相邻的下一个移位寄存器单元的帧起始信号) 输入到相邻的下一个移位寄存器单元中。这样,相邻的下一个移位寄存器单元产生的栅极驱动信号就会产生更大的延迟。以此类推,各个移位寄存器之间相当于产生了一种延迟累积,从而导致栅极驱动装置输出的栅极驱动信号准确性降低。

### 发明内容

[0005] 本发明提供一种移位寄存器单元、栅极驱动装置及液晶显示器,用以解决现有技术中由于延迟累积导致栅极驱动装置输出的栅极驱动信号准确性低的问题。

[0006] 本发明实施例提供了一种移位寄存器单元,包括:

[0007] 第一薄膜晶体管,其漏极与第一时钟信号输入端连接,源极与第一信号输出端连接;

[0008] 第二薄膜晶体管,其漏极与第一信号输出端连接,栅极与复位信号输入端连接,源极与低电平信号输入端连接;

[0009] 第三薄膜晶体管,其漏极与所述第一时钟信号输入端连接,栅极与所述第一薄膜晶体管的栅极连接,源极与第二信号输出端连接;

[0010] 第四薄膜晶体管,其漏极与所述第三薄膜晶体管的漏极连接,栅极与第二时钟信号输入端连接,源极与低电平信号输入端连接;

[0011] 第五薄膜晶体管,其栅极和漏极均与起始信号输入端连接,源极与所述第一薄膜晶体管的栅极连接;

[0012] 电容,其两端分别与所述第一薄膜晶体管的栅极和源极连接;

[0013] 所述第一时钟信号输入端用于输入时钟信号;所述第二时钟信号输入端用于输

入与所述第一时钟信号输入的的信号反相的时钟信号；所述复位信号输入端用于输入复位信号；所述起始信号输入端用于输入起始信号；所述低电平信号输入端用于输入低电平信号；所述第一信号输出端用于输出栅极驱动信号；所述第二信号输出端用于向相邻的下一个移位寄存器单元提供控制信号。

[0014] 本发明还提供了一种液晶显示器栅极驱动装置，包括顺次连接的  $n$  个如前所述的移位寄存器单元； $n$  为自然数；

[0015] 除第一个移位寄存器单元和第  $n$  个移位寄存器单元之外，每个移位寄存器单元的第二信号输出端均和相邻的上一个移位寄存器单元的复位信号输入端以及相邻的下一个移位寄存器单元的起始信号输入端连接；

[0016] 第一个移位寄存器单元的第二信号输出端与第二个移位寄存器单元的起始信号输入端连接；

[0017] 最后一个移位寄存器单元的第二信号输出端与第  $n-1$  个移位寄存器单元的复位信号输入端以及自身的复位信号输入端连接。

[0018] 本发明还提供了一种液晶显示器，包括如前所述的液晶显示器栅极驱动装置。

[0019] 本发明提供的移位寄存器单元、栅极驱动装置及液晶显示器，第一薄膜晶体管的栅极和第三薄膜晶体管的栅极均与第五薄膜晶体管的源极连接，第一薄膜晶体管的漏极和第三薄膜晶体管的源极均与第一时钟信号输入端连接，第三薄膜晶体管的漏极与第二信号输出端连接，第一薄膜晶体管的源极与第一信号输出端连接，这样一种连接方式可以保证第一信号输出端输出的信号和第二信号输出端输出的信号大致相同，并且由于第二信号输出端不与像素区域的栅线连接，不会受到像素区域的负载的影响，第二信号输出端输出的信号相较于第一信号输出端输出的信号，具有较小的延迟。用第二信号输出端输出的信号作为相邻的下一个移位寄存器单元所需的控制信号，可以解决由于延迟累积导致栅极驱动装置输出的栅极驱动信号准确性低的问题，提高栅极驱动信号的准确性。

## 附图说明

[0020] 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作一简单地介绍，显而易见地，下面描述中的附图是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动性的前提下，还可以根据这些附图获得其他的附图。

[0021] 图 1 所示为本发明移位寄存器单元第一实施例的结构示意图；

[0022] 图 2 所示为图 1 所示的移位寄存器单元产生的栅极驱动信号的示意图；

[0023] 图 3 所示为本发明移位寄存器单元第二实施例的结构示意图；

[0024] 图 4 所示为本发明移位寄存器单元第三实施例的结构示意图；

[0025] 图 5 所示为本发明液晶显示器栅极驱动装置的结构示意图；

[0026] 图 6 所示为图 5 所示的液晶显示器栅极驱动装置的输入和输出信号的时序图；

[0027] 图 7 所示为图 4 所示移位寄存器单元的输入和输出信号的时序图；

[0028] 图 8 所示为本发明移位寄存器单元第四实施例的结构示意图；

[0029] 图 9 所示为本发明移位寄存器单元第五实施例的结构示意图。

## 具体实施方式

[0030] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0031] 如图 1 所示为本发明移位寄存器单元第一实施例的结构示意图,该移位寄存器单元包括第一薄膜晶体管 T1、第二薄膜晶体管 T2、第三薄膜晶体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5 和电容 C1。

[0032] 第一薄膜晶体管 T1 的漏极与第一时钟信号输入端 (CLKIN) 连接,源极与第一信号输出端 (OUT1) 连接。

[0033] 第二薄膜晶体管 T2 的漏极与第一信号输出端 (OUT1) 连接,栅极与复位信号输入端 (RESETIN) 连接,源极与低电平信号输入端 (VSSIN) 连接。

[0034] 第三薄膜晶体管 T3 的漏极与第一时钟信号输入端 (CLKIN) 连接,栅极与第一薄膜晶体管 T 的栅极连接,源极与第二信号输出端 (OUT2) 连接。

[0035] 第四薄膜晶体管 T4 的漏极与第三薄膜晶体管 T3 的漏极连接,栅极与第二时钟信号输入端 (CLKBIN) 连接,源极与低电平信号输入端 (VSSIN) 连接。

[0036] 第五薄膜晶体管 T5 的栅极和漏极均与起始信号输入端 (STVIN) 连接,源极与第一薄膜晶体管 T1 的栅极连接。

[0037] 电容 C1 的两端分别与第一薄膜晶体管 T1 的栅极和源极连接。

[0038] 其中,第一时钟信号输入端 (CLKIN) 用于输入时钟信号。第二时钟信号输入端 (CLKBIN) 用于输入与第一时钟信号输入的的信号反相的时钟信号。复位信号输入端 (RESETIN) 用于输入复位信号。起始信号输入端 (STVIN) 用于输入帧起始信号。低电平信号输入端 (VSSIN) 用于输入低电平信号。第一信号输出端 (OUT1) 用于输出栅极驱动信号。第二信号输出端 (OUT2) 用于向相邻的下一个移位寄存器单元提供控制信号。

[0039] 本发明第一实施例提供的移位寄存器单元包括第一信号输出端和第二信号输出端,第一信号输出端用于输出栅极驱动信号,即,第一信号输出端与像素区域的栅线连接。第二信号输出端用于向相邻的下一个移位寄存器单元提供控制信号,相邻的下一个移位寄存器单元所需的控制信号可以包括复位信号和帧起始信号,相邻的上一个移位寄存器单元输出的栅极驱动信号可以作为相邻的下一个移位寄存器单元的控制信号。

[0040] 第一实施例中,第一薄膜晶体管的栅极和第三薄膜晶体管的栅极均与第五薄膜晶体管的源极连接,第一薄膜晶体管的漏极和第三薄膜晶体管的源极均与第一时钟信号输入端连接,第三薄膜晶体管的漏极与第二信号输出端连接,第一薄膜晶体管的源极与第一信号输出端连接,这样一种连接方式可以保证第一信号输出端输出的信号和第二信号输出端输出的信号大致相同,并且由于第二信号输出端不与像素区域的栅线连接,不会受到像素区域的负载的影响,第二信号输出端输出的信号相较于第一信号输出端输出的信号,具有较小的延迟。用第二信号输出端输出的信号作为相邻的下一个移位寄存器单元所需的控制信号,可以解决由于延迟累积导致栅极驱动装置输出的栅极驱动信号准确性低的问题,提高栅极驱动信号的准确性。

[0041] 第一实施例提供的移位寄存器单元,实际上是将移位寄存器单元产生的控制信号

与栅极驱动信号分离,栅极驱动信号只用于驱动栅线,控制相邻的下一个移位寄存器单元产生栅极驱动信号的功能由第二信号输出端输出的信号实现,而不是如同现有技术那样,一个信号输出端产生的栅极驱动信号既用于驱动栅线又用于控制相邻的下一个移位寄存器单元产生栅极驱动信号。

[0042] 如图 2 所示为图 1 所示的移位寄存器单元产生的栅极驱动信号的示意图。对于液晶显示器而言,当需要控制一行栅线打开时,与该行栅线连接的移位寄存器单元输出的栅极驱动信号为高电平,当需要控制该行栅线关闭时,与该行栅线连接的移位寄存器单元输出的栅极驱动信号为低电平。如果液晶显示器采用逐行扫描的方式,假设有 a 行栅线,液晶显示器一帧的显示时间是 T,那么栅极驱动信号保持高电平的时间为  $T/a$ 。

[0043] 然而,第一信号输出端输出的栅极驱动信号,在需要保持低电平的阶段,也可能由于时钟信号的影响而变成高电平,从而影响液晶显示器的正常显示。图 1 为例,第一薄膜晶体管 T1 的漏极与第一时钟信号输出端连接,在栅极驱动信号需要保持低电平的阶段,第一时钟信号输入端 (CLKIN) 输入的信号依然会变化到高电平,而第一时钟信号输入端 (CLKIN) 输入的信号变为高电平有可能导致栅极驱动信号也变为高电平。尽管第二薄膜晶体管可以起到降栅极驱动信号的电平拉低的作用,但是第二薄膜晶体管只在复位信号输入端 (RESETIN) 输入的复位信号为高电平时才起到拉低电平的作用,在第二薄膜晶体管截止时,则无法保证栅极驱动信号可靠地保持在低电平。

[0044] 如图 3 所示为本发明移位寄存器单元第二实施例的结构示意图,该实施例在第一实施例的基础上增加了下拉模块 11,该下拉模块与第一信号输出端 (OUT1) 连接,用于在控制栅极驱动信号在需要保持低电平的阶段,将栅极驱动信号的电平拉至低电平。

[0045] 其中,下拉模块 11 可以包括驱动单元 11a 和下拉单元 11b,其中驱动单元 11a 可以与第一时钟信号输入端 (CLKIN)、第二时钟信号输入端 (CLKBIN) 和第二信号输出端 (OUT2) 连接,用于驱动下拉单元在栅极驱动信号需要保持低电平的阶段工作;下拉单元 11b 与驱动单元 11a 和第一信号输出端 (OUT1) 连接,用于在驱动单元 11a 的控制下将第一信号输出端 (OUT1) 输出的栅极驱动信号拉至低电平。

[0046] 如图 4 所示为本发明移位寄存器单元第三实施例的结构示意图,该实施例中,驱动单元 11a 包括第九薄膜晶体管 T9、第十薄膜晶体管 T10 和第十一薄膜晶体管 T11。第九薄膜晶体管 T9 的漏极和栅极与第一时钟信号输入端 (CLKIN) 连接。第十薄膜晶体管 T10 的漏极与第一时钟信号输入端 (CLKIN) 连接,栅极与第二时钟信号输入端 (CLKBIN) 连接,源极与第九薄膜晶体管 T9 的源极连接。第十一薄膜晶体管 T11 的漏极与第九薄膜晶体管 T9 的源极和第十薄膜晶体管 T10 的源极连接,栅极与第三薄膜晶体管 T3 的源极连接,源极与低电平信号输入端 (VSSIN) 连接。

[0047] 下拉单元 11b 包括第六薄膜晶体管 T6、第七薄膜晶体管 T7 和第八薄膜晶体管 T8。第六薄膜晶体管 T6 的漏极与第五薄膜晶体管 T5 的源极连接,栅极与第九薄膜晶体管 T9 的源极连接,源极与低电平信号输入端 (VSSIN) 连接。第七薄膜晶体管 T7 的漏极与第一信号输出端 (OUT1) 连接,栅极与第九薄膜晶体管 T9 的源极连接,源极与低电平信号输入端 (VSSIN) 连接。第八薄膜晶体管 T8 的漏极与第一信号输出端 (OUT1) 连接,栅极与第二时钟信号输入端 (CLKBIN) 连接,源极与低电平信号输入端 (VSSIN) 连接。

[0048] 如图 5 所示为本发明液晶显示器栅极驱动装置的结构示意图,该装置包括顺次连

接的  $n$  个如前述各个实施例所示的移位寄存器单元;  $n$  为自然数。各个移位寄存器单元分别标记为  $SR_1$ 、 $SR_2$ 、.....、 $SR_n$ 。

[0049] 除第一个移位寄存器单元  $SR_1$  和第  $n$  个移位寄存器单元  $SR_n$  之外, 每个移位寄存器单元的第二信号输出端 (OUT2) 均和相邻的上一个移位寄存器单元的复位信号输入端 (RESETIN) 以及相邻的下一个移位寄存器单元的起始信号输入端 (STVIN) 连接。

[0050] 第一个移位寄存器单元  $SR_1$  的第二信号输出端 (OUT2) 与第二个移位寄存器单元的起始信号输入端 (STVIN) 连接。

[0051] 最后一个移位寄存器单元  $SR_n$  的第二信号输出端 (OUT2) 与第  $n-1$  个移位寄存器单元的复位信号输入端 (RESETIN) 以及自身的复位信号输入端 (RESETIN) 连接。

[0052] 各个移位寄存器单元输出的栅极驱动信号分别记为  $GL_1$ 、 $GL_2$ 、.....、 $GL_n$ 。

[0053] 结合图 5 以及前述各个移位寄存器单元的实施例可以清楚看出本发明提供的栅极驱动装置中各个移位寄存器单元的连接关系。下面介绍单个移位寄存器单元中输入和输出的信号之间的时序关系, 以及液晶显示器栅极驱动装置中输入和输出的信号之间的时序关系。

[0054] 如图 6 所示为图 5 所示的液晶显示器栅极驱动装置的输入和输出信号的时序图。STV 为帧起始信号, STV 输入到第一个移位寄存器单元  $SR_1$  的起始信号输入端 (STVIN), 其余的移位寄存器单元的起始信号输入端 (STVIN) 均与相邻的上一个移位寄存器单元的第二信号输出端 (OUT2) 连接, 也就是说, 其余的移位寄存器单元的起始信号输入端 (STVIN) 输入的是相邻的上一个移位寄存器单元的第二信号输出端 (OUT2) 输出的信号, 一个移位寄存器单元的第二信号输出端 (OUT2) 输出的信号作为相邻的下一个移位寄存器单元的帧起始信号。

[0055] 每个移位寄存器单元的第一信号输出端 (OUT1) 输出一个栅极驱动信号, 用于驱动液晶显示器的一行栅线。

[0056] 低电平信号 (VSS) (图 6 中未示出 VSS) 输入到每个移位寄存器单元的低电平信号输入端 (VSSIN)。

[0057] 对于第奇数个移位寄存器单元, 其第一时钟信号输入端 (CLKIN) 用于输入第一时钟信号 (CLK), 第二时钟信号输入端 (CLKBIN) 用于输入第二时钟信号 (CLKB)。对于第偶数个移位寄存器单元, 其第一时钟信号输入端 (CLKIN) 用于数据第二时钟信号 (CLKB), 第二时钟信号输入端 (CLKBIN) 用于输入第一时钟信号 (CLK); 第一时钟信号 (CLK) 与第二时钟信号 (CLKB) 互为反相信号。

[0058] 如图 7 所示为图 4 所示移位寄存器单元的输入和输出信号的时序图。起始信号输入端 (STVIN) 输入帧起始信号 (STV), 第一时钟信号输入端 (CLKIN) 输入第一时钟信号 (CLK), 第二时钟信号输入端 (CLKBIN) 输入第二时钟信号 (CLKB), 低电平信号输入端 (VSSIN) 输入低电平信号 (VSS), 复位信号输入端 (RESETIN) 输入复位信号 (RESET), 第一信号输出端 (OUT1) 输出栅极驱动信号 ( $GL_1$ ), 第二信号输出端 (OUT2) 输出用于控制第二个移位寄存器单元的控制信号 (OUTPUT2)。图 7 中没有示出低电平信号 (VSS), 低电平信号 (VSS) 是一个一直保持低电平的信号。

[0059] 图 4 所示的移位寄存器单元中, 第三薄膜晶体管 T3 的栅极、第一薄膜晶体管 T1 的栅极、电容 C1 的一端、第六薄膜晶体管 T6 的漏极和第五薄膜晶体管 T5 的源极的汇聚处形

成 P 结点。第九薄膜晶体管 T9 的源极、第十薄膜晶体管 T10 的源极、第十一薄膜晶体管 T11 的漏极、第六薄膜晶体管 T6 的栅极以及第七薄膜晶体管 T7 的栅极的汇聚处形成 M 结点。图 7 中一并示出了 M 结点和 P 结点处的时序。

[0060] 下面结合如图 4、图 5 和图 7，说明本发明提供的移位寄存器单元的工作原理。

[0061] 选择图 7 所示的时序图的一部分，并从中选择 5 个阶段，分别标记为 A、B、C、D 和 E。

[0062] 在 A 阶段，第二时钟信号 (CLKB) 为高电平，第十薄膜晶体管 T10 导通。由于第一时钟信号 (CLK) 为低电平，因此，M 结点的电平被拉至低电平，第六薄膜晶体管 T6 和第七薄膜晶体管 T7 截止。帧起始信号 (STV) 为高电平，第五薄膜晶体管 T5 导通，将 P 结点的电平拉至高电平，于是，第一薄膜晶体管 T1 和第三薄膜晶体管 T3 导通。由于第二时钟信号 (CLKB) 为高电平，第八薄膜晶体管导通，因此，第一信号输出端输出的信号 ( $GL_1$ ) 为低电平。由于第一时钟信号 (CLK) 为低电平，并且第三薄膜晶体管 T3 导通，所以第二信号输出端输出的信号 (OUTPUT2) 为低电平。电容 C1 两端的充电电压为高电平的电平值与低电平的电平之间的差值。

[0063] 在 B 阶段，复位信号 (RESET) 和第二时钟信号 (CLKB) 为低电平，帧起始信号 (STV) 为低电平，因此，第二薄膜晶体管 T2、第五薄膜晶体管 T5、第八薄膜晶体管 T8 和第十薄膜晶体管 T10 截止。由于电容 C1 的电荷保持作用，P 结点的电平仍维持在高电平，第一薄膜晶体管 T1 和第三薄膜晶体管 T3 保持导通。第一时钟信号 (CLK) 为高电平，并且第三薄膜晶体管 T3 导通，因此第二信号输出端输出的信号 (OUTPUT2) 为高电平，第十一薄膜晶体管 T11 导通。由于第一时钟信号 (CLK) 为高电平，第九薄膜晶体管导通，但是第十一薄膜晶体管 T11 也导通，因此 M 结点的电平被拉至低电平，第六薄膜晶体管 T6 和第七薄膜晶体管 T7 截止。由于第一时钟信号 (CLK) 为高电平，第一薄膜晶体管 T1 导通，第二薄膜晶体管 T2 截止，因此，第一信号输出端输出的信号 ( $GL_1$ ) 为高电平。

[0064] 另外，在 B 阶段，由于电容 C1 的耦合作用，将 P 结点的电平进一步拉高至高电平的电平值的 2 倍与低电平的电平之间的差值，即提高了第一薄膜晶体管 T1 的栅极电压，增大了第一薄膜晶体管 T1 的导通电流，这样可以使得第一信号输出端 (OUT1) 输出的栅极驱动信号 ( $GL_1$ ) 变得陡峭。

[0065] 在 B 阶段，第一薄膜晶体管 T1 和第三薄膜晶体管的栅极均与 P 结点连接，第一薄膜晶体管 T1 的漏极和第三薄膜晶体管 T3 的源极均与第一时钟信号输入端 (CLKIN) 连接，因此第二信号输出端 (OUT2) 输出的信号 (OUTPUT2) 与第一信号输出端 (OUT1) 输出的信号 ( $GL_1$ ) 相同，也为高电平。当该移位寄存器单元处于 B 阶段时，相邻的下一个移位寄存器单元处于 A 阶段，这样，第二信号输出端输出的信号 (OUTPUT2) 正好可以作为相邻的下一个移位寄存器单元的帧起始信号。

[0066] 在 C 阶段，帧起始信号 (STV) 为低电平，第五薄膜晶体管 T5 截止。第二时钟信号 (CLKB) 为高电平，第十薄膜晶体管 T10 导通。第一时钟信号 (CLK) 为低电平，第九薄膜晶体管 T9 截止，M 点的电平被拉至低电平，第六薄膜晶体管 T6 和第七薄膜晶体管 T7 截止。第二时钟信号 (CLKB) 为高电平，第八薄膜晶体管 T8 导通，第一信号输出端 (OUT1) 输出的信号 ( $GL_1$ ) 为低电平。第二时钟信号 (CLKB) 为高电平，第四薄膜晶体管 T4 导通，第二信号输出端 (OUT2) 输出的信号 (OUTPUT2) 为低电平。

[0067] 另外,在 C 阶段,复位信号 (RESET) 为高电平,第二薄膜晶体管 T2 导通, P 结点的电平被拉至低电平。第二薄膜晶体管 T2 的导通也进一步保证了第一信号输出端 (OUT) 输出的信号 ( $GL_1$ ) 被可靠地拉至低电平。因为,第一信号输出端 (OUT1) 与阵列基板上的栅线连接,存在较大的寄生电容,如果第二薄膜晶体管 T2 导通,则可以加快寄生电容放电,使得第一信号输出端 (OUT1) 输出的信号 ( $GL_1$ ) 快速恢复到低电平。

[0068] 在 D 阶段,复位信号 (RESET) 为低电平,第二薄膜晶体管 T2 截止。第二时钟信号 (CLKB) 为低电平,第十薄膜晶体管 T10 截止,第十一薄膜晶体管 T11 截止。第一时钟信号 (CLK) 为高电平,第九薄膜晶体管 T9 导通, M 结点的电平被拉至高电平,第六薄膜晶体管 T6 和第七薄膜晶体管 T7 导通, P 结点和第一信号输出端 (OUT) 输出的信号 ( $GL_1$ ) 被拉至低电平。由于 P 结点为低电平,第三薄膜晶体管 T3 截止和第四薄膜晶体管 T4 截止,第二信号输出端 (OUT2) 输出的信号 (OUTPUT2) 保持低电平。

[0069] 在 E 阶段,第一时钟信号 (CLK) 为低电平,第九薄膜晶体管 T9 截止。第二时钟信号 (CLKB) 为高电平,第二薄膜晶体管 T10 导通和第八薄膜晶体管 T8 导通,由于第一时钟信号 (CLK) 为低电平,因此 M 结点的电平被拉至低电平,第六薄膜晶体管 T6 和第七薄膜晶体管 T7 截止。由于第八薄膜晶体管 T8 导通,因此第一信号输出端 (OUT1) 输出的信号 ( $GL_1$ ) 为低电平。第二时钟信号 (CLKB) 为高电平,第四薄膜晶体管 T4 导通,第二信号输出端 (OUT2) 输出的信号 (OUTPUT2) 被拉至低电平。帧起始信号 (STV) 为低电平,第五薄膜晶体管截止, P 结点保持低电平,第三薄膜晶体管 T3 和第四薄膜晶体管 T4 保持截止。

[0070] 在 E 阶段之后,帧起始信号 (STV) 维持低电平,移位寄存器单元的输入和输出时序信号重复 D 阶段和 E 阶段的时序信号,随着第一时钟信号 (CLK) 和第二时钟信号 (CLKB) 交替变为高电平,第八薄膜晶体管 T8 和第七薄膜晶体管 T7 交替地将第一信号输出端 (OUT1) 输出的信号 ( $GL_1$ ) 拉至低电平。

[0071] 当帧起始信号 (STV) 的下一个高电平到来时,移位寄存器单元重复 A-E 阶段的时序。

[0072] 在上述 A、B 和 C 阶段,移位寄存器单元输出一个栅极驱动信号,使得与该移位寄存器单元的第一信号输出端连接的栅线控制一行 TFT 打开,液晶显示器的源极驱动电路的数据信号输入到像素电极,对像素电极进行充电。

[0073] 通过上述的工作原理的介绍可以看出,图 3 中,第七薄膜晶体管 T7 和第八薄膜晶体管 T8 主要起到了将栅极驱动信号  $GL_1$  的电平拉低的作用,能够保证在栅极驱动信号需要保持低电平的阶段,使得栅极驱动信号可靠地维持在低电平。

[0074] 图 4 所示的移位寄存器单元中,第七薄膜晶体管 T7 和第八薄膜晶体管 T8 并不是一直导通,而是随着第一时钟信号和第二时钟信号交替变换为高电平,第七薄膜晶体管 T7 和第八薄膜晶体管 T8 也交替导通 (参见图 7, CLKB 和 M 点的时序交替变为高电平),这样第七薄膜晶体管 T7 和第八薄膜晶体管 T8 的栅极就是处于一个交流偏置电压的作用下,而不是处于一个直流偏置电压的作用下,从而可以避免第七薄膜晶体管 T7 和第八薄膜晶体管 T8 的阈值电压  $V_{th}$  产生过大的漂移。

[0075] 如图 8 所示为本发明移位寄存器单元第四实施例的结构示意图,该实施例中,驱动单元的结构与图 3 不同。

[0076] 如图 8 所示的实施例中,驱动单元 11a 包括第十二薄膜晶体管 T12、第十三薄膜晶

晶体管 T13 以及第十四薄膜晶体管 T14。第十二薄膜晶体管 T12 的漏极与高电平信号输入端 (VDDIN) 连接, 栅极与第一时钟信号输入端 (CLKIN) 连接。高电平信号输入端 (VDDIN) 用于输入高电平信号 (VDD), 高电平信号 (VDD) 可以是一个一直保持高电平的信号, 例如可以是一个一直保持在 +25 伏的信号。

[0077] 第十三薄膜晶体管 T13 的漏极与第十二薄膜晶体管 T12 的源极连接, 栅极与第二时钟信号输入端 (CLKBIN) 连接, 源极与低电平信号输入端 (VSSIN) 连接。

[0078] 第十四薄膜晶体管 T14 的漏极与第十二薄膜晶体管 T12 的源极连接, 栅极与第三薄膜晶体管 T3 的源极连接, 源极与低电平信号输入端 (VSSIN) 连接。

[0079] 下拉单元 11b 包括第六薄膜晶体管 T6、第七薄膜晶体管 T7 和第八薄膜晶体管 T8。

[0080] 第六薄膜晶体管 T6 的栅极与第十二薄膜晶体管 T12 的源极连接, 漏极与第五薄膜晶体管 T5 的源极连接, 源极与低电平信号输入端 (VSSIN) 连接。

[0081] 第七薄膜晶体管 T7 的漏极与第一信号输出端 (OUT1) 连接, 栅极与第十二薄膜晶体管 T12 的源极连接, 源极与低电平信号输入端 (VSSIN) 连接。

[0082] 第八薄膜晶体管 T8 的漏极与第一信号输出端 (OUT1) 连接, 栅极与第二时钟信号输入端 (CLKBIN) 连接, 源极与低电平信号输入端 (VSSIN) 连接。

[0083] 如图 8 所示的实施例中, 通过第十二薄膜晶体管 T12、第十三薄膜晶体管 T13 和第十四薄膜晶体管 T14, 在 M 结点处产生于第二时钟信号 (CLKB) 交替变化的信号, 使得第七薄膜晶体管 T7 和第八薄膜晶体管 T8 在栅极驱动信号需要保持低电平的阶段, 交替将栅极驱动信号拉低, 保证栅极驱动信号可靠地维持低电平。并且, 不会导致第七薄膜晶体管和第八薄膜晶体管的阈值电压  $V_{th}$  产生过大的漂移。

[0084] 如图 9 所示为本发明移位寄存器单元第五实施例的结构示意图, 该实施例在如图 3 所示的实施例的基础上增加了第十五薄膜晶体管 T15, 第十五薄膜晶体管 T15 的漏极与第五薄膜晶体管 T5 的源极连接, 栅极与复位信号输入端 (RESETIN) 连接, 源极与低电平信号输入端 (VSSIN) 连接。

[0085] 图 9 所示的实施例中, 第十五薄膜晶体管 T15 与第五薄膜晶体管 T5 的源极连接, 即与 P 结点连接, P 结点处的电平由于电容的耦合作用被拉至很高 (参见图 7 所示的时序), 通过第十五薄膜晶体管 T15, 可以将 P 结点处的电荷很快释放, 从而使得第一信号输出端 (OUT1) 输出的栅极驱动信号 ( $GL_1$ ) 的下降沿变得陡峭。

[0086] 如图 8 所示的移位寄存器单元中也可以增加第十五薄膜晶体管 T15, 第十五薄膜晶体管 T15 与其他薄膜晶体管以及各个输入端之间的连接关系与图 9 相同。

[0087] 本发明各实施例中, 第五薄膜晶体管 T5 的栅极和漏极均与起始信号输入端 (STVIN) 连接, 当输入的帧起始信号 (STV) 为高电平时, 相当于对第一薄膜晶体管 T1 进行预充电。

[0088] 如图 9 所示的实施例中, 各个薄膜晶体管的宽长比可以如下:

[0089] 第一薄膜晶体管 T1 : 1800 微米 / 4.5 微米 ; 第二薄膜晶体管 T2 : 800 微米 / 4.5 微米 ; 第三薄膜晶体管 T3 : 200 微米 / 4.5 微米 ; 第四薄膜晶体管 T4 : 100 微米 / 4.5 微米 ; 第五薄膜晶体管 T5 : 100 微米 / 4.5 微米 ; 第六薄膜晶体管 T6 : 300 微米 / 4.5 微米 ; 第七薄膜晶体管 T7 : 100 微米 / 4.5 微米 ; 第八薄膜晶体管 T8 : 200 微米 / 4.5 微米 ; 第九薄膜晶体管 T9 : 50 微米 / 4.5 微米 ; 第十薄膜晶体管 T10 : 200 微米 / 4.5 微米 ; 第十一薄膜晶体管 T11 : 200

微米 /4.5 微米 ;第十二薄膜晶体管 T12 :200 微米 /4.5 微米 ;第十三薄膜晶体管 T13 :50 微米 /4.5 微米 ;第十四薄膜晶体管 T14 :200 微米 /4.5 微米 ;第十五膜晶体管 T15 :200 微米 /4.5 微米。其中第一薄膜晶体管 T1、第二薄膜晶体管 T2、第六薄膜晶体管 T6、第七薄膜晶体管 T8 和第十五薄膜晶体管 T15 的宽长比可以根据需要相应地调大,以提高这些薄膜晶体管的驱动能力。

[0090] 其中电容 C1 的容值可以是 0.3 皮法 (pF)。

[0091] 本发明提供的液晶显示器栅极驱动装置中,移位寄存器单元可以采用本发明各个实施例提供的移位寄存器单元,例如,可以采用如图 1、图 3、图 4、图 8 或图 9 所示的移位寄存器单元。

[0092] 本发明还提供一种液晶显示器,可以包括前述各个实施例的液晶显示器栅极驱动装置。液晶显示器栅极驱动装置中的各个薄膜晶体管可以采用与像素区域的薄膜晶体管类似的制造工艺沉积在阵列基板上,较佳地,可以沉积在阵列基板的边缘处。

[0093] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

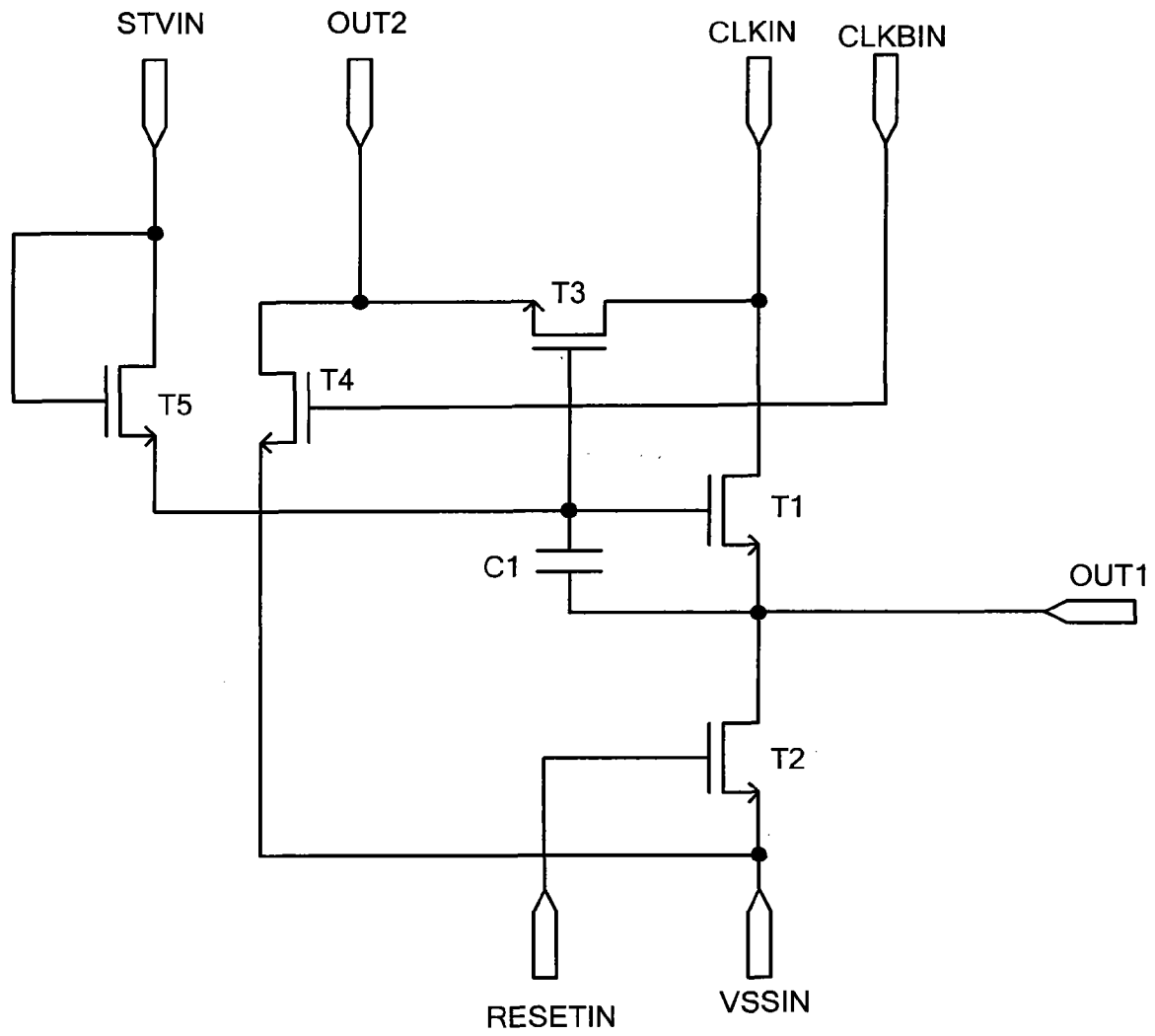


图 1



图 2

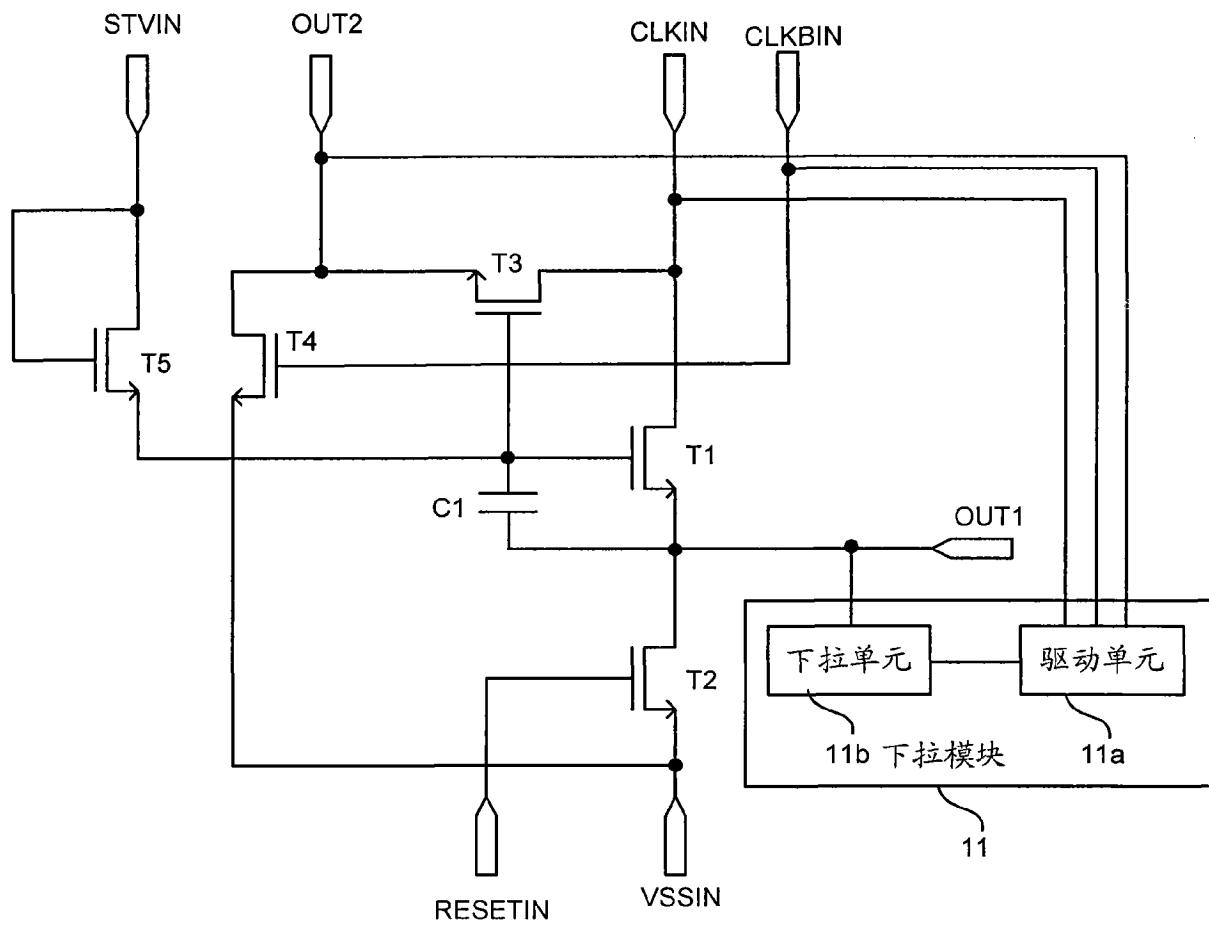


图 3

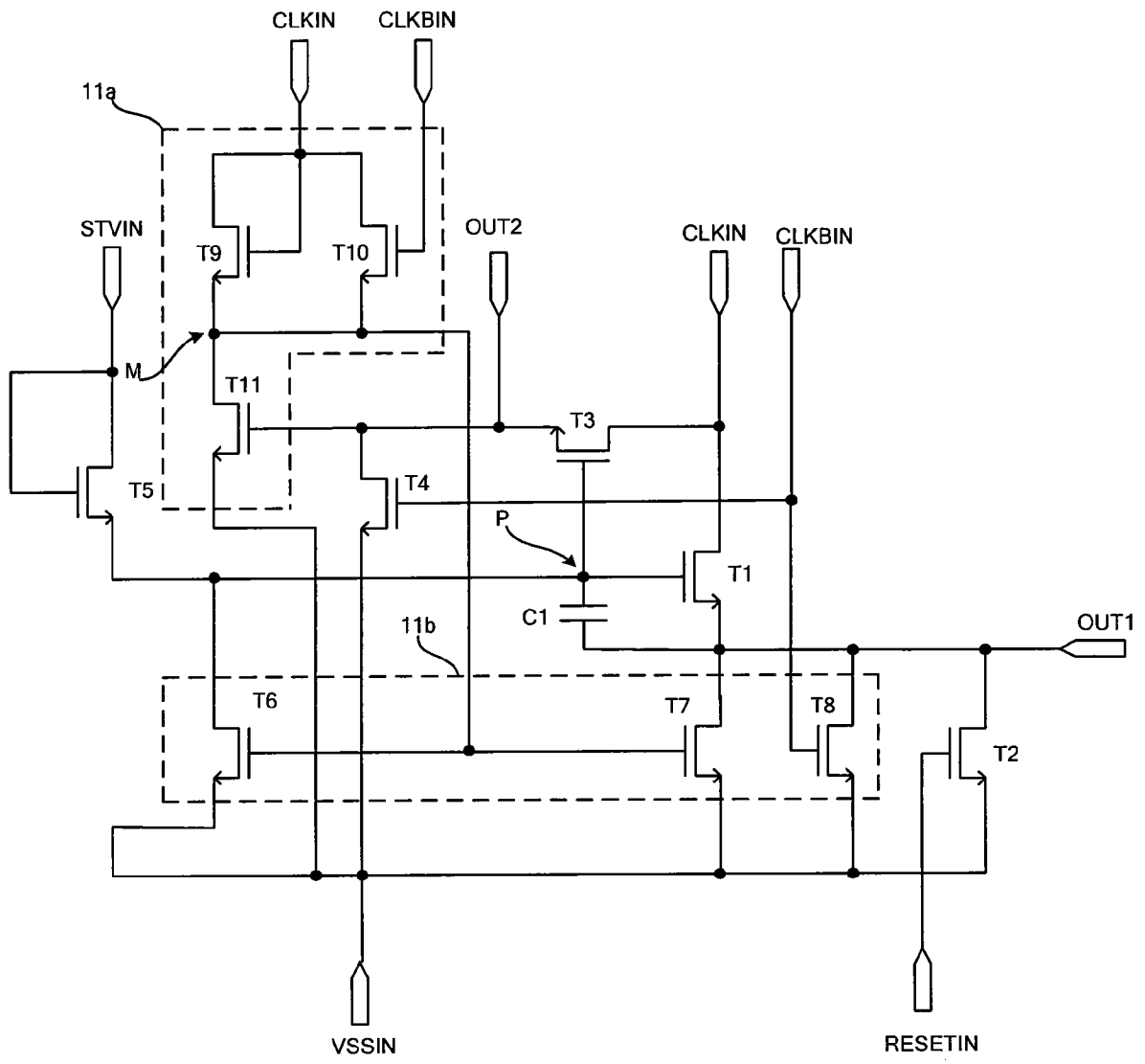


图 4

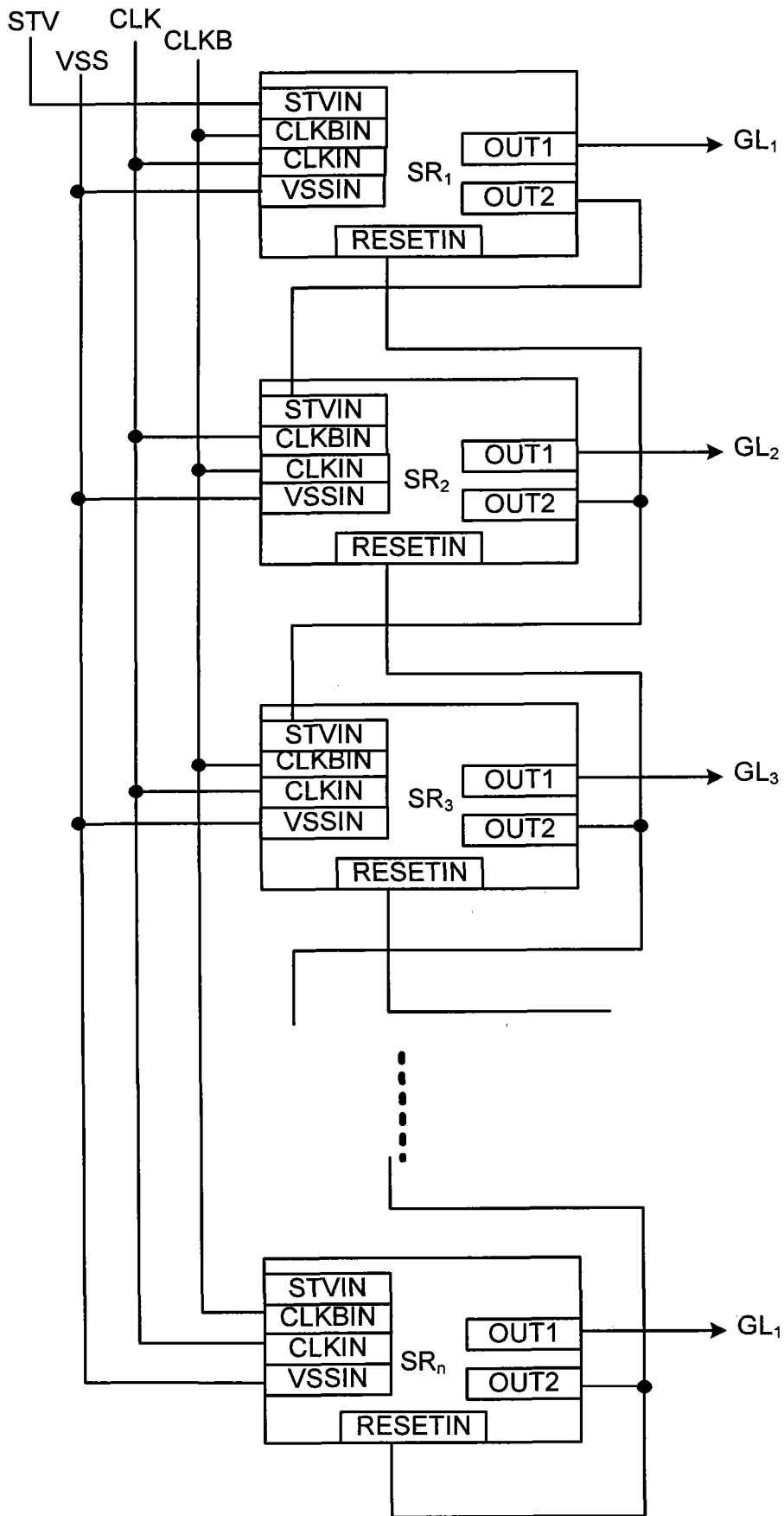


图 5

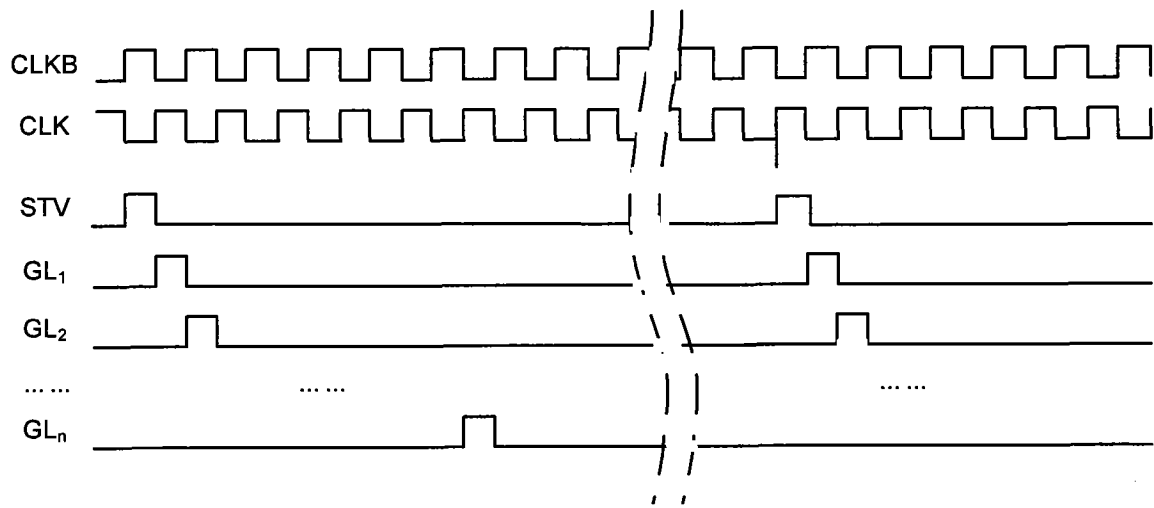


图 6

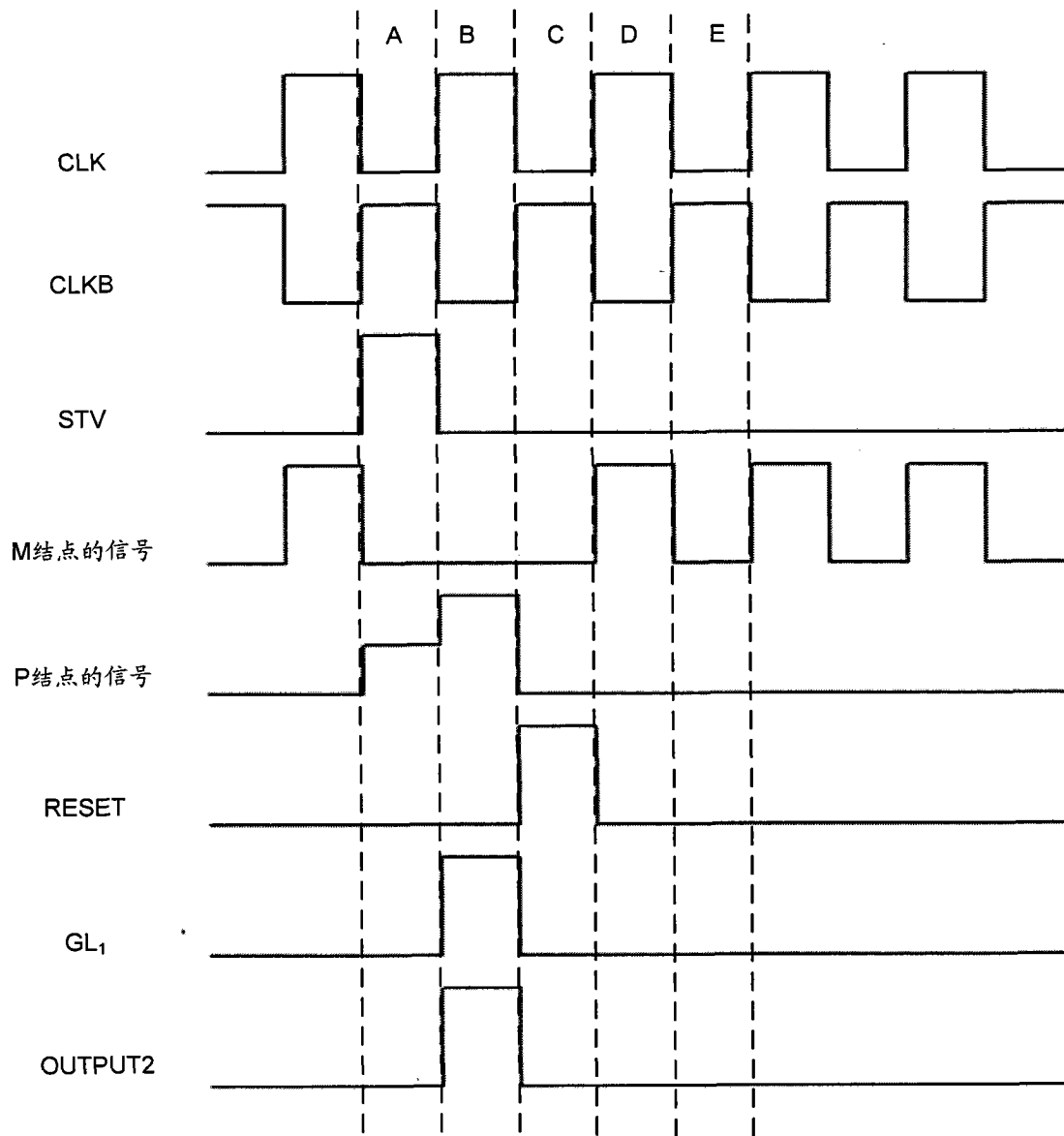


图 7



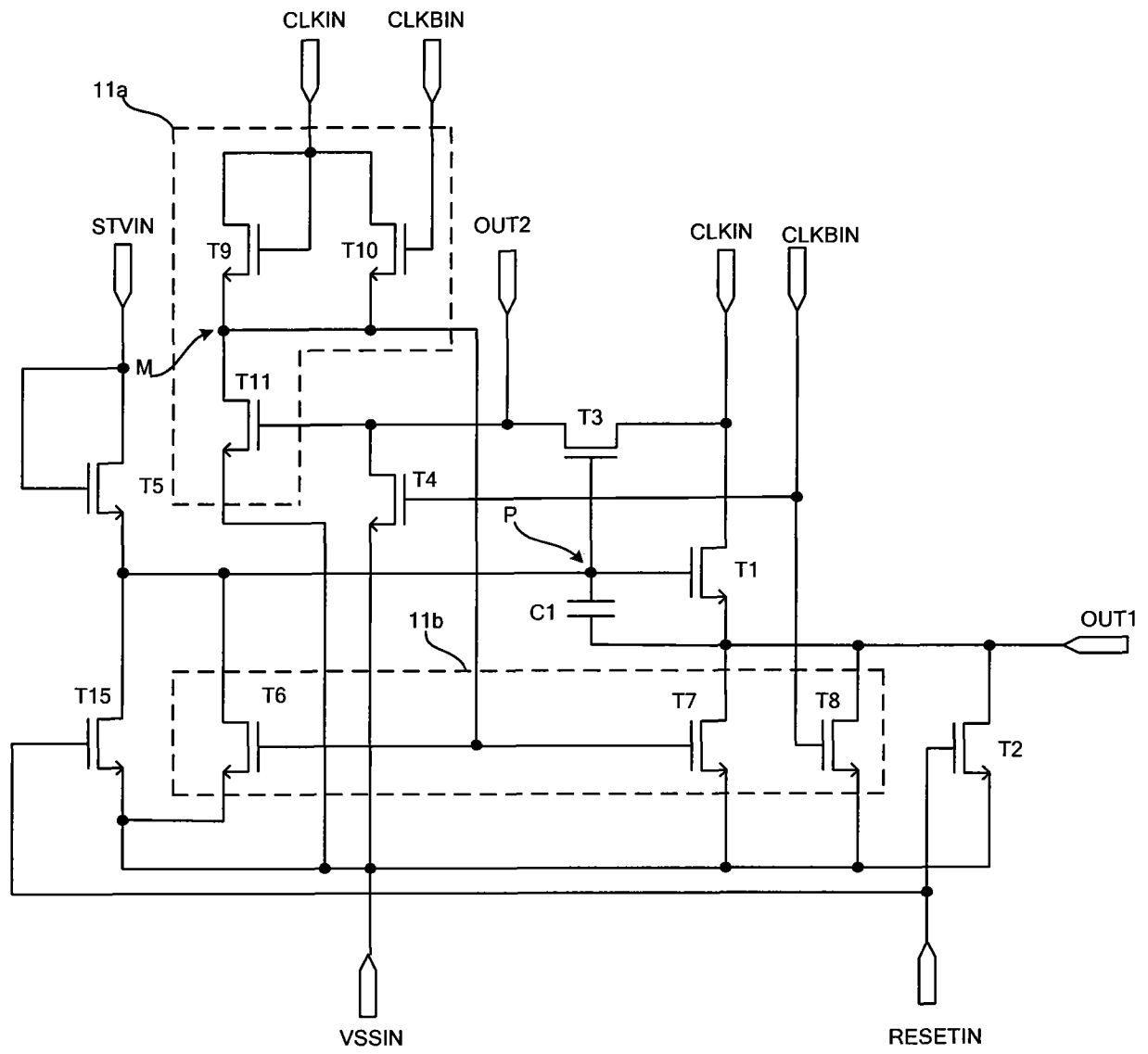


图 9

