



(12) 发明专利申请

(10) 申请公布号 CN 102254503 A

(43) 申请公布日 2011. 11. 23

(21) 申请号 201010181646. 6

(22) 申请日 2010. 05. 19

(71) 申请人 北京京东方光电科技有限公司

地址 100176 北京市经济技术开发区西环中
路 8 号

(72) 发明人 商广良 韩承佑

(74) 专利代理机构 北京同立钧成知识产权代理
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G09G 3/20(2006. 01)

G09G 3/36(2006. 01)

G11C 19/00(2006. 01)

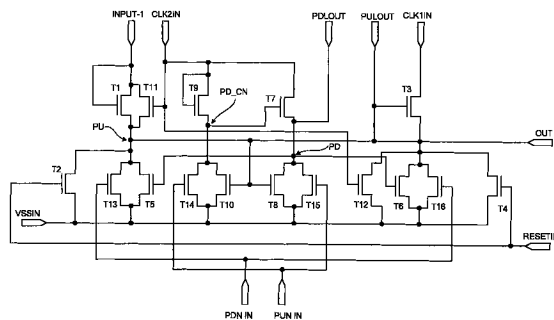
权利要求书 4 页 说明书 13 页 附图 12 页

(54) 发明名称

移位寄存器单元、显示器用栅极驱动装置及
液晶显示器

(57) 摘要

本发明公开了一种移位寄存器单元、显示器用栅极驱动装置及液晶显示器,其中,移位寄存器单元包括:输入模块,用于输入第二时钟信号或者第三时钟信号,并用于输入帧起始信号、第一时钟信号、低电压信号、复位信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号;处理模块,用于生成栅极驱动信号,并且使得至少二个薄膜晶体管形成的至少一个第一结点处的电平,在输入模块输入的第二时钟信号或第三时钟信号保持低电平的帧间隔内保持低电平;输出模块,用于将处理模块生成的栅极驱动信号发送出去。本发明能够使得栅极与第一结点连接的各个薄膜晶体管的寿命得到延长,移位寄存器单元的稳定性得到提升。



1. 一种移位寄存器单元,其特征在于,包括:

输入模块,用于输入第二时钟信号或者第三时钟信号,并用于输入帧起始信号、第一时钟信号、低电压信号、复位信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号;在一个帧间隔内,第二时钟信号与第一时钟信号的反相信号相同,第三时钟信号保持低电平;在相邻的下一个帧间隔内,第三时钟信号与第一时钟信号相同,第二时钟信号保持低电平;一个帧间隔包括一帧或多帧的显示时间;

处理模块,与所述输入模块连接,包括至少二个薄膜晶体管,用于根据所述输入模块输入的第二时钟信号或者第三时钟信号,并根据帧起始信号、第一时钟信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号,生成栅极驱动信号,并且使得所述至少二个薄膜晶体管形成的至少一个第一结点处的电平,在所述输入模块输入的第二时钟信号或第三时钟信号保持低电平的帧间隔内保持低电平;

输出模块,与所述处理模块连接,用于将所述处理模块生成的栅极驱动信号发送出去。

2. 根据权利要求1所述的移位寄存器单元,其特征在于,所述处理模块包括:

栅极驱动信号生成单元,与所述输入模块连接,包括至少二个薄膜晶体管,用于根据所述输入模块输入的第二时钟信号或者第三时钟信号,并根据帧起始信号、第一时钟信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号,生成栅极驱动信号;

电平控制单元,与所述栅极驱动信号生成单元连接,用于使得所述栅极驱动信号生成单元中的至少二个薄膜晶体管形成的至少一个第一结点处的电平,在所述输入模块输入的第二时钟信号或第三时钟信号保持低电平的帧间隔内保持低电平。

3. 根据权利要求1或2所述的移位寄存器单元,其特征在于,所述输入模块包括:

起始信号输入端,用于输入帧起始信号;

第一时钟信号输入端,用于输入第一时钟信号;

第二时钟信号输入端,用于输入第二时钟信号或第三时钟信号;

第一信号输入端,用于输入该移位寄存器单元的相邻的下一个移位寄存器单元输入的第一信号;

第二信号输入端,用于输入该移位寄存器单元的相邻的下一个移位寄存器单元输入的第二信号;

低电压信号输入端,用于输入低电压信号;

复位信号输入端,用于输入复位信号。

4. 根据权利要求3所述的移位寄存器单元,其特征在于,所述栅极驱动信号生成单元包括:

第一薄膜晶体管,其漏极和栅极均与起始信号输入端连接;

第二薄膜晶体管,其漏极与所述第一薄膜晶体管的源极连接,栅极与复位信号输入端连接,源极与低电压信号输入端连接;

第三薄膜晶体管,其漏极与第一时钟信号输入端连接,栅极与所述第一薄膜晶体管的源极连接,源极与自身的栅极和输出模块连接;

第四薄膜晶体管,其漏极与所述第三薄膜晶体管的源极连接,栅极与所述复位信号输入端连接,源极与所述低电压信号输入端连接;

第五薄膜晶体管,其漏极与所述第一薄膜晶体管的源极连接,源极与所述低电压信号

输入端连接；

第六薄膜晶体管，其漏极与所述第三薄膜晶体管的源极连接，源极与所述低电压信号输入端连接；

第七薄膜晶体管，其源极分别与所述第五薄膜晶体管的栅极和所述第六薄膜晶体管的栅极连接；

第八薄膜晶体管，其漏极与所述第七薄膜晶体管的源极连接，栅极与所述第一薄膜晶体管的源极连接，源极与所述低电压信号输入端连接；

第九薄膜晶体管，其源极与所述第七薄膜晶体管的栅极连接；

第十薄膜晶体管，其漏极与所述第九薄膜晶体管的源极连接，栅极与所述第一薄膜晶体管的源极连接，源极与所述低电压信号输入端连接；

第十一薄膜晶体管，其漏极与所述第一薄膜晶体管的漏极连接，源极与所述第一薄膜晶体管的源极连接，栅极与第二时钟信号输入端连接；

第十二薄膜晶体管，其漏极与所述第三薄膜晶体管的源极连接，源极与所述低电压信号输入端连接，栅极与第二时钟信号输入端连接。

5. 根据权利要求 4 所述的移位寄存器单元，其特征在于，第七薄膜晶体管的源极、第八薄膜晶体管的漏极、第五薄膜晶体管的栅极和第六薄膜晶体管的栅极的汇聚处形成第一结点。

6. 根据权利要求 5 所述的移位寄存器单元，其特征在于，所述电平控制单元包括：

第十三薄膜晶体管，其漏极与所述第五薄膜晶体管的漏极连接，栅极与所述第一信号输入端连接，源极与所述低电压信号输入端连接；

第十四薄膜晶体管，其漏极与所述第十薄膜晶体管的漏极连接，栅极与所述第二信号输入端连接，源极与所述低电压信号输入端连接；

第十五薄膜晶体管，其漏极与所述第八薄膜晶体管的漏极连接，栅极与所述第二信号输入端连接，源极与所述低电压信号输入端连接；

第十六薄膜晶体管，其漏极与所述第六薄膜晶体管的漏极连接，栅极与所述第一信号输入端连接，源极与所述低电压信号输入端连接。

7. 根据权利要求 6 所述的移位寄存器单元，其特征在于，所述第九薄膜晶体管的栅极和漏极以及第七薄膜晶体管的漏极与所述第一时钟信号输入端连接；

或者，所述第九薄膜晶体管的栅极和漏极以及第七薄膜晶体管的漏极与所述第二时钟信号输入端连接。

8. 根据权利要求 7 所述的移位寄存器单元，其特征在于，还包括电容，所述电容的两端分别与所述第三薄膜晶体管的栅极和源极连接。

9. 根据权利要求 7 所述的移位寄存器单元，其特征在于，所述第七薄膜晶体管沟道的宽长比和第八薄膜晶体管沟道的宽长比之间的比例为 $1/1 \sim 1/50$ ；所述第九薄膜晶体管沟道的宽长比和第十薄膜晶体管沟道的宽长比之间的比例为 $1/1 \sim 1/50$ 。

10. 根据权利要求 7 所述的移位寄存器单元，其特征在于，所述输出模块包括：

栅极驱动信号输出端，与所述第三薄膜晶体管的源极连接，用于将所述处理模块生成的栅极驱动信号发送出去；

第一信号输出端，与所述第七薄膜晶体管的源极连接，用于输出第三信号给该移位寄

寄存器单元的相邻的上一个移位寄存器单元；

第二信号输出端,与所述第三薄膜晶体管的栅极和源极连接,用于输出第四信号给该移位寄存器单元的相邻的上一个移位寄存器单元。

11. 一种显示器用栅极驱动装置,其特征在于,包括顺次连接的 $n+1$ 个如权利要求 1-10 中任一权利要求所述的移位寄存器单元; n 为自然数;

除第一个移位寄存器单元和第 $n+1$ 个移位寄存器单元之外,每个移位寄存器单元的输入模块均和相邻的上一个移位寄存器单元的输入模块以及相邻的下一个移位寄存器单元的输入模块连接,每个移位寄存器单元输出的栅极驱动信号均被发送给相邻的上一个移位寄存器单元,作为相邻的上一个移位寄存器单元的复位信号;每个移位寄存器单元输出的栅极驱动信号均被发送给相邻的下一个移位寄存器单元,作为相邻的下一个移位寄存器单元的帧起始信号;

第一个移位寄存器单元的输入模块与第二个移位寄存器单元的输入模块连接,第一个移位寄存器单元输出的栅极驱动信号被输入到第二个移位寄存器单元,作为第二个移位寄存器单元的帧起始信号;

最后一个移位寄存器单元的输入模块与第 n 个移位寄存器单元的输入模块连接,最后一个移位寄存器单元输出的栅极驱动信号被发送给第 n 个移位寄存器单元,作为第 n 个移位寄存器单元的复位信号;最后一个移位寄存器单元的输入模块与自身的输入模块连接,最后一个移位寄存器单元输出的栅极驱动信号被发送给自身的输入模块,作为自身的复位信号。

12. 根据权利要求 11 所述的显示器用栅极驱动装置,其特征在于,

除第一个移位寄存器单元和最后一个移位寄存器单元之外,每个移位寄存器单元的栅极驱动信号输出端均和相邻的上一个移位寄存器单元的复位信号输入端以及相邻的下一个移位寄存器单元的起始信号输入端连接;

第一个移位寄存器单元的栅极驱动信号输出端与第二个移位寄存器单元的起始信号输入端连接;

第 $n+1$ 个移位寄存器单元的栅极驱动信号输出端分别和相邻的第 n 个移位寄存器单元的复位信号输入端以及自身的复位信号输入端连接。

13. 根据权利要求 12 所述的显示器用栅极驱动装置,其特征在于,除第一个移位寄存器单元和第 $n+1$ 个移位寄存器单元之外,每个移位寄存器单元的第一信号输出端均和相邻的上一个移位寄存器单元的第一信号输入端连接,第二信号输出端均和相邻的上一个移位寄存器单元的第二信号输入端连接,第一信号输入端均和相邻的下一个移位寄存器单元的第一信号输出端连接,第二信号输入端均和相邻的下一个移位寄存器单元的第二信号输出端连接;

第一个移位寄存器单元的第一信号输入端与第二个移位寄存器单元的第一信号输出端连接,第二信号输入端与第二个移位寄存器单元的第二信号输出端连接;

第 $n+1$ 个移位寄存器单元的第一信号输出端和第一信号输入端均与第 n 个移位寄存器单元的第一信号输入端连接,第二信号输出端和第二信号输入端均与第 n 个移位寄存器单元的第二信号输入端连接。

14. 根据权利要求 12 所述的显示器用栅极驱动装置,其特征在于,

如果 $n+1$ 为偶数,那么:

第 i 个移位寄存器单元的第一信号输入端与第 $i+1$ 个移位寄存器单元的第一信号输出端连接,第 i 个移位寄存器单元的第二信号输入端与第 $i+1$ 个移位寄存器单元的第二信号输出端连接; i 为奇数, $i \in [1, n]$;

第 i 个移位寄存器单元的第一信号输出端与第 $i+1$ 个移位寄存器单元的第一信号输入端连接,第 i 个移位寄存器单元的第二信号输出端与第 $i+1$ 个移位寄存器单元的第二信号输入端连接;

如果 $n+1$ 为奇数,那么:

第 i 个移位寄存器单元的第一信号输入端与第 $i+1$ 个移位寄存器单元的第一信号输出端连接,第 i 个移位寄存器单元的第二信号输入端与第 $i+1$ 个移位寄存器单元的第二信号输出端连接; i 为奇数, $i \in [1, n-1]$;

第 i 个移位寄存器单元的第一信号输出端与第 $i+1$ 个移位寄存器单元的第一信号输入端连接,第 i 个移位寄存器单元的第二信号输出端与第 $i+1$ 个移位寄存器单元的第二信号输入端连接;

第 $n+1$ 个移位寄存器单元的第一信号输入端和第一信号输出端均与第 n 个移位寄存器单元的第一信号输入端连接,第 $n+1$ 个移位寄存器单元的第二信号输入端和第二信号输出端与第 n 个移位寄存器单元的第二信号输入端连接。

15. 根据权利要求 13 或 14 所述的显示器用栅极驱动装置,其特征在于,

对于第 i 个移位寄存器单元,第一时钟信号输入端用于输入第一时钟信号,第二时钟信号输入端用于输入第二时钟信号;对于第 $i+1$ 个移位寄存器单元,第一时钟信号输入端用于输入第一时钟信号的反相信号,第二时钟信号输入端用于输入第三时钟信号。

16. 一种液晶显示器,其特征在于,包括如权利要求 11-15 中任一权利要求所述显示器用栅极驱动装置。

移位寄存器单元、显示器用栅极驱动装置及液晶显示器

技术领域

[0001] 本发明涉及显示器驱动技术,尤其涉及一种移位寄存器单元、显示器用栅极驱动装置及液晶显示器。

背景技术

[0002] 为了达到显示目的,一些显示器中会用到栅极驱动装置。

[0003] 以液晶显示器为例,液晶显示器显示图像时通常采用逐行扫描的方式,每一行子像素区域的薄膜晶体管(Thin Film Transistor,简称TFT)的导通和截止由一条栅线控制,用于驱动各个薄膜晶体管的栅极的栅极驱动信号由栅极驱动装置产生,栅极驱动装置通常包括多个移位寄存器单元。

[0004] 移位寄存器单元通常包括多个薄膜晶体管,多个薄膜晶体管结合输入的时钟信号、帧起始信号以及复位信号等,生成栅极驱动信号,栅极驱动信号发送给阵列基板上的子像素区域内的薄膜晶体管。

[0005] 这些薄膜晶体管中的至少两个,能够形成一个结点,其中一些结点处的电平会长时间处于高电平,这样,栅极与这些结点连接的一些薄膜晶体管就会长时间处于较大的偏置电压之下,从而导致栅极与这些结点连接的薄膜晶体管的寿命减小,影响移位寄存器单元的稳定性。

发明内容

[0006] 本发明提供一种移位寄存器单元、显示器用栅极驱动装置及液晶显示器,能够延长部分薄膜晶体管的寿命,提高移位寄存器单元的稳定性。

[0007] 本发明提供了一种移位寄存器单元,包括:

[0008] 输入模块,用于输入第二时钟信号或者第三时钟信号,并用于输入帧起始信号、第一时钟信号、低电压信号、复位信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号;在一个帧间隔内,第二时钟信号与第一时钟信号的反相信号相同,第三时钟信号保持低电平;在相邻的下一个帧间隔内,第三时钟信号与第一时钟信号相同,第二时钟信号保持低电平;一个帧间隔包括一帧或多帧的显示时间;

[0009] 处理模块,与所述输入模块连接,包括至少二个薄膜晶体管,用于根据所述输入模块输入的第二时钟信号或者第三时钟信号,并根据帧起始信号、第一时钟信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号,生成栅极驱动信号,并且使得所述至少二个薄膜晶体管形成的至少一个第一结点处的电平,在所述输入模块输入的第二时钟信号或第三时钟信号保持低电平的帧间隔内保持低电平;

[0010] 输出模块,与所述处理模块连接,用于将所述处理模块生成的栅极驱动信号发送出去。

[0011] 本发明还提供了一种显示器用栅极驱动装置,包括顺次连接的 $n+1$ 个如前所述的移位寄存器单元; n 为自然数;

[0012] 除第一个移位寄存器单元和第 $n+1$ 个移位寄存器单元之外,每个移位寄存器单元的输出模块均和相邻的上一个移位寄存器单元的输入模块以及相邻的下一个移位寄存器单元的输入模块连接,每个移位寄存器单元输出的栅极驱动信号均被发送给相邻的上一个移位寄存器单元,作为相邻的上一个移位寄存器单元的复位信号;每个移位寄存器单元输出的栅极驱动信号均被发送给相邻的下一个移位寄存器单元,作为相邻的下一个移位寄存器单元的帧起始信号;

[0013] 第一个移位寄存器单元的输出模块与第二个移位寄存器单元的输入模块连接,第一个移位寄存器单元输出的栅极驱动信号被输入到第二个移位寄存器单元,作为第二个移位寄存器单元的帧起始信号;

[0014] 最后一个移位寄存器单元的输出模块与第 n 个移位寄存器单元的输入模块连接,最后一个移位寄存器单元输出的栅极驱动信号被发送给第 n 个移位寄存器单元,作为第 n 个移位寄存器单元的复位信号;最后一个移位寄存器单元的输出模块与自身的输入模块连接,最后一个移位寄存器单元输出的栅极驱动信号被发送给自身的输入模块,作为自身的复位信号。

[0015] 本发明还提供了一种液晶显示器,包括如前所述的显示器用栅极驱动装置。

[0016] 本发明提供的移位寄存器单元、显示器用栅极驱动装置及液晶显示器,处理模块除了根据输入模块输入的第二时钟信号或者第三时钟信号,并根据帧起始信号、第一时钟信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号,生成栅极驱动信号之外,还能够使得至少二个薄膜晶体管形成的至少一个第一结点处的电平,在输入模块输入的第二时钟信号或第三时钟信号保持低电平的帧间隔内保持低电平,这样,第一结点处于高电平的时间缩短,栅极与第一结点连接的各个薄膜晶体管的寿命就能够得到延长,移位寄存器单元的稳定性得到了提升。

[0017] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

附图说明

[0018] 图 1 所示为本发明移位寄存器单元的结构示意图;

[0019] 图 2 所示为本发明移位寄存器单元第一实施例的结构示意图;

[0020] 图 3a 所示为本发明移位寄存器单元第二实施例的结构示意图;

[0021] 图 3b 所示为图 5a 中第三个移位寄存器单元 SR_3 中输入和输出信号的时序图;

[0022] 图 4 所示为本发明显示器用栅极驱动装置的结构示意图;

[0023] 图 5a 所示为本发明显示器用栅极驱动装置第一实施例的结构示意图;

[0024] 图 5b 所示为图 5a 所示的显示器用栅极驱动装置的输入和输出信号的时序图;

[0025] 图 5c 为图 5b 的简化时序图;

[0026] 图 6a 所示为本发明移位寄存器单元第三实施例的结构示意图;

[0027] 图 6b 所示为图 6a 中的移位寄存器单元的输入和输出信号的时序图;

[0028] 图 7 所示为本发明移位寄存器单元第四实施例的结构示意图;

[0029] 图 8 所示为本发明显示器用栅极驱动装置第二实施例的结构示意图;

[0030] 图 9 所示为本发明显示器用栅极驱动装置第三实施例的结构示意图。

具体实施方式

[0031] 各种显示器中都需要用到栅极驱动装置,为了便于说明,本发明以下各实施例中主要以液晶显示器为例来介绍,但是本发明提供的移位寄存器单元以及栅极驱动装置不限于液晶显示器,也能够应用到其他各种显示器中。

[0032] 如图 1 所示为本发明移位寄存器单元的结构示意图,该移位寄存器单元包括输入模块 11、处理模块 12 和输出模块 13。输入模块 11 用于输入第二时钟信号或者第三时钟信号,并用于输入帧起始信号、第一时钟信号、低电压信号、复位信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号;在一个帧间隔内,第二时钟信号与第一时钟信号的反相信号相同,第三时钟信号保持低电平;在相邻的下一个帧间隔内,第三时钟信号与第一时钟信号相同,第二时钟信号保持低电平;一个帧间隔包括一帧或多帧的显示时间。处理模块 12 与输入模块 11 连接,包括至少二个薄膜晶体管,用于根据输入模块 11 输入的第二时钟信号或者第三时钟信号,并根据帧起始信号、第一时钟信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号,生成栅极驱动信号,并且使得至少二个薄膜晶体管形成的至少一个第一结点处的电平,在输入模块 11 输入的第二时钟信号或第三时钟信号保持低电平的帧间隔内保持低电平。输出模块 13 与处理模块 12 连接,用于将处理模块 12 生成的栅极驱动信号发送出去。

[0033] 如图 2 所示为本发明移位寄存器单元第一实施例的结构示意图,该实施例中,处理模块 12 包括栅极驱动信号生成单元 121 和电平控制单元 122。栅极驱动信号生成单元 121 与输入模块 11 连接,包括至少二个薄膜晶体管,用于根据输入模块 11 输入的第二时钟信号或者第三时钟信号,并根据帧起始信号、第一时钟信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号,生成栅极驱动信号。电平控制单元 122 与栅极驱动信号生成单元 121 连接,用于使得栅极驱动信号生成单元 121 中的至少二个薄膜晶体管形成的至少一个第一结点处的电平,在输入模块 11 输入的第二时钟信号或第三时钟信号保持低电平的帧间隔内保持低电平。

[0034] 如图 3a 所示为本发明移位寄存器单元第二实施例的结构示意图,该实施例中,输入模块包括起始信号输入端 (INPUT-1)、第一时钟信号输入端 (CLK1IN)、第二时钟信号输入端 (CLK2IN)、第一信号输入端 (PDNIN)、第二信号输入端 (PUNIN)、低电压信号输入端 (VSSIN) 和复位信号输入端 (RESETIN)。起始信号输入端 (INPUT-1) 用于输入帧起始信号。第一时钟信号输入端 (PDNIN) 用于输入第一时钟信号。第二时钟信号输入端 (CLK2IN) 用于输入第二时钟信号或第三时钟信号。第一信号输入端 (PDNIN) 用于输入该移位寄存器单元的相邻的下一个移位寄存器单元输入的第一信号。第二信号输入端 (PUNIN) 用于输入该移位寄存器单元的相邻的下一个移位寄存器单元输入的第二信号。低电压信号输入端 (VSSIN) 用于输入低电压信号。复位信号输入端 (RESETIN) 用于输入复位信号。

[0035] 输出模块包括栅极驱动信号输出端 (OUT)、第一信号输出端 (PDLOUT)、第二信号输出端 (PULOUT)。栅极驱动信号输出端 (OUT) 用于将处理模块生成的栅极驱动信号发送出去。第一信号输出端 (PDLOUT) 用于输出第三信号给该移位寄存器单元的相邻的上一个移位寄存器单元。第二信号输出端 (PULOUT) 用于输出第四信号给该移位寄存器单元的相邻的上一个移位寄存器单元。

[0036] 栅极驱动信号生成单元包括第一薄膜晶体管 T1、第二薄膜晶体管 T2、第三薄膜晶

体管 T3、第四薄膜晶体管 T4、第五薄膜晶体管 T5、第六薄膜晶体管 T6、第七薄膜晶体管 T7、第八薄膜晶体管 T8、第九薄膜晶体管 T9、第十薄膜晶体管 T10、第十一薄膜晶体管 T11 和第十二薄膜晶体管 T12。

[0037] 第一薄膜晶体管 T1 的栅极和漏极均与起始信号输入端 (INPUT-1) 连接;第二薄膜晶体管 T2 的漏极与第一薄膜晶体管 T1 的源极连接,第二薄膜晶体管 T2 的栅极与复位信号输入端 (RESETIN) 连接,第二薄膜晶体管 T2 的源极与低电压信号输入端 (VSSIN) 连接;第三薄膜晶体管 T3 的漏极与第一时钟信号输入端 (CLK1IN) 连接,第三薄膜晶体管 T3 的栅极和源极与第二信号输出端 (PULOUT) 连接,第三薄膜晶体管 T3 的源极还与自身的栅极和栅极驱动信号输出端 (OUT) 连接;第四薄膜晶体管 T4 的栅极与复位信号输入端 (RESETIN) 连接,第四薄膜晶体管 T4 的漏极与第三薄膜晶体管 T3 的源极连接,第四薄膜晶体管 T4 的源极与低电压信号输入端 (VSSIN) 连接;第五薄膜晶体管 T5 的漏极与第一薄膜晶体管 T1 的源极连接,第五薄膜晶体管 T5 的源极与低电压信号输入端 (VSSIN) 连接;第六薄膜晶体管 T6 的漏极与第三薄膜晶体管 T3 的源极连接,第六薄膜晶体管 T6 的源极与低电压信号输入端 (VSSIN) 连接;第七薄膜晶体管 T7 的源极分别与第五薄膜晶体管 T5 的栅极、第六薄膜晶体管 T6 的栅极以及第一信号输出端 (PDLOUT) 连接;第八薄膜晶体管 T8 的栅极与第一薄膜晶体管 T1 的源极连接,第八薄膜晶体管 T8 的漏极与第七薄膜晶体管 T7 的源极连接,第八薄膜晶体管 T8 的源极与低电压信号输入端 (VSSIN) 连接;第九薄膜晶体管 T9 的源极与第七薄膜晶体管 T7 的栅极连接;第十薄膜晶体管 T10 的栅极与第一薄膜晶体管 T1 的源极连接,第十薄膜晶体管 T10 的漏极与第九薄膜晶体管 T9 的源极连接,第十薄膜晶体管 T10 的源极与低电压信号输入端 (VSSIN) 连接。第十一薄膜晶体管 T11 的源极与起始信号输入端 (INPUT-1) 连接,漏极与第一薄膜晶体管 T1 的源极连接,栅极与第二时钟信号输入端 (CLK2IN) 连接。第十二薄膜晶体管 T12 的漏极与第三薄膜晶体管 T3 的源极连接,源极与低电压信号输入端 (VSSIN) 连接,栅极与第二时钟信号输入端 (CLK2IN) 连接。第一薄膜晶体管 T1 的源极、第二薄膜晶体管 T2 的漏极、第五薄膜晶体管 T5 的漏极、第十薄膜晶体管 T10 的栅极、第八薄膜晶体管 T8 的栅极和第三薄膜晶体管 T3 的栅极的汇聚处形成第二结点,本发明的各实施例中把第二结点称为 PU 结点;第七薄膜晶体管 T7 的源极、第八薄膜晶体管 T8 的漏极、第五薄膜晶体管 T5 的栅极和第六薄膜晶体管 T6 的栅极的汇聚处形成第一结点,本发明的各实施例中把第一结点称为 PD 结点;第九薄膜晶体管 T9 的源极和第七薄膜晶体管 T7 的栅极的汇聚处形成第三结点,本发明的各实施例中把第三结点称为 PD_CN 结点。

[0038] 图 3a 中,电平控制单元包括第十三薄膜晶体管 T13、第十四薄膜晶体管 T14、第十五薄膜晶体管 T15 和第十六薄膜晶体管 T16。

[0039] 第十三薄膜晶体管 T13 的栅极与第一信号输入端 (PDNIN) 连接,漏极与第五薄膜晶体管 T5 的漏极和第一薄膜晶体管 T1 的源极连接,源极与低电压信号输入端 (VSSIN) 连接。第十四薄膜晶体管 T14 的栅极与第二信号输入端 (PUNIN) 连接,漏极与第十薄膜晶体管 T10 的漏极和第九薄膜晶体管 T9 的源极连接,源极与低电压信号输入端 (VSSIN) 连接。第十五薄膜晶体管 T15 的栅极与第二信号输入端 (PUNIN) 连接,漏极与第八薄膜晶体管 T8 的漏极和第七薄膜晶体管 T7 的源极连接,源极与低电压信号输入端 (VSSIN) 连接。第十六薄膜晶体管 T16 的栅极与第一信号输入端 (PDNIN) 连接,漏极与第六薄膜晶体管 T6 的漏极和第三薄膜晶体管 T3 的源极连接,源极与低电压信号输入端 (VSSIN) 连接。

[0040] 如图 4 所示为本发明显示器用栅极驱动装置的结构示意图,该装置包括顺次连接的 $n+1$ 个移位寄存器单元,这 $n+1$ 个移位寄存器单元分别标记为 SR_1 、 SR_2 、……、 SR_{n+1} ,除第一个移位寄存器单元 SR_1 和第 $n+1$ 个移位寄存器单元 SR_{n+1} 之外,每个移位寄存器单元的输入模块 13 均和相邻的上一个移位寄存器单元的输入模块 11 以及相邻的下一个移位寄存器单元的输入模块 11 连接,每个移位寄存器单元输出的栅极驱动信号均被发送给相邻的上一个移位寄存器单元,作为相邻的上一个移位寄存器单元的复位信号;每个移位寄存器单元数输出的栅极驱动信号均被发送给相邻的下一个移位寄存器单元,作为相邻的下一个移位寄存器单元的帧起始信号;第一个移位寄存器单元 SR_1 的输出模块 13 与第二个移位寄存器单元 SR_2 的输入模块 11 连接,第一个移位寄存器单元 SR_1 输出的栅极驱动信号被输入到第二个移位寄存器单元 SR_2 ,作为第二个移位寄存器单元 SR_2 的帧起始信号;最后一个移位寄存器单元 SR_{n+1} 的输出模块 13 与第 n 个移位寄存器单元 SR_n 的输入模块 11 连接,最后一个移位寄存器单元 SR_{n+1} 输出的栅极驱动信号被发送给第 n 个移位寄存器单元 SR_n ,作为第 n 个移位寄存器单元 SR_n 的复位信号;最后一个移位寄存器单元 SR_{n+1} 的输出模块 13 与自身的输入模块 11 连接,最后一个移位寄存器单元 SR_{n+1} 输出的栅极驱动信号被发送给自身的输入模块 11,作为自身的复位信号。

[0041] 如图 5a 所示为本发明显示器用栅极驱动装置第一实施例的结构示意图。该实施例中包括 $n+1$ 个如图 3a 所示的移位寄存器单元,除第一个移位寄存器单元 SR_1 和最后一个移位寄存器单元 SR_{n+1} 之外,每个移位寄存器单元的栅极驱动信号输出端 (OUT) 均和相邻的上一个移位寄存器单元的复位信号输入端 (RESETIN) 以及相邻的下一个移位寄存器单元的起始信号输入端 (INPUT-1) 连接,第一个移位寄存器单元 SR_1 的栅极驱动信号输出端 (OUT) 与第二个移位寄存器单元 SR_2 的起始信号输入端 (INPUT-1) 连接,第 $n+1$ 个移位寄存器单元 SR_{n+1} 的栅极驱动信号输出端 (OUT) 分别和相邻的第 n 个移位寄存器单元 SR_n 的复位信号输入端 (RESETIN) 以及自身的复位信号输入端 (RESETIN) 连接。除第一个移位寄存器单元 SR_1 和最后一个移位寄存器单元 SR_{n+1} 之外,每个移位寄存器单元的第一信号输出端 (PDL0UT) 均与相邻的上一个移位寄存器单元的第一信号输入端 (PDNIN) 连接,第二信号输出端 (PUL0UT) 均与相邻的上一个移位寄存器单元的第二信号输入端 (PUNIN) 连接,第一信号输入端 (PDNIN) 均与相邻的下一个移位寄存器单元的第一信号输出端 (PDL0UT) 连接,第二信号输入端 (PUNIN) 均与相邻的下一个移位寄存器单元的第二信号输出端 (PUL0UT) 连接。第一个移位寄存器单元 SR_1 的第一信号输入端 (PDNIN) 与第二个移位寄存器单元 SR_2 的第一信号输出端 (PDL0UT) 连接,第二信号输入端 (PUNIN) 与第二个移位寄存器单元 SR_2 的第二信号输出端 (PUL0UT) 连接。第 $n+1$ 个移位寄存器单元 SR_{n+1} 的第一信号输出端 (PDL0UT) 和第一信号输入端 (PDNIN) 均与第 n 个移位寄存器单元 SR_n 的第一信号输入端 (PDNIN) 连接,第二信号输出端 (PUL0UT) 和第二信号输入端 (PUNIN) 与第 n 个移位寄存器单元 SR_n 的第二信号输入端 (PUNIN) 连接。

[0042] 结合图 3a 和图 5a 可以看出显示器用栅极驱动装置中各个移位寄存器单元的连接关系,下面介绍单个移位寄存器单元中输入和输出的信号之间的时序关系,以及显示器用栅极驱动装置中输入和输出的信号之间的时序关系。

[0043] 如图 5b 所示为图 5a 所示的显示器用栅极驱动装置的输入和输出信号的时序图,图 5b 中是一种液晶显示器的栅极驱动装置的输入和输出信号的时序图,其他的显示器的

栅极驱动装置的输入和输出信号的时序图类似,可以参照液晶显示器的栅极驱动装置的原理来理解。STV 为帧起始信号,STV 输入到第一个移位寄存器单元 SR_1 的起始信号输入端 (INPUT-1),其余的移位寄存器单元的起始信号输入端 (INPUT-1) 均与相邻的上一个移位寄存器单元的栅极驱动信号输出端 (OUT) 连接,也就是说,其余的移位寄存器单元的起始信号输入端 (INPUT-1) 输入的是相邻的上一个移位寄存器单元输出的栅极驱动信号 (OUTPUT),一个移位寄存器单元输出的栅极驱动信号作为相邻的下一个移位寄存器单元的帧起始信号。在图 5b 中,INPUT 是输入到除了第一个移位寄存器单元 SR_1 之外的其余各个移位寄存器单元的起始信号输入端 (INPUT-1) 中输入的信号。每个移位寄存器单元输出一个栅极驱动信号 (OUTPUT),用于驱动液晶显示器的一行栅线。低电压信号 (VSS) (图 5b 中未示出 VSS) 输入到每个移位寄存器单元的低电压信号输入端 (VSSIN),第 i 个移位寄存器单元 SR_i 的第一时钟信号输入端 (CLK1IN) 输入第一时钟信号 (CLK1),第二时钟信号输入端 (CLK2IN) 输入第二时钟信号 (CLK2),其中, i 为奇数,如果 $n+1$ 是奇数,那么 $i = 1, 3, 5, \dots, n+1$,如果 i 是偶数,那么 $i = 1, 3, 5, \dots, n$ 。第 $i+1$ 个移位寄存器单元 SR_{i+1} 的第一时钟信号输入端 (CLK1IN) 输入第一时钟信号的反相信号 (CLK1B),第三时钟信号输入端 (CLK2IN) 输入第三时钟信号 (CLK3)。

[0044] 如图 3b 所示为图 5a 中第三个移位寄存器单元 SR_3 中输入和输出信号的时序图,图 3b 中是一种液晶显示器的栅极驱动装置的输入和输出信号的时序图,其他的显示器的栅极驱动装置的输入和输出信号的时序图类似,可以参照液晶显示器的栅极驱动装置的原理来理解。起始信号输入端 (INPUT-1) 输入信号 (INPUT),第一时钟信号输入端 (CLKIN) 输入第一时钟信号 (CLK1),第二时钟信号输入端 (CLK2IN) 输入第二时钟信号 (CLK2),低电压信号输入端 (VSSIN) 输入低电压信号 (VSS),复位信号输入端 (RESETIN) 输入复位信号 (RESET),栅极驱动信号输出端 (OUT) 输出栅极驱动信号 (OUTPUT)。图 3b 中没有示出低电压信号 (VSS),低电压信号 (VSS) 是一个一直保持低电压的信号。第四个移位寄存器单元 SR_4 的第一信号输出端 (PDLIN) 输出信号 (PDN),该信号 (PDN) 被输入到第三个移位寄存器 SR_3 的第一信号输入端 (PDLIN) 中,可以看作是第三信号。第四个移位寄存器 SR_4 的第二信号输出端 (PULIN) 输出信号 (PUN),该信号 (PUN) 被输入到第三个移位寄存器 SR_3 的第二信号输入端 (PUNIN) 中,可以看作是第二信号。第三个移位寄存器 SR_3 的第一信号输出端 (PDLIN) 输出的信号 (PDL) 被输入到第二个移位寄存器 SR_2 的第一信号输入端 (PDLIN) 中,可以看作是第三信号。第三个移位寄存器 SR_3 的第二信号输出端 (PULIN) 输出的信号 (PUL) 被输入到第二个移位寄存器 SR_2 的第二信号输入端 (PUNIN) 中,可以看作是第四信号。

[0045] 就第三个移位寄存器 SR_3 来说,第二时钟信号输入端 (CLK2IN) 中输入的是第二时钟信号 (CLK2),但是由于第三个移位寄存器 SR_3 还需要输入第四个移位寄存器 SR_4 生成的信号 (包括 PDN 和 PUN),而信号 (包括 PDN 和 PUN) 的生成依赖于第三时钟信号 (CLK3),所以,在图 3b 中,一并示出了第三时钟信号 CLK3。

[0046] 本发明中将帧间隔用 T_{hold} 表示,帧间隔包括一帧或多帧的显示时间,也就是说帧间隔等于帧起始信号 (STV) 信号的一个上升沿的起始时刻至其后某个上升沿的起始时刻之间的间隔, T_{hold} 一般是扫描显示器的一帧图像的时间间隔的整数倍,最小为一倍,多则为几十甚至上百倍。从图 5b 中可以看出,在不同的帧间隔内,第二时钟信号 (CLK2) 和第三时

钟信号 (CLK3) 的形状是不同的。图 5b 和图 3b 中示出了相邻的两个帧间隔, 分别是 Th1 和 Th2。

[0047] 从图 3b 中可以看出, 在 Th1 内, 第二时钟信号 (CLK2) 与第一时钟信号的反相信号 (CLK1B) 相同, 在 Th2 内, 第二时钟信号 (CLK2) 保持低电平。在 Th1 内, 第三时钟信号 (CLK3) 保持低电平, 在 Th2 内, 第三时钟信号 (CLK3) 与第一时钟信号 (CLK1) 相同。

[0048] 如图 5c 为图 5b 的简化时序图, 从图 5c 中可以更清楚地看出第二时钟信号 (CLK2)、第三时钟信号 (CLK3) 和帧起始信号 (STV) 之间的关系。

[0049] 下面结合图 3a 和 3b 来说明本发明实施例中移位寄存器单元的工作原理。

[0050] 在本发明实施例中, 尽管帧间隔可以包括一个或多个帧的显示时间, 但是, 一旦确定帧间隔的长度之后, 每个帧间隔的长度就都是相同的。即, 图 3b 中 Th1 和 Th2 的长度是相同的。

[0051] 从 Th1 中取出五个阶段, 分别标记为 I-1、I-2、I-3、I-4 和 I-5。从 Th2 中取出五个阶段, 分别标记为 II-1、II-2、II-3、II-4 和 II-5。

[0052] (一) 在 Th1 内

[0053] 结合图 3a 和图 5a 的结构可以看出, 在 Th1 的时间间隔内, 第三时钟信号 (CLK3) 保持低电平, 所以第三个移位寄存器 SR_3 输入的信号 (PDN) 保持低电平, 第三个移位寄存器 SR_3 中的第十三薄膜晶体管 T13 和第十四薄膜晶体管 T14 保持截止。

[0054] 1、在第 I-1 阶段

[0055] 信号 (INPUT) 为高电平, 复位信号 (RESET) 为低电平, 第一薄膜晶体管 T1 导通, PU 结点处的信号为高电平, 也就是说, 第三个移位寄存器 SR_3 输出的信号 (PUL) 为高电平。由于 PU 结点处的信号为高电平, 所以第三薄膜晶体管 T3、第八薄膜晶体管 T8 和第十薄膜晶体管 T10 导通。

[0056] 信号 (PUN) 为低电平, 第十五薄膜晶体管 T15 和第十四薄膜晶体管 T14 截止。

[0057] 第一时钟信号 (CLK1) 为低电平, 第二时钟信号 (CLK2) 为高电平, 第七薄膜晶体管 T7、第九薄膜晶体管 T9、第十一薄膜晶体管 T11 和第十二薄膜晶体管 T12 导通。通过设置第七薄膜晶体管 T7 的沟道的宽长比和第八薄膜晶体管的沟道的宽长比之间的比例, 以及第九薄膜晶体管 T9 的沟道的宽长比和第十薄膜晶体管的沟道的宽长比之间的比例, 可以使得 PD 节点处的信号为低电平, 这样第五薄膜晶体管 T5 和第六薄膜晶体管 T6 截止。第七薄膜晶体管 T7 的沟道的宽长比和第八薄膜晶体管 T8 的沟道的宽长比之间的比例可以为 $1/1 \sim 1/50$, 第九薄膜晶体管 T9 的沟道的宽长比和第十薄膜晶体管 T10 的沟道的宽长比之间的比例可以为 $1/1 \sim 1/50$ 。

[0058] 复位信号 (RESET) 为低电平, 第二薄膜晶体管 T2 和 T4 截止, 所以栅极驱动信号 (OUTPUT) 为低电平, 信号 (PDL) 为低电平, 信号 (PUL) 为高电平。

[0059] 2、在第 I-2 阶段

[0060] 信号 (INPUT) 变为低电平, 第一薄膜晶体管 T1 截止, 复位信号 (RESET) 为低电平, PU 节点处的信号保持高电平, 也就是说, 第三个移位寄存器单元 SR_3 输出的信号 (PUL) 仍为高电平。由于 PU 节点处的信号保持高电平, 所以第三薄膜晶体管 T3、第八薄膜晶体管 T8 和第十薄膜晶体管 T10 保持导通。

[0061] 信号 (PUN) 为高电平, 所以第十四薄膜晶体管 T14 和第十五薄膜晶体管 T15 导通。

[0062] 第二时钟信号 (CLK2) 为低电平, 第七薄膜晶体管 T7、第九薄膜晶体管 T9、第十一薄膜晶体管 T11 和第十二薄膜晶体管 T12 截止, PD 结点处的信号保持低电平, 这样第五薄膜晶体管 T5 和第六薄膜晶体管 T6 保持截止。

[0063] 复位信号 (RESET) 为低电平, 第二薄膜晶体管 T2 和第四薄膜晶体管 T4 保持截止。

[0064] 第一时钟信号 (CLK1) 为高电平, 第三薄膜晶体管 T3 导通, 所以栅极驱动信号 (OUTPUT) 为高电平。信号 (PUL) 为高电平, 信号 (PDL) 为低电平。

[0065] 3、在第 I-3 阶段

[0066] 信号 (INPUT) 为低电平, 复位信号 (RESET) 为高电平, 第二薄膜晶体管 T2 和第四薄膜晶体管 T4 导通, PU 结点处的信号变为低电平, 这样第三薄膜晶体管 T3、第八薄膜晶体管 T8 和第十薄膜晶体管 T10 截止。

[0067] 信号 (PUN) 为高电平, 第十四薄膜晶体管 T14 和第十五薄膜晶体管 T15 保持导通。

[0068] 第二时钟信号 (CLK2) 为高电平, 第七薄膜晶体管 T7、第九薄膜晶体管 T9、第十一薄膜晶体管 T11 和第十二薄膜晶体管 T12 导通, 但是此时信号 (PUN) 为高电平, 则第十四薄膜晶体管 T14 和第十五薄膜晶体管 T15 导通, 通过设定第九薄膜晶体管 T9 和第十四薄膜晶体管 T14 的宽长比的比例, 以及第七薄膜晶体管 T7 和第十五薄膜晶体管 T15 的宽长比的比例, 例如宽长比的比例可以是 $1/1 \sim 1/50$, 使得 PD 结点处的信号仍然保持低电平, 这样第五薄膜晶体管和第六薄膜晶体管保持截止。

[0069] 第一时钟信号 (CLK1) 为低电平, 而第二薄膜晶体管 T2 和第四薄膜晶体管 T4 导通, 由于第二薄膜晶体管 T2 和第四薄膜晶体管 T4 的源极与低电压信号输入端 (VSSIN) 连接, 所以栅极驱动信号 (OUTPUT) 变为低电平。信号 (PDL) 保持低电平, 信号 (PUL) 变为低电平。

[0070] 4、在第 I-4 阶段

[0071] 信号 (INPUT) 为低电平, 第一薄膜晶体管 T1 保持截止。复位信号 (RESET) 为低电平, PU 结点处的信号为低电平, 也就是说, 第三个移位寄存器单元 SR_3 输出的信号 (PUL) 为低电平。由于 PU 结点处的信号为低电平, 所以第八薄膜晶体管 T8 和第十薄膜晶体管 T10 截止。

[0072] 信号 (PUN) 为低电平, 第十四薄膜晶体管 T14 和第十五薄膜晶体管 T15 截止。

[0073] 第二时钟信号 (CLK2) 为低电平, 第七薄膜晶体管 T7、第九薄膜晶体管 T9、第十一薄膜晶体管 T11 和第十二薄膜晶体管 T12 截止, PD 结点处的信号保持低电平, 这样第五薄膜晶体管 T5 和第六薄膜晶体管 T6 截止。

[0074] 复位信号 (RESET) 为低电平, 第二薄膜晶体管 T2 和第四薄膜晶体管 T4 截止, 栅极驱动信号 (OUTPUT) 保持低电平。信号 (PUL) 为低电平, 信号 (PDL) 为低电平。

[0075] 5、在第 I-5 阶段

[0076] 信号 (INPUT) 为低电平, 第一薄膜晶体管 T1 截止。复位信号 (RESET) 为低电平, PU 结点处的信号保持低电平, 第八薄膜晶体管 T8 和第十薄膜晶体管 T10 保持截止。

[0077] 信号 (PUN) 为低电平, 第十四薄膜晶体管 T14 和第十五薄膜晶体管 T15 保持截止。

[0078] 第二时钟信号 (CLK2) 为高电平, 第七薄膜晶体管 T7、第九薄膜晶体管 T9、第十一薄膜晶体管 T11 和第十二薄膜晶体管 T12 导通, PD 结点处的信号为高电平, 这样第五薄膜晶体管 T5 和第六薄膜晶体管 T6 导通。

[0079] 复位信号 (RESET) 为低电平,第二薄膜晶体管 T2 和第四薄膜晶体管 T4 截止,栅极驱动信号 (OUTPUT) 保持低电平。

[0080] 图 3b 中仅画出了移位寄存器单元的部分时序图,显示器每显示一帧图像,控制某一行液晶像素的移位寄存器单元都会输出一个高电平的栅极驱动信号,信号 (INPUT)、复位信号 (RESET)、第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 都会重复一次 I-1、I-2、I-3 阶段的时序,在显示器显示一帧图像的时间中,除 I-1、I-2、I-3 阶段之外的其余时间,信号 (INPUT)、复位信号 (RESET)、第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 都会重复与 I-4 和 I-5 阶段相同的时序。

[0081] (二) 在 Th2 内

[0082] 结合图 3a 和图 5a 的结构可以看出,在 Th2 内,第二时钟信号 (CLK2) 保持低电平,所以第五薄膜晶体管 T5、第六薄膜晶体管 T6、第七薄膜晶体管 T7、第九薄膜晶体管 T9、第十一薄膜晶体管 T11 和第十二薄膜晶体管 T12 保持截止,PD 结点处的信号保持低电平,第三薄膜晶体管 SR3 输出的信号 (PDL) 也保持低电平。

[0083] 1、在第 II-1 阶段

[0084] 信号 (INPUT) 为高电平,复位信号 (RESET) 为低电平,第一薄膜晶体管 T1 导通,PU 结点处的信号为高电平,也就是说,第三个移位寄存器单元 SR₃ 输出的信号 (PUL) 为高电平。由于 PU 结点处的信号为高电平,所以第三薄膜晶体管 T3、第八薄膜晶体管 T8 和第十薄膜晶体管 T10 导通。

[0085] 信号 (PUN) 为低电平,第十五薄膜晶体管 T15 和第十四薄膜晶体管 T14 截止。

[0086] 信号 (PDN) 为低电平,第十三薄膜晶体管 T13 和第十六薄膜晶体管 T16 截止。

[0087] 复位信号 (RESET) 为低电平,第二薄膜晶体管 T2 和 T4 截止,并且第一时钟信号 (CLK1) 为低电平,所以栅极驱动信号 (OUTPUT) 为低电平。信号 (PDL) 为低电平,信号 (PUL) 为高电平。

[0088] 2、在第 II-2 阶段

[0089] 信号 (INPUT) 变为低电平,第一薄膜晶体管 T1 截止,复位信号 (RESET) 为低电平,PU 节点处的信号保持高电平,也就是说,第三个移位寄存器单元 SR3 输出的信号 (PUL) 为高电平。由于 PU 结点处的信号保持高电平,所以第三薄膜晶体管 T3、第八薄膜晶体管 T8 和第十薄膜晶体管 T10 保持导通。

[0090] 信号 (PUN) 为高电平,所以第十四薄膜晶体管 T14 和第十五薄膜晶体管 T15 导通。

[0091] 信号 (PDN) 为低电平,第十三薄膜晶体管 T13 和第十六薄膜晶体管 T16 保持截止。

[0092] 复位信号 (RESET) 为低电平,第二薄膜晶体管 T2 和第四薄膜晶体管 T4 保持截止。

[0093] 第一时钟信号 (CLK1) 为高电平,第三薄膜晶体管 T3 导通,所以栅极驱动信号 (OUTPUT) 为高电平。信号 (PUL) 为高电平,信号 (PDL) 为低电平。

[0094] 3、在第 II-3 阶段

[0095] 信号 (INPUT) 为低电平,复位信号 (RESET) 为高电平,第二薄膜晶体管 T2 和第四薄膜晶体管 T4 导通,PU 结点处的信号变为低电平,这样第三薄膜晶体管 T3、第八薄膜晶体管 T8 和第十薄膜晶体管 T10 截止。

[0096] 信号 (PUN) 为高电平,第十四薄膜晶体管 T14 和第十五薄膜晶体管 T15 保持导通。

[0097] 信号 (PDN) 为低电平,第十三薄膜晶体管 T13 和第十六薄膜晶体管 T16 保持截止。

[0098] 第一时钟信号 (CLK1) 为低电平, 而第二薄膜晶体管 T2 和第四薄膜晶体管 T4 导通, 由于第二薄膜晶体管 T2 和第四薄膜晶体管 T4 的源极与低电压信号输入端 (VSSIN) 连接, 所以栅极驱动信号 (OUTPUT) 变为低电平。信号 (PDL) 保持低电平, 信号 (PUL) 变为低电平。

[0099] 4、在第 II-4 阶段

[0100] 信号 (INPUT) 为低电平, 第一薄膜晶体管 T1 保持截止。复位信号 (RESET) 为低电平, PU 结点处的信号为低电平, 也就是说, 第三个移位寄存器单元 SR_3 输出的信号 (PUL) 为低电平。由于 PU 结点处的信号为低电平, 所以第八薄膜晶体管 T8 和第十薄膜晶体管 T10 截止。

[0101] 信号 (PUN) 为低电平, 第十四薄膜晶体管 T14 和第十五薄膜晶体管 T15 截止。

[0102] 信号 (PDN) 为高电平, 第十三薄膜晶体管 T13 和第十六薄膜晶体管 T16 导通。

[0103] 复位信号 (RESET) 为低电平, 第二薄膜晶体管 T2 和第四薄膜晶体管 T4 截止, 栅极驱动信号 (OUTPUT) 保持低电平。信号 (PUL) 为低电平, 信号 (PDL) 为低电平。

[0104] 5、在第 II-5 阶段

[0105] 信号 (INPUT) 为低电平, 第一薄膜晶体管 T1 截止。复位信号 (RESET) 为低电平, PU 结点处的信号保持低电平, 第八薄膜晶体管 T8 和第十薄膜晶体管 T10 保持截止。

[0106] 信号 (PUN) 为低电平, 第十四薄膜晶体管 T14 和第十五薄膜晶体管 T15 保持截止。

[0107] 复位信号 (RESET) 为低电平, 第二薄膜晶体管 T2 和第四薄膜晶体管 T4 截止, 栅极驱动信号 (OUTPUT) 保持低电平。

[0108] 图 3b 中仅画出了移位寄存器单元的部分时序图, 显示器每显示一帧图像, 控制某一行液晶像素的移位寄存器单元都会输出一个高电平的栅极驱动信号, 信号 (INPUT)、复位信号 (RESET)、第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 都会重复一次 II-1、II-2、II-3 阶段的时序, 在显示器显示一帧图像的时间中, 除 II-1、II-2、II-3 阶段之外的其余时间, 信号 (INPUT)、复位信号 (RESET)、第一时钟信号 (CLK1) 和第二时钟信号 (CLK2) 都会重复与 II-4 和 II-5 阶段相同的时序。

[0109] 本发明实施例提供的移位寄存器单元中, 在 Th2 内, 即在第二时钟信号 CLK2 保持低电平的帧间隔内, PD 结点处的信号一直保持低电平, 这样栅极与 PD 结点连接的第五薄膜晶体管 T5 和第六薄膜晶体管 T6 导通的时间就会缩短, 从而可以延长第五薄膜晶体管 T5 和第六薄膜晶体管 T6 的寿命。

[0110] 图 3b 中示出了第三个移位寄存器单元 SR_3 的输入和输出信号的时序图, 对于其他的移位寄存器单元, 如果第二时钟信号输入端 (CLK2IN) 输入的是第三时钟信号, 那么在第三时钟信号保持低电平的帧间隔内, PD 结点处的信号保持低电平, 这样栅极与 PD 结点连接的第五薄膜晶体管 T5 和第六薄膜晶体管 T6 导通的时间就会缩短, 从而可以延长第五薄膜晶体管 T5 和第六薄膜晶体管 T6 的寿命。其余各个移位寄存器单元的输入和输出信号的时序图与图 3b 类似, 不再赘述。

[0111] 如图 6a 所示为本发明移位寄存器单元第三实施例的结构示意图, 如图 6b 所示为图 6a 中的移位寄存器单元的输入和输出信号的时序图。该实施例与如图 3a 所示的第二实施例的区别之处在于: 增加了电容 C1, 该电容 C1 的一端与第三薄膜晶体管 T3 的源极连接, 另一端与第三薄膜晶体管 T3 的栅极连接。图 6b 所示的时序图与图 3b 所示的时序图的区别

别之处在于：在第 I-2 阶段和 II-2 阶段，由于电容 C1 的耦合作用，图 6b 中 PU 结点处的信号的电平要比图 3b 中高。

[0112] 如图 7 所示为本发明移位寄存器单元第四实施例的结构示意图。该实施例与如图 3a 所示的第二实施例的区别之处在于：图 7 所示第四实施例的移位寄存器单元中，第九薄膜晶体管 T9 的栅极和漏极、第七薄膜晶体管 T7 的漏极均与第一时钟信号输入端 (CLK1IN) 连接，而图 3a 中，第九薄膜晶体管 T9 的栅极和漏极、第七薄膜晶体管 T7 的漏极均与第二时钟信号输入端 (CLK2IN) 连接。

[0113] 如图 3a 所示的移位寄存器单元中，在第 I-2 和第 II-2 阶段，第一时钟信号 (CLK) 和 PU 节点处输出的信号同时为高电平，但是由于第九薄膜晶体管 T9 的栅极与第二时钟信号输入端 (CLK2IN) 连接，第九薄膜晶体管 T9 截止。第七薄膜晶体管 T7 的栅极与 PD_CN 结点连接，而 PD_CN 结点处的信号在第 I-2 阶段也为低电平，所以第七薄膜晶体管 T7 截止。第八薄膜晶体管 T8 和第十薄膜晶体管 T10 在第 I-2 阶段导通，第八薄膜晶体管 T8 的源极和第十薄膜晶体管 T10 的源极均连接低电压信号输入端 (CLKBIN)，所以第八薄膜晶体管 T8 和第十薄膜晶体管 T10 的源极处为低电平。在第 I-2 阶段，第二时钟信号 (CLK2) 为低电平，这样第九薄膜晶体管 T9 的漏极和第十薄膜晶体管 T10 的源极均为低电平，所以第九薄膜晶体管 T9 和第十薄膜晶体管 T10 中不会产生漏电流，第七薄膜晶体管 T7 的漏极和第八薄膜晶体管 T8 的源极均为低电平，所以第七薄膜晶体管 T7 和第八薄膜晶体管 T8 中也不会产生漏电流。这样，可以减小移位寄存器单元的功耗。

[0114] 如图 7 所示的移位寄存器单元中，在第 I-2 和第 II-2 阶段，第一时钟信号 (CLK1) 和 PU 节点处输出的信号同时为高电平，第七薄膜晶体管 T7、第八薄膜晶体管 T8、第九薄膜晶体管 T9 和第十薄膜晶体管 T10 同时导通，产生的漏电流较大，移位寄存器单元产生的功耗也稍大。

[0115] 如图 7 所示的移位寄存器单元中，也可以增加电容，电容的两端分别连接第三薄膜晶体管的栅极和源极。

[0116] 下面结合图 5a 和图 5b 描述本发明提供的显示器用栅极驱动装置的工作原理。

[0117] 以液晶显示器为例，液晶显示器采用逐行扫描的方式，同一行中与液晶像素串联的薄膜晶体管的栅极均与同一移位寄存器单元相连，显示器用栅极驱动装置中的移位寄存器单元可以控制处于同行中的全部薄膜晶体管的导通和截止。

[0118] 假设液晶显示器面板中有 n 行液晶像素，参见图 5b 所示时序图，在 Th_1 内，在第一阶段帧起始信号输入到第一个移位寄存器单元 SR_1 的起始信号输入端 (INPUT-1)；第二阶段，第一个移位寄存器单元 SR_1 的栅极驱动信号输出端 (OUT) 输出高电平的栅极驱动信号 ($OUTPUT_1$)，同时该高电平的栅极驱动信号 ($OUTPUT_1$) 输入到第二个移位寄存器单元 SR_2 的起始信号输入端 (INPUT-1)；第三阶段，第二个移位寄存器单元 SR_2 的栅极驱动信号输出端 (OUT) 输出高电平的栅极驱动信号 ($OUTPUT_2$)，以此类推，每个移位寄存器单元依次输出高电平的栅极驱动信号，用于控制与该移位寄存器单元相连的同一行薄膜晶体管的导通，原理同第二、三阶段；到第四阶段，第 n 个移位寄存器单元 SR_n 输出高电平的栅极驱动信号 ($OUTPUT_n$)，同时第 n 个移位寄存器单元 SR_n 输出的栅极驱动信号 ($OUTPUT_n$) 作为第 $n+1$ 个移位寄存器单元 SR_{n+1} 的起始信号输入端 (INPUT-1) 的输入信号；第五阶段，第 $n+1$ 个移位寄存器单元 SR_{n+1} 输出高电平的信号 ($OUTPUT_{n+1}$)，该栅极驱动信号 ($OUTPUT_{n+1}$) 不用于驱动

负载,即第 $n+1$ 个移位寄存器单元 SR_{n+1} 不负责驱动一行薄膜晶体管,其输出的高电平的信号 ($OUTPUT_{n+1}$) 用作第 n 个移位寄存器单元 SR_n 和其自身的复位信号。

[0119] 如图 5a 所示的显示器用栅极驱动装置中可以包括如图 3a、图 6a 和如图 7 所示的移位寄存器单元。

[0120] 如图 8 所示为本发明显示器用栅极驱动装置第二实施例的结构示意图,该实施例与如图 5a 所示的第一实施例的区别之处在于:该实施例中各个移位寄存器单元的第一信号输入端、第一信号输出端、第二信号输入端和第二信号输出端与其余移位寄存器单元的连接方式与如图 5a 所示的实施例不同,该实施例中,每两个移位寄存器单元组成一组,一组中的两个移位寄存器单元的各个信号输入端和输出端之间存在连接关系。具体的连接关系如下:

[0121] 第 i 个移位寄存器单元 SR_i 的第一信号输入端 (PDNIN) 与第 $i+1$ 个移位寄存器单元 SR_{i+1} 的第一信号输出端 (PDL0UT) 连接,第 i 个移位寄存器单元 SR_i 的第二信号输入端 (PUNIN) 与第 $i+1$ 个移位寄存器单元 SR_{i+1} 的第二信号输出端 (PUL0UT) 连接。其中, i 为奇数, $i \in [1, n]$ 。第 i 个移位寄存器单元 SR_i 的第一信号输出端 (PDL0UT) 与第 $i-1$ 个移位寄存器单元 SR_{i-1} 的第一信号输入端 (PDNIN) 连接,第 i 个移位寄存器单元 SR_i 的第二信号输出端 (PUL0UT) 与第 $i-1$ 个移位寄存器单元 SR_{i-1} 的第二信号输入端 (PUNIN) 连接。

[0122] 如图 9 所示为本发明显示器用栅极驱动装置第三实施例的结构示意图,该实施例与如图 9 所示的第三实施例的区别之处在于:该实施例中, $n+1$ 为奇数,所以最后一个移位寄存器单元的各个信号输入端和信号输出端的连接关系与图 9 所示的实施例不同,具体的连接关系如下:

[0123] 第 i 个移位寄存器单元 SR_i 的第一信号输入端 (PDNIN) 与第 $i+1$ 个移位寄存器单元 SR_{i+1} 的第一信号输出端 (PDL0UT) 连接,第 i 个移位寄存器单元 SR_i 的第二信号输入端 (PUNIN) 与第 $i+1$ 个移位寄存器单元的第二信号输出端 (PUL0UT) 连接。其中, $i \in [1, n-1]$ 。第 i 个移位寄存器单元 SR_i 的第一信号输出端 (PDL0UT) 与第 $i-1$ 个移位寄存器单元 SR_{i-1} 的第一信号输入端 (PDNIN) 连接,第 i 个移位寄存器单元 SR_i 的第二信号输出端 (PUL0UT) 与第 $i-1$ 个移位寄存器单元 SR_{i-1} 的第二信号输入端 (PUNIN) 连接。第 $n+1$ 个移位寄存器单元 SR_{n+1} 的第一信号输入端 (PDNIN) 和第一信号输出端 (PDL0UT) 均与第 n 个移位寄存器单元 SR_n 的第一信号输入端 (PDNIN) 连接,第 $n+1$ 个移位寄存器单元 SR_{n+1} 的第二信号输入端 (PUNIN) 和第二信号输出端 (PUL0UT) 与第 n 个移位寄存器单元 SR_n 的第二信号输入端 (PUNIN) 连接。

[0124] 图 5a、图 8 和图 9 中的第 $n+1$ 移位寄存器单元 SR_{n+1} 不用于驱动负载,可以看作是冗余移位寄存器单元。图 5a、图 8 和图 9 中的所示的栅极驱动装置中,只包括一个冗余移位寄存器单元,实际上,还可以包括更多个冗余移位寄存器单元,各个冗余移位寄存器单元可以组合起来保证显示器用栅极驱动装置更可靠地复位。

[0125] 本发明还提供一种液晶显示器,可以包括如前述各实施例所述的显示器用栅极驱动装置。

[0126] 本发明提供的移位寄存器单元、显示器用栅极驱动装置及液晶显示器,处理模块除了根据输入模块输入的第二时钟信号或者第三时钟信号,并根据帧起始信号、第一时钟信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号,生成栅极驱动信号之

外,还能够使得至少二个薄膜晶体管形成的至少一个第一结点处的电平,在输入模块输入的第二时钟信号或第三时钟信号保持低电平的帧间隔内保持低电平,这样,第一结点处于高电平的时间缩短,栅极与第一结点连接的各个薄膜晶体管的寿命就能够得到延长,移位寄存器单元的稳定性得到了提升。

[0127] 最后应说明的是:以上实施例仅用以说明本发明的技术方案而非对其进行限制,尽管参照较佳实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对本发明的技术方案进行修改或者等同替换,而这些修改或者等同替换亦不能使修改后的技术方案脱离本发明技术方案的精神和范围。

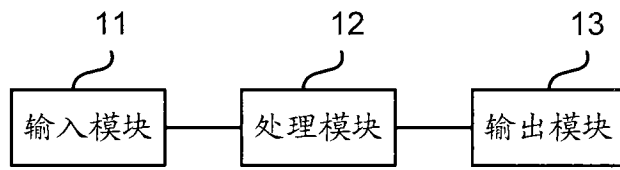


图 1

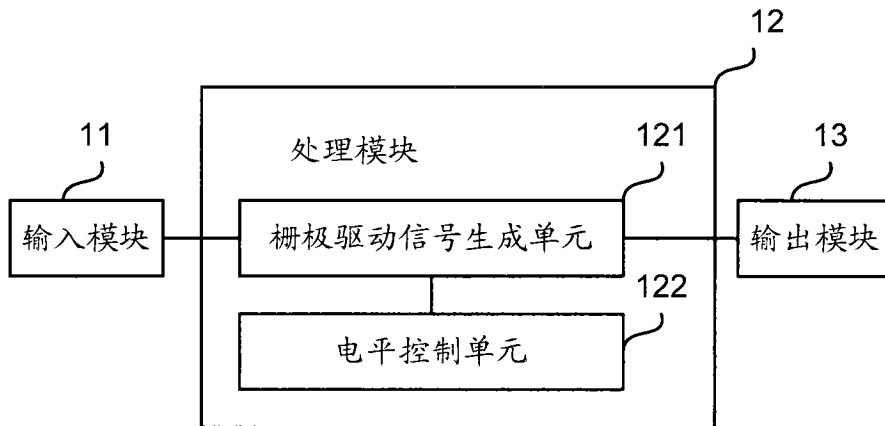


图 2

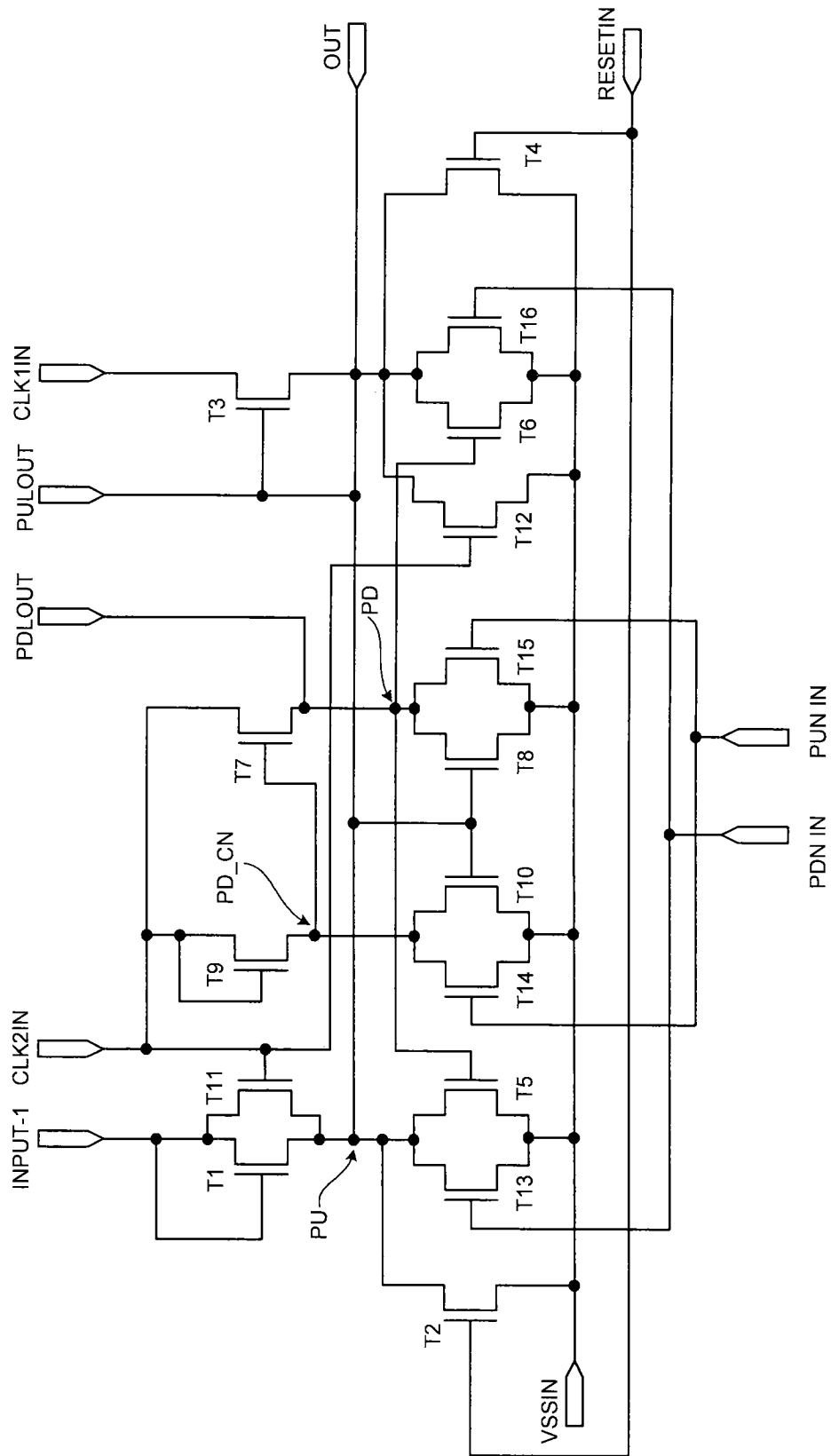


图 3a

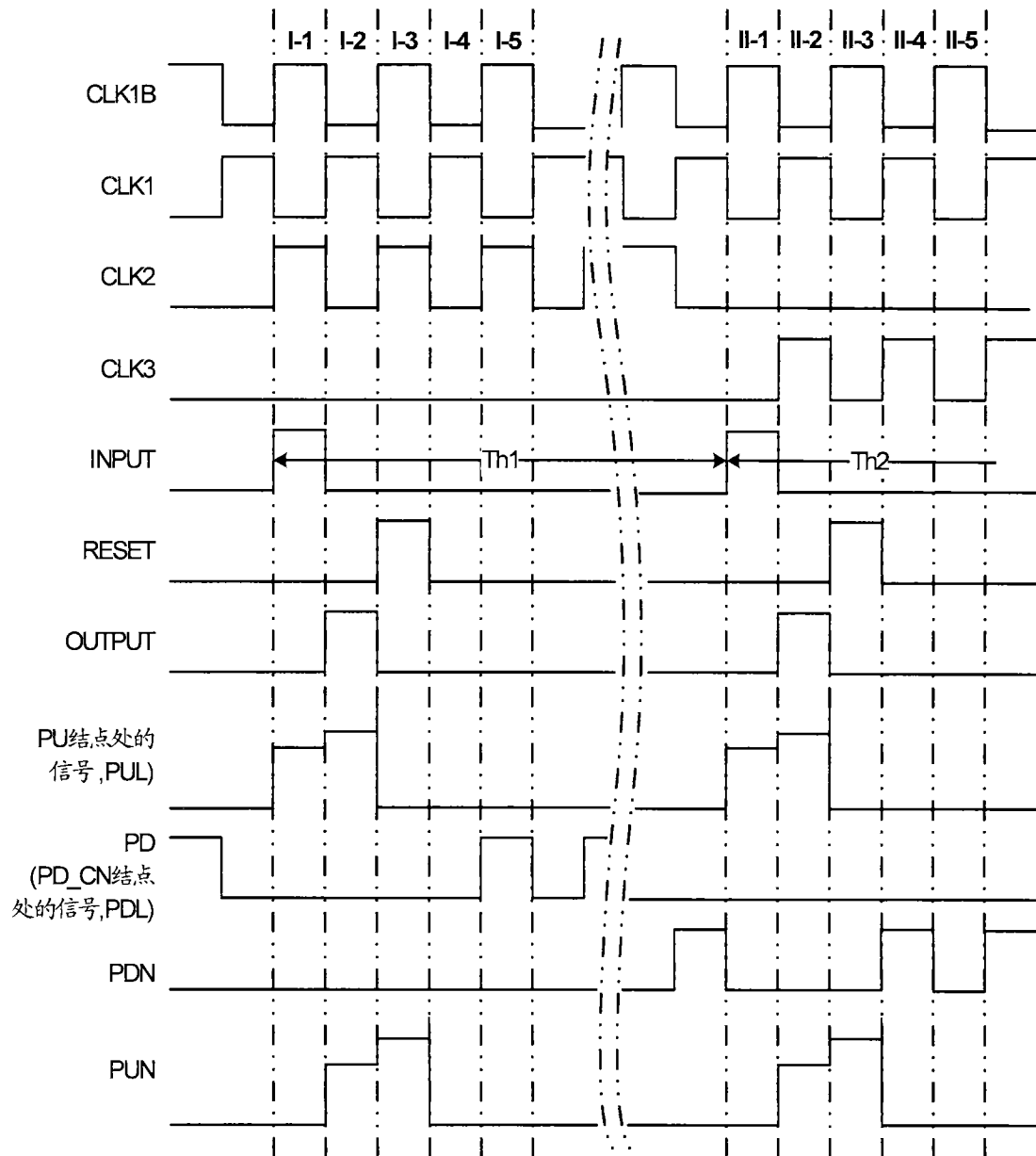


图 3b

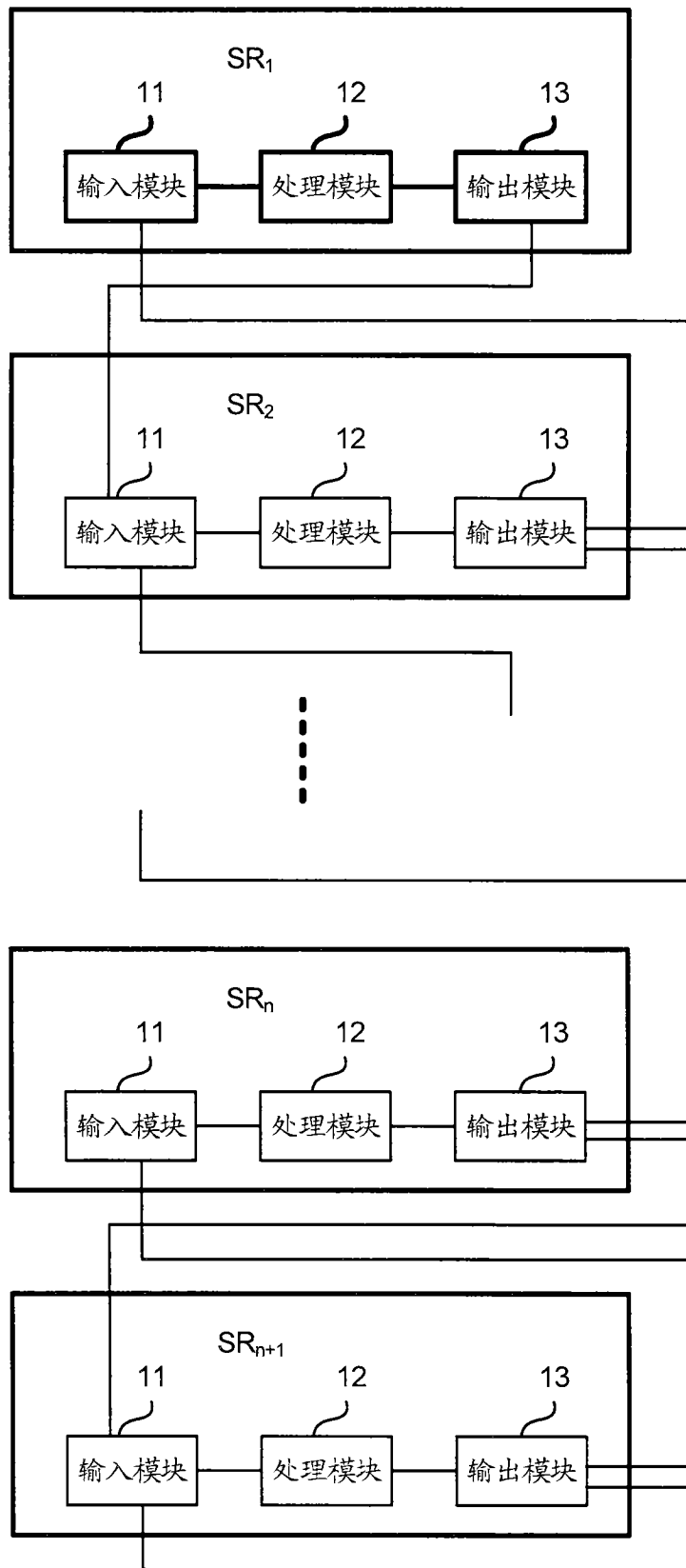


图 4

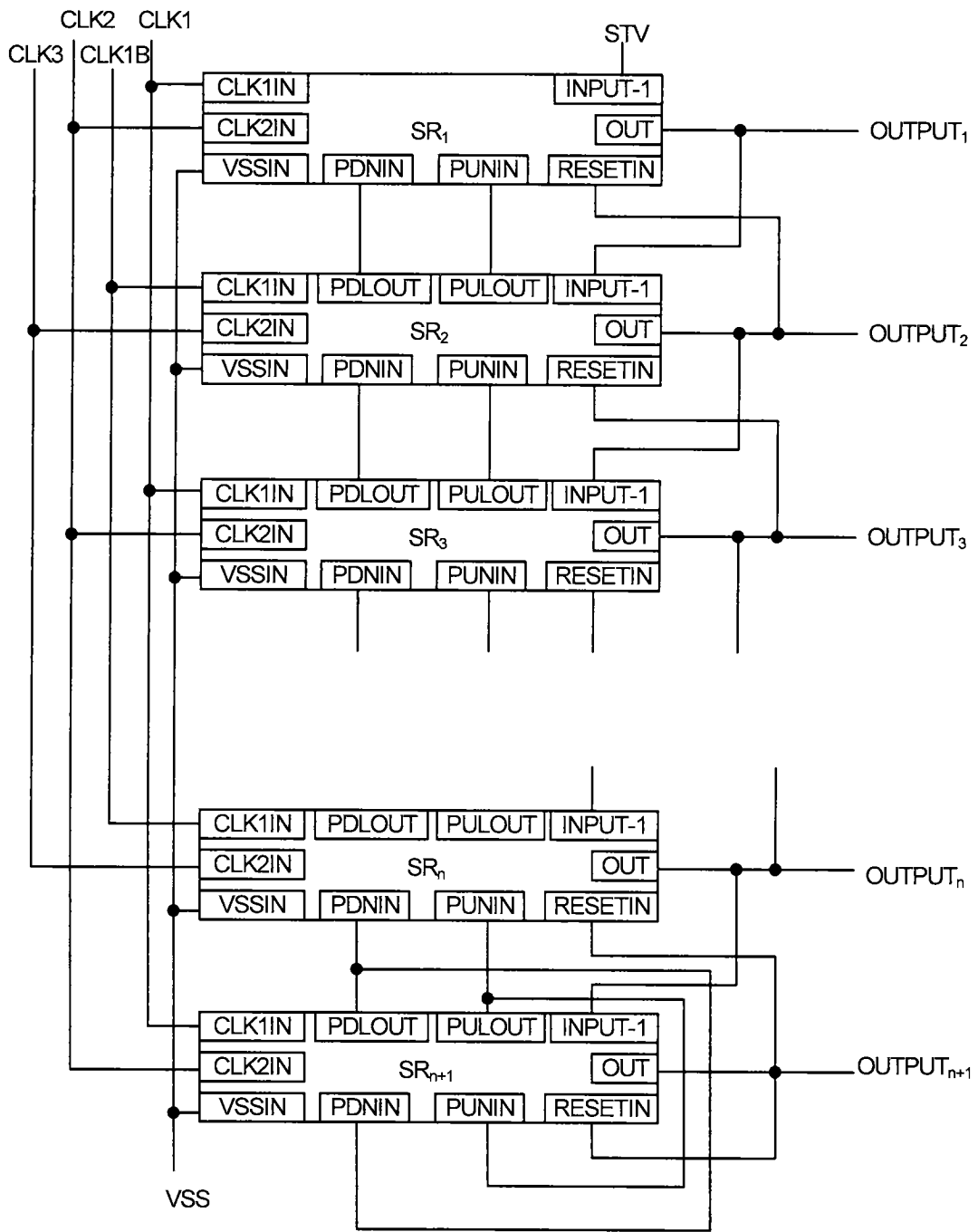


图 5a

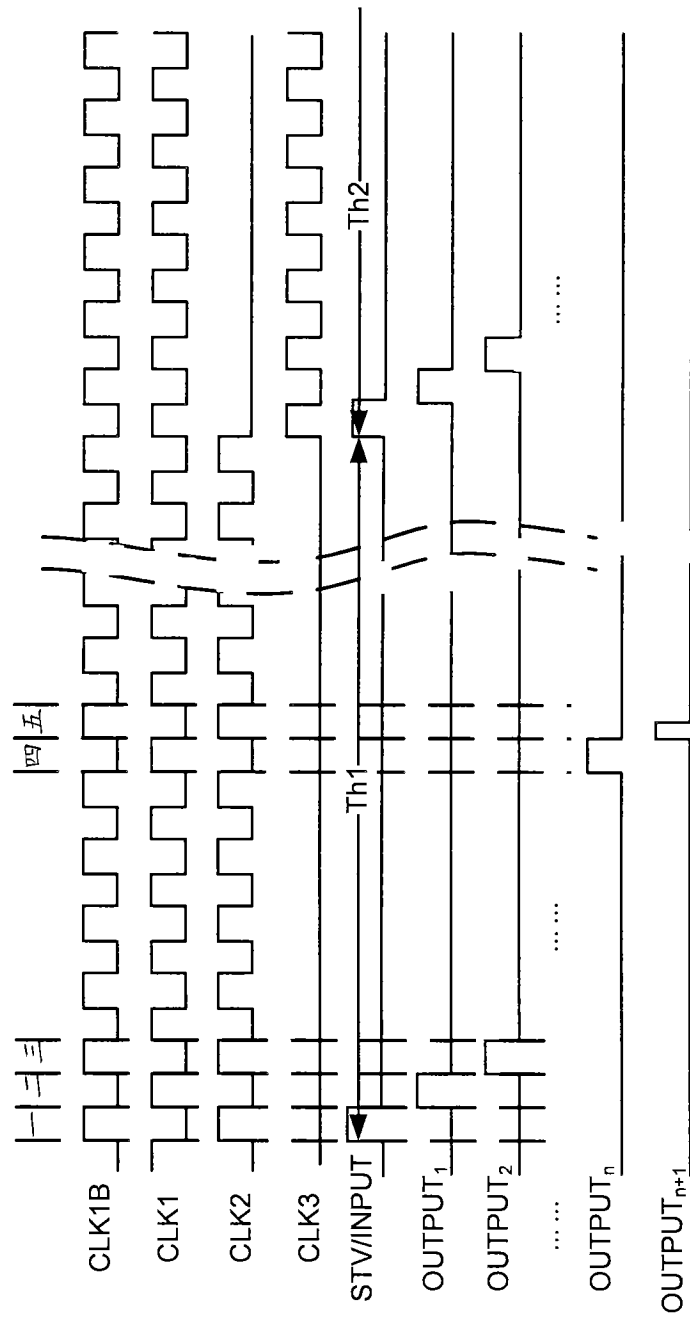


图 5b

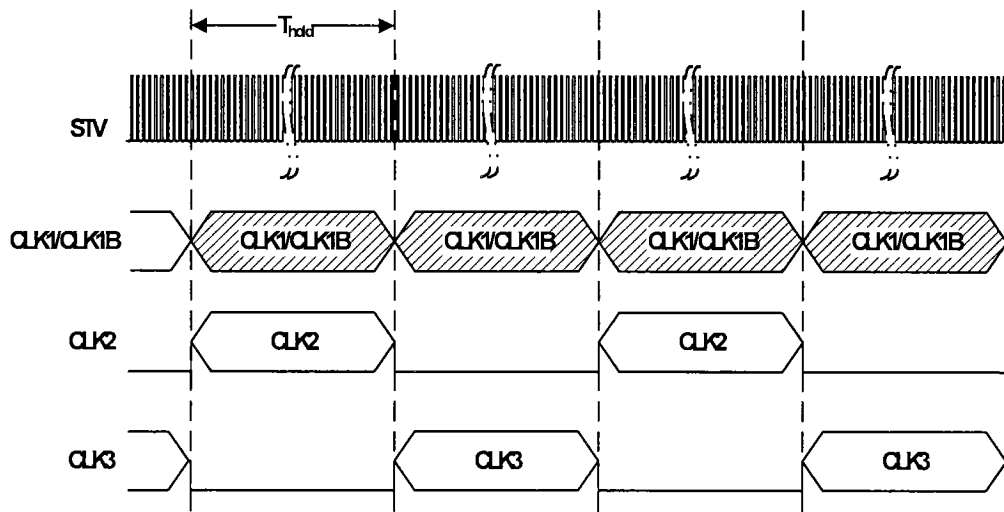


图 5c

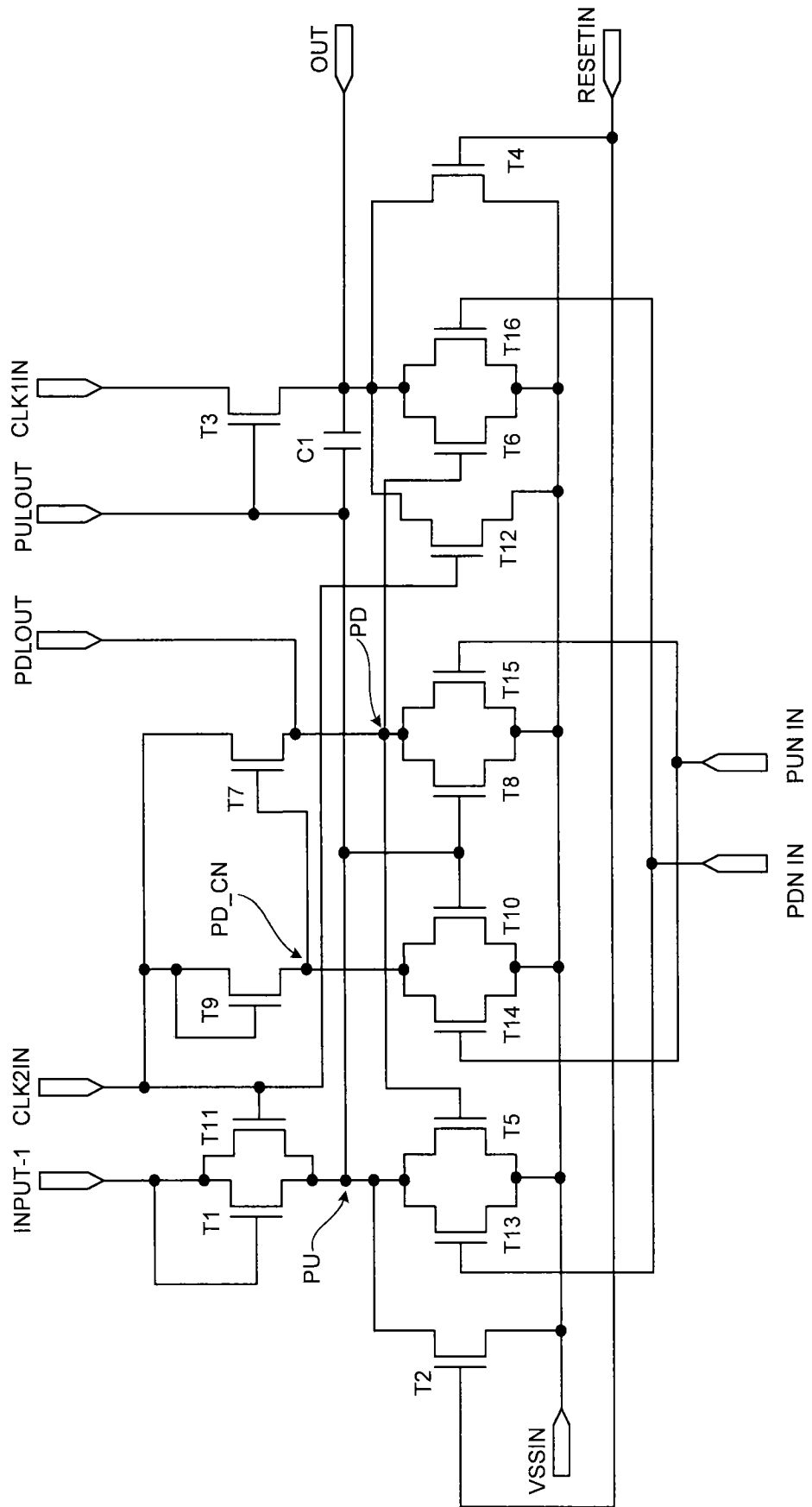


图 6a

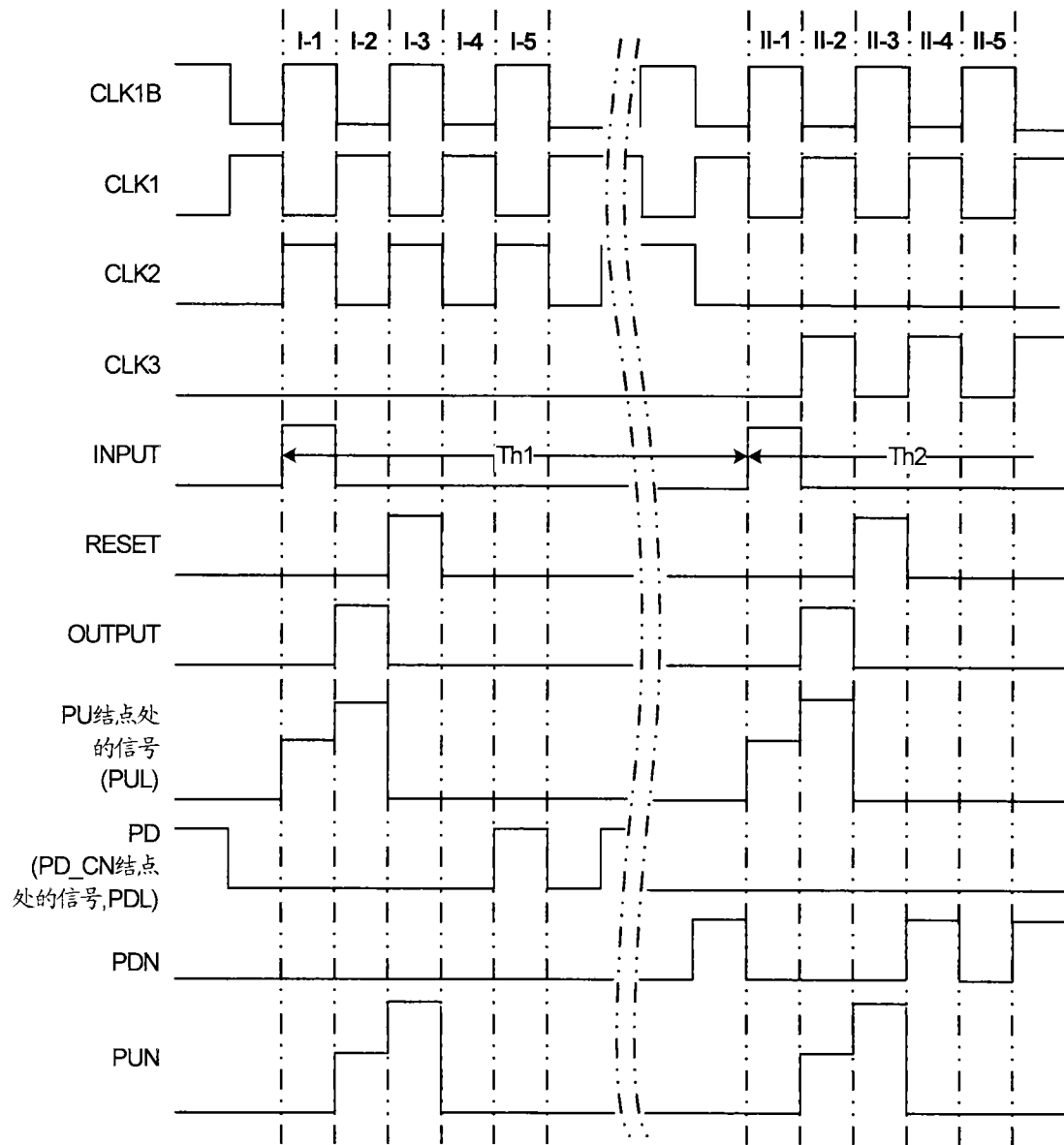


图 6b

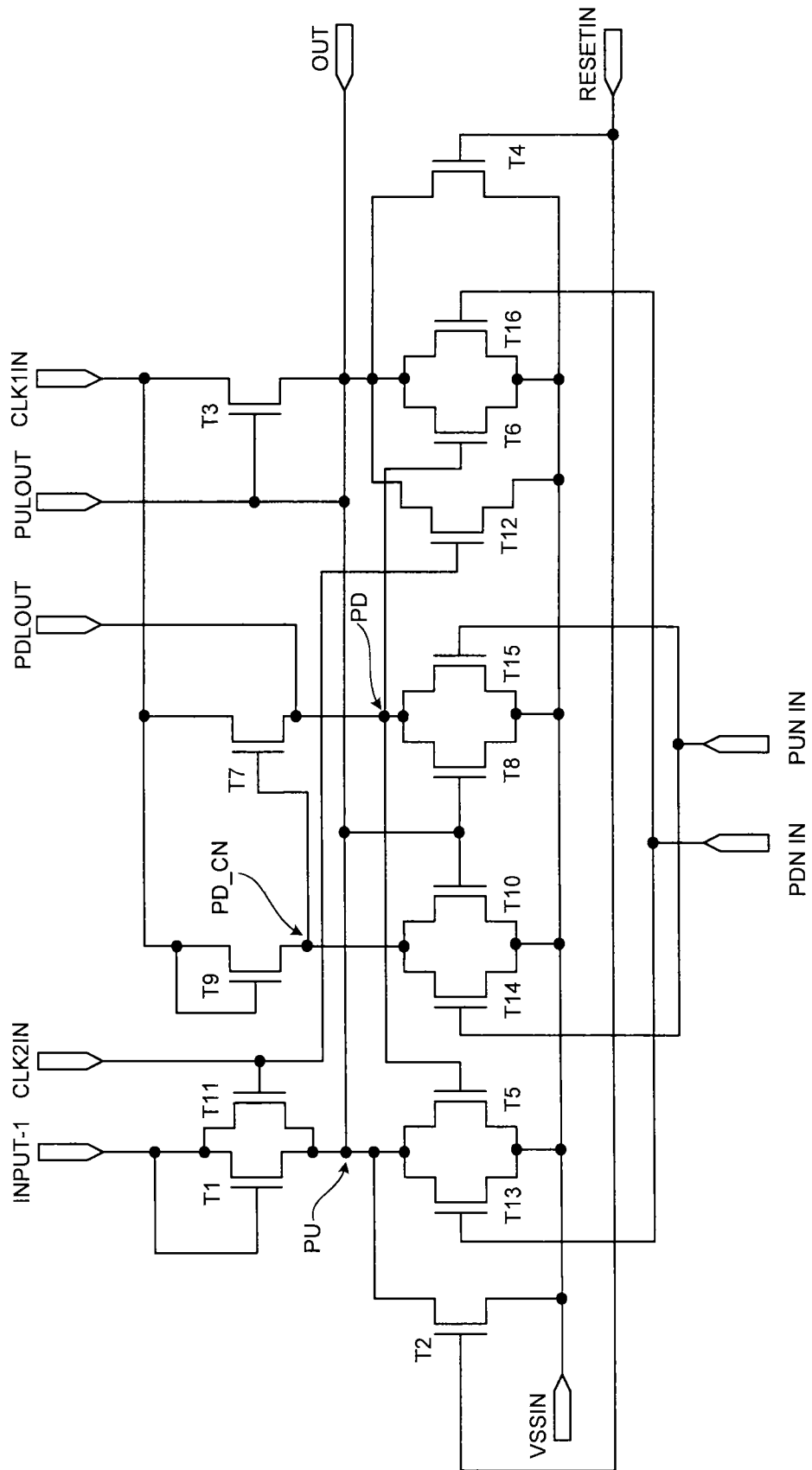


图 7

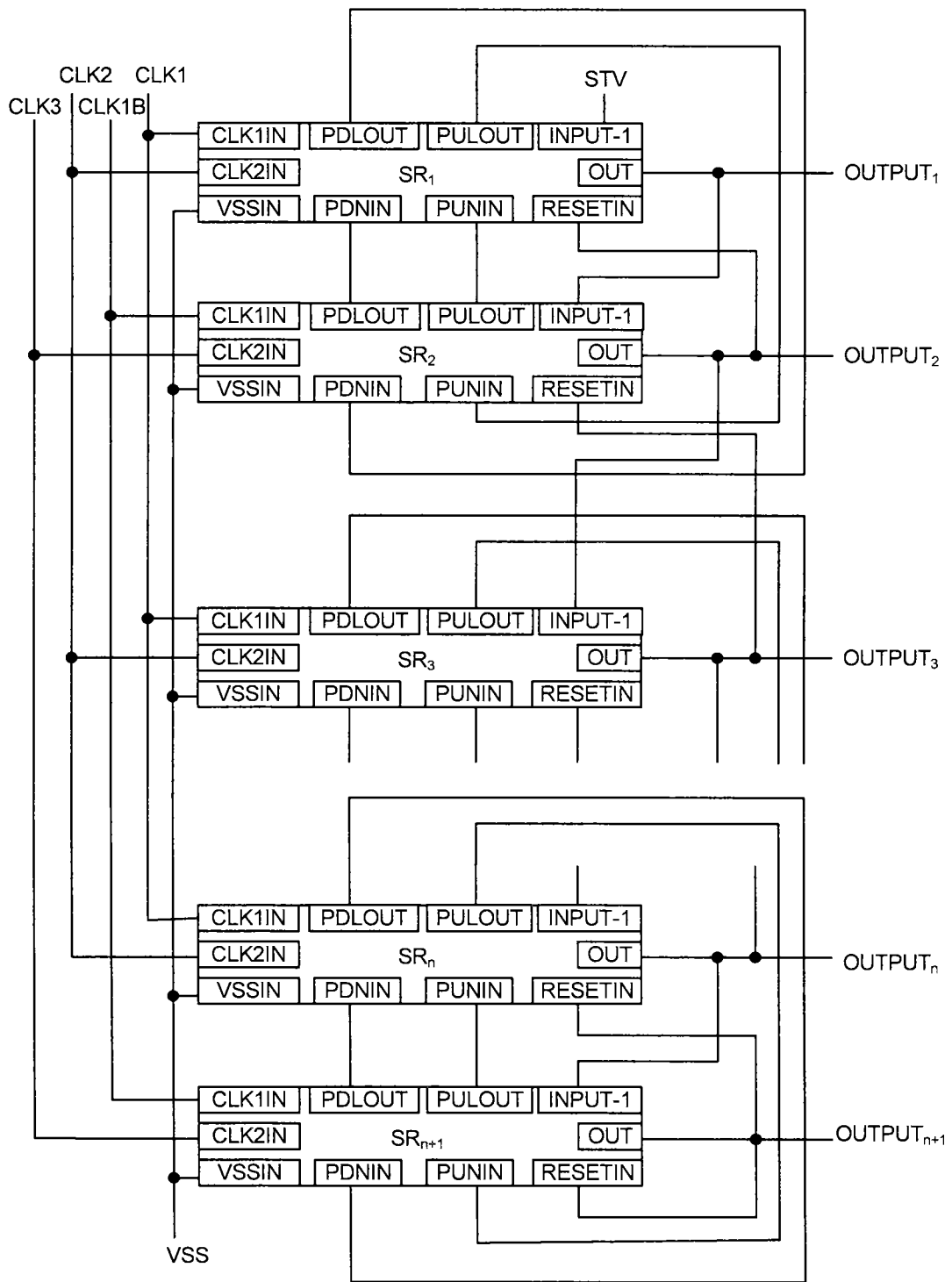


图 8

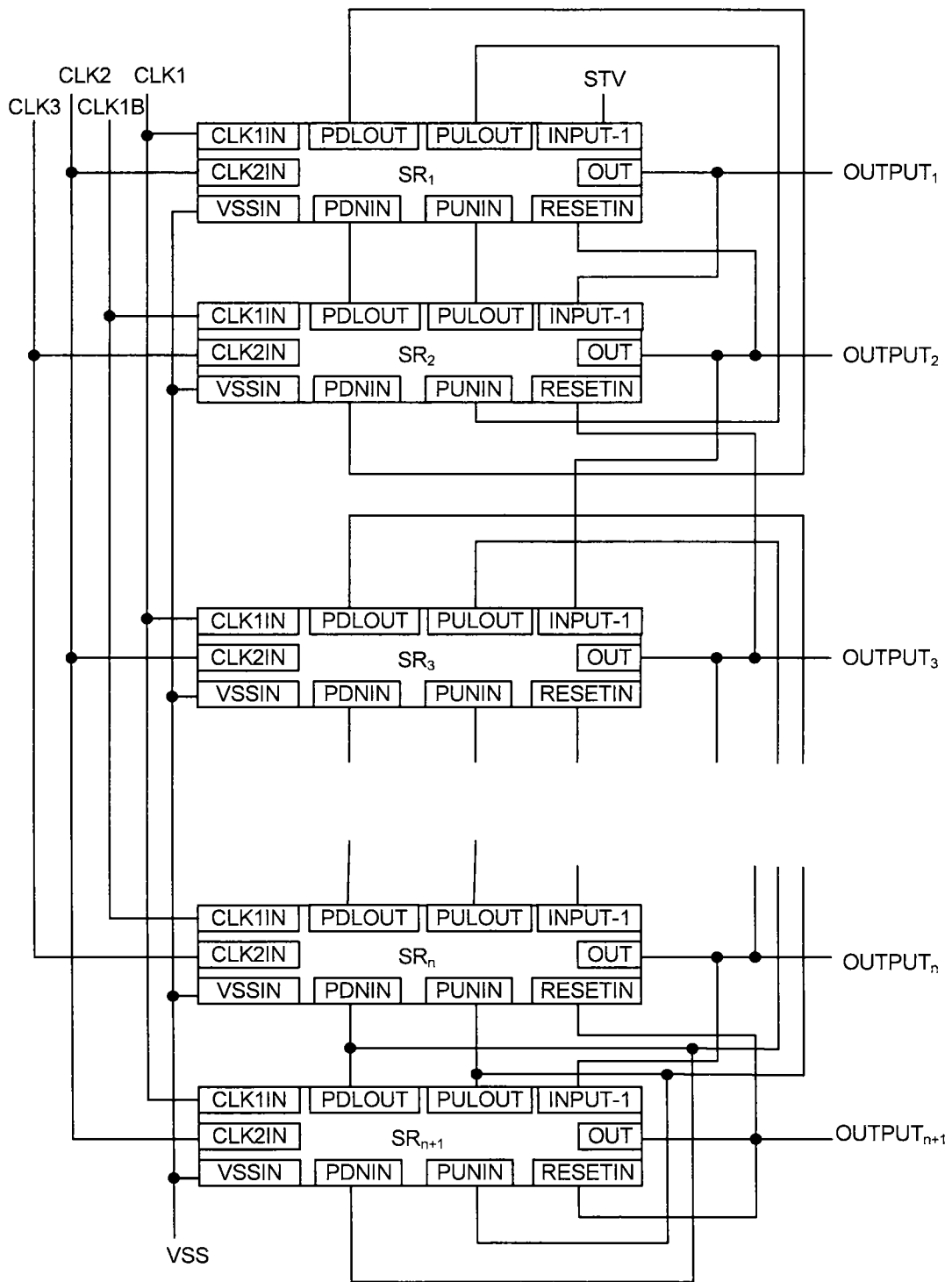


图 9

专利名称(译)	移位寄存器单元、显示器用栅极驱动装置及液晶显示器		
公开(公告)号	CN102254503A	公开(公告)日	2011-11-23
申请号	CN201010181646.6	申请日	2010-05-19
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	商广良 韩承佑		
发明人	商广良 韩承佑		
IPC分类号	G09G3/20 G09G3/36 G11C19/00		
CPC分类号	G09G3/3677 G11C19/28 G09G2310/0286		
代理人(译)	刘芳		
其他公开文献	CN102254503B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开了一种移位寄存器单元、显示器用栅极驱动装置及液晶显示器，其中，移位寄存器单元包括：输入模块，用于输入第二时钟信号或者第三时钟信号，并用于输入帧起始信号、第一时钟信号、低电压信号、复位信号和相邻的下一个移位寄存器单元发送的第一信号和第二信号；处理模块，用于生成栅极驱动信号，并且使得至少二个薄膜晶体管形成的至少一个第一结点处的电平，在输入模块输入的第二时钟信号或第三时钟信号保持低电平的帧间隔内保持低电平；输出模块，用于将处理模块生成的栅极驱动信号发送出去。本发明能够使得栅极与第一结点连接的各个薄膜晶体管的寿命得到延长，移位寄存器单元的稳定性得到提升。

