



(12) 发明专利申请

(10) 申请公布号 CN 101847377 A

(43) 申请公布日 2010.09.29

(21) 申请号 200910081003.1

(22) 申请日 2009.03.27

(71) 申请人 北京京东方光电科技有限公司  
地址 100176 北京市经济技术开发区西环中  
路 8 号

(72) 发明人 商广良

(74) 专利代理机构 北京同立钧成知识产权代理  
有限公司 11205

代理人 刘芳

(51) Int. Cl.

G09G 3/36 (2006.01)

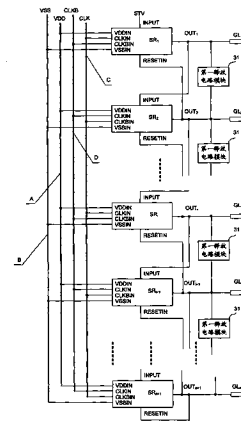
权利要求书 2 页 说明书 5 页 附图 8 页

(54) 发明名称

液晶显示器栅极驱动装置

(57) 摘要

本发明涉及一种液晶显示器栅极驱动装置，包括多级移位寄存器单元和多条时钟信号线，所述多条时钟信号线均与所述多级移位寄存器单元连接，用于使所述多级移位寄存器单元产生栅极驱动信号，每级移位寄存器单元均包括信号输出端，前级移位寄存器单元的信号输出端与后级移位寄存器单元的信号输出端分别连接第一释放电路模块，所述第一释放电路模块用于使所述前级移位寄存器单元的信号输出端输出的高电平信号的电荷释放到所述后级移位寄存器单元的信号输出端。本发明提供的液晶显示器栅极驱动装置，能够减小移位寄存器单元输出的栅极驱动信号的延迟，有效降低功率消耗。



1. 一种液晶显示器栅极驱动装置,包括多级移位寄存器单元和多条时钟信号线,所述多条时钟信号线均与所述多级移位寄存器单元连接,用于使所述多级移位寄存器单元产生栅极驱动信号,每级移位寄存器单元均包括信号输出端,其特征在于,前级移位寄存器单元的信号输出端与后级移位寄存器单元的信号输出端分别连接第一释放电路模块,所述第一释放电路模块用于使所述前级移位寄存器单元的信号输出端输出的高电平信号的电荷释放到所述后级移位寄存器单元的信号输出端。

2. 根据权利要求 1 所述的装置,其特征在于,所述第一释放电路模块包括第一薄膜晶体管和第二薄膜晶体管;

所述第一薄膜晶体管的栅极和漏极均与所述前级移位寄存器单元的信号输出端连接;

所述第二薄膜晶体管的漏极与所述第一薄膜晶体管的源极连接,所述第二薄膜晶体管的源极与所述后级移位寄存器单元的信号输出端连接;所述第二薄膜晶体管的栅极与所述多条时钟信号线中的一条连接。

3. 根据权利要求 2 所述的装置,其特征在于,所述多条时钟信号线具体包括第一时钟信号线和第二时钟信号线,所述第一时钟信号线中输入的时钟信号和所述第二时钟信号线中输入的时钟信号互为反相信号;

对于第奇数级移位寄存器单元,所述第二薄膜晶体管的栅极与所述第二时钟信号线连接,对于第偶数级移位寄存器单元,所述第二薄膜晶体管的栅极与所述第一时钟信号线连接。

4. 根据权利要求 3 所述的装置,其特征在于,还包括第二释放电路模块,所述第一时钟信号线包括第一时钟信号主线和第一时钟信号辅线,所述第二时钟信号线包括第二时钟信号主线和第二时钟信号辅线;所述第一时钟信号主线和第一时钟信号辅线并联;所述第二时钟信号主线和第二时钟信号辅线并联;

所述第一时钟信号线和第二时钟信号线之间连接有第二释放电路模块,所述第二释放电路模块用于使所述第一时钟信号主线上的高电平信号的电荷释放到所述第二时钟信号主线,或者用于使所述第二时钟信号主线上的高电平信号的电荷释放到所述第一时钟信号主线。

5. 根据权利要求 4 所述的装置,其特征在于,所述第二释放电路模块包括第三薄膜晶体管和第四薄膜晶体管;

对于第奇数级移位寄存器单元,第三薄膜晶体管的栅极和漏极均与第一时钟信号主线连接,第四薄膜晶体管的漏极与第三薄膜晶体管的源极连接,第四薄膜晶体管的源极与第二时钟信号主线连接,第四薄膜晶体管的栅极与第二时钟信号辅线连接,第二薄膜晶体管的栅极与第二时钟信号辅线连接;

对于第偶数级移位寄存器单元,第三薄膜晶体管的栅极和漏极均与第二时钟信号主线连接,第四薄膜晶体管的漏极与第三薄膜晶体管的源极连接,第四薄膜晶体管的源极与第一时钟信号主线连接,第四薄膜晶体管的栅极与第一时钟信号辅线连接,第二薄膜晶体管的栅极与第一时钟信号辅线连接。

6. 一种液晶显示器栅极驱动装置,包括多级移位寄存器单元和多条时钟信号线,所述多条时钟信号线均与所述多级移位寄存器单元连接,用于使所述多级移位寄存器单元产生

栅极驱动信号,其特征在于,所述多条时钟信号线均包括时钟信号主线和辅线,所述时钟信号主线和辅线并联;

所述多条时钟信号线中的两条时钟信号线之间连接有第二释放电路模块,所述第二释放电路模块用于使一条时钟信号主线上的高电平信号的电荷释放到另一条时钟信号主线。

7. 根据权利要求6所述的装置,其特征在于,所述第二释放电路模块包括第三薄膜晶体管 and 第四薄膜晶体管;

第三薄膜晶体管的栅极和漏极均与所述两条时钟信号线中的一条时钟信号主线连接,第四薄膜晶体管的漏极与第三薄膜晶体管的源极连接,第四薄膜晶体管的源极与所述两条时钟信号线中的另一条时钟信号主线连接,第四薄膜晶体管的栅极与所述两条时钟信号线中的另一条时钟信号辅线连接。

8. 根据权利要求7所述的液晶显示器栅极驱动装置,其特征在于,所述两条时钟信号线具体为第一时钟信号线和第二时钟信号线;所述第一时钟信号线包括第一时钟信号主线和第一时钟信号辅线,所述第二时钟信号线包括第二时钟信号主线和第二时钟信号辅线;所述第一时钟信号主线和第一时钟信号辅线并联;所述第二时钟信号主线和第二时钟信号辅线并联;

对于第奇数级移位寄存器单元,第三薄膜晶体管的栅极和漏极均与第一时钟信号主线连接,第四薄膜晶体管的漏极与第三薄膜晶体管的源极连接,第四薄膜晶体管的源极与第二时钟信号主线连接,第四薄膜晶体管的栅极与第二时钟信号辅线连接;

对于第偶数级移位寄存器单元,第三薄膜晶体管的栅极和漏极均与第二时钟信号主线连接,第四薄膜晶体管的漏极与第三薄膜晶体管的源极连接,第四薄膜晶体管的源极与第一时钟信号主线连接,第四薄膜晶体管的栅极与第一时钟信号辅线连接。

## 液晶显示器栅极驱动装置

### 技术领域

[0001] 本发明涉及液晶显示技术,尤其涉及一种液晶显示器栅极驱动装置。

### 背景技术

[0002] 液晶显示器栅极驱动装置用于为栅线提供驱动信号,包含多级移位寄存器单元。如图 1a 所示为现有技术中液晶显示器栅极驱动装置结构示意图,如图 1b 所示为现有技术移位寄存器单元的时序图。其中每一级移位寄存器单元 (Shift Register, 简称 SR) 均包括高电压信号输入端 (VDDIN)、低电压信号输入端 (VSSIN)、第一时钟信号输入端 (CLKIN)、第二时钟信号输入端 (CLKBIN)、栅极驱动信号输出端 (OUT)、信号输入端 (INPUT) 以及复位信号输入端 (RESETIN), 除第一级移位寄存器单元 ( $SR_1$ ) 和最后一级移位寄存器单元 ( $SR_{n+1}$ ) 之外,每一级移位寄存器单元的栅极驱动信号输出端均和与自身相邻的上一级移位寄存器单元的复位信号输入端以及自身相邻的下一级移位寄存器单元的信号输入端连接,第一级移位寄存器单元的信号输入端 (INPUT) 输入帧起始信号 (STV), 最后一级移位寄存器单元 ( $SR_{n+1}$ ) 的信号输出端 ( $OUT_{n+1}$ ) 和与其相邻的上一级移位寄存器单元 ( $SR_n$ ) 的复位信号输入端 (RESETIN) 以及自身的复位信号输入端 (RESETIN) 连接。每一级移位寄存器单元的信号输出端均连接一条栅线 (GL), 用于为该栅线提供栅极驱动信号。每级移位寄存器单元的高电压信号输入端 (VDDIN) 和高电压信号线 A 连接, 高电压信号线 A 中输入高电压信号 (VDD); 低电压信号输入端 (VSSIN) 和低电压信号线 B 连接, 低电压信号线 B 中输入低电压信号 (VSS); 第一时钟信号输入端 (CLKIN) 与第一时钟信号线 C 连接, 第一时钟信号线中输入第一时钟信号 (CLK); 第二时钟信号输入端 (CLKBIN) 与第二时钟信号线 D 连接, 第二时钟信号线中输入第二时钟信号 (CLKB)。

[0003] 图 1b 中,每一级移位寄存器单元的信号输出端 (OUT) 每隔一帧时间输出一个高电平,控制相应行的薄膜晶体管 (TFT) 打开,从而实现液晶显示器的逐行扫描。最后一级移位寄存器单元 ( $SR_{n+1}$ ) 输出的高电平同时作为自身和上一级移位寄存器单元 ( $SR_n$ ) 的复位信号。现有技术中,栅极驱动信号的延迟较大。如图 1c 所示为图 1b 中信号输出端 ( $OUT_n$ ) 输出的栅极驱动信号与第二时钟信号的对比示意图,从图 1c 中可以看出,第 n 级移位寄存器单元 ( $SR_n$ ) 的信号输出端 ( $OUT_n$ ) 输出的栅极驱动信号的上升沿与第二时钟信号 (CLKB) 的上升沿之间存在较大延迟。其中,  $t_d$  为第二时钟信号 (CLKB) 上升沿的 50% 与信号输出端 ( $OUT_n$ ) 输出的栅极驱动信号的上升沿的 50% 之间的时间差。并且,现有技术中,各个信号输出端由电源充电至高电平之后直接放电至低电平,电荷充放量大,各个信号输出端输出的高电平信号没有被充分利用,造成栅极驱动装置功耗大。

### 发明内容

[0004] 本发明针对现有技术中存在的问题,提供一种液晶显示器栅极驱动装置,能够减小每级移位寄存器单元输出的栅极驱动信号的延迟,并且功耗小。

[0005] 为了实现上述目的,本发明提供了一种液晶显示器栅极驱动装置,包括多级移位

寄存器单元和多条时钟信号线,所述多条时钟信号线均与所述多级移位寄存器单元连接,用于使所述多级移位寄存器单元产生栅极驱动信号,每级移位寄存器单元均包括信号输出端,前级移位寄存器单元的信号输出端与后级移位寄存器单元的信号输出端分别连接第一释放电路模块,所述第一释放电路模块用于使所述前级移位寄存器单元的信号输出端输出的高电平信号的电荷释放到所述后级移位寄存器单元的信号输出端。

[0006] 本发明还提供了一种液晶显示器栅极驱动装置,包括多级移位寄存器单元和多条时钟信号线,所述多条时钟信号线均与所述多级移位寄存器单元连接,用于使所述多级移位寄存器单元产生栅极驱动信号,所述多条时钟信号线均包括时钟信号主线和辅线,所述时钟信号主线和辅线并联;

[0007] 所述多条时钟信号线中的两条时钟信号线之间连接有第二释放电路模块,所述第二释放电路模块用于使一条时钟信号主线上的高电平信号的电荷释放到另一条时钟信号主线。

[0008] 本发明提供的液晶显示器栅极驱动装置,通过在前级移位寄存器单元和后级移位寄存器单元的信号输出端之间连接第一释放电路模块,使得前级移位寄存器单元信号输出端输出的高电平信号的电荷释放到后级移位寄存器单元的信号输出端,可以减小后级移位寄存器单元输出的栅极驱动信号的延迟,并且有效利用了移位寄存器单元输出的高电平信号,能够减少功率消耗。通过在两条时钟信号线之间设置第二释放电路模块,使得一个时钟信号主线中的时钟信号下降时,能够将高电平信号的电荷释放给另一个时钟信号主线中的时钟信号,使得另一个时钟信号主线中的时钟信号的电平能够快速上升,减小上升沿的延迟,从而减小移位寄存器单元输出的栅极驱动信号的延迟。

[0009] 下面通过附图和实施例,对本发明的技术方案做进一步的详细描述。

## 附图说明

[0010] 图 1a 所示为现有技术中液晶显示器栅极驱动装置结构示意图;

[0011] 图 1b 所示为现有技术移位寄存器单元的时序图;

[0012] 图 1c 所示为图 1b 中信号输出端 ( $OUT_n$ ) 输出的栅极驱动信号与第二时钟信号的对比示意图;

[0013] 图 2 所示为本发明液晶显示器栅极驱动装置第一实施例结构示意图

[0014] 图 3 所示为本发明液晶显示器栅极驱动装置第二实施例结构示意图;

[0015] 图 4 所示为图 3 中第  $i$  级移位寄存器单元 ( $SR_i$ ) 和第  $i+1$  级移位寄存器单元 ( $SR_{i+1}$ ) 部分的时序图;

[0016] 图 5 所示为本发明液晶显示器栅极驱动装置第三实施例结构示意图;

[0017] 图 6a 所示为图 5 中第  $i$  级移位寄存器单元 ( $SR_i$ ) 和第  $i+1$  级移位寄存器单元 ( $SR_{i+1}$ ) 部分的时序图;

[0018] 图 6b 所示为图 6a 中 CLK、CLK'、CLKB 和 CLKB' 放大对比示意图;

[0019] 图 7 所示为本发明液晶显示器栅极驱动装置第四实施例结构示意图。

## 具体实施方式

[0020] 如图 2 所示为本发明液晶显示器栅极驱动装置第一实施例结构示意图,该装置包

括多级移位寄存器单元,每级移位寄存器单元均包括信号输入端和信号输出端,在前级移位寄存器单元的信号输出端与后级移位寄存器单元的信号输出端之间连接一个第一释放电路模块 31,该第一释放电路模块 31 用于使前级移位寄存器单元的信号输出端输出的高电平信号的电荷释放到后级移位寄存器单元的信号输出端。本发明提供的液晶显示器栅极驱动装置,通过在前级移位寄存器单元和后级移位寄存器单元的信号输出端之间设置第一释放电路模块,使得前级移位寄存器单元输出的高电平信号的电荷能够通过第一释放电路模块施加到后级移位寄存器单元的信号输出端,从而减小各级移位寄存器单元输出的栅极驱动信号的延迟。

[0021] 如图 3 所示为本发明液晶显示器栅极驱动装置第二实施例结构示意图,图 3 中,第一释放电路模块 31 包括两个薄膜晶体管,对于第  $i$  ( $i$  为自然数,  $0 < i < n+1$ ) 级移位寄存器单元,第一薄膜晶体管 ( $T_{i1}$ ) 的漏极和栅极均与第  $i$  级移位寄存器单元 ( $SR_i$ ) 的信号输出端 ( $OUT_i$ ) 连接,第二薄膜晶体管 ( $T_{i2}$ ) 的源极连后级移位寄存器单元 ( $SR_{i+1}$ ) 的信号输出端 ( $OUT_{i+1}$ ),漏极和第一薄膜晶体管 ( $T_{i2}$ ) 的源极连接。当  $i$  为奇数时,第二薄膜晶体管 ( $T_{i2}$ ) 的栅极与第二时钟信号线连接,当  $i$  为偶数时,第二薄膜晶体管 ( $T_{i2}$ ) 的栅极与第一时钟信号线连接。第  $n+1$  级移位寄存器单元 ( $SR_{n+1}$ ) 用于为第  $n$  级移位寄存器单元提供复位信号,第  $n+1$  级移位寄存器单元 ( $SR_{n+1}$ ) 不用于驱动栅线,所以第  $n+1$  级移位寄存器单元 ( $SR_{n+1}$ ) 中可以不增加第一薄膜晶体管和第二薄膜晶体管。

[0022] 图 4 所示为图 3 中第  $i$  级移位寄存器单元 ( $SR_i$ ) 和第  $i+1$  级移位寄存器单元 ( $SR_{i+1}$ ) 部分的时序图,下面结合图 3 和图 4 说明本发明第二实施例的工作原理。

[0023] 当第  $i$  级移位寄存器单元 ( $SR_i$ ) 的信号输出端 ( $OUT_i$ ) 输出的栅极驱动信号电平变低时,第  $i+1$  级移位寄存器单元 ( $SR_{i+1}$ ) 的信号输出端 ( $OUT_{i+1}$ ) 输出的栅极驱动信号仍为低电平,而第二时钟信号 (CLKB) 正处于上升沿,所以第二薄膜晶体管 ( $T_{i2}$ ) 打开。由于第  $i$  级移位寄存器单元 ( $SR_i$ ) 的信号输出端 ( $OUT_i$ ) 输出的栅极驱动信号仍为高电平,而第  $i+1$  级移位寄存器单元 ( $SR_{i+1}$ ) 的信号输出端 ( $OUT_{i+1}$ ) 输出的栅极驱动信号仍为低电平,所以第一薄膜晶体管 ( $T_{i1}$ ) 打开。这样,第  $i$  级移位寄存器单元 ( $SR_i$ ) 的信号输出端 ( $OUT_i$ ) 输出的高电平信号的电荷就通过第一薄膜晶体管 ( $T_{i1}$ ) 和第二薄膜晶体管 ( $T_{i2}$ ) 释放给了第  $i+1$  级移位寄存器单元 ( $SR_{i+1}$ ) 的信号输出端 ( $OUT_{i+1}$ ),这样就可以减小第  $i+1$  级移位寄存器单元 ( $SR_{i+1}$ ) 输出的栅极驱动信号的延迟。当第  $i$  级移位寄存器单元 ( $SR_i$ ) 的信号输出端 ( $OUT_i$ ) 输出的信号的电平小于第  $i+1$  级移位寄存器单元 ( $SR_{i+1}$ ) 的信号输出端 ( $OUT_{i+1}$ ) 输出信号的电平时,第一薄膜晶体管 ( $T_{i1}$ ) 截止。这时,第  $i$  级移位寄存器单元 ( $SR_i$ ) 的信号输出端 ( $OUT_i$ ) 输出的信号不再影响第  $i+1$  级移位寄存器单元 ( $SR_{i+1}$ ) 的信号输出端 ( $OUT_{i+1}$ ) 输出的信号。

[0024] 图 3 中,相邻两级移位寄存器单元之间连接两个薄膜晶体管,使得每级移位寄存器单元的信号输出端输出的高电平信号,除了可以驱动栅线之外,信号的电荷还可以释放到相邻的下一级移位寄存器单元的信号输出端,从而减小相邻下一级移位寄存器单元的信号输出端输出的信号的延迟。并且,使得每级移位寄存器单元的信号输出端输出的高电平信号能够被有效利用,不至于被浪费掉。

[0025] 图 3 所示的实施例中,液晶显示器栅极驱动装置包括两条时钟信号线,这两条时钟信号线中输入的时钟信号互为反相信号。在本领域中,液晶显示器栅极驱动装置还可以包括两条以上的时钟信号线。当液晶显示器栅极驱动装置包括两条以上的时钟信号线时,

第一释放电路模块中的第二薄膜晶体管的栅极与两条以上的时钟信号线中的一条连接,具体需要连接那一条时钟信号线,可以根据输入的时钟信号的特性来确定,具体的实现方式与前述各实施例类似,本领域技术人员能够基于本发明前述各实施例的描述获得相应的实现方式,此处不再赘述。

[0026] 如图 5 所示为本发明液晶显示器栅极驱动装置第三实施例结构示意图,图 5 所示的装置与图 3 所示装置的区别在于,图 5 中第一时钟信号线包括第一时钟信号主线 C1 和第一时钟信号辅线 C2,第一时钟信号主线 C1 和第一时钟信号辅线 C2 并联。第二时钟信号线包括第二时钟信号主线 D1 和第二时钟信号辅线 D2,第二时钟信号主线 D1 和第二时钟信号辅线 D2 并联。第一时钟信号主线 C1 和第二时钟信号主线 D1 用于为各级移位寄存器单元提供时钟信号。图 5 中所提供的装置,在图 3 所示装置的基础上,第一时钟信号主线 C1 和第二时钟信号主线 D1 之间连接第二释放电路模块 32,第二释放电路模块 32 包括第三薄膜晶体管和第四薄膜晶体管,对于第  $i$  级移位寄存器单元,第三薄膜晶体管 ( $T_{i3}$ ) 的源极和第四薄膜晶体管 ( $T_{i4}$ ) 的漏极连接。当  $i$  为奇数时,第三薄膜晶体管 ( $T_{i3}$ ) 的栅极和漏极与第一时钟信号主线 C1 连接,第四薄膜晶体管 ( $T_{i4}$ ) 的栅极和源极分别与第二时钟辅线 D2 和第二时钟信号主线 D1 连接,第二薄膜晶体管 ( $T_{i2}$ ) 的栅极连接第二时钟信号辅线 D2,第二薄膜晶体管 ( $T_{i2}$ ) 的源漏极以及第一薄膜晶体管 ( $T_{i1}$ ) 的栅极和源漏极之间的连接关系与图 2 中相同。当  $i$  为偶数时,第三薄膜晶体管 ( $T_{i3}$ ) 的栅极和漏极与第二时钟信号主线 D1 连接,第四薄膜晶体管 ( $T_{i4}$ ) 的栅极和源极分别与第一时钟信号辅线 C2 和第一时钟信号主线 C1 连接,第二薄膜晶体管 ( $T_{i2}$ ) 的栅极连接第一时钟信号辅线 C2,第二薄膜晶体管 ( $T_{i2}$ ) 的源漏极以及第一薄膜晶体管 ( $T_{i1}$ ) 的栅极以和源漏极连接关系与图 3 中相同。

[0027] 对于第三实施例的工作原理,下面以第  $i$  级移位寄存器单元和第  $i+1$  级移位寄存器单元为例来说明。图 6a 所示为图 5 中第  $i$  级移位寄存器单元 ( $SR_i$ ) 和第  $i+1$  级移位寄存器单元 ( $SR_{i+1}$ ) 部分的时序图。第一时钟信号主线 C1 和第二时钟信号主线 D1 用于为移位寄存器单元提供时钟信号,这两条时钟信号主线通常连接尺寸较大的薄膜晶体管,这两条时钟信号主线的上升沿和下降沿的延迟要比两条时钟信号辅线中的时钟信号的上升沿和下降沿的延迟大。。第一时钟信号主线 C1 中输入的是第一时钟信号 (CLK),第一时钟信号辅线 C2 中输入的是第一时钟信号 (CLK'),第二时钟信号主线 D1 中输入的是第二时钟信号 (CLKB),第二时钟信号辅线 D2 中输入的是第二时钟信号 (CLKB')。如图 6b 所示为图 6a 中 CLK、CLK'、CLKB 和 CLKB' 放大对比示意图。下面结合图 5、6a 和 6b 来详细说明本发明第三实施例的工作原理。图 6b 中,在第一阶段,当第一时钟信号辅线 C2 中的第一时钟信号 (CLK') 刚变低时,第一时钟信号主线 C1 中的第一时钟信号 (CLK) 仍为较高电平,所以图 5 中第三薄膜晶体管 ( $T_{i3}$ ) 打开,由于第二时钟信号辅线 D2 中第二时钟信号 CLKB' 上升较快,所以第二时钟信号辅线 D2 中的第二时钟信号 (CLKB') 为较高电平,第四薄膜晶体管 ( $T_{i4}$ ) 也打开,这时,第一时钟信号主线 C1 中的第一时钟信号 (CLK),通过第三薄膜晶体管 ( $T_{i3}$ ) 和第四薄膜晶体管 ( $T_{i4}$ ) 将电荷释放给了第二时钟信号主线 D1 中的信号,使得第二时钟信号主线 D1 中的第二时钟信号 (CLKB) 的电平能够快速上升,减小上升沿的延迟,进而减小移位寄存器单元输出的栅极驱动信号的延迟,同时,也可以减少下降延迟。第二阶段,当第二时钟信号主线 D1 中的第二时钟信号 (CLKB) 的电平高于第一时钟信号主线 C1 中的第一时钟信号 (CLK) 的电平时,第三薄膜晶体管 ( $T_{i3}$ ) 反向截止,则第一时钟信号主线 C1 中的第一时

钟信号 (CLK) 不能再向第二时钟信号主线 D1 放电,同时,CLKB 的电荷也不会释放到第一时钟信号主线 C1 中。这样就可以实现第一时钟信号和第二时钟信号之间的电荷共享。

[0028] 基于类似的原理,当第二时钟信号主线中的第二时钟信号 (CLKB) 变低时,也可以通过第三薄膜晶体管和第四薄膜晶体管将电荷释放给第一时钟信号主线,使得第一时钟信号主线中的第一时钟信号 (CLK) 能够快速上升,减小上升沿的延迟,从而减小移位寄存器单元输出的栅极驱动信号的延迟。

[0029] 通过增加第三薄膜晶体管和第四薄膜晶体管,使得第一时钟信号 (CLK) 和第二时钟信号 (CLKB) 能够电荷共享,可以减少电源供给的电荷量,从而减小液晶显示器栅极驱动装置的功耗。

[0030] 图 5 中,各级移位寄存器单元,通过增加的第一薄膜晶体管和第二薄膜晶体管将信号输出端输出的栅极驱动信号的电荷释放给相邻的后级移位寄存器单元的原理与图 3 类似,此处不再赘述。

[0031] 如图 7 所示为本发明液晶显示器栅极驱动装置第四实施例结构示意图,该装置与图 5 所示实施例的区别在于:图 7 中不包括第一释放电路模块 31,只包括第二释放电路模块 32,图 5 中同时包括第一释放电路模块 31 和第二释放电路模块 32。图 7 中第二释放电路模块 32 的工作原理与图 5 类似,此处不再赘述。

[0032] 图 5 和图 7 所示的实施例中,液晶显示器栅极驱动装置包括两条时钟信号线,这两条时钟信号线中输入的时钟信号互为反相信号。在本领域中,液晶显示器栅极驱动装置还可以包括两条以上的时钟信号线。当液晶显示器栅极驱动装置包括两条以上的时钟信号线时,第二释放电路模块可以连接在其中的两条时钟信号线之间,使得其中一条时钟信号主线上的高电平信号的电荷能够释放到另一条时钟信号的主线。第二释放电路模块中的第三薄膜晶体管的栅极和漏极均与两条时钟信号线中的一条时钟信号主线连接,第四薄膜晶体管的漏极与第三薄膜晶体管的源极连接,第四薄膜晶体管的源极与两条时钟信号线中的另一条时钟信号主线连接,第四薄膜晶体管的栅极与两条时钟信号线中的另一条时钟信号辅线连接。具体的实现方式与前述各实施例类似,此处不再赘述。

[0033] 本发明提供的液晶显示器栅极驱动装置,通过在前级移位寄存器单元和后级移位寄存器单元的信号输出端之间连接第一释放电路模块,使得前级移位寄存器单元信号输出端输出的高电平信号的电荷释放到后级移位寄存器单元的信号输出端,可以后级移位寄存器单元输出的栅极驱动信号的延迟,并且有效利用了移位寄存器单元输出的高电平信号,能够减少功率消耗。通过在两条时钟信号线之间设置第二释放电路模块,使得一个时钟信号主线中的时钟信号下降时,能够将高电平信号的电荷释放给另一个时钟信号主线中的时钟信号,使得另一个时钟信号主线中的时钟信号的电平能够快速上升,减小上升沿的延迟,从而减小移位寄存器单元输出的栅极驱动信号的延迟。

[0034] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

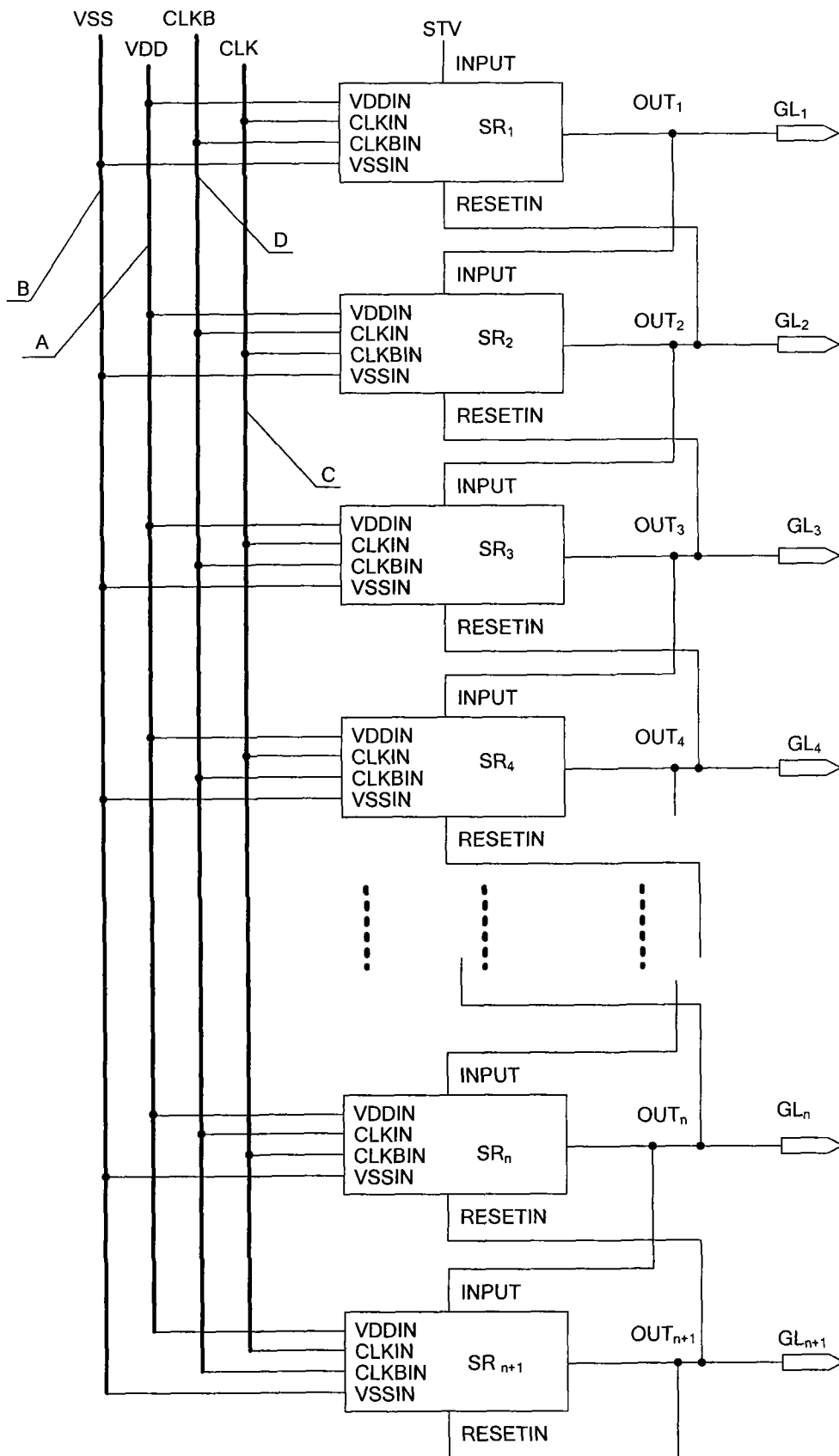


图 1a

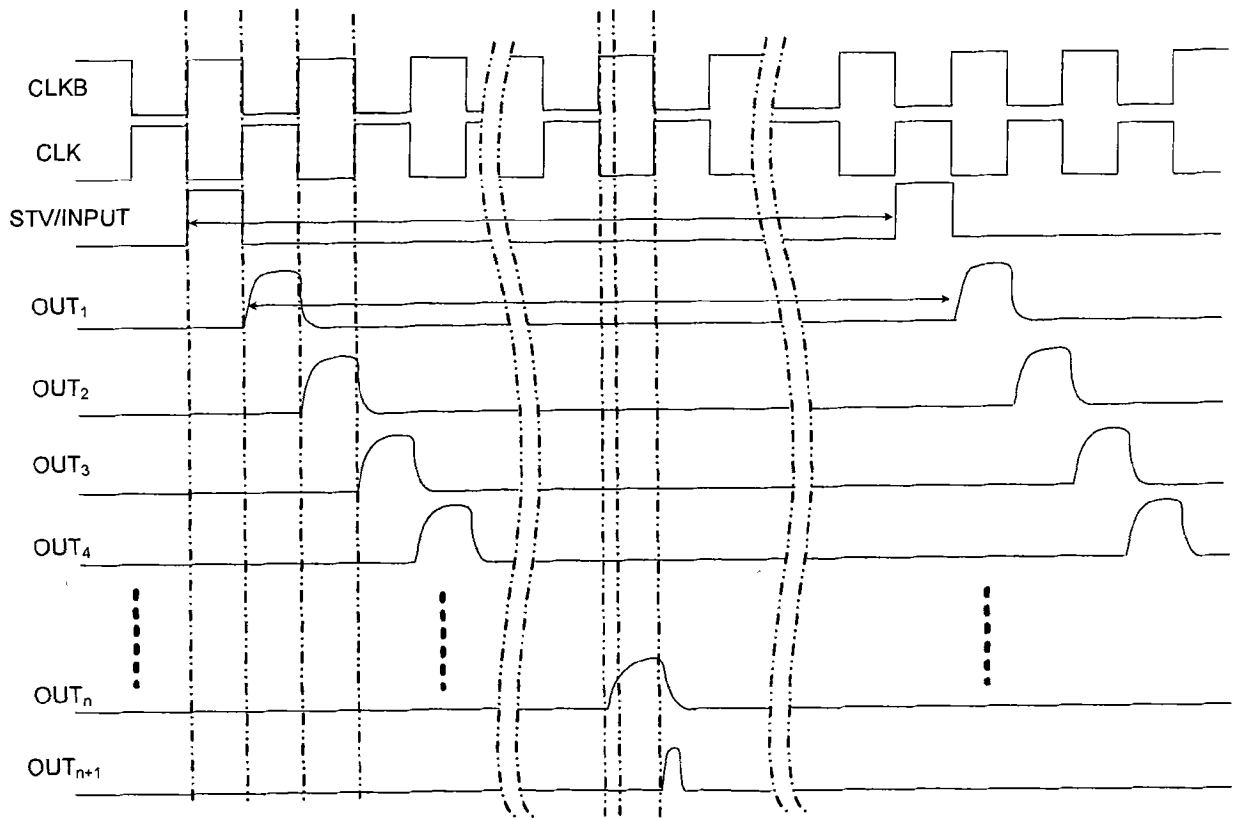


图 1b

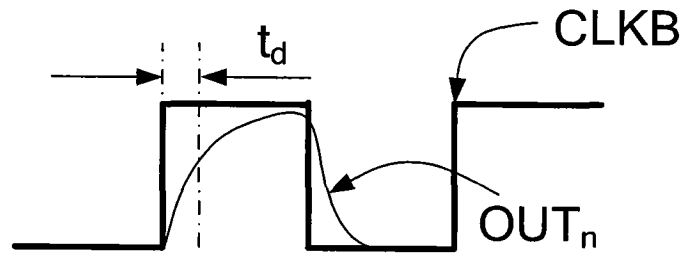


图 1c

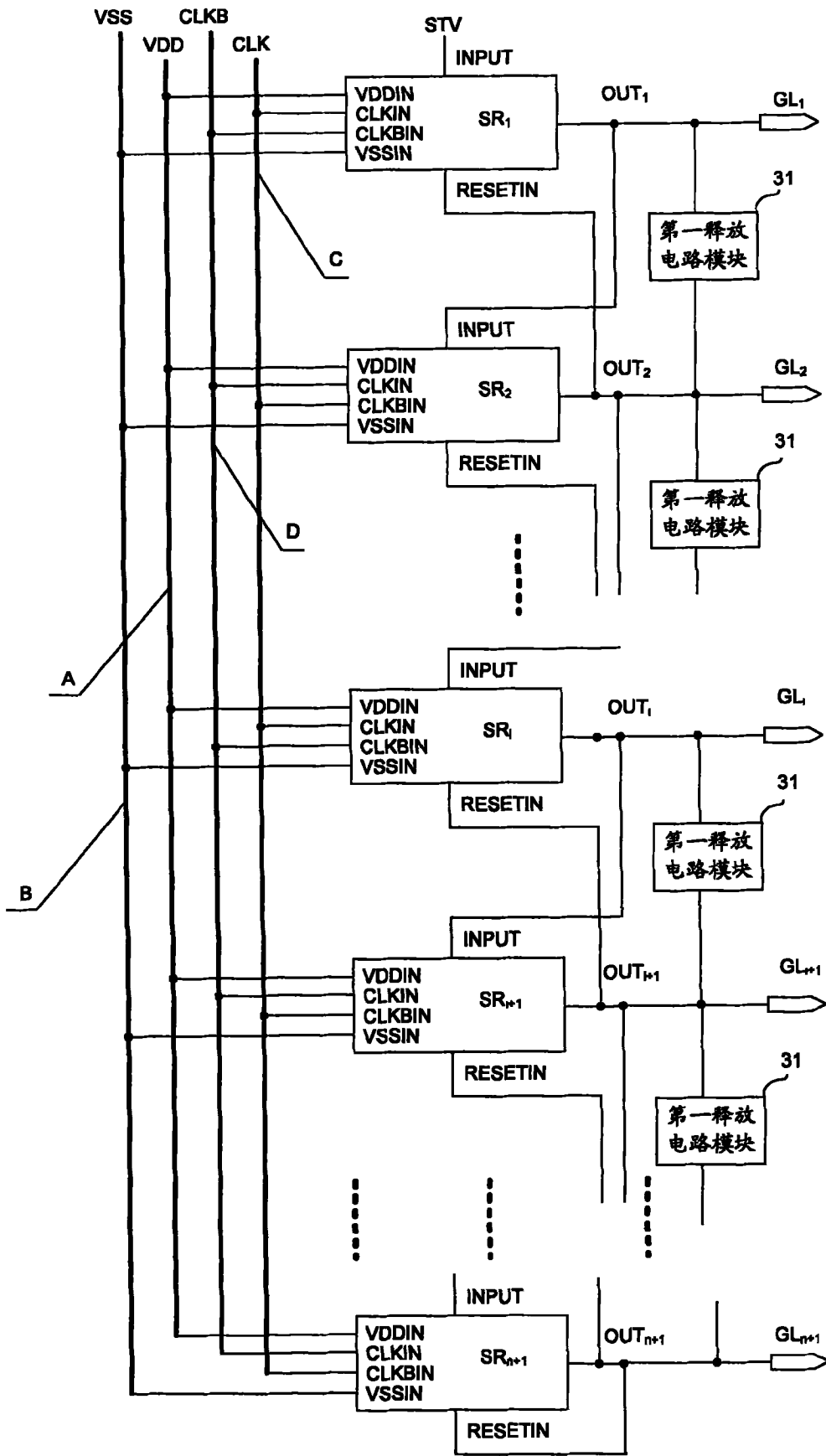


图 2

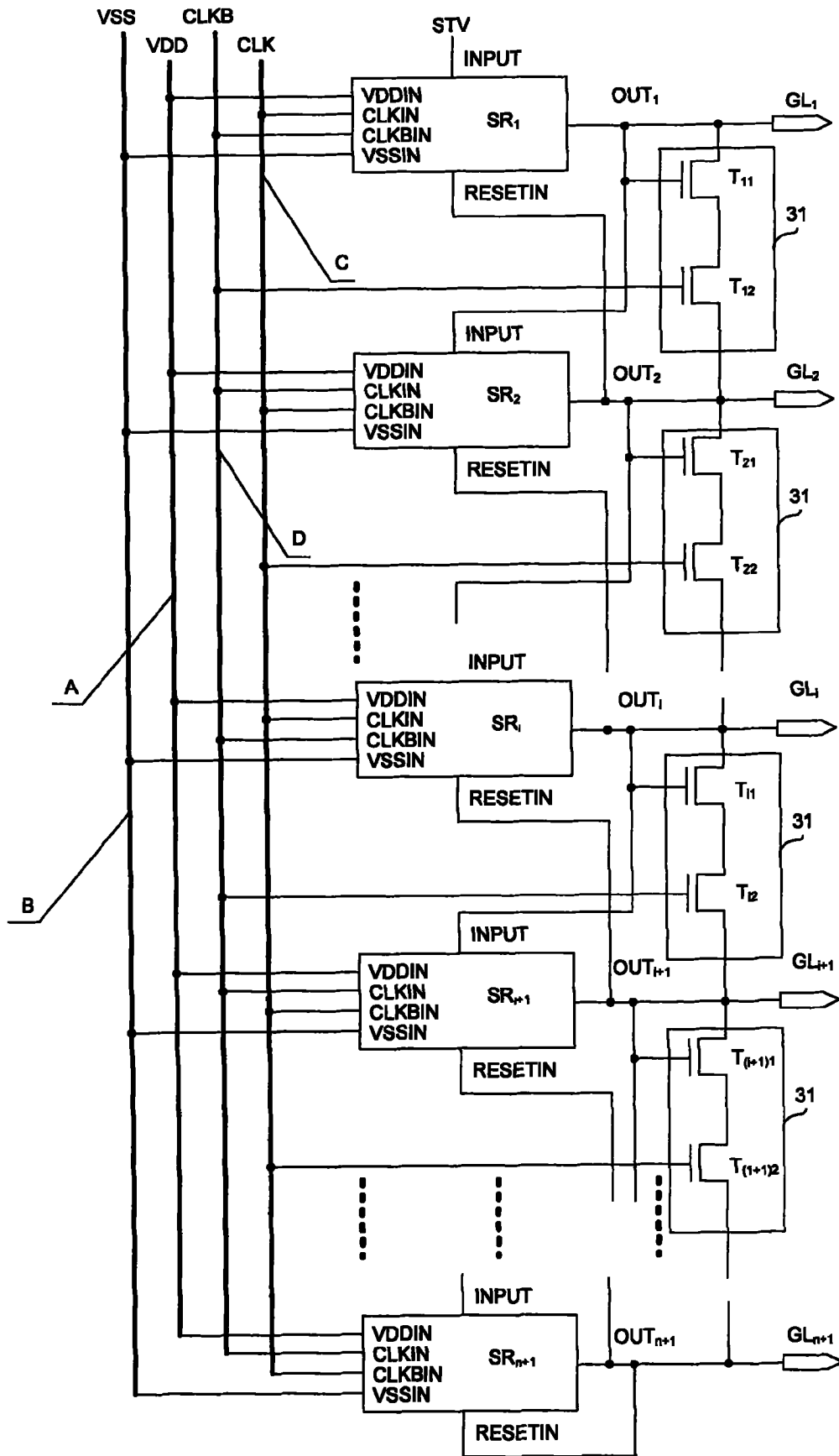


图 3

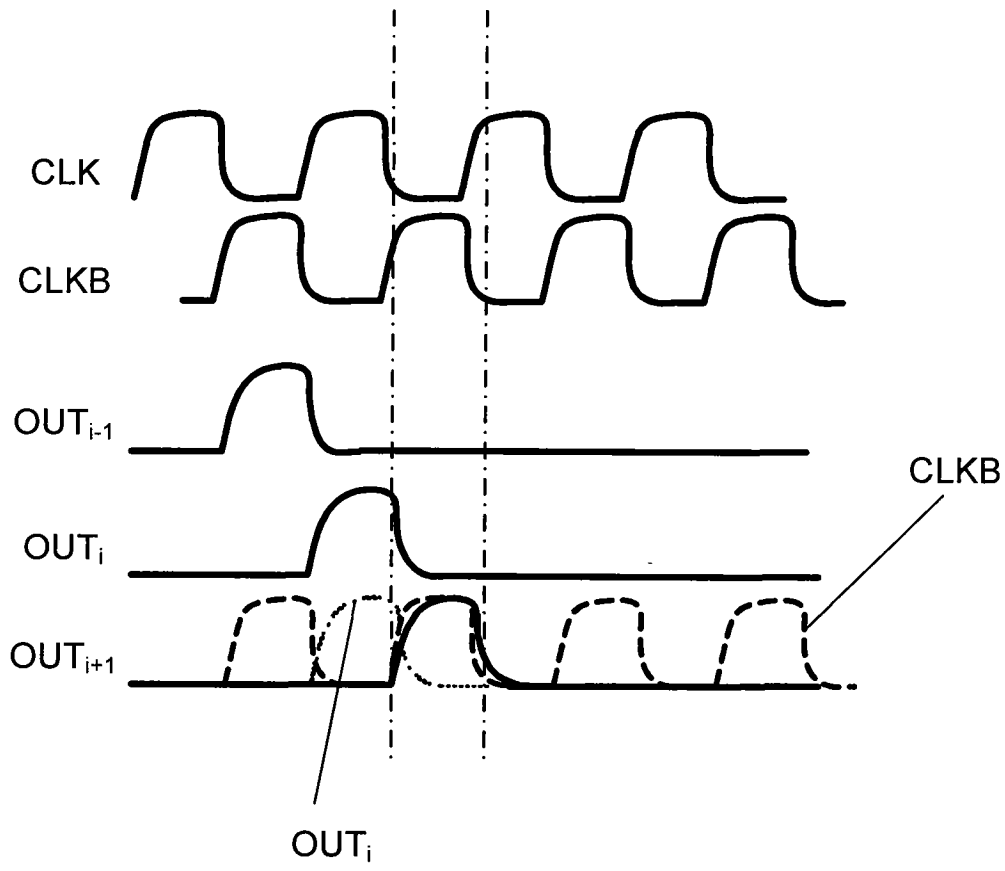


图 4

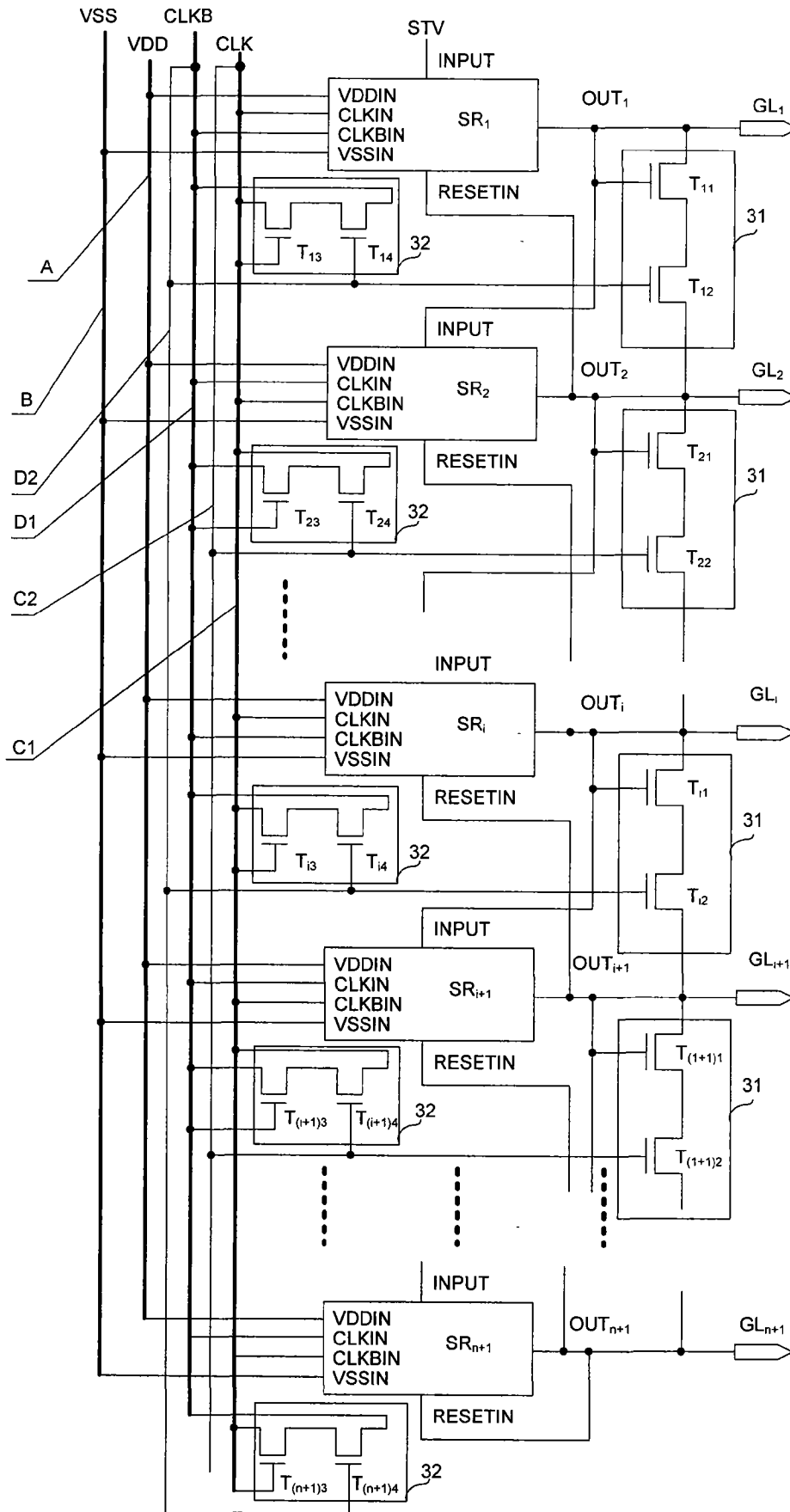


图 5

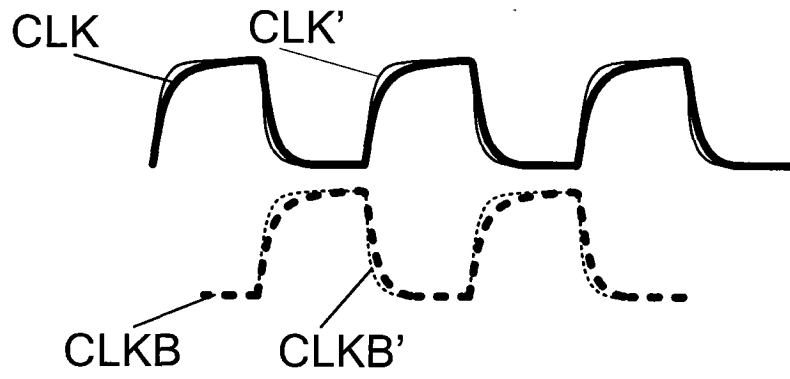


图 6a

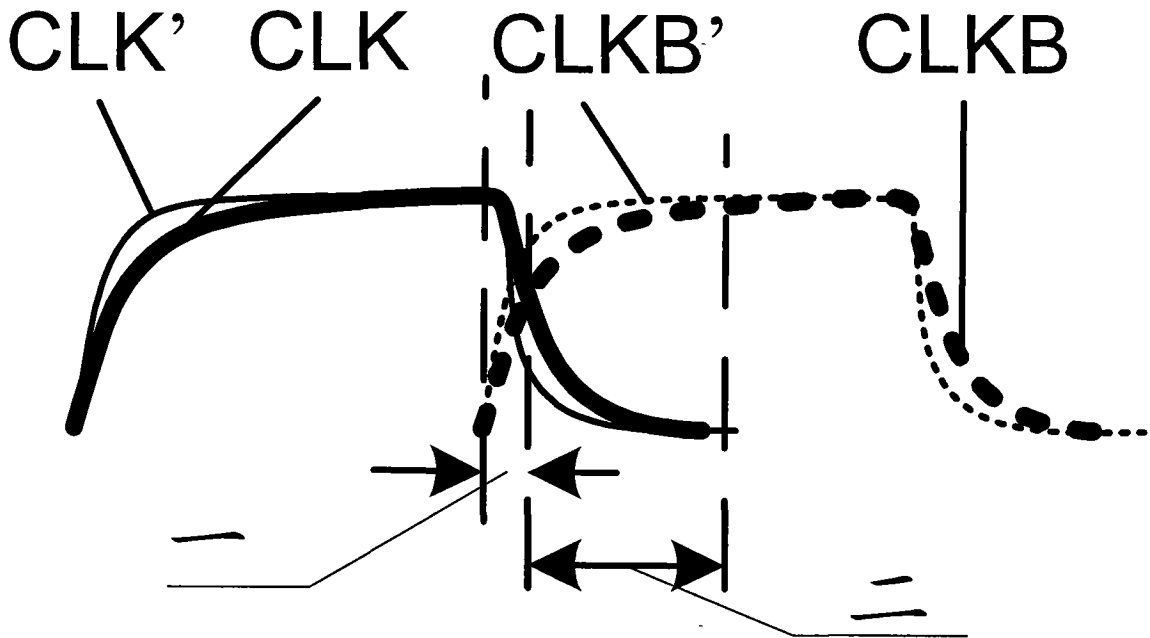


图 6b

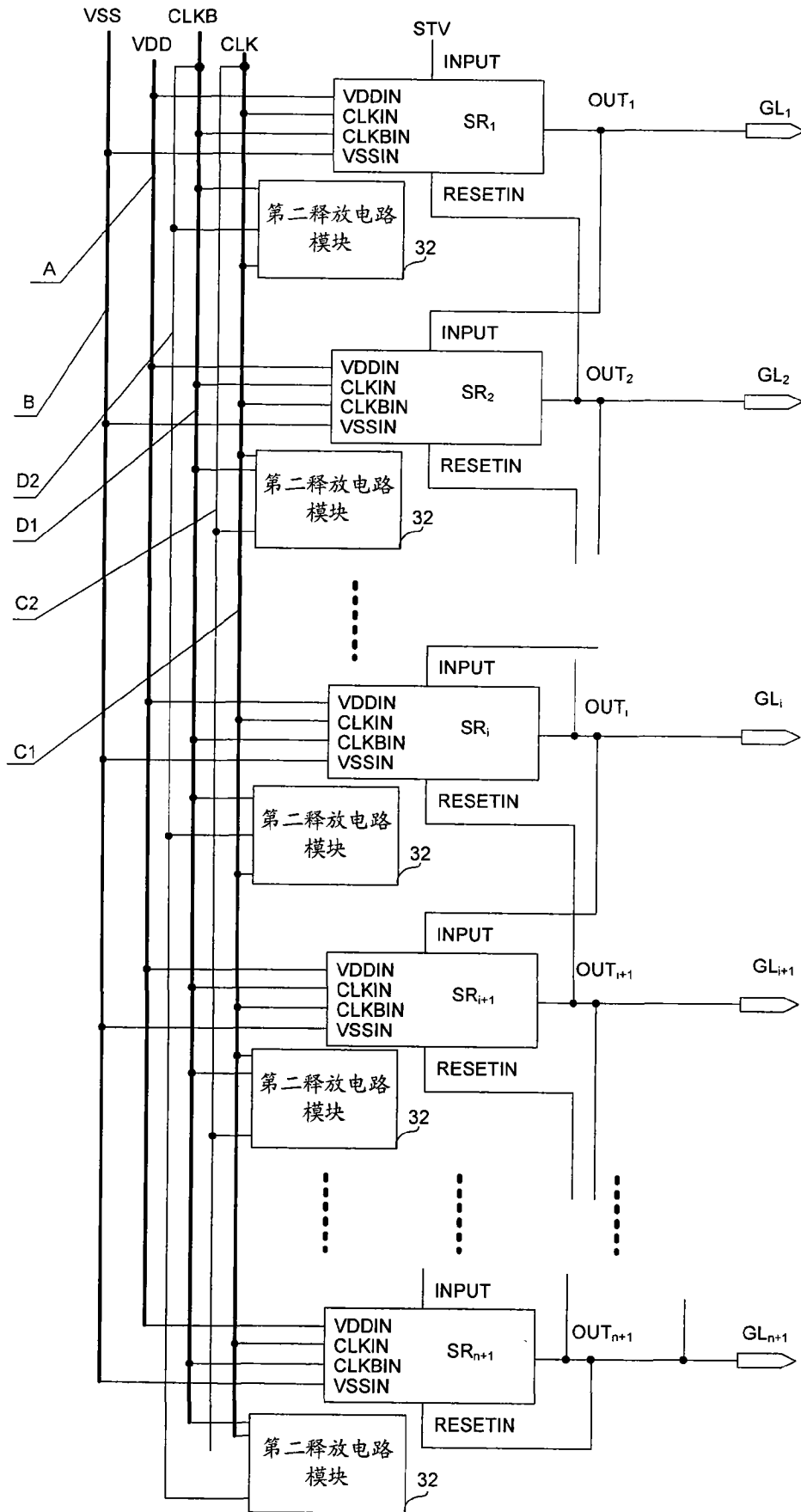


图 7

专利名称(译)	液晶显示器栅极驱动装置		
公开(公告)号	<a href="#">CN101847377A</a>	公开(公告)日	2010-09-29
申请号	CN200910081003.1	申请日	2009-03-27
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	商广良		
发明人	商广良		
IPC分类号	G09G3/36		
CPC分类号	G11C19/28 G09G2310/0286 G09G3/3677		
代理人(译)	刘芳		
其他公开文献	CN101847377B		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明涉及一种液晶显示器栅极驱动装置，包括多级移位寄存器单元和多条时钟信号线，所述多条时钟信号线均与所述多级移位寄存器单元连接，用于使所述多级移位寄存器单元产生栅极驱动信号，每级移位寄存器单元均包括信号输出端，前级移位寄存器单元的信号输出端与后级移位寄存器单元的信号输出端分别连接第一释放电路模块，所述第一释放电路模块用于使所述前级移位寄存器单元的信号输出端输出的高电平信号的电荷释放到所述后级移位寄存器单元的信号输出端。本发明提供的液晶显示器栅极驱动装置，能够减小移位寄存器单元输出的栅极驱动信号的延迟，有效降低功率消耗。

