

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/136 (2006.01)

G02F 1/133 (2006.01)

H01L 21/00 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410068550.3

[45] 授权公告日 2007 年 9 月 19 日

[11] 授权公告号 CN 100338522C

[22] 申请日 2004.8.26

[21] 申请号 200410068550.3

[73] 专利权人 友达光电股份有限公司

地址 台湾省新竹科学工业园区新竹市力行二路一号

[72] 发明人 张业成

[56] 参考文献

CN1385743 A 2002.12.18

WO03085448 A1 2003.10.16

JP10-206229 A 1998.8.7

审查员 胡 阳

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 陈 亮

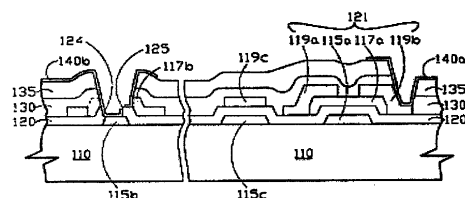
权利要求书 2 页 说明书 6 页 附图 7 页

[54] 发明名称

液晶显示装置的像素电极的制造方法

[57] 摘要

本发明在制作像素电极的制程中，于沉积半导体层的步骤时，就在其一部区域产生一接触洞，以于焊垫上方附近区域形成一具有接触洞的半导体层，并且在此接触洞处形成保护层与透光绝缘层。本发明是利用透光绝缘层来取代一部份原先使用的半导体层，由于透光绝缘层在蚀刻后其侧壁会形成较平缓的斜面，可使得后续沉积的像素电极，能完全覆盖住坡度平缓的斜面而不会造成断线。如此，像素电极便可顺利连接焊垫与测试电路，而不会产生断线的问题。



1. 一种制造液晶显示装置的像素电极的方法，其特征在于，包含：

形成一薄膜晶体管及与该薄膜晶体管连接的一焊垫在一基板上，该焊垫上方依次覆盖有一绝缘层与一通道层，并同时在该焊垫上方的该通道层形成一接触洞；

形成一保护层覆盖住该薄膜晶体管，及该接触洞；

形成一透光绝缘层于该保护层上，并覆盖该接触洞；

移除该接触洞上的该透光绝缘层与该保护层，以及底下的该绝缘层，以露出该焊垫，并且使该接触洞的侧壁大体呈一斜面；及

形成一透明导电层于该焊垫上，其中该透明导电层覆盖住该接触洞的侧壁。

2. 如权利要求 1 所述的制造液晶显示装置的像素电极的方法，其中该形成透光绝缘层的步骤包含：

移除部分该透光绝缘层与该保护层，以露出该薄膜晶体管的漏极，以及该焊垫上方的通道层与绝缘层。

3. 如权利要求 2 所述的制造液晶显示装置的像素电极的方法，更包含步骤：

移除部份该透光绝缘层与该保护层，以露出该焊垫的周围一预定距离以外，该基板上方的通道层与绝缘层。

4. 如权利要求 3 所述的制造液晶显示装置的像素电极的方法，更包含步骤：

移除该焊垫的周围该距离以外，该基板上方的该通道层与该绝缘层，以露出该焊垫。

5. 如权利要求 3 所述的制造液晶显示装置的像素电极的方法，其中

该预定距离为数千埃。

液晶显示装置的像素电极的制造方法

技术领域

本发明是有关于一种薄膜晶体管液晶显示器的制造方法，特别是关于一种可解决 ITO 断线问题的像素电极的制造方法。

背景技术

为了提高薄膜晶体管液晶显示器（TFT-LCD）的画质，超高开口率（Ultra High Aperture ratio, UHA）技术是液晶显示器所不可缺少的技术。超高开口率技术的特点是，利用特殊树脂作为总布线和出/入口布线，于各层之间的绝缘膜。该特殊树脂位于像素电极与数据线之间，作为绝缘层，可增加像素电极与数据线之间的距离，以避免像素电极与数据线之间产生干扰(crosstalk)。

图 1A 至图 1G 所示为习知制作高像素开口率的薄膜晶体管液晶显示器的像素结构的一连串剖面示意图。习知的制程包括了五道光罩制程。首先，请参照图 1A，于一基板 10 上形成一金属层 15。之后，藉由一第一道光罩制程定义此金属层 15 的图案，以形成扫描线 15c、栅极 15a 与焊垫 15b，如图 1B 所示。焊垫 15b 用来与驱动晶片或测试电路作连接。接着，于基板 10 上全面性的形成一绝缘层 20，覆盖住扫描线 15c、栅极 15a 与焊垫 15b。的后，在绝缘层 20 上形成一通道层 17。

参照图 1C，藉由一第二道光罩制程定义此通道层 17 的图案，以形成在栅极 15a 上方的一栅极通道 17a 的位置。此外，在焊垫 15b 的上方，也同时藉由第二道光罩制程定义此通道层 17 的图案，以形成一半导体层 17b，以作为后续蚀刻制程时，保护其下方绝缘层 20 不被移除。然后，在基板 10 上方形成另一金属层 19。

之后，参照图 1D，藉由一第三道光罩制程定义金属层 19 的图案，以形成数据线 19c 与源极/漏极 19a/19b。在完成上述步骤之后，所形成的栅极 15a、栅极通道 17a 与源极/漏极 19a/19b 是构成一薄膜晶体管 21。

接着,参照图 1E,在基板 10 的上方全面性的形成一保护层 30,覆盖薄膜晶体管 21 与半导体层 17b。之后,于保护层 30 上形成一透光绝缘层 35。然后,藉由一第四道光罩制程定义透光绝缘层 35 与保护层 30 的图案,以形成多个接触洞(contact hole),使后续形成的像素电极 40 能与漏极 19b 作电性连接。同时,在焊垫 15b 上方的透光绝缘层 35 与保护层 30 也形成一接触洞,并露出之前沉积的半导体层 17b 与绝缘层 20。

之后,参照图 1F,利用一等离子体 22,对半导体层 17b 与绝缘层 20 进行蚀刻移除,由于在半导体层 17b 下方的绝缘层 20 受到半导体层 17b 的保护,所以当焊垫 15b 上方未被半导体层 17b 覆盖的绝缘层 20 被移除而露出焊垫 15b 时,半导体层 17b 此时已被蚀刻剩下约几百埃的厚度或是已完全被移除。因为残留的半导体层 17b 或是以半导体层 17b 当作蚀刻保护下的绝缘层 20,在其接触洞 24 的侧壁都会产生几近垂直角度的阶梯形态。所以在最后一道光罩制程时,若以半导体层 17b 已完全被移除的情况为例,请参考图 1G,形成一像素电极 40 在焊垫 15b 上以作为电性连接时,由于在有半导体层 17b 当作蚀刻保护下的绝缘层 20,其接触洞 24 的侧壁坡度较陡峭,像素电极 40 沉积时并未完全覆盖住接触洞 24 的侧壁,会有断线的情形产生,而无法作电性测试。

此外,由于焊垫 15b 大多是以接触到水气就容易会氧化的金属材料所形成,例如铝金属,所以当像素电极 40 覆盖不完全时,也会造成水气经由像素电极 40 覆盖不完全处渗入,而接触到焊垫 15b,造成焊垫 15b 的腐蚀。

综上所述,习知利用半导体层当作为蚀刻保护层的方法,会在其接触洞的侧壁产生几近垂直角度的阶梯形态,进而使得在沉积像素电极时,无法完全覆盖住半导体层的接触洞的侧壁,造成断线的结果,并且也会导致焊垫容易有腐蚀的情形,本发明即针对此一问题,提出一种改良的像素电极的制造方法。

发明内容

鉴于上述的问题,本发明的目的在于提供一种像素电极的制造方法,

以解决与焊垫连接的像素电极断线的问题。本发明利用透光绝缘层来取代一部份原先使用的半导体层,由于透光绝缘层在蚀刻后其接触洞的侧壁会形成较平缓的斜面,可使得后续沉积的像素电极,能完全覆盖住坡度平缓的斜面而不会造成断线。

本发明的另一目的,在于提供一种液晶显示装置的像素电极的制造方法,以解决焊垫腐蚀的问题。藉由焊垫及其周围附近区域保持没有半导体层的存在,所以蚀刻制程后不会有较陡峭的阶梯形态产生,当像素电极沉积时将可完全覆盖住焊垫,不会有因覆盖不完全,导致水气侵入,而造成焊垫腐蚀的情形。

根据以上所述的目的,本发明在先前沉积半导体层时,就在其一局部区域产生一接触洞,以于焊垫上方附近区域形成一具有接触洞的半导体层,并且在此接触洞处形成保护层与透光绝缘层。本发明是利用透光绝缘层来取代一部份原先使用的半导体层,由于透光绝缘层在蚀刻后其接触洞的侧壁会形成较平缓的斜面,可使得后续沉积的像素电极,能完全覆盖住坡度平缓的斜面而不会造成断线。因此,像素电极可顺利连接焊垫与测试电路,以进行后续的电性测试。

本发明的方法包含形成一薄膜晶体管及与薄膜晶体管连接的一焊垫于一基板上,其中焊垫与基板上方依序覆盖一绝缘层及一具有接触洞的通道层,形成一保护层覆盖住薄膜晶体管、绝缘层、接触洞及通道层,形成一透光绝缘层于保护层上,并使接触洞的侧壁大体呈一斜面,移除部分通道层与绝缘层,以露出焊垫及形成一透明导电层于焊垫上,其中透明导电层覆盖斜面。

附图说明

图 1A 至图 1G 所示为习知一种制作高像素开口率的薄膜晶体管液晶显示器的像素结构的一连串剖面示意图。

图 2A 至图 2H 所示为本发明的一较佳实施例,是用来制作薄膜晶体管液晶显示器的像素结构的一连串剖面示意图。

图 3 为本发明的另一较佳实施例,是为薄膜晶体管液晶显示器的像素

结构的剖面示意图。

具体实施方式

图 2A 至图 2H 所示为本发明的一较佳实施例，其是用来制作薄膜晶体管液晶显示器的像素结构的一连串剖面示意图。首先参照图 2A，提供一基板 110，例如是一玻璃基板或透明塑胶基板，接着于基板 110 上沉积一层厚度约为 1000~5000 埃的导电层 115，其中形成导电层 115 的方法，例如溅镀法或蒸镀法，而且此导电层 115 的材质可以是钽、钛、铝、钼、铬以及铝合金等金属导体。之后，藉由一第一道光罩制程定义此导电层 115 的图案，以形成扫描线 115c、栅极 115a 与焊垫 115b，如图 2B 所示。接着，于基板 110 上全面性的形成一绝缘层 120，覆盖扫描线 115c、栅极 115a 与焊垫 115b。其中形成绝缘层 120 的方法，例如是等离子体化学气相沉积法沉积一氮化硅层或是一氧化硅层或者是一氮氧化硅层。之后，在绝缘层 120 上形成一通道层 117，其中形成通道层 117 的方法，例如是等离子体化学气相沉积法。

接着，参照图 2C，藉由一第二道光罩制程定义此通道层 117 的图案，以形成在栅极 115a 上方的一栅极通道 117a 的位置。此外，在焊垫 115b 上方，也同时藉由第二道光罩制程定义此通道层 117 的图案，以形成一具有接触洞 118 的半导体层 117b，以作为后续蚀刻制程时，保护其下方的绝缘层 120 不被移除。其中，通道层的材质例如是非晶硅（a-Si）。然后，在基板 110 上方形成另一导电层 119，其中导电层 119 的材质例如是钽、钛、铝、钼、铬以及铝合金等金属导体。

之后，参照图 2D，藉由一第三道光罩制程定义导电层 119 的图案，以形成数据线 119c 与源极/漏极 119a/119b。在完成上述步骤之后，所形成的栅极 115a、栅极通道 117 与源极/漏极 119a/119b 是构成一薄膜晶体管 121。

接着，参照图 2E，在基板 110 的上方全面性的形成一保护层 130，覆盖薄膜晶体管 121 与半导体层 117b，而形成保护层 130 的方法，例如是以等离子体化学气相沉积的方式沉积一氮化硅层。之后，于保护层 130 上

形成一透光绝缘层 135。其中形成透光绝缘层 135 的方法，例如是以旋转涂布（SPIN-COATING）的方式沉积一有机层，此有机层例如为介电常数为 5 以下的低介电材料，其材质例如是丙烯酸酯、2-乙氧乙基乙酯或是苯环丁烯，然不限于此。此有机层不限定于介电常数为 5 以下的低介电材料，也就是说介电常数大于或等于 5 的介电材料也可以使用。

然后，藉由一第四道光罩制程定义透光绝缘层 135 与保护层 130 的图案，以形成多个接触洞，使后续形成的像素电极能与漏极 119b 作电性连接。同时，在焊垫 115b 上方的透光绝缘层 135 与保护层 130 也形成一接触洞 123，并露出之前沉积的半导体层 117b 与绝缘层 120。

接着，参照图 2F，利用一移除方法，例如是使用一等离子体 122，对半导体层 117b 与绝缘层 120 进行蚀刻移除。由于在半导体层 117b 下方的绝缘层 120 受到半导体层 117b 的保护，所以当焊垫 115b 上方未被半导体层 117b 覆盖的绝缘层 120 被移除而露出焊垫 115b 时，半导体层 117b 此时才刚好被完全移除，或是蚀刻剩下约几百埃的厚度。

在本实施例中，只选择半导体层 117b 完全被移除的状况为例，然不限于此。由于蚀刻半导体层 117b 时会在其接触洞的侧壁 125 产生接近垂直角度的阶梯形态，对后续沉积的像素电极会有断线的情形，所以本发明便在先前沉积半导体层 117b 时，就在其一局部区域产生一接触洞 118，以于焊垫 115b 上方区域形成一具有接触洞 118 的半导体层 117b，并且在此接触洞 118 形成保护层 130 与透光绝缘层 135，如图 2E 所示。由于透光绝缘层 135 在蚀刻后其接触洞的侧壁 124 可大体呈一斜面，所以不会有类似蚀刻半导体层 117b 时会在其接触洞的侧壁 125 产生接近垂直角度的阶梯形态的问题。

然后，参照图 2G，全面性的形成一像素电极层 140，覆盖透光绝缘层 135、保护层 130、绝缘层 120、焊垫 115b 及基材 110。其中形成像素电极层 140 的方法，例如是溅镀法，而且此像素电极层的材质可以是铟锡氧化物或是铟锌氧化物。

最后，请参考图 2H。藉由一第五道光罩制程定义像素电极层 140 的图案，以形成一像素电极 140a 在漏极 119b 上及形成一像素电极 140b 在

焊垫 115b 上以作为电性连接。其中在有半导体层 117b 当作蚀刻保护的那一侧，由于其接触洞侧壁 125 的坡度较陡，像素电极 140b 覆盖时依然会有断线的情形。但是，在保护层 130 与透光绝缘层 135 的这一侧，由于蚀刻后的接触洞侧壁 124 的坡度较平缓，像素电极 140b 可以完全沿着保护层 130 与透光绝缘层 135 的那一侧的斜面覆盖，而不会有断线的情形。因此，像素电极 140b 可顺利连接焊垫 115b 与测试电路（未示于图），以进行后续的电性测试。

参照图 3，为根据本发明的另一实施例，是为薄膜晶体管液晶显示器的像素结构的剖面示意图。与图 2H 所示结构不同之处，在于为了避免后续沉积的像素电极 140b 因覆盖不完全，会有水气侵入腐蚀焊垫 115b 的问题，于是在先前沉积具有接触洞 118 的半导体层 117b 时，除了在其一部区域产生一接触洞 118，在此接触洞 118 处形成保护层 130 与透光绝缘层 135 外，并且使具有接触洞 118 的半导体层 117a 没有覆盖在焊垫 115b 及距离其周围约几千埃的基板 110 上方的绝缘层 120 上，而是覆盖在焊垫 115b 周围约几千埃的距离以外的基板 110 上方的绝缘层 120 上。由于焊垫 115b 及距离其周围约几千埃的基板 110 上方的绝缘层 120 因为未被半导体层 117b 覆盖，所以蚀刻后将可完全露出焊垫 115b 与距离其周围约几千埃的基材 110。当在形成像素电极 140b 时，将可把焊垫 115b 与距离其周围约几千埃的基材 110 完全覆盖住，而不会有因像素电极 140b 覆盖不良，导致水气侵入而腐蚀焊垫 115b 的情形产生。

以上所述仅为本发明的较佳实施例而已，并非用以限定本发明的权利要求范围；凡其它未脱离本发明所揭示的精神下所完成的等效改变或修饰，均应包含在权利要求范围内。

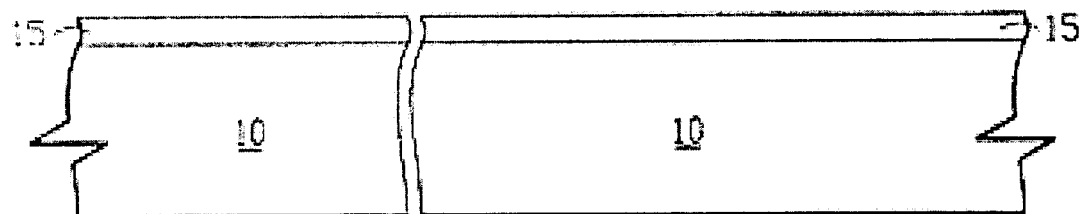


图 1A

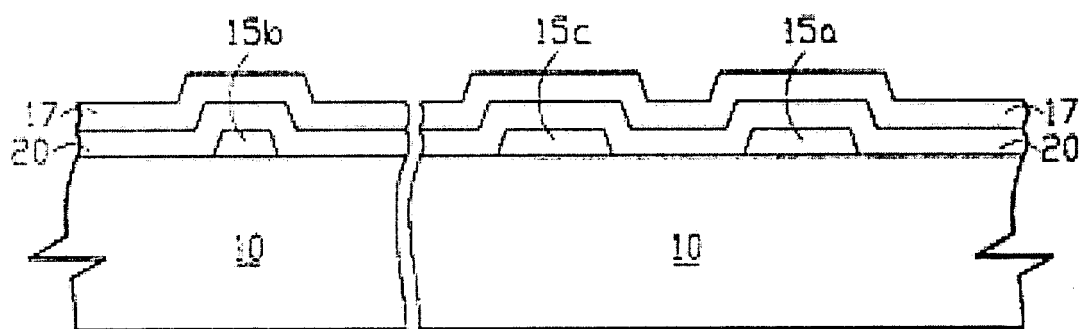


图 1B

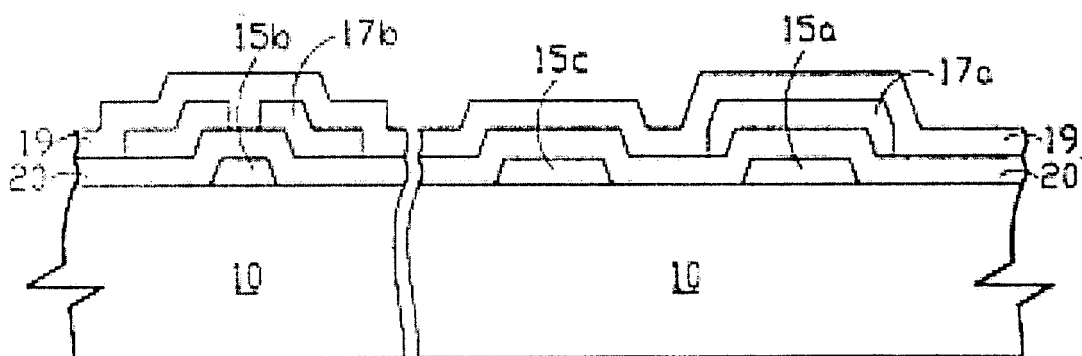


图 1C

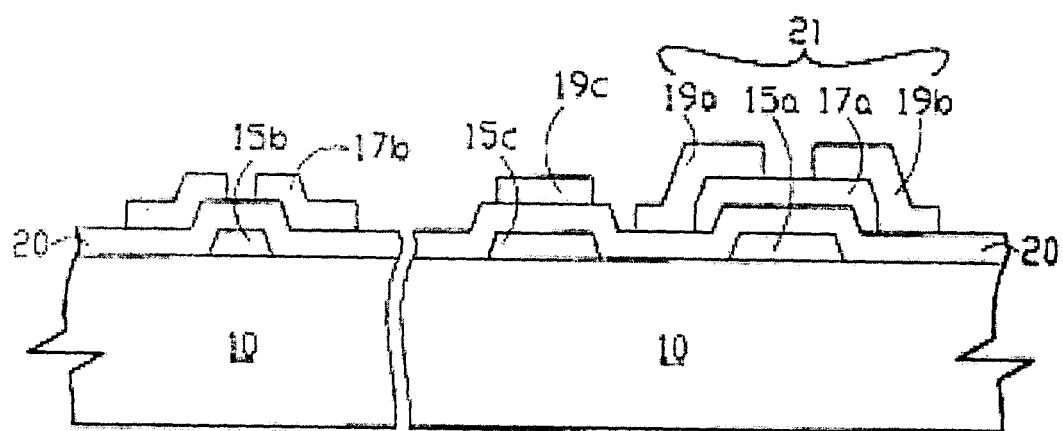


图 1D

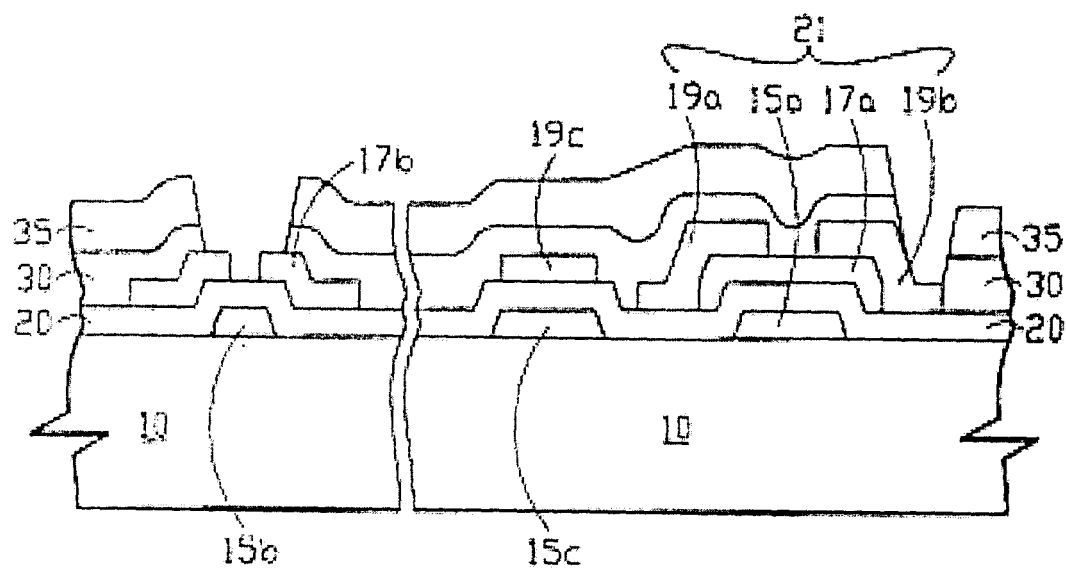


图 1E

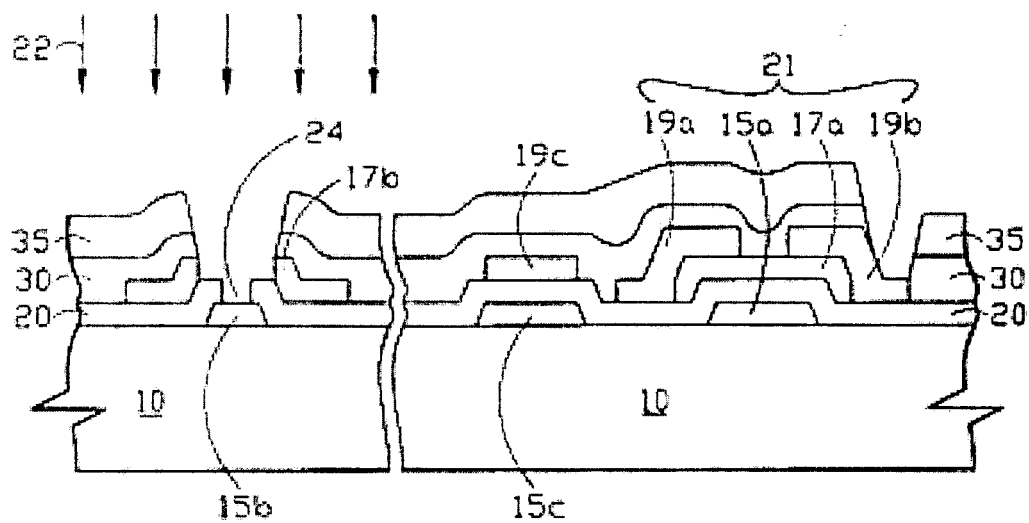


图 1F

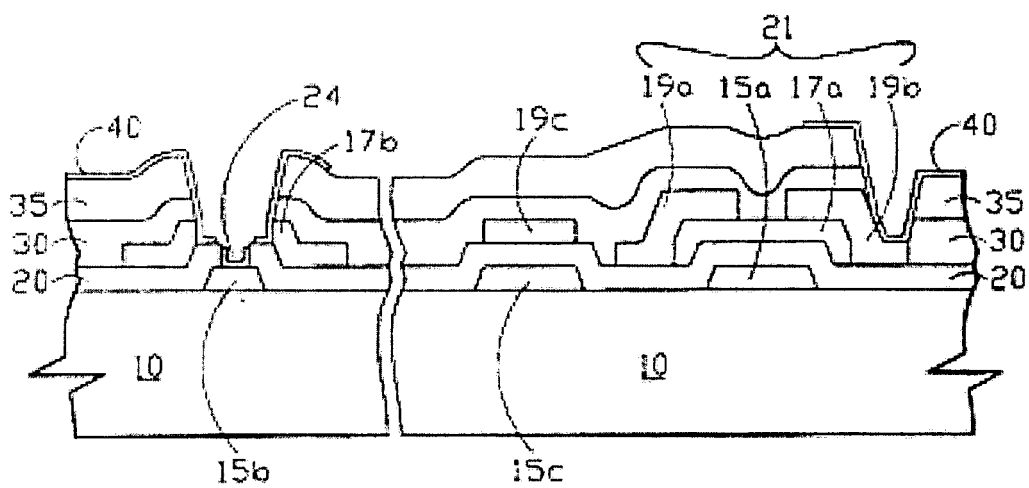


图 1G

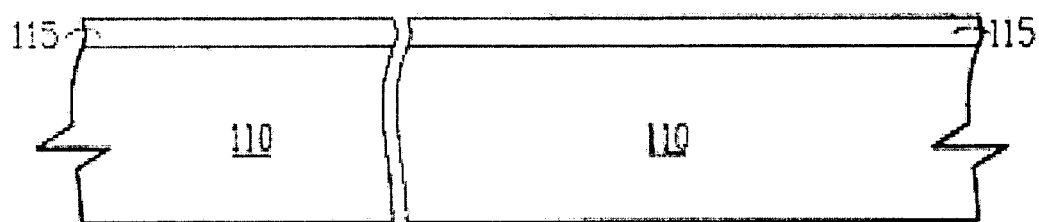


图 2A

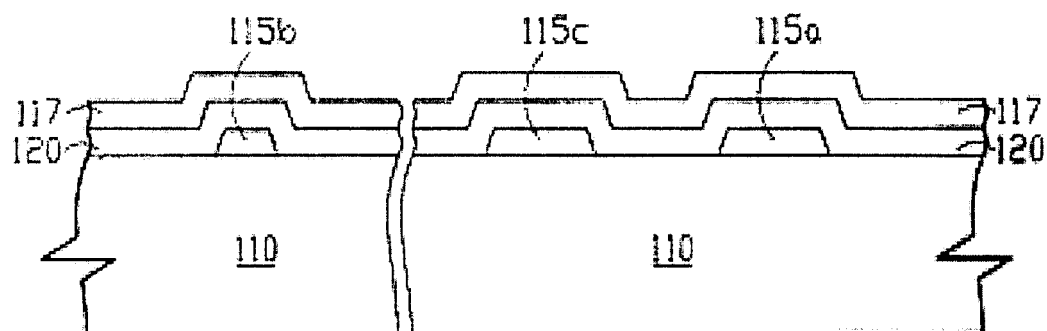


图 2B

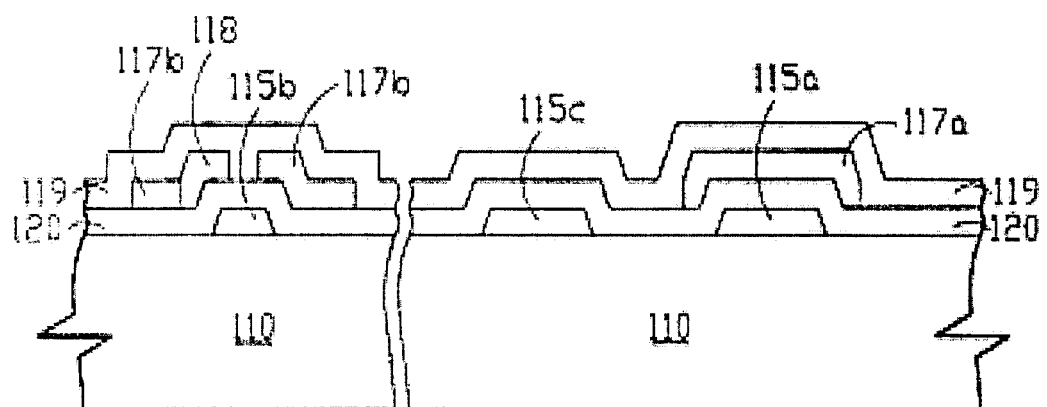


图 2C

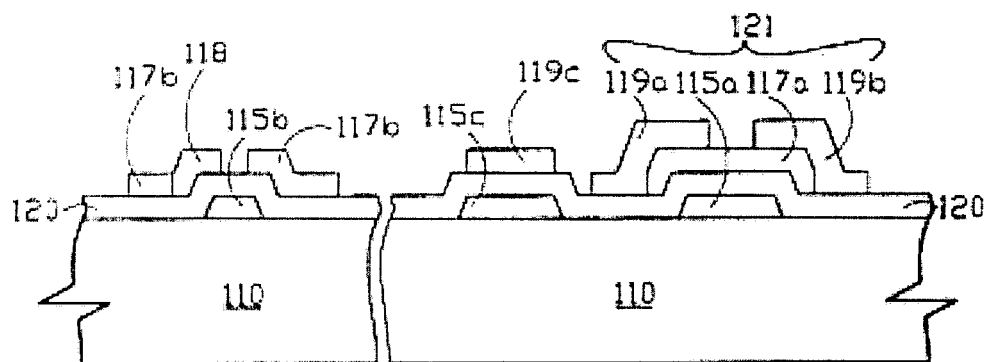


图 2D

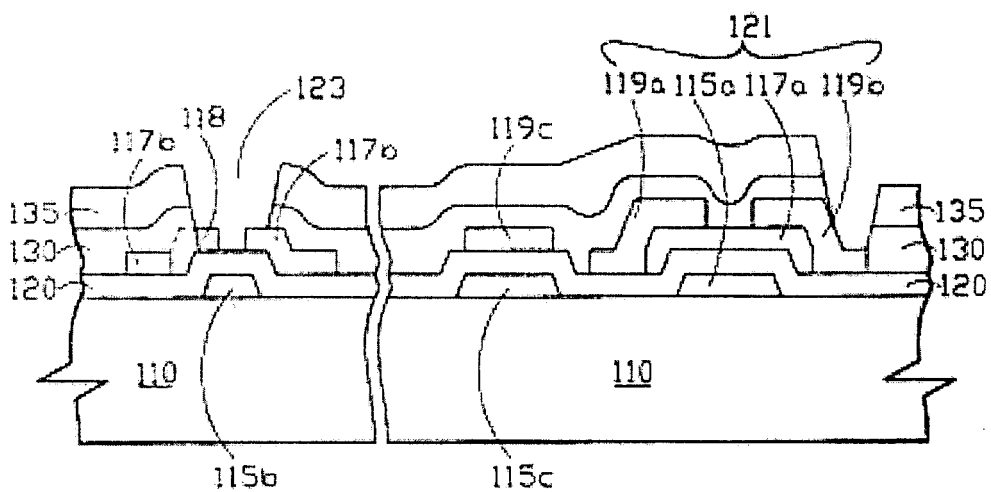


图 2E

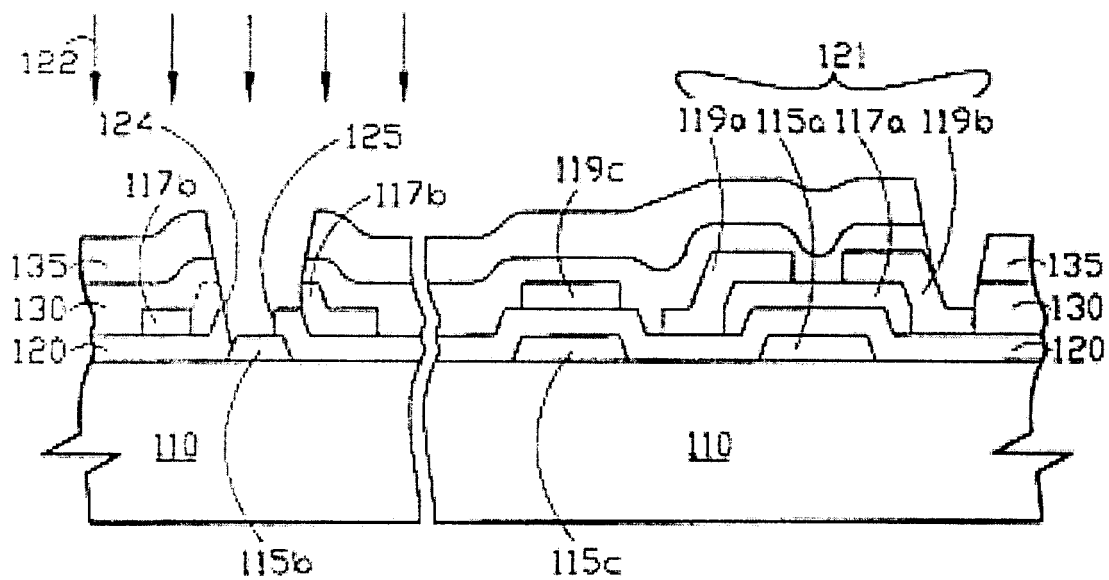


图 2F

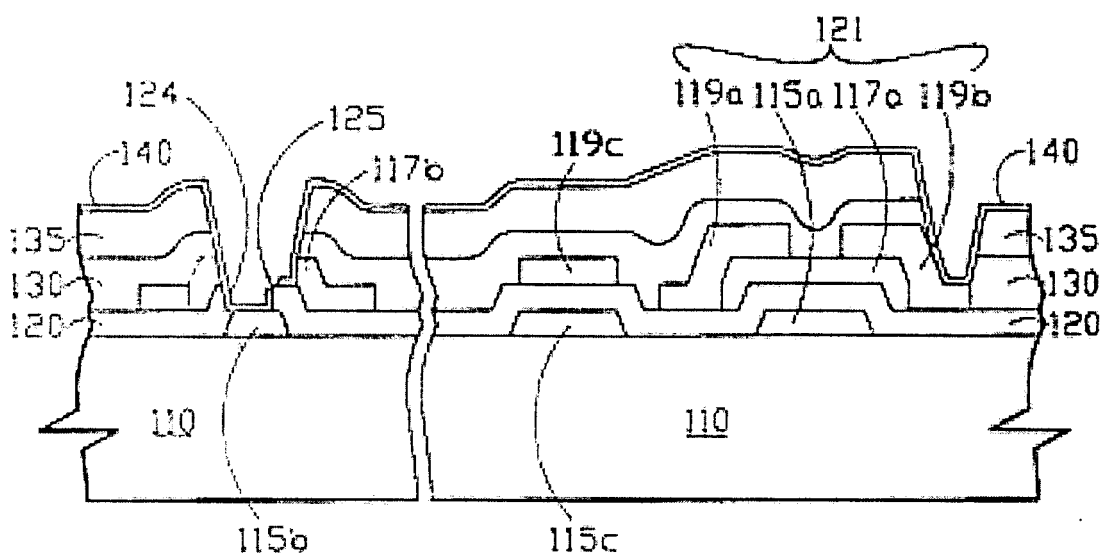


图 2G

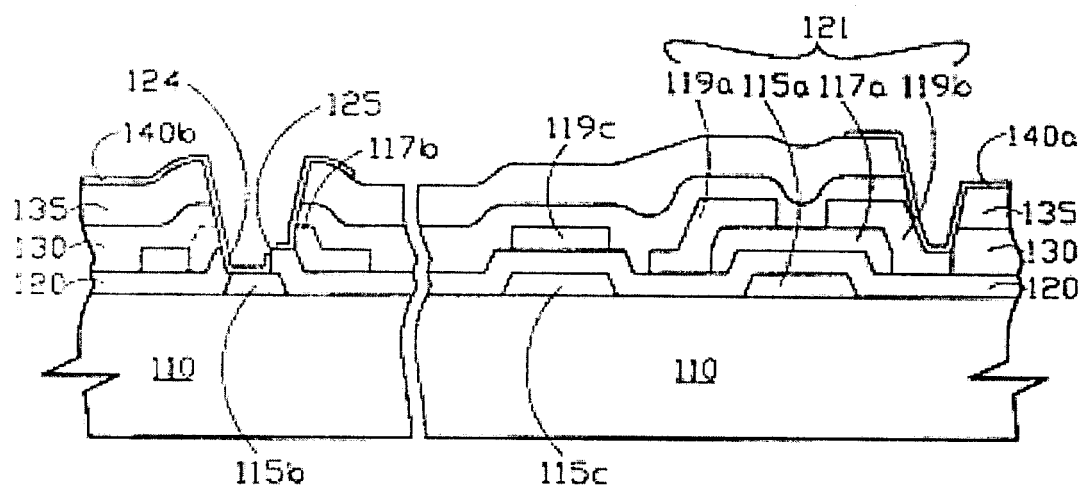


图 2H

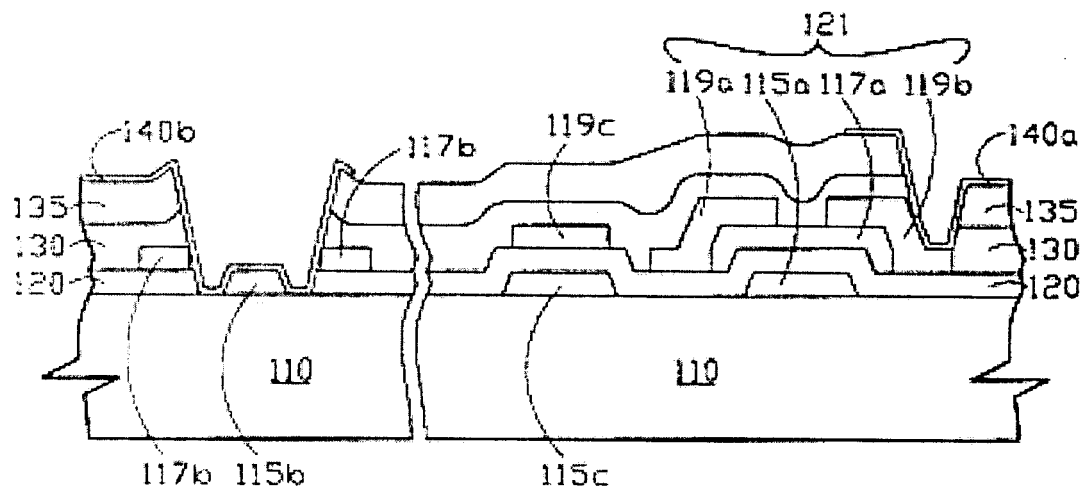


图 3

专利名称(译)	液晶显示装置的像素电极的制造方法		
公开(公告)号	CN100338522C	公开(公告)日	2007-09-19
申请号	CN200410068550.3	申请日	2004-08-26
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	张业成		
发明人	张业成		
IPC分类号	G02F1/136 G02F1/133 H01L21/00		
代理人(译)	陈亮		
审查员(译)	胡阳		
其他公开文献	CN1609687A		
外部链接	Espacenet SIPO		

摘要(译)

本发明在制作像素电极的制程中，于沉积半导体层的步骤时，就在其一部局部区域产生一接触洞，以于焊垫上方附近区域形成一具有接触洞的半导体层，并且在此接触洞处形成保护层与透光绝缘层。本发明是利用透光绝缘层来取代一部份原先使用的半导体层，由于透光绝缘层在蚀刻后其侧壁会形成较平缓的斜面，可使得后续沉积的像素电极，能完全覆盖住坡度平缓的斜面而不会造成断线。如此，像素电极便可顺利连接焊垫与测试电路，而不会产生断线的问题。

