

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610073787.X

[43] 公开日 2006 年 11 月 1 日

[11] 公开号 CN 1855210A

[22] 申请日 2006.4.17

[21] 申请号 200610073787. X

[30] 优先权

[32] 2005. 4. 18 [33] JP [31] 2005 – 119818

[32] 2005. 11. 30 [33] JP [31] 2005 - 346689

[71] 申请人 恩益禧电子股份有限公司

地址 日本神奈川县

[72] 发明人 桥本义春

[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 朱讲桂

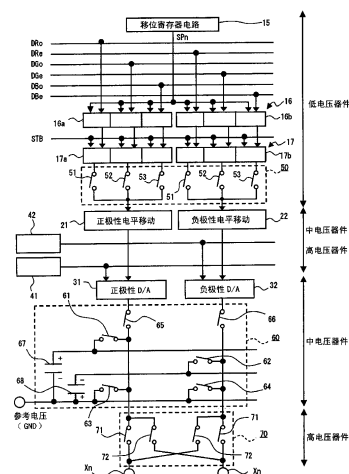
权利要求书 6 页 说明书 20 页 附图 20 页

[54] 发明名称

液晶显示器及其驱动电路

[57] 摘要

本发明的液晶显示器包括多条扫描线、多条数据线和在多条扫描线和多条数据线的每一交点上提供的像素。液晶显示器进一步包括由在连续的多条数据线和多条扫描线中的一条扫描线的每一交点上设置的像素组成的多个像素组，其中，通过顺序地输出信号的分时驱动，相同极性的信号输出至在多个像素组的每一像素组中所包括的所有数据线，相反极性信号输出至彼此相邻的多个像素组，以致在每帧之后，极性反转的信号输出至像素组中包含的数据线。



1. 一种液晶显示器，其特征在于包括：

多条扫描线；

多条数据线；

设置在多条扫描线和多条数据线的每一交点上的多个像素；

由多个像素组成的多个像素组；和

驱动多条扫描线和多条数据线的驱动电路；

其中，多个像素组中一个像素组是由设置在所述多条数据线中的一些数据线和一条扫描线的交点上的所述多个像素中的一些像素组成，并且

驱动电路以分时驱动方式，向在多个像素组的每一像素组中包含的所有数据线输出一种极性的信号，向彼此相邻的多个像素组输出交替变化极性的信号，输入至包含在多个像素组中的数据线的信号的极性是每一帧反转一次。

2. 根据权利要求1所述的液晶显示器，其特征在于进一步包括：

电荷存储部分，其在数据线的极性改变以前对数据线进行电荷充电。

3. 根据权利要求1所述的液晶显示器，其特征在于：在像素组中包含的每一数据线有选择地连接至信号线，所述信号线将分时信号提供给在像素组中包含的数据线。

4. 根据权利要求1所述的液晶显示器，其特征在于：在多个像素组的每一像素组中包含的数据线的数目是构成显示单元的像素数目的整数倍。

5. 一种液晶显示器的驱动电路，其特征在于包括：

数据锁存器电路，其锁存数字视频信号；

电平移动电路，其对数据锁存器电路所锁存的数字视频信号进行电平移动；

D/A 转换电路，其将由电平移动电路进行电平移动的数字视频信号转换为模拟视频信号；和

输出控制部分，其基于 D/A 转换器的输出，向液晶显示器的数据线输出与参考电压有不同极性的正模拟视频信号和负模拟视频信号；

其中，输出控制部分在水平周期的规定的周期内以分时方式顺序地将正模拟视频信号输出至第一多条数据线，在所述规定的周期内以分时方式顺序地将负极性模拟视频信号输出至第二多条数据线。

6. 根据权利要求 5 所述的液晶显示器的驱动电路，其特征在于：输出控制部分在数据线的极性改变以前，对数据线进行预充电至接近所述参考电压。

7. 根据权利要求 5 所述的液晶显示器的驱动电路，其特征在于：输出控制部分在数据线极性改变以前，对数据线进行预充电至所述参考电压。

8. 根据权利要求 5 所述的液晶显示器的驱动电路，其特征在于 D/A 转换器包括：

正极性 D/A 转换器，其工作在参考电压和高于参考电压的第一电压所规定的第一电压范围内，并输出相对于参考电压的正极性模拟视频信号；和

负极性 D/A 转换器，其工作在参考电压和低于参考电压的第二电压所规定的第二电压范围内，并输出相对于参考电压的负极性模拟视频信号，和

输出控制部分包括：

分时选择电路，其设置在正极性 D/A 转换器和数据线之间，以及负极性 D/A 转换器和数据线之间，工作在高于第一电压的电压和低于第二电压的电压所规定的第三电压范围内，选择地将正极性 D/A 转换器的输出端子与第一多条数据线中的一条数据线相连，并选择地将负极性 D/A 转换器的输出端子与第二多条数据线中的一条数据线相连；和

预充电电路，其设置在正和负极性 D/A 转换器与分时选择电路之间，在数据线的极性改变以前，对数据线进行预充电至接近所述参考电压。

9. 根据权利要求 6 所述的液晶显示器的驱动电路，其特征在于：输出控制部分在数据线的极性改变以前，控制数据线预充电至参考电压。

10. 根据权利要求 8 所述的液晶显示器的驱动电路，其特征在于进

一步包括：极性转换电路，其工作在第三电压范围内，并基于极性电压选择正极性模拟视频信号或负极性模拟视频信号。

11. 根据权利要求 10 所述的液晶显示器的驱动电路，其特征在于：预充电电路包括多个开关、第一和第二电容，

其中，预充电电路控制多个开关、分时选择电路或者极性选择电路，用于在预充电周期的第一周期中，将第一电容与第一多条数据线相连，同时将第二电容与第二多条数据线相连，在预充电周期的第二周期中，将第一多条数据线和第二多条数据线预充电至接近所述参考电压，和在预充电周期的第三周期中，将第一电容与第二多条数据线相连，同时将第二电容和第一多条数据线相连。

12. 根据权利要求 8 所述的液晶显示器的驱动电路，其特征在于进一步包括：正和负极性灰度电压产生电路，其与正和负极性 D/A 转换器相连，并且对于构成彩色单元的每一颜色可进行调整。

13. 根据权利要求 8 所述的液晶显示器的驱动电路，其特征在于：分时选择电路形成在设置有数据线的面板衬底上，和

正极性 D/A 转换器、负极性 D/A 转换器和预充电电路形成在不同于面板衬底的半导体衬底上。

14. 根据权利要求 8 所述的液晶显示器的驱动电路，其特征在于：分时选择电路和预充电电路形成在设置有数据线的面板衬底上，和

正极性 D/A 转换器和负极性 D/A 转换器形成在不同于面板衬底的半导体衬底上。

15. 根据权利要求 8 所述的液晶显示器的驱动电路，其特征在于进一步包括：电源电路，其用于产生电压调整范围为低于系统“地”和高于负极性 D/A 转换器的低电压的 DC 电压，或者高于系统“地”和低于正极性 D/A 转换器的高电压的 DC 电压，并且将 DC 电压提供给液晶显示器的公共电极。

16. 一种液晶显示器的驱动电路，其特征在于包括：

正极性驱动电路，其在衬底上的第一连续区形成，用于将正极性模拟视频信号输出至显示单元的输出端子；

正极性预充电电路，其设置在正极性驱动电路和输出端子之间，用

于在数据线的极性从相对于参考电压的正极性变化到不同极性的负极性以前，对显示单元的数据线预充电至接近参考电压；

负极性驱动电路，其在衬底上不同于第一连续区的第二连续区形成，用于将负极性模拟视频信号输出至输出端子；和

负极性预充电电路，其设置在负极性驱动电路和输出端子之间，用于在数据线的极性从负极性变化到正极性以前，对数据线预充电至接近参考电压。

17. 根据权利要求 16 所述的液晶显示器的驱动电路，其特征在于进一步包括：极性转换电路，其基于极性信号在正极性模拟视频信号和负极性模拟视频信号之间进行选择。

18. 根据权利要求 17 所述的液晶显示器的驱动电路，其特征在于：

正极性驱动电路和正预充电电路形成在第一连续区，在满足第一电压>参考电压关系的第一电压和参考电压所规定的电压范围内工作。

负极性驱动电路和负预充电电路形成在第二连续区，在满足参考电压>第二电压关系的第二电压和参考电压所规定的电压范围内工作，和

极性转换电路形成在第三连续区，在高于第一电压的一电压和低于第二电压的一电压所规定的电压范围内工作。

19. 根据权利要求 18 所述的液晶显示器的驱动电路，其特征在于：第一连续区、第二连续区和第三连续区各具有形成于其中的 MOS 晶体管，和

第一连续区和第二连续区中的 MOS 晶体管的栅氧化物膜厚度薄于第三连续区中的 MOS 晶体管的栅氧化物膜厚度。

20. 根据权利要求 18 所述的液晶显示器的驱动电路，其特征在于：第一连续区、第二连续区和第三连续区各具有形成于其中的 MOS 晶体管，和

第一连续区和第二连续区中的 MOS 晶体管的栅长度短于第三连续区中的 MOS 晶体管的栅长度。

21. 根据权利要求 16 所述的液晶显示器的驱动电路，其特征在于还包括：电源电路，其用于产生电压调整范围低于系统“地”和高于负极性驱动电路的低电压的 DC 电压，或者高于系统“地”和低于正极性驱动

电路的高电压的 DC 电压，并将 DC 电压提供给液晶显示器的公共电极。

22. 一种液晶显示器的驱动电路，其特征在于包括：

正极性驱动电路，其形成在衬底的第一连续区，用于将正极性模拟视频信号输出至向显示单元数据线输出的输出端子；

负极性驱动电路，其形成在衬底上不同于第一连续区的第二连续区，用于将相对于参考电压极性不同于正极性的负极性模拟视频信号，输出至向数据线输出的输出端子；

正极性预充电电路，其与数据线相连，用于在数据线的极性从正极性变化到负极性以前，对数据线预充电至接近参考电压；和

负极性预充电电路，其与数据线相连，用于在数据线的极性从负极性变化到正极性以前，对数据线预充电至接近参考电压。

23. 根据权利要求 22 所述的液晶显示器的驱动电路，其特征在于进一步包括：极性转换电路，其基于极性信号在正极性模拟视频信号和负极性模拟视频信号之间进行选择。

24. 一种液晶显示器的驱动电路，其特征在于包括：

数据线驱动电路，其包括将数字信号转换为模拟视频信号的 D/A 转换器；和

电源电路，其用于提供数据线驱动电路的电源，

其中，数据线驱动电路将相对于参考电压有不同极性的正极性模拟视频信号和负极性模拟视频信号输出至液晶显示器的数据线，其在半导体衬底上形成，并具有输出控制部分，该输出控制部分以比正和负极性模拟视频信号的电压范围更宽广的电压范围，向在不同于所述半导体衬底的衬底上形成的电路提供控制信号。

25. 根据权利要求 24 所述的液晶显示器的驱动电路，其特征在于：在不同于所述半导体衬底的所述衬底上形成的所述电路是分时选择电路，其用于以分时方式对从所述数据线驱动电路输出的相同极性的连续模拟视频信号进行选择并将其输出至数据线。

26. 根据权利要求 24 所述的液晶显示器的驱动电路，其特征在于：在不同于所述半导体衬底的所述衬底上形成的所述电路是电荷回收电路，其用于在数据线的极性改变以前，将数据线的电荷聚集至电荷存储

部分。

27. 一种液晶显示器的驱动电路，其用于将一个水平周期划分为至少 m 等分，并将相对于参考电压有不同极性的正和负极性模拟视频信号输出至显示单元的数据线，其中包括：

正极性缓冲器，其用于输出正极性视频信号；

数据线，其数量为 $2 \times m$ 条；

第一开关，其设置在正极性缓冲器和数据线之间；

负极性缓冲器，其用于输出负极性视频信号；

第二开关，其设置在负极性缓冲器和数量为 $2 \times m$ 的数据线之间。

28. 根据权利要求 27 所述的液晶显示器的驱动电路，其特征在于：
第一和第二开关受数量为 $2m$ 的控制信号控制。

29. 根据权利要求 28 所述的液晶显示器的驱动电路，其特征在于：
正和负极性缓冲器在第一衬底上形成，第一和第二开关在不同于第一衬底的第二衬底上形成。

30. 根据权利要求 27 所述的液晶显示器的驱动电路，其特征在于：
正极性缓冲器工作在参考电压和高于参考电压的第一电压所规定的第一电压范围内，

负极性缓冲器工作在参考电压和低于参考电压的第二电压所规定的第二电压范围内，和

第一和第二开关工作在高于第一电压的电压和低于第二电压的电压所规定的第三电压范围内。

液晶显示器及其驱动电路

技术领域

本发明涉及液晶显示器及其驱动电路，其适合于只在点反转驱动的面板一侧设置具有 D/A 转换电路的数据线驱动电路。

背景技术

在众所周知的液晶显示器中，从数据线通过 TFT 加到像素上的多个电压（此后称为像素电压）在每一预定周期以后被反相。这意味着像素是以 AC 方式驱动的。这里的极性是指相对于作为参考的液晶公共电极的电压（com 电压）而言的像素电压的正或负极性。这样一种驱动方法用于防止液晶材料的退化。

这种驱动方法，已知的有点反转驱动方法和 2H 点反转方法。在点反转驱动方法中，相邻的数据线和扫描线上的像素电压的极性被反相，因此，相邻的像素有彼此不同的极性。在 2H 点反转驱动方法中，每一相邻的数据线和每两条扫描线上的像素电压的极性被反相。这些驱动方法有助于减小闪烁，从而改善图像质量。

日本专利申请公报 No.8-129362 披露一种电路，其中 D/A 转换电路以分时方式驱动多条数据线。在这一技术所披露的驱动电路中，奇数数据线连接至上位数据线驱动电路，而偶数数据线连接至下位数据线驱动电路。在给定的水平周期（也称为扫描周期）中，当负极性模拟视频信号从下位数据线驱动电路输出时，正极性模拟视频信号同时从上位数据线驱动电路输出。然后在下一水平周期中，当正极性模拟视频信号从下位数据线驱动电路输出时，负极性模拟视频信号同时从上位数据线驱动电路输出。点反转驱动方法就是这样实现的。驱动电路进一步包括初始化电路，其用于在水平消隐周期中将数据线初始化为 com 电压，以便以分时方式控制写入的时间和顺序。从数据线驱动电路外部提供的灰度电

压在每一水平周期反相。因此，用高电压器件构成选择灰度电压的开关组。日本专利申请公报 No.2004-258485 披露了一种 RGB 分时驱动的配置。

但是，我们现在已发现在上述常规电路中存在一些问题。第一个问题是要求一个区域以便在板的上侧和下侧设置数据线驱动电路。这使板的尺寸变得比较大。因而从一块样品玻璃片上得到的面板数减少。而且，用于向数据线驱动电路提供信号和电源的柔性衬底配线，也需要较大的区域面积。

第二个问题是电路区域扩大，因为用来选择灰度电压的开关组是由高电压器件组成的。高电源电压通常要求用耐压器件构成电路。因此，需要较厚的栅氧化物膜 T_{ox} 和较长的栅长度 L ，这也要求较大的电路区域。

发明内容

根据本发明的一个方面，提供一种液晶显示器，其包括：多条扫描线；多条数据线；在多条扫描线和多条数据线的每一交点上设置的多个像素；由多个像素组成的多个像素组；和驱动多条扫描线和多条数据线的驱动电路，其中，多个像素组中的一个像素组是由在多条数据线中的一些数据线和一条扫描线的交点上设置的多个像素中的一些像素组成，并且，驱动电路以分时驱动方式，向包含在多个像素组中的每一像素组中包含的所有数据线输出一种极性的信号，向彼此相邻的多个像素组输出交替变化极性的信号，输入至包含在多个像素组中包括的数据线的信号极性是每一帧反转一次。

根据本发明的另一方面，提供一种液晶显示器驱动电路，其向液晶显示器的数据线输出相对于参考电压为不同极性的正极性模拟视频信号和负极性模拟视频信号，其中正极性模拟视频信号在水平周期的预定周期内，以分时方式顺序地输出至第一多条数据线，负极性模拟视频信号在预定周期内，以分时方式顺序地输出至第二多条数据线。

根据本发明的又一方面，提供一种液晶显示器驱动电路，其包括：正极性驱动电路，其形成在衬底第一连续区，用于向显示单元的输出端子输出正极性模拟视频信号；正极性预充电电路，其设置在正极性驱动

电路和输出端子之间，用于在数据线的极性从相对于参考电压的正极性变化到带不同极性的负极性以前，对显示单元的数据线预充电至接近参考电压；负极性驱动电路，其形成在衬底上不同于第一连续区的第二连续区，用于向输出端子输出负极性模拟视频信号；和负极性预充电电路，其设置在负极性驱动电路和输出端子之间，用于在数据线的极性从负极性变化到正极性以前，对数据线预充电至接近参考电压。

本发明减小了液晶显示器中的数据线驱动电路的尺寸。

附图说明

本发明的上述和其他目的、优点和特性，从下面结合附图所做的说明中，将看得更清楚。

图 1 是根据本发明第一实施例的液晶显示器的方框图；

图 2 是根据本发明第一实施例的分时选择电路 8 的详图；

图 3 是根据本发明第一实施例的数字视频信号和模拟视频信号之间的关联图；

图 4 是根据本发明第一实施例的数字视频信号开关电路详图；

图 5 是根据本发明第一实施例的数据线驱动电路 10 方框图；

图 6 是根据本发明第一实施例的正 D/A 转换电路 31 的详图；

图 7 是根据本发明第一实施例的负 D/A 转换电路 32 的详图；

图 8 是根据本发明第一实施例的像素极性的示意图；

图 9 是根据本发明第一实施例的定时图；

图 10A 至 10D 是根据本发明第一实施例的预充电操作的详图；

图 11 是根据本发明第一实施例的半导体集成电路的剖面图；

图 12 是根据本发明第二实施例的数据线驱动电路 10 输出部分的详图；

图 13 是根据本发明第二实施例的分时选择电路 8 的详图；

图 14 是根据本发明第二实施例的定时图；

图 15 是根据本发明第三实施例的液晶显示器的方框图；

图 16 是根据本发明第三实施例的电荷回收电路 9 的详图；

图 17 是根据本发明第三实施例的电荷回收的定时图。

具体实施方式

下面将参考图示的实施例对本发明进行描述。那些熟悉技术的人员将认识到，利用本发明的技术能完成许多替代的实施例，并且本发明不限于这些用于说明目的的图示的实施例。

第一实施例

图 1 是本实施例的液晶显示器 100 的方框图。本实施例的液晶显示器 100 包括多条扫描线 4，多条数据线 3，和配置在多条扫描线 4 和多条数据线 3 的每一交点上的像素 5。液晶显示器 100 进一步包括由像素 5 组成的多个像素组，像素设置在相邻的多条数据线 3 和多条扫描线 4 中的一条扫描线的每一交点上。利用顺序输出信号的分时驱动方法，相同极性的信号输出至多个像素组的每一像素组中所包括的所有数据线，相反极性的信号输出至彼此相邻的多个像素组，极性反转的信号输出至像素组中包含的数据线。

这就是说，如图 1 中所示，在液晶显示器的衬底 2 上形成多条数据线 3 和多条扫描线 4，多条扫描线 4 与多条数据线 3 正交地排列。在数据线 3 和扫描线 4 的每一交点上，形成作为开关器件的 TFT（薄膜晶体管）和包括液晶的像素 5。在像素 5 中形成给液晶施加电压的显示电极和公共电极。控制像素发光（发光射量）的模拟视频信号从数据线 3 提供给显示电极，而 DC 电压的 com 电压从公共电极线 7 提供给公共电极。在衬底 2 上还有形成驱动扫描线 4 的扫描线驱动电路 6，和以分时方式对从数据线驱动电路 10 的数据线 90 提供的模拟视频信号进行转换的分时选择电路 8。

另外，驱动器 IC1 只配置在衬底 2 的一侧，其上设有作为驱动电路的数据线驱动电路 10、信号处理电路 11 和电源电路 12。数据线驱动电路 10 响应数字视频信号向数据线 3 和像素 5 提供模拟视频信号。如前面所指出的，数据线驱动电路 10 只配置在衬底 2 的一侧。考虑从 D/A 转换电路输出的模拟视频信号的输出电压精度（这一点后面要描述），最好把数据线驱动电路 10 集成在半导体衬底例如具有相当高精度的硅衬底上，

最好也把信号处理电路 11 集成在易于多层布线的半导体衬底上，因为信号处理电路 11 是利用宏块自动布设的。

图 2 是分时选择电路 8 的详图，该电路是本发明液晶显示器的驱动电路的一部分。输出端子 X_n （数据线 90），通过分时开关 81、82 和 83 连接数据线 3 中的三条线。虽然这个示例为三等分驱动，但是等分数可以是四或者更多。但是要注意，如果当显示单元是三种颜色时等分数是四的话，编制彩色的各 RGB 信号会被分割开来。在这种情况下，构成彩色的各个 RGB 信号通过不同的路径。由于路径特性产生细微差别，使 RGB 中的平衡产生空隙，从而引起颜色阴影。事实上编制彩色的显示单元是 RGB 三种颜色，构成一个显示单元的像素数目为 3，所以最好是按 3 的倍数例如 6 或 9 等分。

在本实施例中，从数据线驱动电路 10 的一个输出端子 X_n 输出并由分时选择电路 8 分派模拟视频信号的像素和数据线，分别定义为像素组和数据线组。在图 2 中，用于 R1、G1 和 B1 的三条数据线称为一个数据线组 D_Gn ，此外，Y1、Y2 和 Y3 每条线用的数据线组称为像素组 P_Gm 。

如上所述，分时选择电路 8 形成在衬底 2 上，并由驱动器 IC1 内部的信号处理电路 11 控制。分时选择电路 8 的控制电路可以形成在衬底 2 上，最好直接使用驱动器 IC1 内部的信号处理电路 11，以便易于控制信号与数据线驱动电路 10 之间的同步。

下面对电源电路 12 进行详细的说明。电源电路 12 从驱动器 IC1 外部提供的 DC 电源 VDC 中产生一电压，将其提供给数据线驱动电路 10 和扫描线驱动电路 6。电源电路 12 由 DCDC 转换器、调节器等组成，产生数据线驱动电路 10 用的正极性高电源电压 VPH、负极性低电源电压 VNL，和扫描线驱动电路 6 用的正极性高电源电压 VPH、负极性低电源电压 VNL。数据线驱动电路 10 用的正极性低电源电压和负极性高电源电压此后称作系统“地（GND）”，这里， $VPH=5V$ ， $VNL=-5V$ ， $VGH=10V$ ， $VGL=-10V$ 。

由于电源的输出阻抗特性，电源电路 12 比形成在衬底 2 上的 TFT 具有更高的可移动性。因此，最好将电源电路 12 集成在易于多层布线的硅衬底上。在本实施例中，这个电路和上述数据线驱动电路 10 和信号处理

电路 11 一道集成作为驱动器 IC1。

电源电路 12 也产生液晶的公共电极的电压 (com 电压)。com 电压可以是高于负极性驱动电路的低电平电压的 DC 电压, 或者低于正极性驱动电路的高电压的 DC 电压。当液晶面板中的 TFT 断开时, 产生错误馈电。为了校正这一错误, 液晶公共电极的电压必须是 DC 电压例如 -1V。错误馈电根据面板不同而不同。例如, 如果 TFT 为 n 型, 错误馈电倾向是负的, 因此, 就会需要例如从 GND 至 -2V 范围的精细调准。如果 TFT 为 P 型, 则错误馈电趋向于是正的, 因此, 就会需要从 GND 至 +2V 的范围的精细调准。此后, TFT 指的是 n 型 TFT, 因为通常 n 型 TFT 多于 P 型 TFT。

com 电压可以由以正极性高电压 VPH 和负极性低电压 VNL 操作的缓冲器产生, 输出从 2V 至 -2V 的电压作为 com 电压。缓冲器由高电压器件形成。虽然以 GND 和负电压 VNL 操作缓冲器防止 GND 电压输出, 但是如果不能保证电压调节范围到 GND, 则缓冲器可用中电压器件形成。

com 电压可由简单配置的电路产生, 其中在 GND 和 VNL 之间设置电阻分压电路, 并且在电阻的结点接旁路电容器。

图 3 示出正伽马曲线 (正的)、负伽马曲线 (负的) 与 com 电压之间的关系。在 $-1 \pm 1V$ 范围内细调 com 电压, 以使正伽马曲线不小于 GND 而且不大于 VPH, 而负伽马曲线不小于 VNL 而且不大于 GND。虽然这里细调范围为了方便起见解释为 ± 1 , 但是, 当 com 电压以 GND 和如上所述负极性低电压 VNL 电压产生时, com 电压也能在那个范围内进行细调。靠近 GND 调节 com 电压能降低电源电路 12 中的 DCDC 转换器的升压量, 提高电源电路 12 的效率, 最后减小功率消耗。

下面对信号处理电路 11 进行详细的描述。输出至信号处理电路 11 的信号至少包括数字视频信号 Dx、时钟信号 CLK、垂直同步信号 Vsync 和水平同步信号 Hsync, 为了控制数据线驱动电路 10、分时选择电路 8、扫描线驱动电路 6 等中的每个电路, 用这些信号产生所希望的定时信号例如开始信号 STH、锁存信号 STB、极性信号 POL、分时开关控制信号和垂直开始信号 STV。因为衬底 2 上的电路是用 VGH 和 VGL 的电源电压工作的, 所以供给衬底 2 的信号, 提供电平移动的 VGH 和 VGL 的信

号。

信号处理电路 11 包括: 锁存电路 11a 和 11b, 其用于分别在时钟 CK1 和 CK2 的时刻锁存数字视频信号 Dx (DR、DG 和 DB); 和开关电路 11c, 其用于在数据总线 DRo、DGo、DBo 和数据总线 DRe、DGe、DBe 之间的转换, 取决于极性信号 POL。如图 4 所示, 信号处理电路 11 首先捆绑由外部提供的一个像素数字视频信号 Dx (DR、DG 和 DB) 的两个时钟, 在输出至数据线驱动电路 10 之前, 在锁存电路 11a 和锁存电路 11b 中生成两个像素 (36 位)。如图所示, 数字视频信号 Dx 输出至数据总线 DRo、DRe、DGo、DGe、DBo 和 DBe。并且, 开关电路 11c 根据极性信号 POL, 在数据总线 DRo、DGo、DBo 和 DRe、DGe 和 DBe 之间切换输出。这是因为, 至数据总线的数字视频信号 Dx 的输出被替换为与数据线驱动电路 10 内部正极性和负极性模拟视频信号之间的开关相对应。通过向数据线驱动电路 10 提供两个像素, 使数据线驱动电路 10 中的时钟信号频率缩减为一半, 同时也防止高频电磁波的产生。

本发明的数据线驱动电路 10 同时向数据线驱动电路 10 的每一输出端子 Xn 输出正极性模拟视频信号和负极性模拟视频信号。

这里正和负极性表示相对于作为参考的液晶公共电极电压 (com 电压) 而言的正的或负的像素电压。但在本实施例中, 正和负极性表示参考电压为系统“地 (GND)” (0V) 的像素电压的正和负极性。

图 5 是数据线驱动电路 10 的方框图, 下面详细说明每一部件的配置。数据线驱动电路 10 向液晶显示器 10 的数据线输出相对于参考电压的不同极性的正极性模拟视频信号和负极性模拟视频信号。在水平周期的给定周期中, 数据线驱动电路 10 以分时方式向第一多条数据线连续地输出正极性模拟视频信号的同时, 以分时方式向第二多条数据线连续地输出负极性模拟视频信号。

因此, 数据线驱动电路 10 至少包括数据锁存器电路 17、正极性电平移动电路 21、负极性电平移动电路 22、正极性 D/A 转换电路 31、负极性 D/A 转换电路 32、正极性灰度电压产生电路 41、负极性灰度电压产生电路 42 和作为输出控制部分的预充电电路 60。数据线驱动电路 10 可进一步包括数字视频信号分时电路 50、移位寄存器电路 15、数据寄存器电

路 16 和帧存储器（未示出）。

数据寄存器电路 16 包括正极性数据寄存器电路 16a 和负极性数据寄存器电路 16b。正极性数据寄存器电路 16a 与数字视频信号 D_x 的数据总线相连，这些数据总线是 DR_o 、 DG_o 和 DB_o 。正极性数据寄存器电路 16a 响应从移位寄存器电路 15 输入的取样信号 SP_n ，锁存从数据总线 DR_o 、 DG_o 和 DB_o 来的数字视频信号。负极性数据寄存器电路 16b 与数字视频信号 D_x 的数据总线相连，这些数据总线是 DRe 、 DGe 和 DBe 。负极性数据寄存器电路 16b 响应从移位寄存器电路 15 输入的取样信号 SP_n ，锁存从数据总线 DRe 、 DGe 和 DBe 来的数字视频信号。

数据寄存器电路 16 连接至数据锁存器电路 17。数据锁存器电路 17 包括正极性数据锁存器电路 17a 和负极性数据锁存器电路 17b，其再次锁存数据寄存器电路 16 所锁存的数字视频信号 D_x 。数据锁存器电路 17 连接至数字视频信号分时电路 50。数字视频信号分时电路 50 包括分时开关 51、52 和 53，通过接通和断开分时开关 51、52 和 53，按时间顺序相继地输出数据锁存器电路 17 中所锁存的数字视频信号 D_x 。数字视频信号分时电路 50 所进行的分时操作由从信号处理电路 11 输入的控制信号控制。

预充电电路 60 至少包括：将数据线预充电至参考电压用的预充电开关 63 和 64，D/A 转换电路 31 和 32，和在输出端子 X_n 之间的连接开关 65 和 66。在本实施例中，预充电电路 60 进一步包括电荷回收开关 61、62 和电荷回收电容 67 和 68，其用于低功耗驱动。这些开关用中电压器件形成，后面将要描述。最好在驱动器 IC1 外部提供电荷回收电容 67 和 68，因为会有大的电容值、高的电荷回收效应。电荷回收开关 61、预充电开关 63 和连接开关 65 在从 GND 至 V_{PL} （5V）的范围内工作，而电荷回收开关 62、预充电开关 64 和连接开关 66 在从 V_{NL} （-5V）至 GND 电压的范围内工作。尽管这些开关提供给每一输出端子 X_n ，但是它们也共同经过正和负极性电平移动电路 21 和 22 受信号处理电路 11 控制。预充电开关 63 和 64 可以不是 MOS 晶体管构成的模拟开关，而是例如 pn 结器件如二极管。

极性转换电路 70 提供在预充电电路 60 和输出端子 X_n 之间。极性转

换电路 70 包括极性转换开关 71 和 72, 其取决于极性信号 POL 为每一输出端子 X_n 选择正的或负的模拟视频信号。极性转换电路 70 为奇数输出端子 X_n 选择正极性模拟视频信号的同时, 为偶数输出端子 X_n 选择负极性模拟视频信号。换一种方式, 极性转换电路 70 为奇数输出端子 X_n 选择负极性模拟视频信号的同时, 为偶数输出端子 X_n 选择正极性模拟视频信号。由此可见, 所做的选择是使奇数输出端子 X_n 和偶数输出端子 X_n 的极性彼此不同。极性转换开关 71 和 72 也共同经过高电压电平移动电路 21 和 22 受信号处理电路 11 控制。

灰度电压产生电路 41 和 42 是多个电阻串联连接的电阻分压电路, 产生所希望的电压以便匹配伽马特性。在本发明中, 配置有正极性灰度电压产生电路 41 和负极性灰度电压产生电路 42, 其用于瞬时地输出分别具有 64 级分度的正极性电压 (VP0 至 VP63) 和 64 级分度的负极性电压 (VN0 至 VN63) 的负极性和正极性模拟视频信号, 并且能以分时方式输出多个对每一 RGB 颜色进行细调的灰度电压。有两个用于正和负极性的灰度电压产生电路 41 和 42, 各将 RGB 颜色的校正值存储至细调寄存器, 并产生细调的正和负的灰度电压。

正极性 D/A 转换电路 31 响应数字视频信号 D_x , 输出相对于参考电压的正极性模拟视频信号。负极性 D/A 转换电路 32 响应数字视频信号 D_x , 输出相对于参考电压的负极性模拟视频信号。正极性 D/A 转换电路 31 和负极性 D/A 转换电路 32 用中电压器件形成, 后面将要描述。

图 6 是正极性 D/A 转换电路 31 的详图。正极性 D/A 转换电路 31 由放大器 33、包括 64 个开关的选择器 35 和译码器 37 组成, 各个电路的工作电压范围为从 GND 至 VPL (5V)。正极性灰度电压 (VP0 至 VP 63) 从正极性灰度电压产生器 41 提供给选择器 35 的各个开关。由译码器 37 从 64 级正极性灰度电压中依赖于数字视频信号 D_x 选择一个灰度电压, 然后将所选的灰度电压经过放大器 33 输出。

图 7 是负极性 D/A 转换电路 32 的详图。负极性 D/A 转换电路 32 由放大器 34、包括 64 个开关的选择器 36 和译码器 38 组成, 各个电路的工作电压范围为 VNL (-5V) 至 GND。负极性灰度电压 (VN0 至 VN63) 从负极性灰度电压产生电路 42 提供给选择器 36 的各个开关。基于数字

视频信号 D_x , 由译码器 38 从 64 级负极性灰度电压中选择一个灰度电压, 然后将所选的灰度电压经过放大器 34 输出。

信号处理电路 11 的逻辑部分和数据锁存器电路 17 等操作于 GND 至 VDD (2.5V)。因此, 正极性电平移动电路 21 和负极性电平移动电路 22 提供在数据锁存器电路 17 或数字视频信号分时电路 50 与正极性 D/A 转换电路 31 和负极性 D/A 转换电路 32 之间。正极性电平移动电路 21 和负极性电平移动电路 22 采用中电压器件和高电压器件形成, 后面将要描述。

如上所述, 分时选择电路 8 通过多个开关, 将数据线驱动电路 10 的输出端子 X_n 与多条数据线 3 相连。详细如图 2 所示, 分时开关 81、82 和 83 提供在输出端子 X_1 和数据线 R_1 、 G_1 和 B_1 之间。这就是说, 分时开关 81、82 和 83 提供在输出端子 X_n 和数据线 R_n 、 G_n 和 B_n 之间。分时选择电路 8 在与扫描线驱动电路 6 相同的 V_{GH} 和 V_{GL} 电源电压下工作。

为了以三等分驱动彩色显示器 QVGA (240RGB×320) 的像素, 给驱动器 IC1 提供各 120 个正极性 D/A 转换电路 31 和负极性 D/A 转换电路 32。在六等分驱动中, 需要各 60 个正极性 D/A 转换电路和负极性 D/A 转换电路。但是, 在液晶显示器中只需设置每个电荷回收电容 67 和 68 中的一个。因此, 通过以分时方式对每个正的和负的驱动电路进行分时操作, 并通过使被驱动的每一数据线组的极性反转, 能简化电路的配置。

下面对操作进行详细描述。当水平开始信号 STH 输入至移位寄存器电路 15 时, 与内部时钟信号 CK 同步的取样信号 SP_n 依次地产生。响应取样信号 SP_n , 数字视频信号 D_x 被锁存至数据寄存器电路 16。锁存在数据寄存器电路 16 中的数字视频信号 D_x 响应锁存信号 STB 的输入, 并行地锁存至数据锁存器电路 17 中。数据锁存器电路 17 连接至正极性电平移动电路 21 或负极性电平移动电路 22。数字视频信号 D_x 通过正极性电平移动电路 21 和负极性电平移动电路 22 输入正极性 D/A 转换电路 31 或负极性 D/A 转换电路 32。在那之后, 数字视频信号 D_x 在正极性 D/A 转换电路 31 或负极性 D/A 转换电路 32 中被转换为正极性模拟视频信号或负极性模拟视频信号。然后, 正或负极性模拟视频信号, 经过根据极性信号 POL 用于选择正或负极性模拟视频信号的极性转换电路 70 和分时选

择电路 8，提供给每一数据线 3。

下面进一步对操作进行更详细的描述。为了更明确地说明，将考虑有 6 条数据线（R1、G1、B1、R2、G2 和 B2）和两条扫描线（Y1、Y2）的情况，如图 8 所示。与每条数据线（R1、G1、B1、R2、G2 和 B2）相应的数字视频信号分别用（DR1、DG1、DB1、DR2、DG2 和 DB2）来表示。进一步，将说明一个例子，其中所进行的 RGB 像素反转驱动使第一扫描线 Y1 上的每一元素的极性变成（+、+、+、-、-、-），第二扫描线上的每一元素的极性变成（-、-、-、+、+、+）。如图 8 所示，每一像素被驱动以致在每帧以后像素被反转。

数字视频信号在图 4 说明的信号处理电路 11 中被切换为与所要显示的像素匹配。当极性信号 POL 是 L 时，数字视频信号（DR1、DG1 和 DB1）提供给数据总线（DRo、DGo 和 DBo），然后锁存至正极性数据寄存器电路 16a。数字视频信号（DR2、DG2 和 DB2）提供给数据总线（DRe、DGe 和 DBe），然后锁存至负极性数据寄存器电路 16b。另一方面，当极性信号 POL 为 H 时，数字视频信号（DR1、DG1 和 DB1）提供至数据总线（DRe、DGe 和 DBe），然后锁存至负极性数据寄存器电路 16b。数字视频信号（DR2、DG2 和 DB2）提供至数据总线（DRo、DGo 和 DBo），然后锁存至正极性数据寄存器电路 16a。

图 9 是用从信号处理电路 11 输出的控制信号操作各部件的定时图。根据定时图 9 和电荷回收操作示意图 10A 至 10D，在第一水平周期的第一预充电周期 T1 期间，电荷回收开关 61、62、极性转换开关 72、分时分开关 81、82 以及 83 接通（on）（如图 10A 所示）。然后，在前一水平周期被驱动至正极性的数据线（R2、G2 和 B2）的正极性电荷对电荷回收电容 67 充电，同样地，被驱动至负极性的数据线（R1、G1 和 B1）的负极性电荷对电荷回收电容 68 充电。

下面进一步对操作进行详细说明。在通过输出端子 Xn 从正极性 D/A 转换电路 31 和负极性 D/A 转换电路 32 来的作为图像信号的电压加至数据线以后，从正极性 D/A 转换电路 31 和负极性 D/A 转换电路 32 来的电荷保留在像素 5 中的 TFT 之间，直至预充电开关 63 和 64 闭合。但是，在通过输出端子 Xn 向数据线 3 施加像素信号的电压以后，使极性转换开

关 71 和 72 保持原样，闭合分时开关 81、82 和 83，并进一步闭合电荷回收开关 61 和 62，保留在数据线 3 中的电荷就能收集至电荷回收电容 67 和 68。

然后，在第一水平周期的第二预充电周期 T2 期间，预充电开关 63、64、极性转换开关 72、分时开关 81、82 以及 83 接通（如图 10B 所示）。在前一水平周期被驱动至正极性的数据线 3 预充电至参考电压（GND），同样地，被驱动至负极性的数据线 3 预充电至参考电压（GND），以使它们中和。这时，电荷回收开关 61 和 62 它们处于开路状态，电荷保留在电荷回收电容 67 和 68 中。

然后，在第一水平周期的第三预充电周期 T3 期间，电荷回收开关 61、62、极性转换开关 71、分时开关 81、82 以及 83 接通（如图 10C 所示）。于是正极性电荷从电荷回收电容 67 释放至在第二预充电周期 T2 中预充电至参考电压的数据线 3（R1、G1 和 B1），同样地，负极性电荷从电荷回收电容 68 释放至数据线 3（R2、G2 和 B2）。换句话说，通过对极性转换开关 71 和 72 进行切换，释放第一预充电周期 T1 期间电荷回收电容 67 和 68 中所收集和保留的电荷，电荷就会被释放至不是已收集电荷的数据线的其它数据线 3。这一操作可实现电荷回收，并使为达到由正极性 D/A 转换电路 31 和负极性 D/A 转换电路 32 施加的电压的作为像素信号加至数据线 3 的电压所需的功耗减小。

然后，在第一水平周期的驱动周期期间，通过接通连接开关 65、66 和极性转换开关 71（如图 10D 所示），模拟视频信号输出至数据线 3。这就是说，在第一水平周期的第一驱动周期 T4 期间，连接开关 65、66、极性转换开关 71 以及分时开关 81 接通，正极性模拟视频信号从输出端子 X1 输出至数据线 R1，负极性模拟视频信号从输出端子 X2 输出至数据线 R2。然后，在第一水平周期的第二驱动周期 T5 期间，连接开关 65、66、极性转换开关 71 以及分时开关 82 接通，正极性模拟视频信号从输出端子 X1 输出至数据线 G1，负极性模拟视频信号从输出端子 X2 输出至数据线 G2。然后，在第一水平周期的第三驱动周期 T6 期间，连接开关 65、66、极性转换开关 71 以及分时开关 83 接通，正极性模拟视频信号从输出端子 X1 输出至数据线 B1，负极性模拟视频信号从输出端子 X2 输出至

数据线 B2。

以后,在第二水平周期的第一预充电周期 T11 期间,电荷回收开关 61、62、极性转换开关 71、分时开关 81、82 以及 83 接通。于是在第一水平周期中驱动至正极性的数据线 3 (R1、G1 和 B1) 的正极性电荷对电荷回收电容 67 充电,同样地,在第一水平周期中驱动至负极性的数据线 3 (R2、G2 和 B2) 的负极性电荷对电荷回收电容 68 充电。接着,在第二水平周期的第二预充电周期 T12 期间,预充电开关 63、64、极性转换开关 71、分时开关 81、82 以及 83 接通。于是在水平周期中驱动至正极性的数据线 3 (R1、G1 和 B1) 预充电至参考电压 (GND),同样地,驱动至负极性的数据线 3 (R2、G2 和 B2) 预充电至参考电压 (GND),以使它们中和。然后,在第二水平周期的第三预充电周期 T13 期间,电荷回收开关 61、62、极性转换开关 72、分时开关 81、82 以及 83 接通。于是正极性电荷从电荷回收电容 67 向在第二预充电周期 T12 预充电至参考电压的数据线 3 (R2、G2 和 B2) 释放,同样地,负极性电荷从电荷回收电容 68 向数据线 3 (R1、G1 和 B1) 释放。

然后,在第二水平周期的第一驱动周期 T14 期间,连接开关 65、66、极性转换开关 72、以及分时开关 81 接通,负极性模拟视频信号从输出端子 X1 输出至数据线 R1,正极性模拟视频信号从输出端子 X2 输出至数据线 R2。然后,在第二水平周期的第二驱动周期 T15 期间,连接开关 65、66、极性转换开关 72、以及分时开关 82 接通,负极性模拟视频信号从输出端子 X1 输出至数据线 G1,正极性模拟视频信号从输出端子 X2 输出至数据线 G2。然后,在第二水平周期的第三驱动周期 T16 期间,连接开关 65、66、极性转换开关 72、以及分时开关 83 接通,负极性模拟视频信号从输出端子 X1 输出至数据线 B1,正极性模拟视频信号从输出端子 X2 输出至数据线 B2。

根据上述操作,正极性 D/A 转换电路 31、电荷回收开关 61、预充电开关 63 和连接开关 65 仅施加有正极性电压,而负极性 D/A 转换电路 32、电荷回收开关 62、预充电开关 64 和连接开关 66 仅施加有负极性电压。所以这些器件能用中电压器件 (5V) 形成,以后将要描述。采用中电压器件,使用较薄的栅氧化物膜和较短的栅长能减小电路面积。

为防止产生闪烁，抑制 com 电压的起伏是有效的方法。如在本实施例中，即使像素不像 R1 像素和 R2 像素那样相邻，如果被写入像素的正和负极性模拟视频信号的总电荷量在一次写入中是相等的，则正的和负的电荷相互抵消，com 电压只有很细微的起伏。

通过一系列的预充电操作，累积至数据线的正和负极性电荷能被聚集回收，最多可产生 50% 的电荷回收效率，同时也减小功耗。

下面对制造本实施例的驱动器件 IC1 的一个例子进行详细描述。在本实施例中，一个例子是通过扩散处理，制造以低电压（2.5V）工作的低压器件、以中电压（5V）工作的中电压器件和以高电压（20V）工作的高电压器件。上述电压仅仅是一个例子，可以是其他电压只要保持低电压 < 中电压 < 高电压的关系就行。但是，中等电压器件用于正极性的和用于负极性的电压范围，而高电压器件能用于这两种电荷范围。

通常，对于像半导体集成电路中的晶体管一类的器件，大家都知道当具有较高的电压时，器件的面积就变大。在栅长度 L_{min} 、栅宽度 W_{min} 、栅氧化物膜厚度 Tox 当中的关系是： L_{min} （低电压器件）< L_{min} （中电压器件）< L_{min} （高电压器件）， W_{min} （低电压器件）< W_{min} （中电压器件）< W_{min} （高电压器件），和 Tox （低电压器件）< Tox （中电压器件）< Tox （高电压器件）。因此，采用尽可能少的高电压器件的电路配置能减小驱动器 IC1 的芯片尺寸。

在本实施例中，信号处理电路 11 和数据锁存器电路 17 等的逻辑部件是用低电压器件形成，正极性 D/A 转换电路 31、负极性 D/A 转换电路 32 和预充电电路 60 用中电压器件形成，极性转换电路 70、负极性电平移动电路 22 的一部分和信号处理电路 11 的一部分用高电压器件形成。因为控制信号是通过电平移动电路输入到扫描线驱动电路 6 和分时选择电路 8 的，所以高电压器件用作信号处理电路 11 的一部分。

图 11 是半导体集成电路的衬底和衬底上器件的配置剖面图。以高电压（20V）作为参考形成的 n 型晶体管和 p 型晶体管分别称作 Q1n 和 Q1p，在以中电压（5V）作为参考形成的 N 阱-2 上的晶体管和 P 型晶体管分别称作 Q2n 和 Q2p，在 N 阱-3 上的 n 型晶体管和 P 型晶体管分别称作 Q3n 和 Q3p，和在以低电压（2.5V）形成的 N 阱-4 上的 n 型晶体管和 P 型晶

晶体管分别称作 Q_{4n} 和 Q_{4p} 。

衬底 (P_{sub}) 用的电压至少为 $V_{GL}=-10$ ，在 N 阱-4 上设置信号处理电路 11，在 N 阱-3 上设置正极性 D/A 转换电路 31，在 N 阱-2 上设置负极性 D/A 转换电路 32，在 P_{sub} 和 N 阱-1 上则设置极性转换电路 70、负极性电平移动电路 22 的一部分和信号处理电路 11 的一部分。尽管除晶体管以外的器件例如电阻、电容和二极管也提供在驱动器 IC1 中，但是器件的耐压性是有保证的。

数据线驱动电路 10 包括用于驱动多条数据线的多个 D/A 转换电路，每个电路根据工作电压被设至每个 N 阱的连续区域。具有不同电位的 N 阱之间需要几十 μm ，所以当把这样的电路置于连续的 N 阱中时，能减小具有相同电压范围的电路的尺寸。

在本发明中，极性转换电路 70 用高电压器件 (20V) 形成。因此，极性转换电路 70 的工作电压能在 $V_{GL}=-10V$ 和 $V_{PH}=5V$ 、 $V_{GL}=-10V$ 和 $V_{PH}=10V$ 之间，N 阱-1 的电压规定为 $V_{PH}=5V$ 或者 $V_{GH}=10V$ 。

虽然在本实施例中衬底假定为 P 型半导体，但是衬底也可以是 n 型半导体 (N_{sub})。在这种情况下， N_{sub} 的电压至多将为 $V_{GH}=10V$ 。

第二实施例

在第一实施例中，极性转换电路 70 在驱动器 IC1 上形成，分时选择电路 8 在面板上形成。而且，具有极性转换功能以及分时转换功能的选择电路可在该面板上形成。图 12 是根据本实施例的驱动器 IC1 的 D/A 转换电路部分和预充电电路部分的详图。

在第一实施例中，极性转换电路 70 提供在预充电电路 60 和输出端子 X_n 之间。但在本实施例中，预充电电路 60 直接与输出端子 X_n 相连。如图 13 所示，分时选择电路 8 由每一数据线 3 的两个开关组成。每一开关与一个奇数输出端子和一个偶数输出端子相连，包含极性转换功能。因此，在面板 2 上组成分时选择电路 8 的开关数目双倍于第一实施例。例如，输出端子 X_1 通过开关 81、82 和 83 与三条数据线 (R_1 、 G_1 和 B_1) 相连，并且通过开关 84、85 和 86 与三条数据线 (R_2 、 G_2 和 B_2) 相连。与输出端子 X_1 相邻的输出端子 X_2 通过开关 81、82 和 83 与三条数据线

(R2、G2 和 B2) 相连, 并且通过开关 84、85 和 86 与三条数据线 (R1、G1 和 B1) 相连。

在第一实施例中, 正或负极性模拟视频信号从驱动器 IC1 的输出端子 Xn 输出。但是在本实施例中, 正极性模拟视频信号从奇数输出端子输出, 而负极性模拟视频信号从偶数输出端子输出。不用说, 电路可以用这样的方法配置, 从奇数输出端子输出负极性模拟视频信号, 从偶数输出端子输出正极性模拟视频信号。

在本实施例中, 高电压器件例如电源电路 12 形成在面板 2 上, 而数据线驱动电路 10 和信号处理电路 11 形成在驱动器 IC1 上。在第一实施例中, 从正或负极性 D/A 转换电路来的模拟视频信号通过三个开关输出至每条数据线, 这三个开关是连接开关 65 或 66、极性转换开关 71 或 72 和包括在分时选择电路 8 中的开关。另一方面, 在本实施例中, 通过连接开关 65 或 66 和包括在分时选择电路 8 中的开关将模拟视频信号输出至各数据线 3, 开关的接通电阻能降低, 因而缩短驱动时间。

包含在驱动 IC1 的高电压器件只形成一部分负电平移动电路, 因此驱动器 IC1 芯片的尺寸能变小。

以类似于第一实施例的方式, 构成预充电电路 60 的开关用中电压器件形成。在半导体衬底上制造预充电电路 60 的开关, 使得晶体管的性能比在面板 2、玻璃衬底等上制造开关高过一个数量级, 所以缩短了预充电时间。较短的预充电时间相对地导致较长的驱动时间, 因此, 能提高等分的数目, 和减少 A/D 转换电路的数目。

下面参考图 14 所示的定时图描述第二实施例的操作。在第一水平周期的第一预充电周期 T21 期间, 电荷回收开关 61、62、分时开关 84、85 以及 86 接通。于是在前一水平周期驱动至正极性的数据线 (R2、G2 和 B2) 的正极性电荷对电荷回收电容 67 充电, 同样地, 驱动至负极性的数据线 (R1、G1 和 B1) 的负极性电荷对电荷回收电容 68 充电。然后, 在第一水平周期的第二预充电周期 T22 期间, 预充电开关 63、64、分时开关 84、85 以及 86 接通。在那之后, 在前一水平周期期间驱动至正极性的数据线 (R2、G2 和 B2) 预充电至参考电压 (GND), 同样地, 驱动至负极性的数据线 (R1、G1 和 B1) 预充电至参考电压 (GND), 以使它们

中和。

然后，在第一水平周期的第三周期 T23 期间，电荷回收开关 61、62、分时开关 81、82 以及 83 接通。于是正极性电荷从电荷回收电容 67 向在第二预充电周期 T22 被充电至参考电压的数据线 3 (R1、G1 和 B1) 放电，同样地，负极性电荷从电荷回收电容 68 释放至数据线 3 (R2、G2 和 B2)。作为像素信号加至每一数据线 3 的电荷，就是这样实现收集和释放的。

然后，在第一水平的第一驱动周期 T24 期间，连接开关 65、66 以及分时开关 81 接通，正极性模拟视频信号从输出端子 X1 输出至数据线 R1，负极性模拟视频信号从输出端子 X2 输出至数据线 R2。然后，在第一水平周期的第二驱动周期 T25 期间，连接开关 65、66 以及分时开关 82 接通，正极性模拟视频信号从输出端子 X1 输出至数据线 G1，负极性模拟视频信号从输出端子 X2 输出至数据线 G2。然后，在第一水平周期的第三驱动周期 T26 期间，连接开关 65、66 以及分时开关 83 接通，正极性模拟视频信号从输出端子 X1 输出至数据线 B1，负极性模拟视频信号从输出端子 X2 输出至数据线 B2。

在那以后，在第二水平的第一预充电周期 T31 期间，电荷回收开关 61、62、分时开关 81、82 以及 83 接通。于是在第一水平周期被驱动至正极性的数据线 3 的正极性电荷对电荷回收电容 67 充电，同样地，在第一水平周期驱动至负极性的负极性电荷对电荷回收电容 68 充电。然后，在第二水平周期的第二预充电周期 T32 期间，预充电开关 63、64、分时开关 81、82 以及 83 接通。在那以后，在前一水平周期驱动至正极性的数据线 (R1、G1 和 B1) 预充电至参考电压 (GND)，同样地，驱动至负极性的数据线 (R2、G2 和 B2) 预充电至参考电压 (GND)，以使它们中和。然后，在第二水平周期的第三周期 T33 期间，电荷回收开关 61、62、极性转换开关 71、分时开关 84、85 以及 86 接通。在那以后，正极性电荷从电荷回收电容 67 释放至在第二预充电周期 T22 预充电至参考电压的数据线 3 (R2、G2 和 B2)，同样地，负极性电荷从电荷回收电容 68 释放至数据线 3 (R1、G1 和 B1)。

然后，在第二水平周期的第一驱动周期 T34 期间，连接开关 65、66 以及分时开关 84 接通，正极性模拟视频信号从输出端子 X1 输出至数据

线 R2, 负极性模拟视频信号从输出端子 X2 输出至数据线 R1。然后, 在第二水平周期的第二驱动周期 T35 期间, 连接开关 65、66 以及分时开关 85 接通, 正极性模拟视频信号从输出端子 X1 输出至数据线 G2, 负极性模拟视频信号从输出端子 X2 输出至数据线 G1。然后, 在第二水平周期的第三驱动周期 T36 期间, 连接开关 65、66 以及分时开关 86 接通, 正极性模拟视频信号从输出端子 X1 输出至数据线 B2, 负极性模拟视频信号从输出端子 X2 输出至数据线 B1。如图 8 所示, 驱动每一像素, 致使在每帧以后像素反转。

在第一和第二实施例, 为了说明方便, 像素的写入顺序为 R→G→B。但是, 最好在最后写入 G 例如 R→B→G 或 B→R→G, 因为以 TFT 形成分时开关 81、82 和 83 时, 考虑到 TFT 的漏电流, G (绿) 的灵敏度高于 R (红) 和 B (蓝)。还有, 虽然等分的数目说明为 3, 但不必须是 3。但是在这种情况下, 等分的数目最好是 3 的倍数, 因为 RGB 是三种颜色。例如, 如果等分为 6, 则最好将相同颜色的像素在一起例如以 R1→R2→B1→B2→G1→G2 的顺序写入一个 D/A 转换电路中。按 R1→B1→G1→R2→B2→G2 的顺序写入也许会引起显示阴影, 因为在 R1 与 R2 之间写入的 B1 和 G1 时, 由于以 TFT 形成的分时开关的漏电流使得像素 R1 的电压有所起伏。

尽管随着更多的等分能减少 D/A 转换电路的数目, 但是面板的显示阴影也容易被看出来。为了解决这一问题, 最好是在帧中改变同一颜色像素的写入顺序, 以四帧作为一个单元。写入顺序的一个应用例子是例如: 第一和第二帧为 (R1→R2→B1→B2→G1→G2), 第三和第四帧为 (R2→R1→B2→B1→G2→G1)。

第三实施例

在第二实施例中, 具有极性转换功能和分时转换功能的选择电路形成在面板上。电荷回收电路可形成在面板上。

图 15 是本发明液晶显示器 200 的方框图。电荷回收电路 9 进一步在液晶面板衬底 2 上形成。电荷回收电路 9 受信号处理电路 11 输出的信号控制。下面参考图 16 对电荷回收电路 9 进行详细的描述。在电荷回收电

路 9 中,两个电荷回收开关 91 和 92 并行地提供给数据线 3,电荷回收开关 91 和 92 的另一端连接至每一数据线组旁的汇流线 95 或 96。汇流线 95 和 96 分别连接至电荷回收电容 93 和 94。在水平周期的第一预充电周期期间,电荷回收开关 91 和 92 受极性信号 POL 控制。电荷回收电路 9 也如扫描线驱动电路 6 和分时选择电路 8 那样利用 VGH 和 VHL 电源电压操作。

下面参考定时图 17 对电荷回收操作进行详细描述。在第一水平周期,极性信号 POL 为 H。在第一水平周期的第一预充电周期 T41 期间,开关 81、82 以及 83 断开,开关 92 接通,使累积在数据线 3 中的电荷移动至电荷回收电容 93,以收集电荷。然后,在第一水平周期的第二预充电周期 T42 期间,开关 92 断开,开关 81、82 以及 83 接通,预充电开关 63、64 接通,于是预充电至参考电压。然后,在第一水平周期的第三预充电周期 T43 期间,预充电开关 63、64 断开,开关 81、82 以及 83 断开,开关 91 接通,于是使电荷从电荷回收电容 94 移动至数据线 3,以回收电荷。

在第二水平周期中,极性信号 POL 变为 L。在第二水平周期的第一预充电周期 T51 期间,开关 81、82 以及 83 断开,开关 91 接通,使累积在数据线 3 中的电荷移动至电荷回收电容 94,以收集电荷。然后,在第二水平周期的第二预充电周期 T52 期间,开关 91 断开,开关 81、82 以及 83 接通,在驱动器 IC1 内部的预充电开关 63、64 接通,于是预充电至参考电压。然后,在第二水平周期的第三预充电周期 T53 期间,预充电开关 63、64 断开,开关 81、82 以及 83 断开,开关 92 接通,于是使电荷从电荷回收电容 93 移动至数据线 3,以回收电荷。驱动周期(T44 至 T46 和 T54 至 T56)的操作与第一实施例相同。

与第一和第二实施例相同,本实施例可以有这样的配置,含有 D/A 转换电路的驱动电路只配置在面板的一侧,因而能减小数据线驱动电路的尺寸。只有在极性电压能加至正极性 D/A 转换电路 31,同时也只有负极性电压能加至负极性 D/A 转换电路 32。因此,这些器件可用中电平电压(5V)形成,与利用高电压器件相比,能有较薄的栅氧化物膜,较短的栅长度,最后能有较小的电路面积。

在本实施例中,在驱动器 IC1 外部提供电荷回收电路 9,能减少至驱

动器 IC1 内部 GND 的噪声，并且可防止噪声扩散至驱动器 IC1 内部的电源电路，因此能得到稳定的 com 电压和满意的显示。

虽然在第一、第二和第三实施例中假定参考电压为系统“地”，但是参考电压不是必须为系统“地”。TFT（薄膜晶体管）的错误馈电可以是转移的电压。更具体地说，如果 TFT 的错误馈电为-1V，参考电压是驱动器 IC1 的虚拟 GND，那么 com 电压将是系统“地”，驱动器 IC1 的参考电压将是 1V。这就是说，可以规定：正极性高电源电压 $V_{PH}=6V$ ，正极性低电源电压（虚拟 GND）=1V，正极性高电源电压（虚拟 GND）=1V，负极性低电源电压 $V_{NL}=-4V$ 。

很明显，本发明不限于上述实施例，在不脱离本发明权利要求的范围和精神的情况下，能够做出修改和变化。

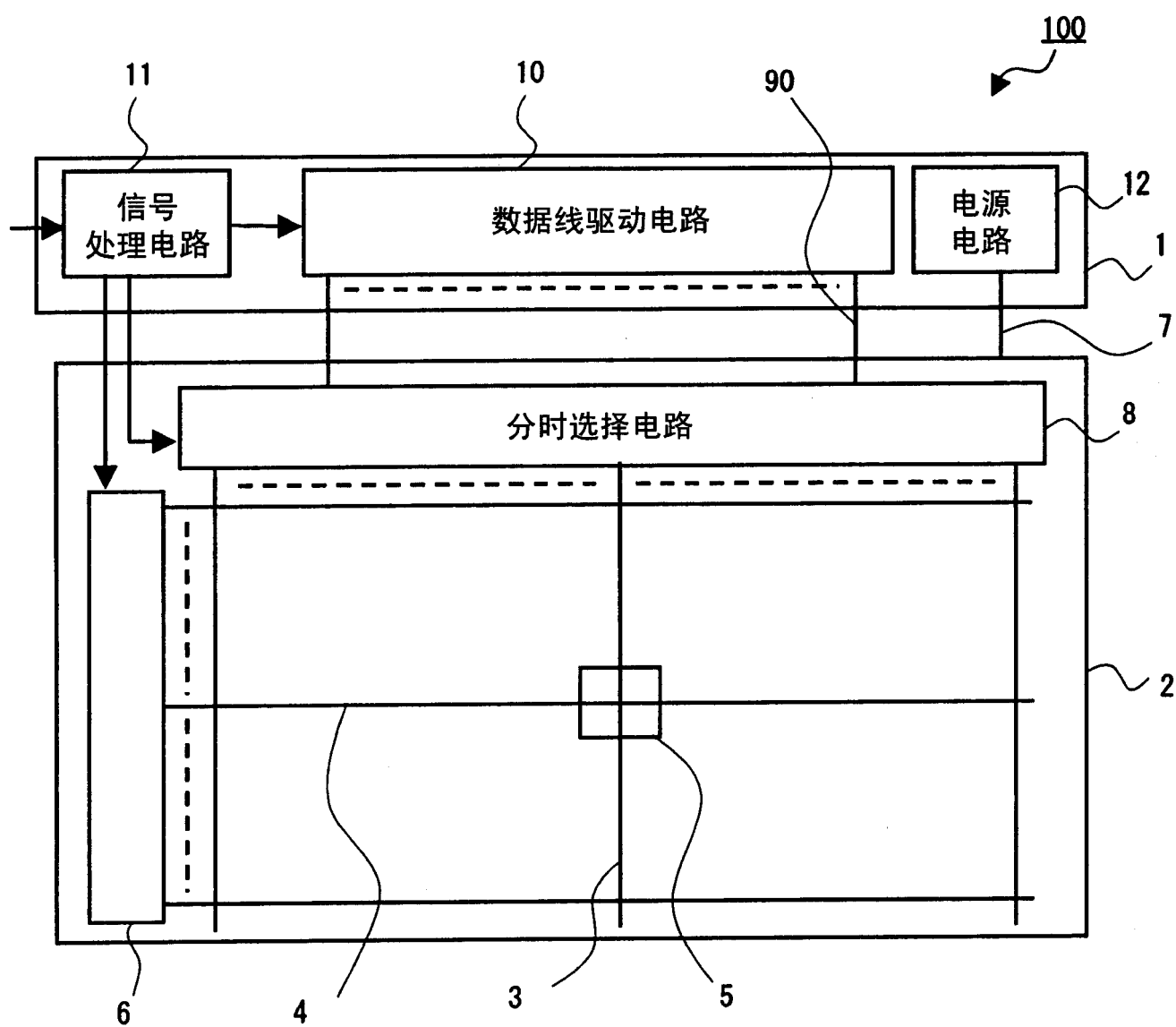


图 1

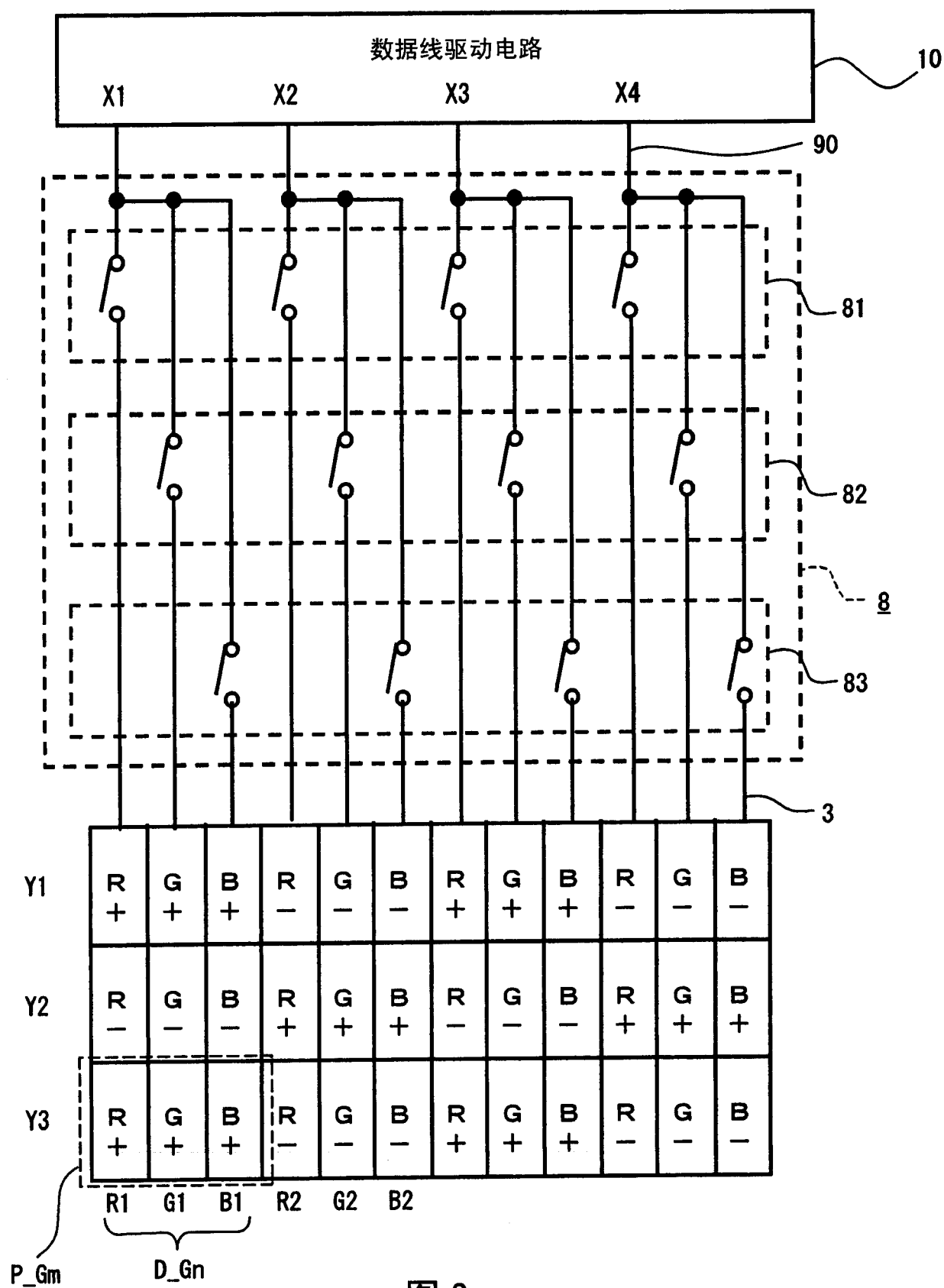


图 2

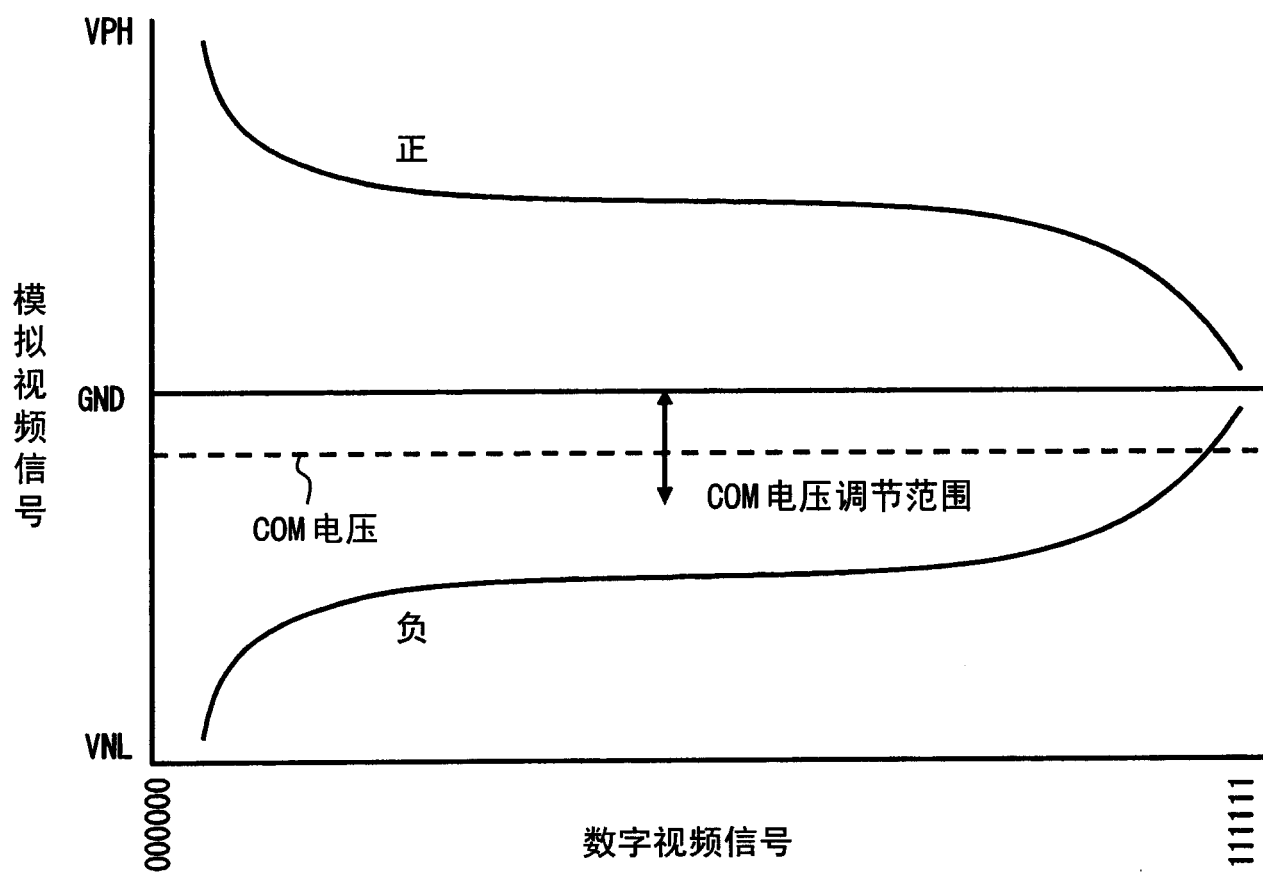


图 3

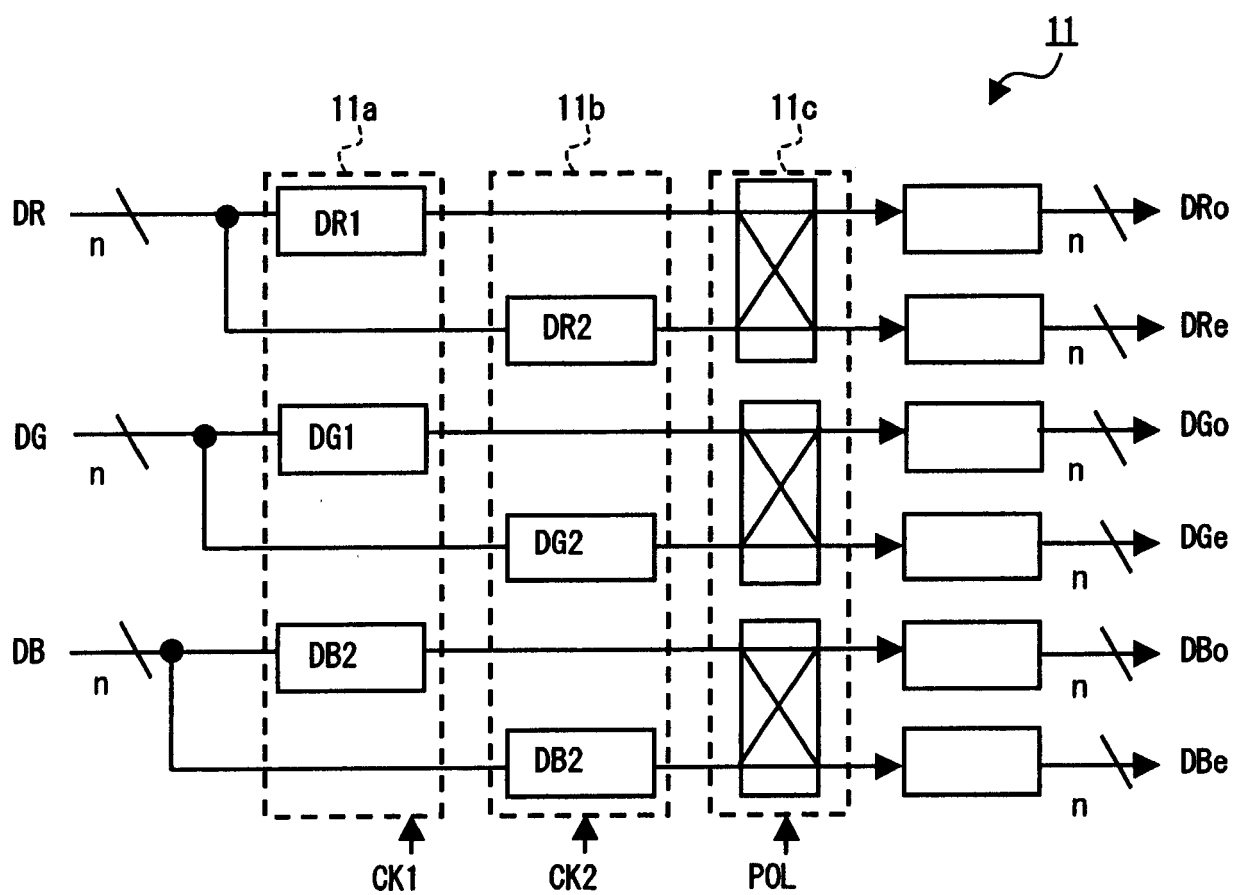


图 4

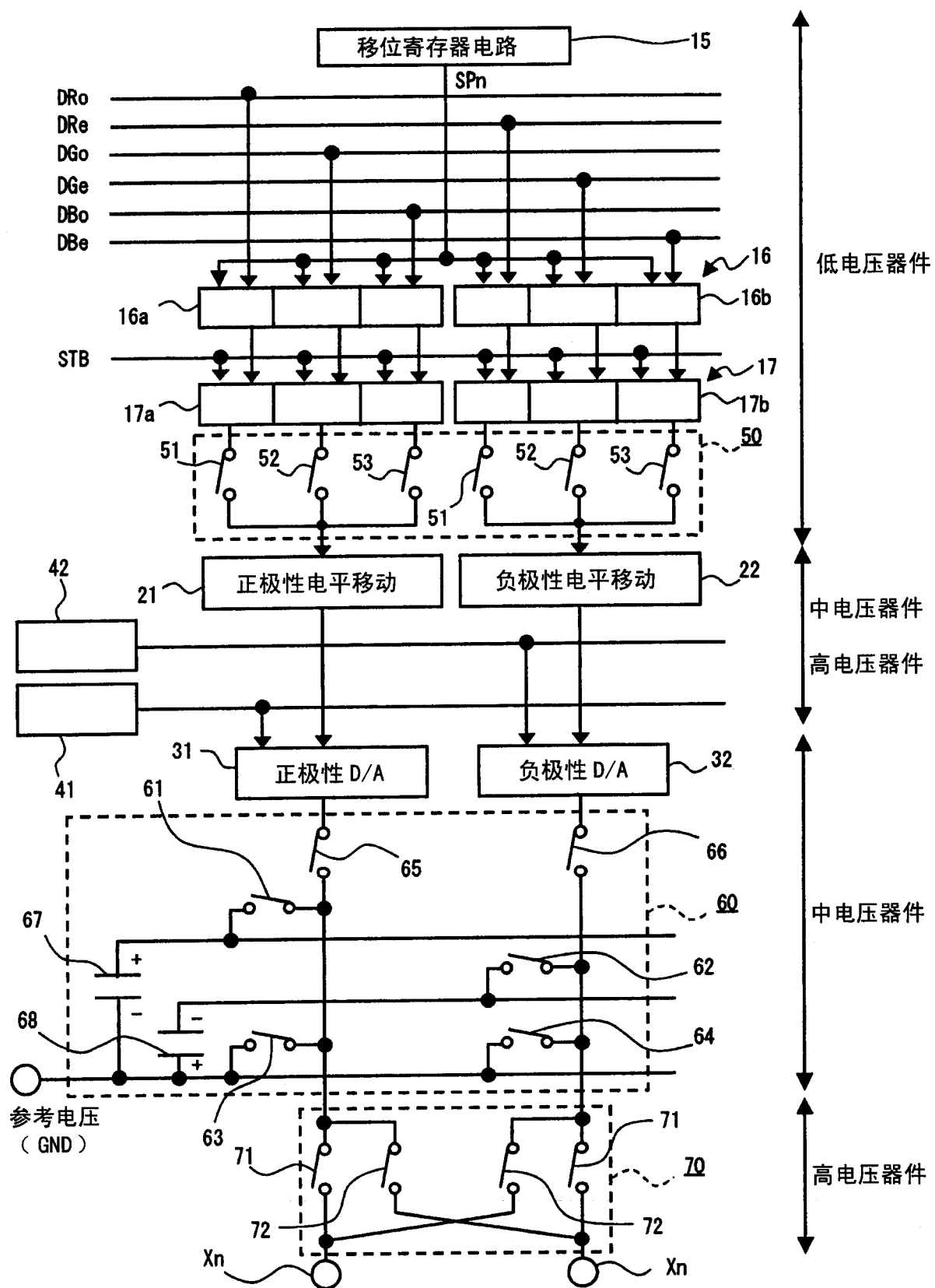


图 5

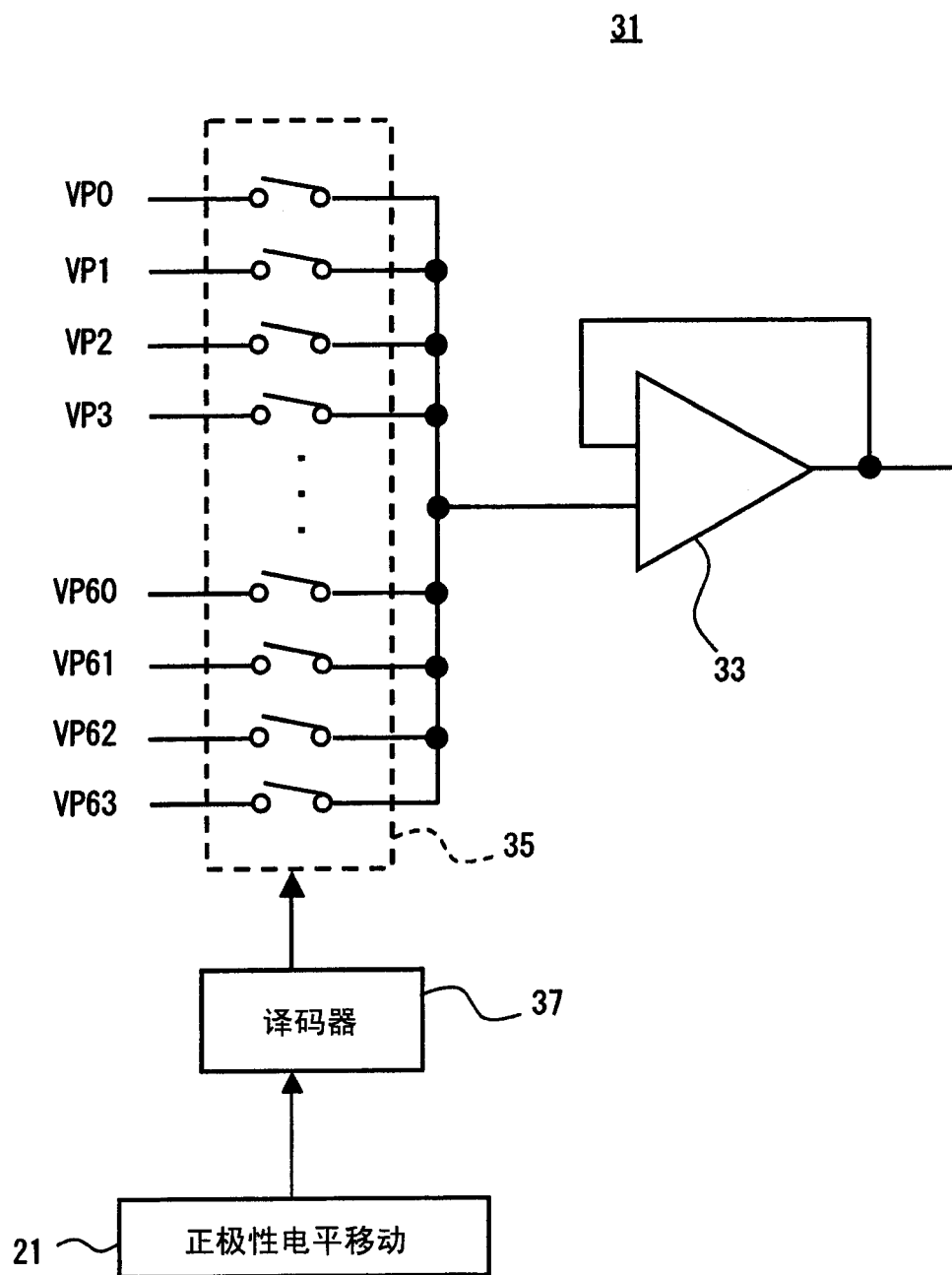


图 6

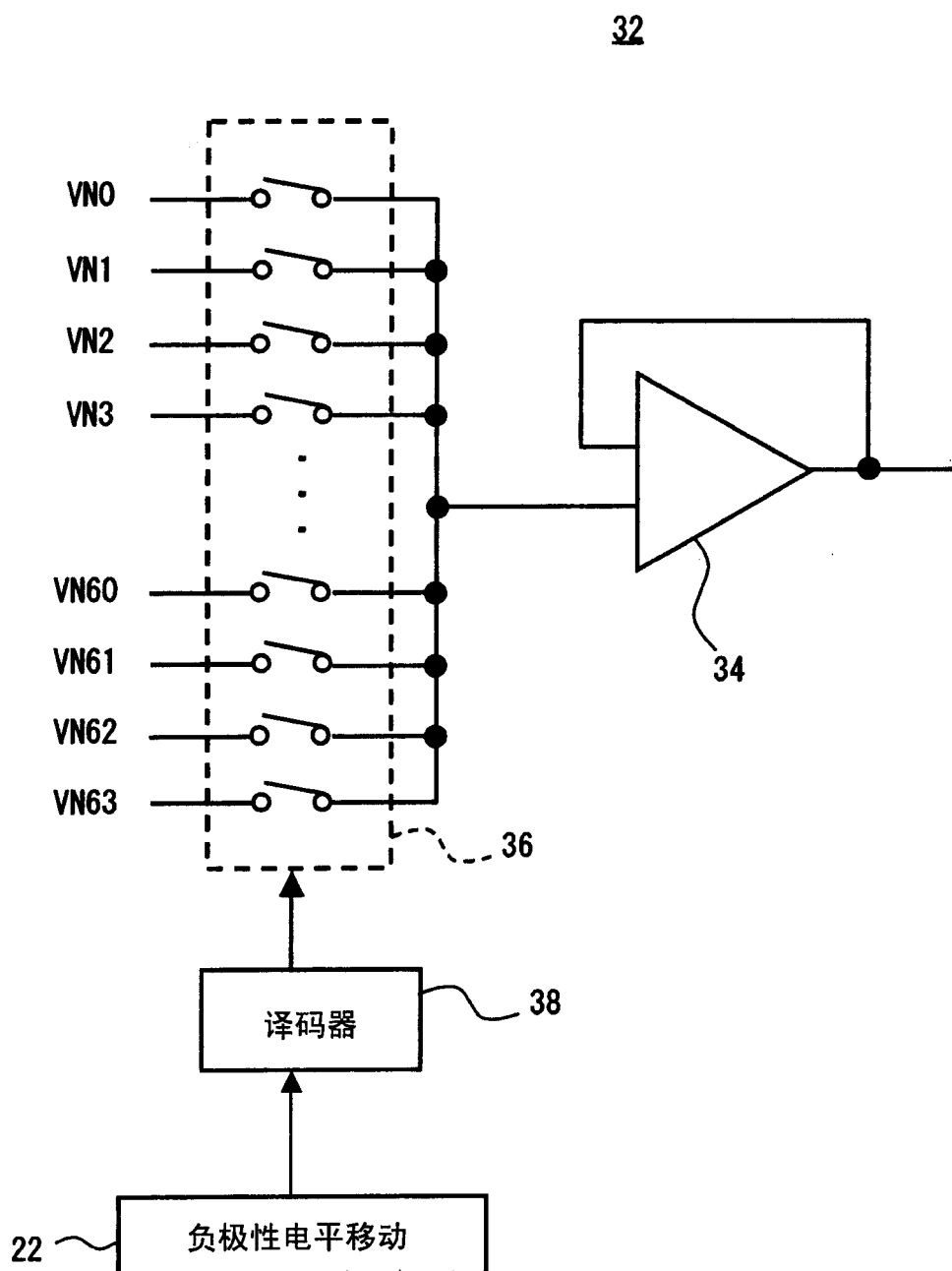
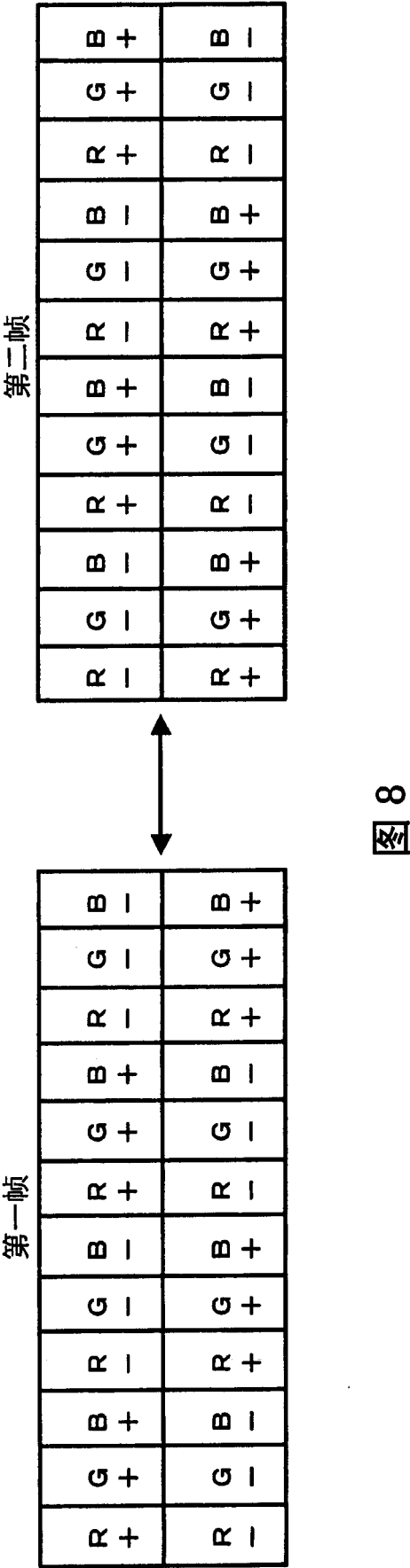


图 7



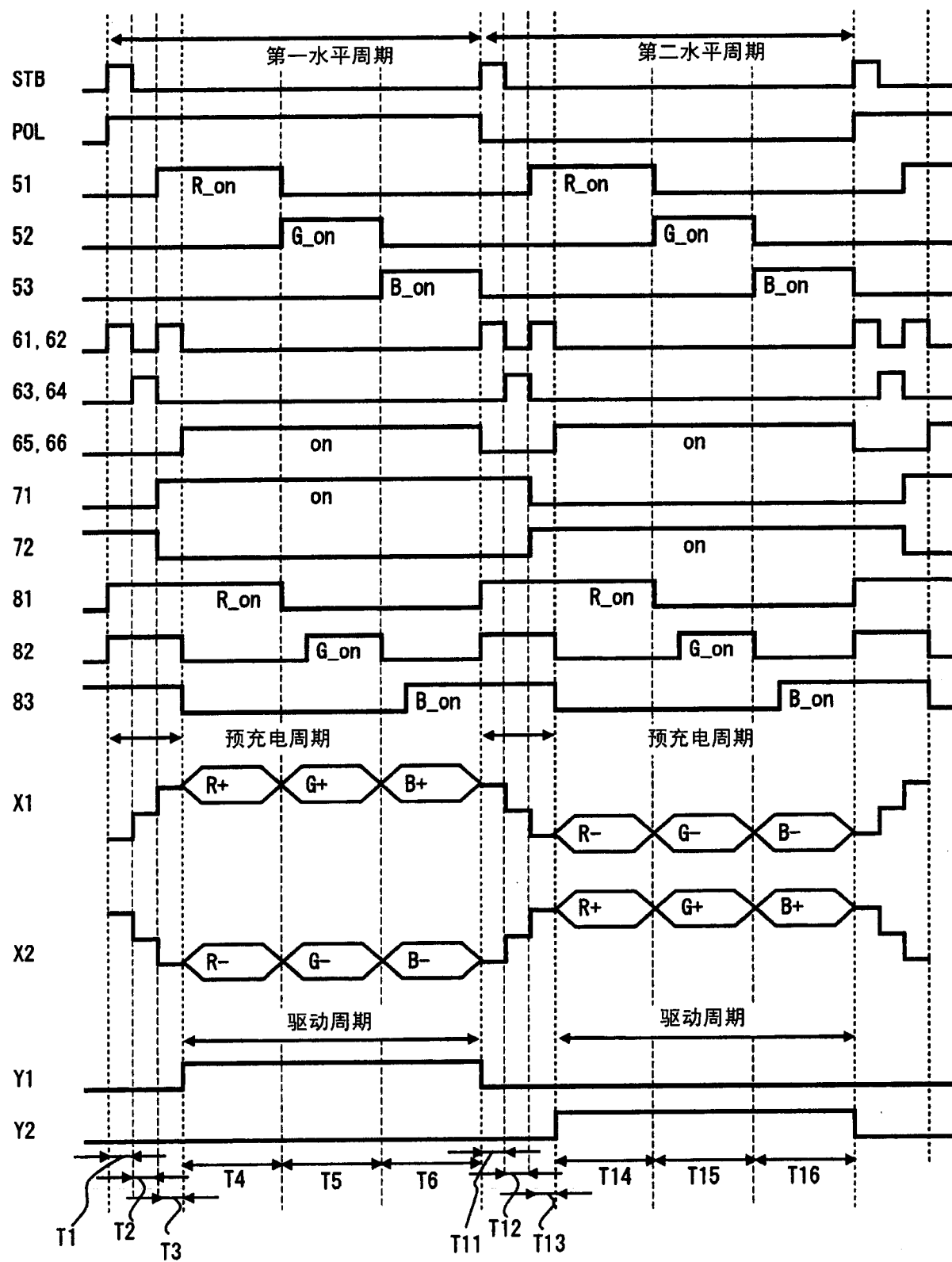


图 9

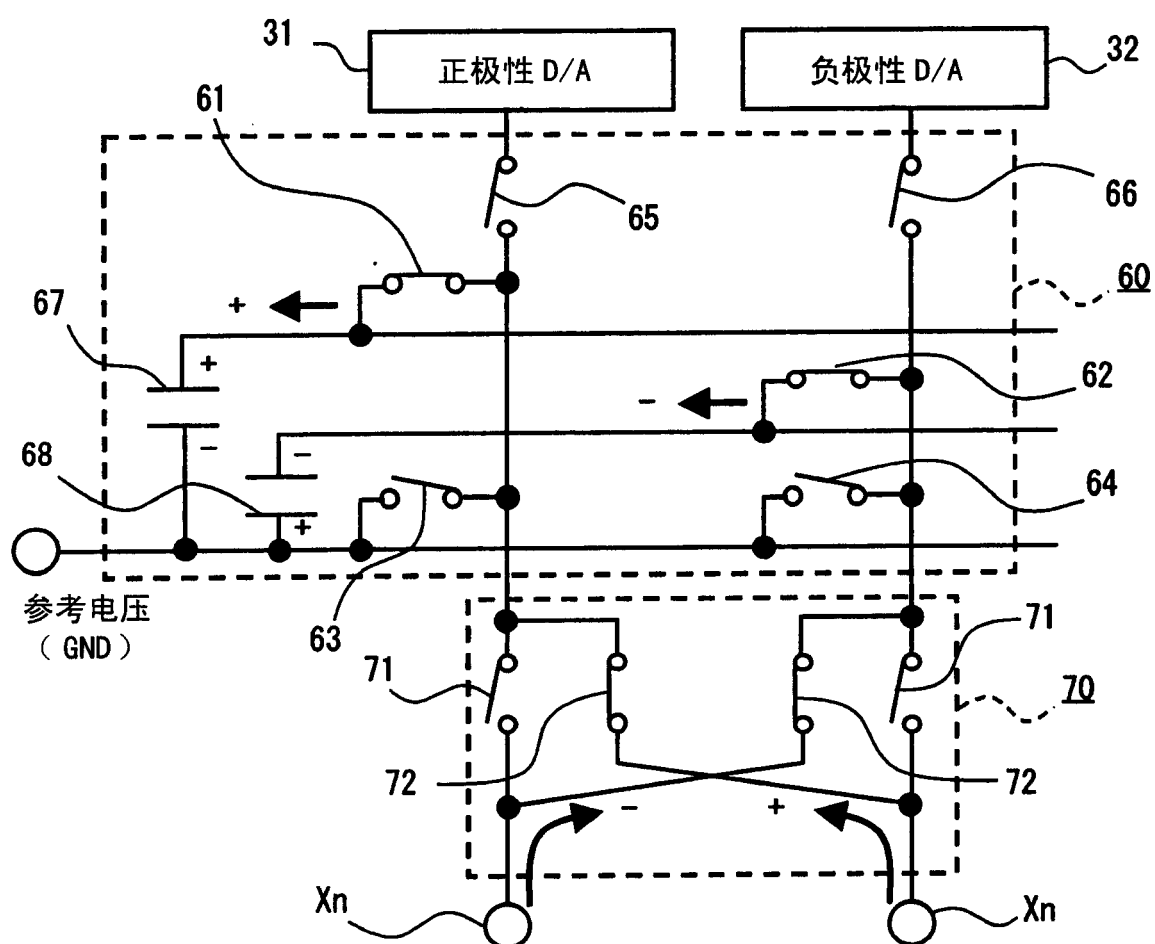


图 10A

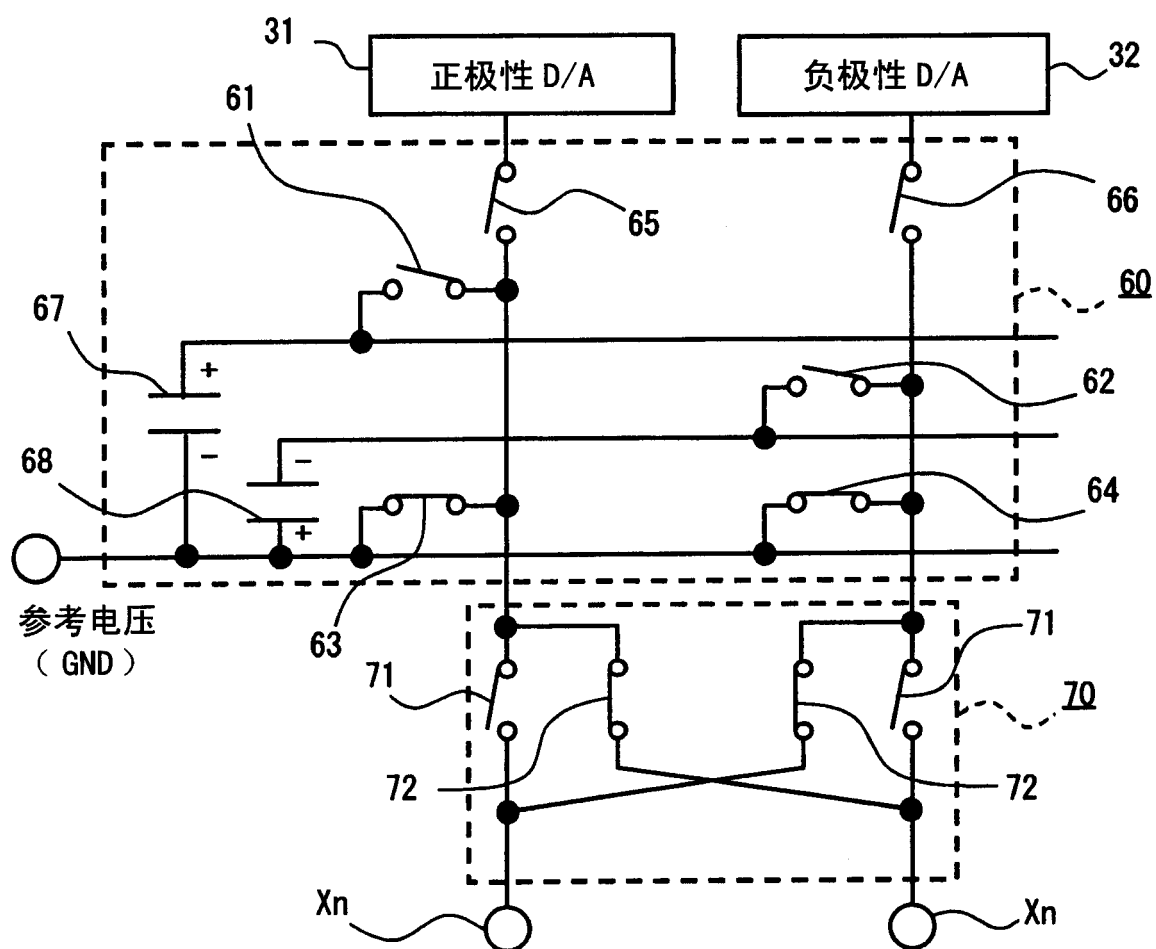


图 10B

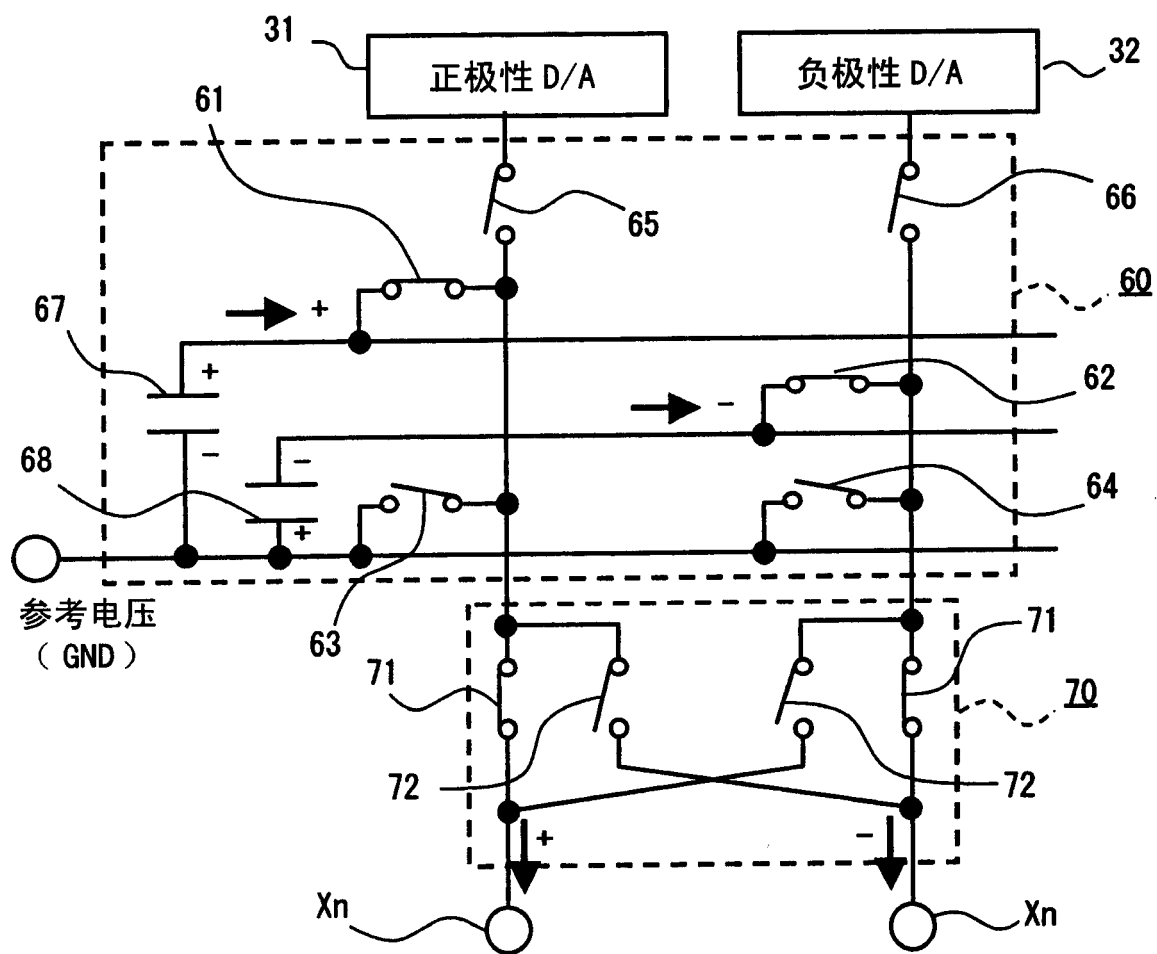


图 10C

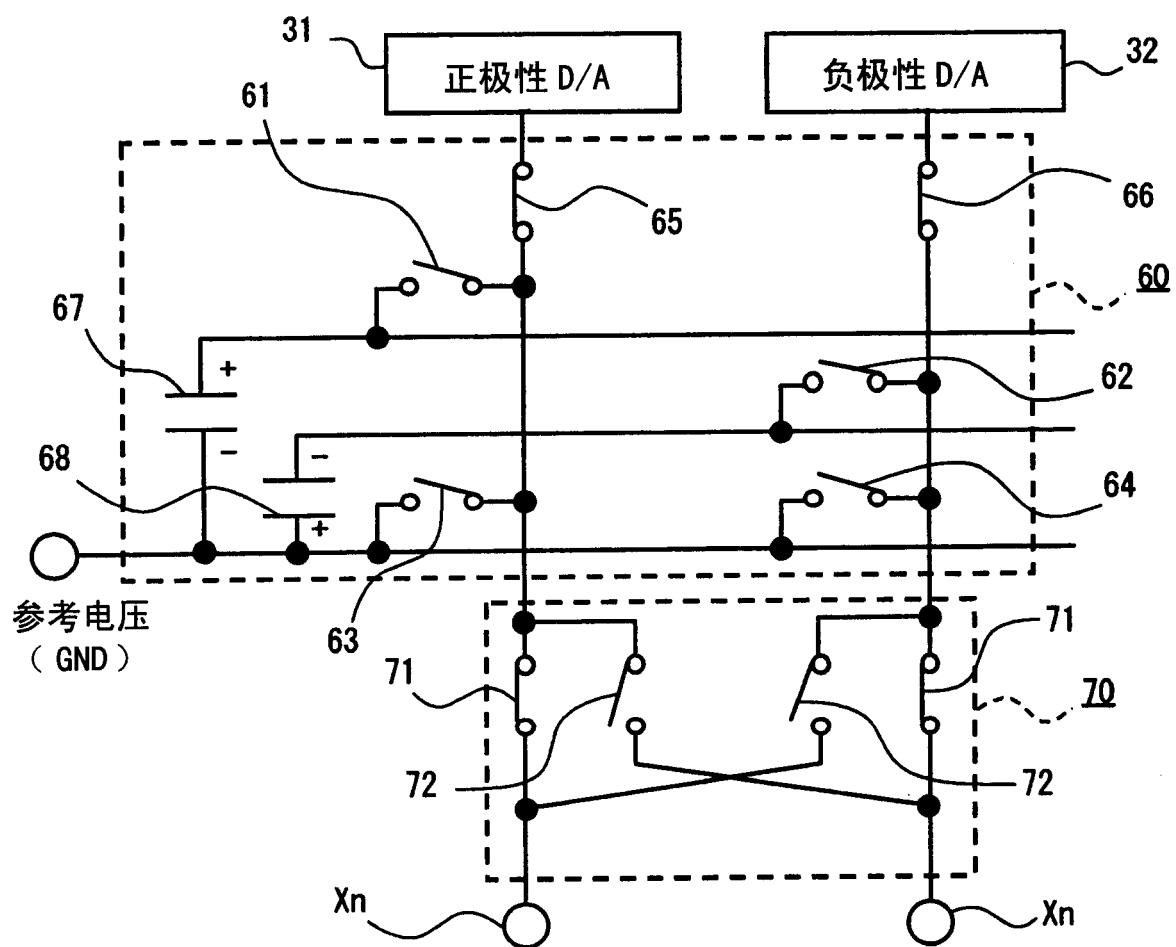


图 10D

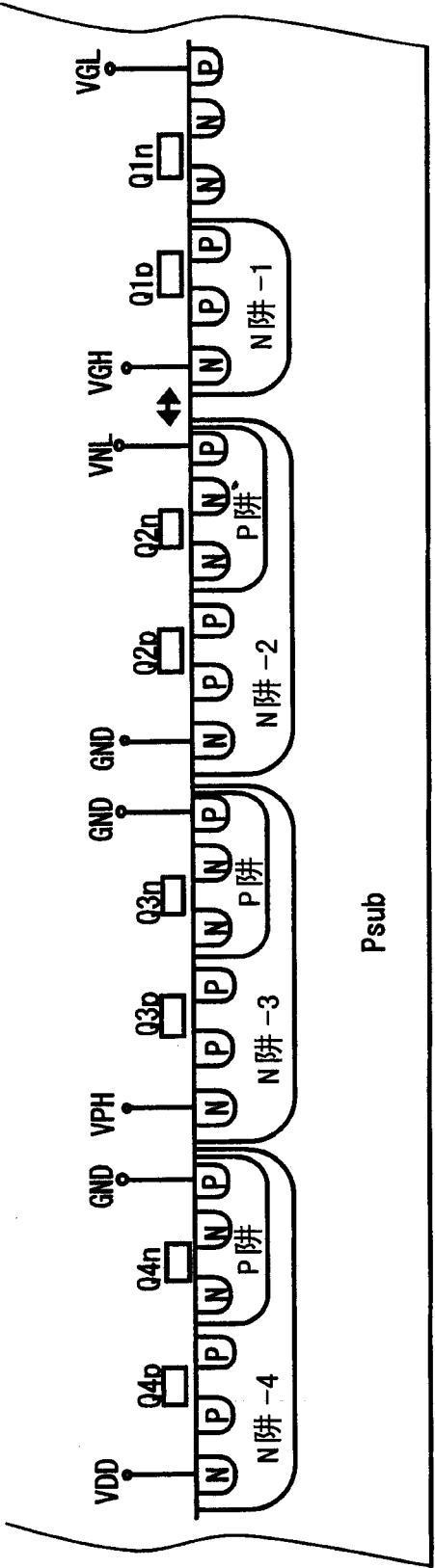


图 11

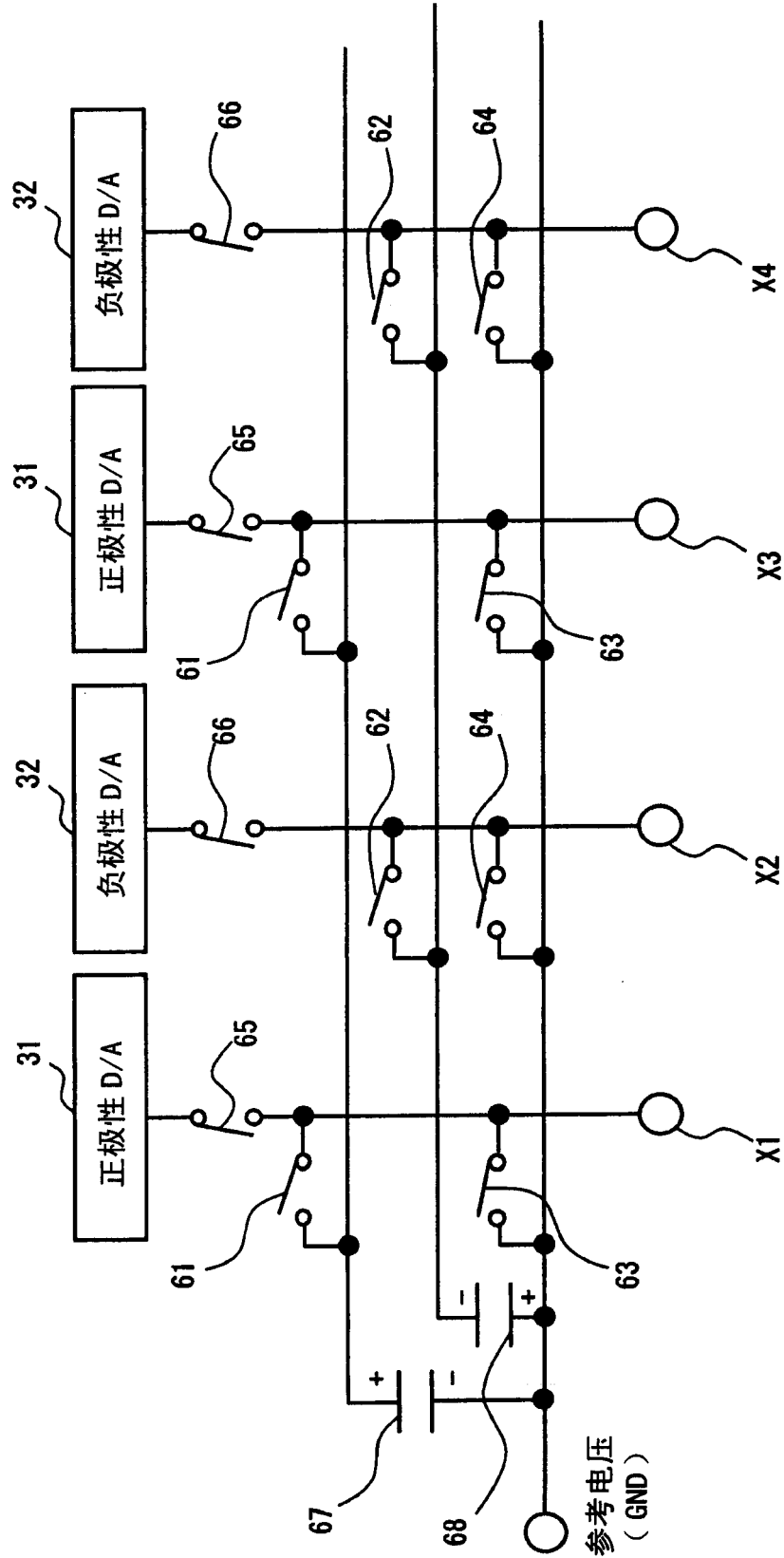
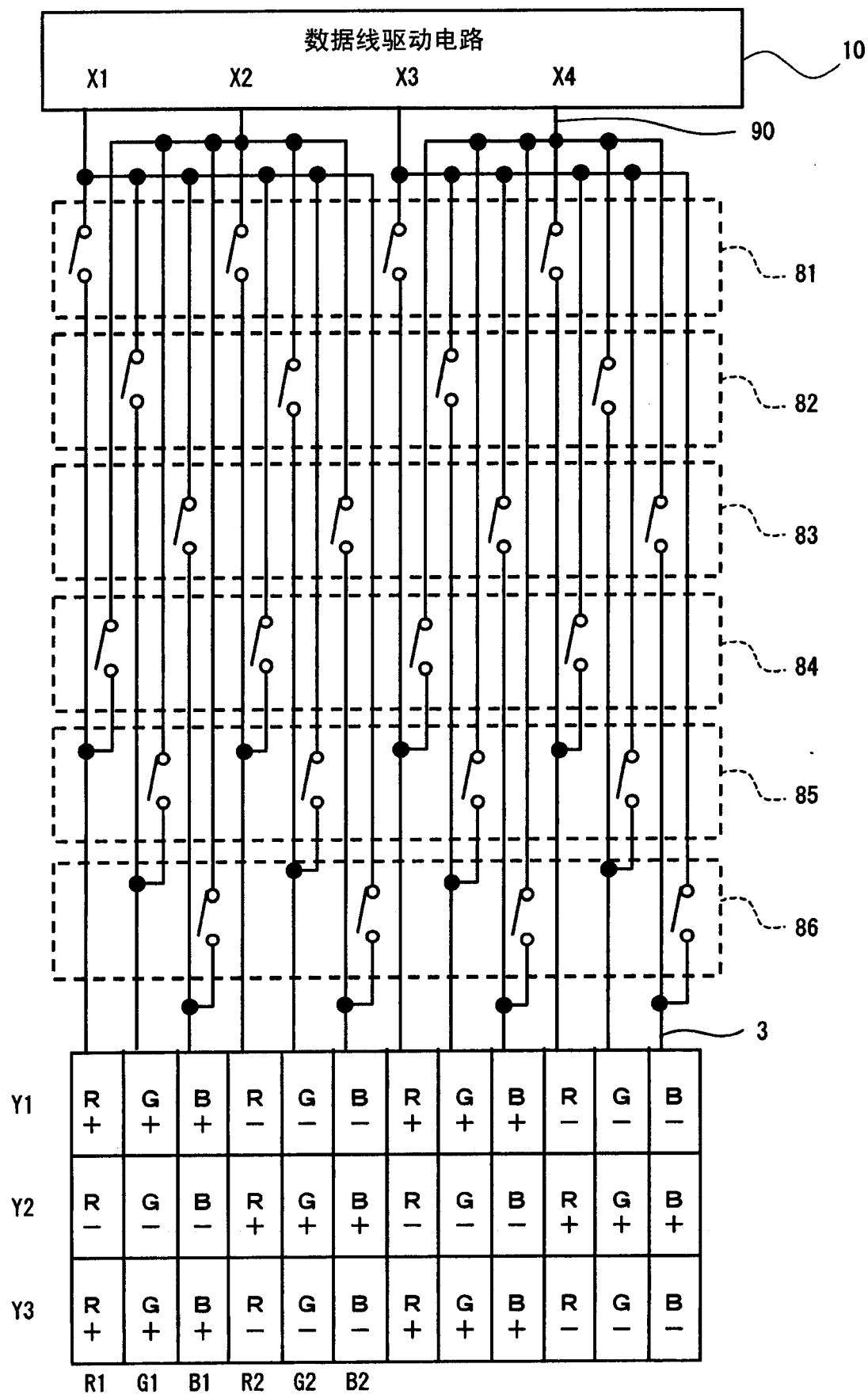


图 12



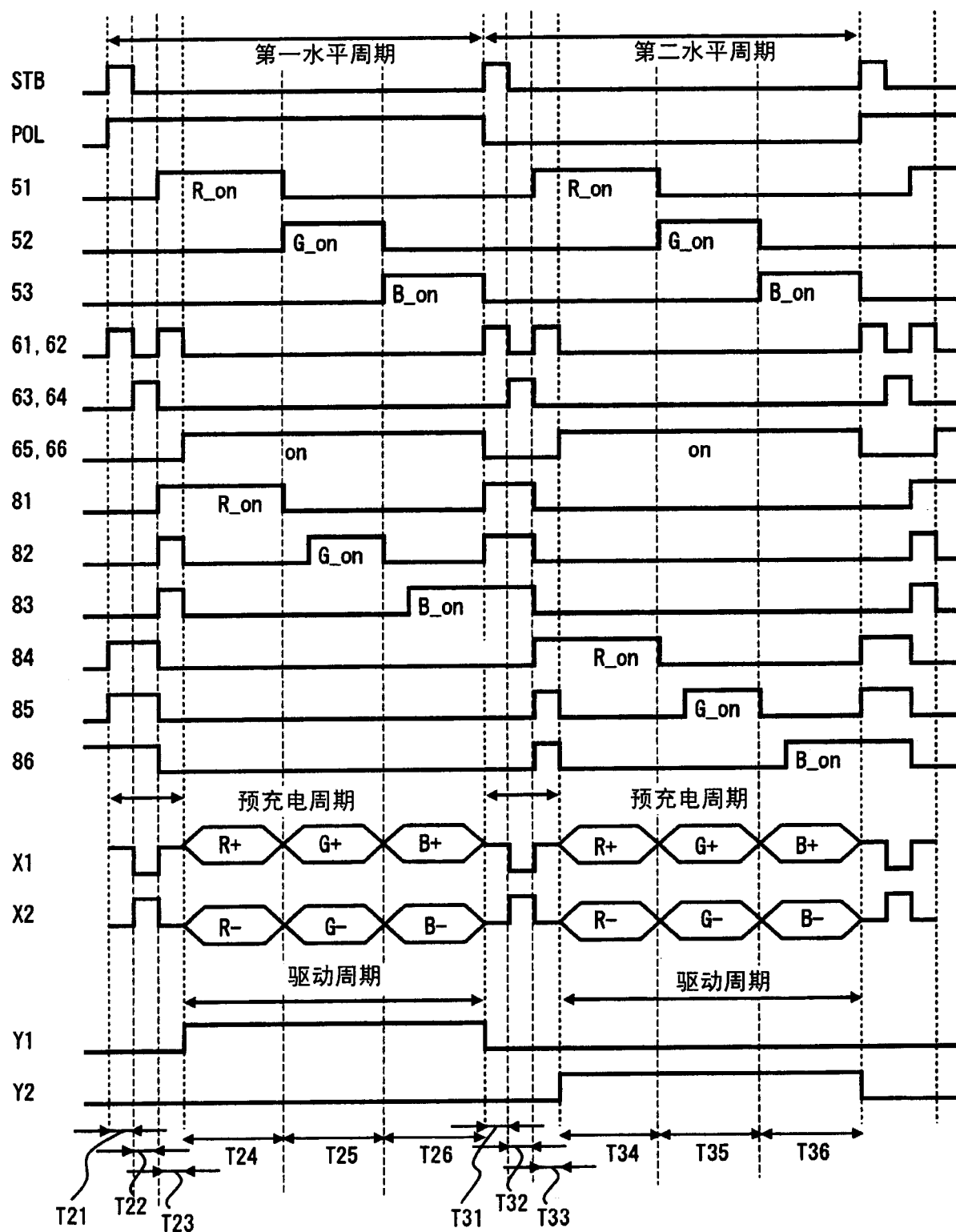


图 14

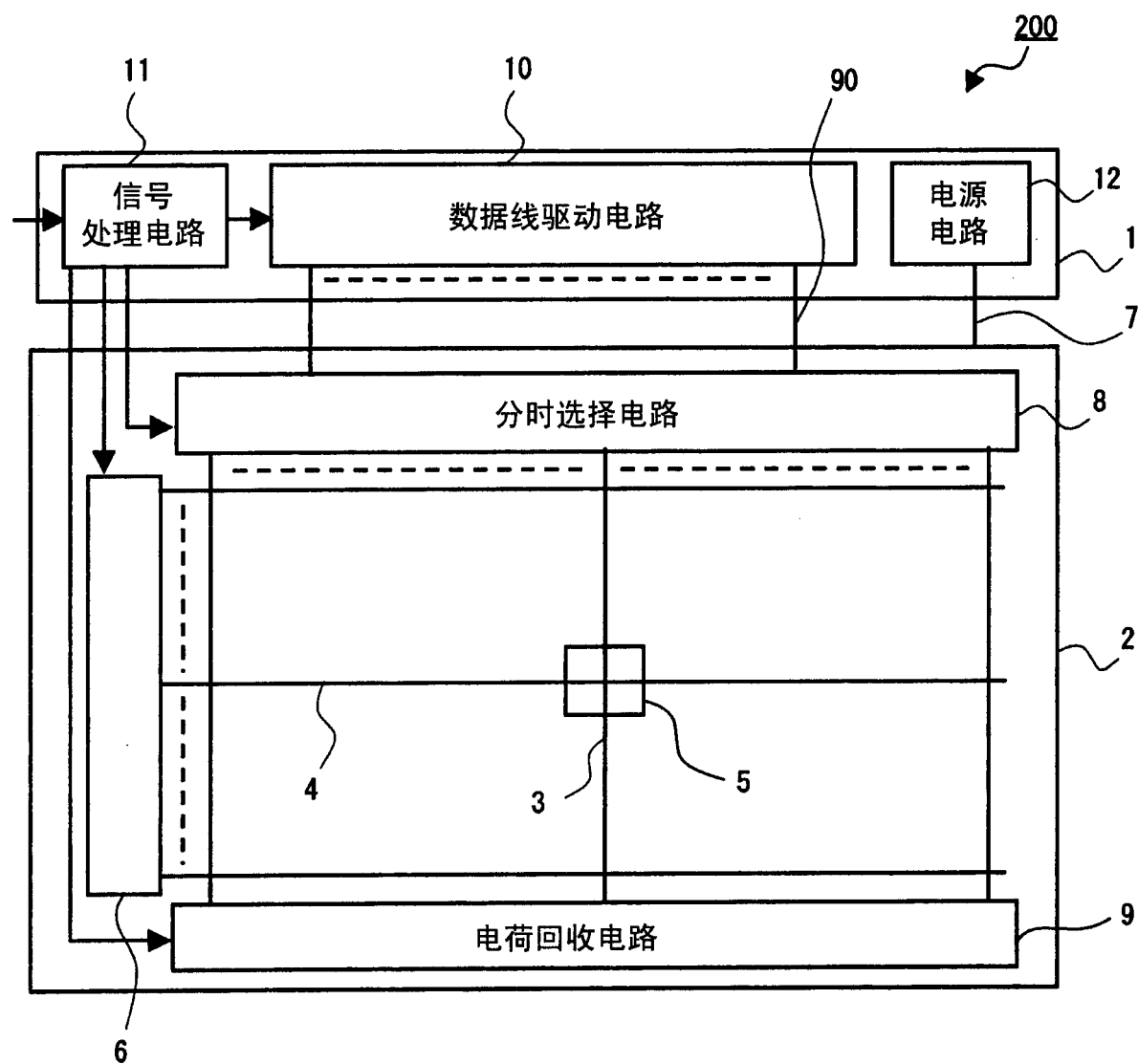


图 15

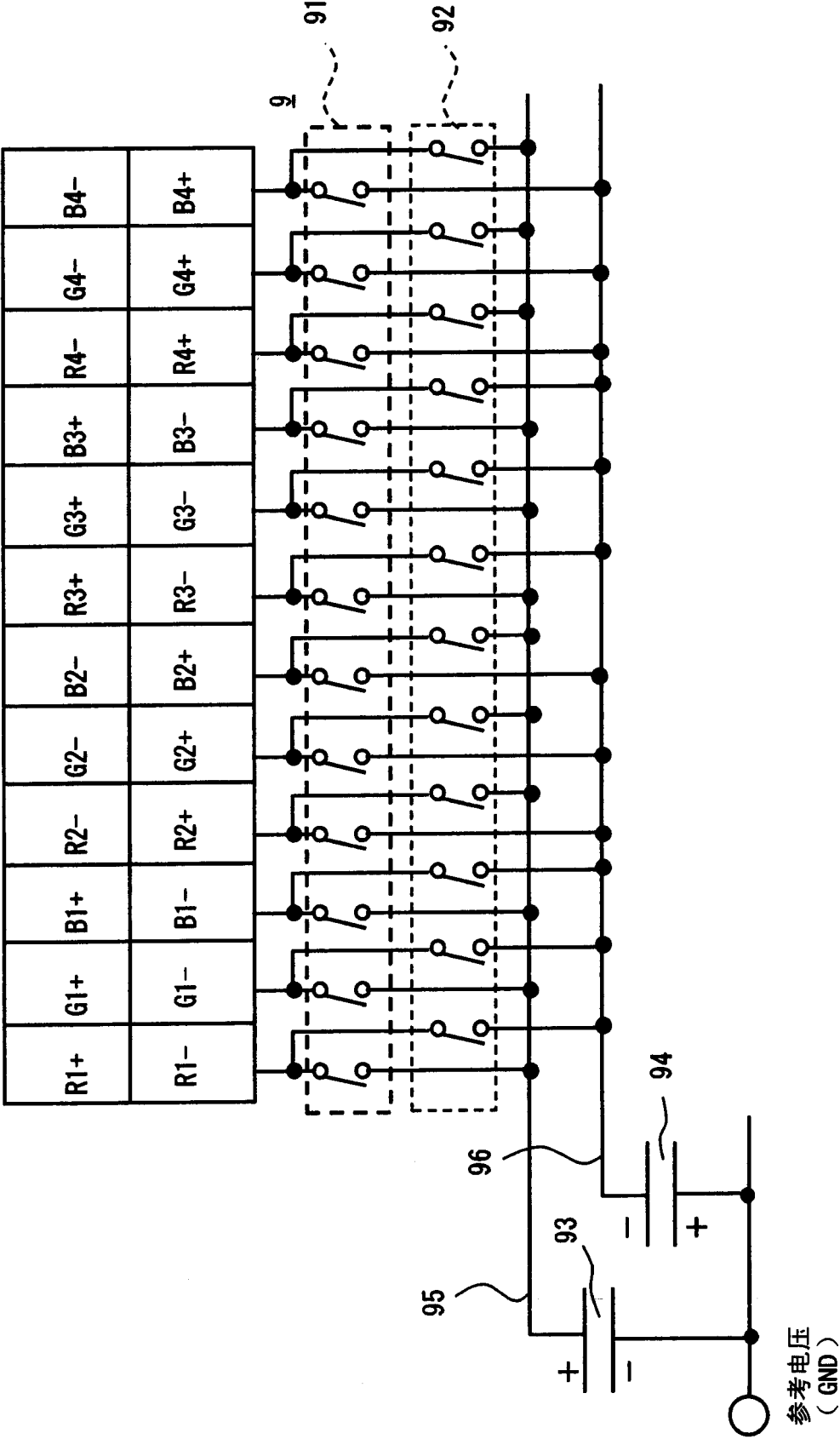


图 16

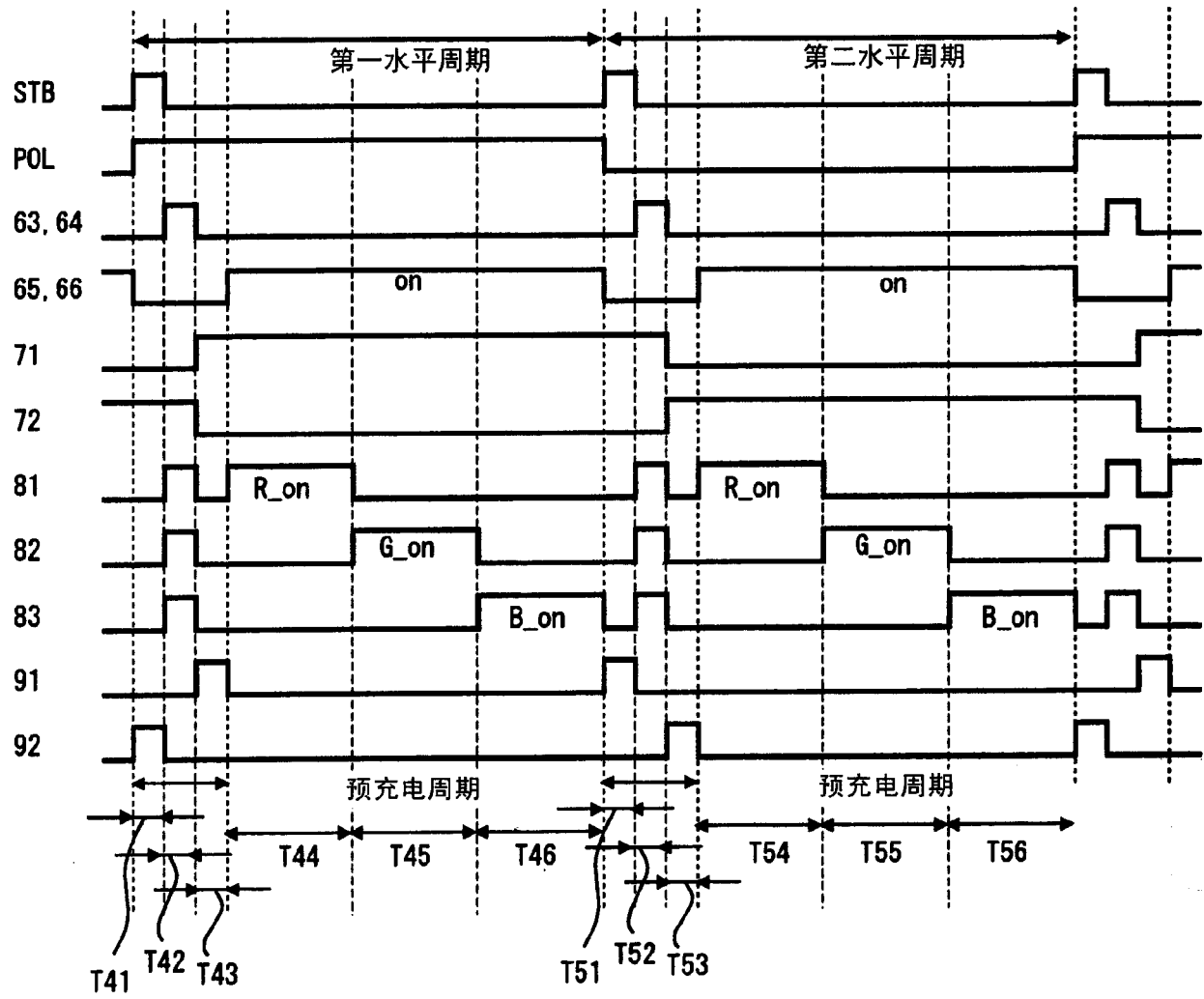


图 17

专利名称(译)	液晶显示器及其驱动电路		
公开(公告)号	CN1855210A	公开(公告)日	2006-11-01
申请号	CN200610073787.X	申请日	2006-04-17
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	恩益禧电子股份有限公司		
当前申请(专利权)人(译)	瑞萨电子株式会社		
[标]发明人	桥本义春		
发明人	桥本义春		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
优先权	2005119818 2005-04-18 JP 2005346689 2005-11-30 JP		
其他公开文献	CN100511399C		
外部链接	Espacenet SIPO		

摘要(译)

本发明的液晶显示器包括多条扫描线、多条数据线和在多条扫描线和多条数据线的每一交点上提供的像素。液晶显示器进一步包括由在连续的多条数据线和多条扫描线中的一条扫描线的每一交点上设置的像素组成的多个像素组，其中，通过顺序地输出信号的分时驱动，相同极性的信号输出至在多个像素组的每一像素组中所包括的所有数据线，相反极性信号输出至彼此相邻的多个像素组，以致在每帧之后，极性反转的信号输出至像素组中包含的数据线。

