

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/136 (2006.01)
G02F 1/133 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200610074664.8

[43] 公开日 2006 年 9 月 20 日

[11] 公开号 CN 1834761A

[22] 申请日 2006.4.21

[21] 申请号 200610074664.8

[71] 申请人 友达光电股份有限公司

地址 中国台湾新竹市

[72] 发明人 林祥麟

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波 侯 宇

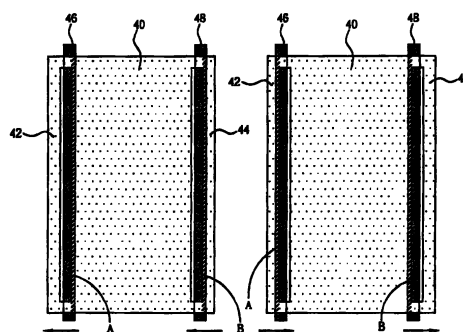
权利要求书 2 页 说明书 8 页 附图 19 页

[54] 发明名称

液晶显示器

[57] 摘要

本发明在有源式矩阵液晶显示器的像素电极两侧各增加一补偿分支电极，由此补偿像素电极因工艺偏移与数据线所产生的寄生电容，使像素电极与左右两边的数据线的寄生电容平衡。而在使用点反转驱动或直行反转驱动的情形下，又能平衡寄生电容的效应，同时减低串扰或其它因曝光接合处产生的不均所造成的寄生电容不平衡。



1. 一种液晶显示器，包括：

基板；

多个像素电极，位于所述基板上，以像素矩阵阵列排列方式形成；

第一数据线及第二数据线，形成于所述基板上；

多条扫描线形成于所述基板上，所述些扫描线与所述第一数据线及所述第二数据线彼此交错；

第一分支电极，所述第一分支电极与所述第一数据线至少部份重叠，且所述第一分支电极电连接像素电极；以及

第二分支电极，所述第二分支电极与所述第二数据线至少部份重叠，且所述第二分支电极电连接所述像素电极，其中所述第一分支电极及所述第二分支电极位于所述像素电极的相对侧。

2. 如权利要求1所述的液晶显示器，其中：

所述像素电极与所述第一数据线的重叠面积为 A' ；

所述像素电极与所述第二数据线的重叠面积为 B ；

与所述像素电极电连接的所述第一分支电极与所述第一数据线的重叠面积为 A ；以及

与所述像素电极电连接的所述第二分支电极与所述第二数据线的重叠面积为 B' ，且 $A + A'$ 等于 $B + B'$ 。

3. 如权利要求1所述的液晶显示器，其中：

所述第一数据线及所述第二数据线为锯齿状。

4. 如权利要求3所述的液晶显示器，其中：

所述第一分支电极位于所述像素电极一侧的上方，以及

所述第二分支电极位于所述像素电极相对侧的下方。

5. 如权利要求3所述的液晶显示器，其中：

所述第一分支电极位于所述像素电极一侧的上方，以及

所述第二分支电极位于所述像素电极相对侧的上方。

6. 如权利要求1所述的液晶显示器，其中：

所述第一数据线是由第一分支数据线及第二分支数据线电连接而成，且所述第二分支数据线介于所述第一分支数据线及所述像素电极之间；以及

所述第二数据线是由第三分支数据线及第四分支数据线电连接而成，且所述第三分支数据线介于所述第四分支数据线及所述像素电极之间。

7. 如权利要求 6 所述的液晶显示器，其中：

所述像素电极与所述第二分支数据线至少部份重叠；以及

所述像素电极与所述第三分支数据线至少部份重叠。

8. 如权利要求 6 所述的液晶显示器，其中：

所述像素电极与所述第一分支数据线及所述第二分支数据线至少部份重叠；以及

所述像素电极与所述第三分支数据线及所述第四分支数据线至少部份重叠。

9. 一种液晶显示器，包括：

基板；

多个像素电极，位于所述基板上，以像素矩阵阵列排列方式形成；

第一数据线、第二数据线及第三数据线，分别形成于所述基板上；以及多条扫描线，形成于所述基板上，所述些扫描线与所述第一数据线、所述第二数据线及所述第三数据线彼此交错；

其中至少一像素电极，具有第一子像素电极及第二子像素电极，且所述第一子像素电极及所述第二子像素电极彼此电连接。

10. 如权利要求 6 所述的有源式矩阵液晶显示器，其中：

所述第一子像素电极与所述第一数据线的重叠面积为 M ；

所述第一子像素电极与所述第二数据线的重叠面积为 N ；

所述第二子像素电极与所述第二数据线的重叠面积为 O ；以及

所述第二子像素电极与所述第三数据线的重叠面积为 P ，且 $M + P$ 等于 $N + O$ 。

液晶显示器

技术领域

本发明涉及一种薄膜晶体管液晶显示器元件结构与工艺，特别是涉及可以补偿像素电极与信号线之间的寄生电容的设计。

背景技术

一般而言，液晶面板容易因工艺偏差造成数据线 with 像素电极重叠偏移，使得像素电极与数据线过于接近，产生如图 1 所示的寄生电容(parasitic capacitance between pixel and data line, C_{pd} 、 C_{pd}')，而过大的寄生电容将导致串扰(cross talk)现象；或由于曝光接合处产生的差异，亦容易造成重叠偏移而产生曝光接合不均(shot mura)等问题影响画质。这些都是影响像素电极开口率大小设计的主要因素之一。

因此，为减少寄生电容效应并达到高开口率的需求，现有技术利用不同的设计方式来加以解决，譬如用遮蔽电容(shielding Cs)，和在数据线 with 像素电极间加一层聚合物绝缘薄膜(polymer insulator film)。其中，多加一层聚合物绝缘薄膜的设计，虽可以减少寄生电容效应，并能让像素电极跨越数据线而达到高开口率，然而，影响聚合物绝缘薄膜减少寄生电容效应的参数，主要取决于所选聚合物绝缘薄膜的介电系数，以及聚合物绝缘薄膜的膜厚大小，亦即像素电极与数据线距离的大小。可是受限于聚合物绝缘薄膜材料开发，与其介电系数值和膜厚又可能受其它工艺步骤影响而改变，故仍会影响寄生电容被减少的能力。因此，像素电极与数据线重叠部分的大小差异，还是会造成 C_{pd} 与 C_{pd}' 的不平衡，而产生串扰或其它缺陷。

此外，为解决寄生电容所造成的效应，目前也有利用点反转(dot inversion)或直行反转(column inversion)等方式驱动的液晶面板，以使相邻数据线同时送出的信号正负极性相反，进而让 C_{pd} 与 C_{pd}' 相抵消。而且，若同时让像素电极跨越左右两边数据线上的面积固定，更可将 ΔC_{pd} 减到最小。

但是，虽然在光掩模的布局设计上，可以固定像素电极与数据线的重叠面积，如图 2 所示，图 2 为原始光掩模的像素电极与数据线重叠的示意图。

在原始的光掩模设计中,各像素电极20与左右两侧数据线26、28重叠的面积相等。然而在实际生产工艺上,原先的设计值却可能因为黄光工艺而产生不同对位层的偏移,而发生如图3所绘示的实际面板上像素电极30与左右数据线36、38的重叠面积变异的状况,造成像素电极30与左侧数据线36的重叠面积大于像素电极30与右侧数据线38的重叠面积,导致寄生电容的不平衡。

发明内容

本发明提供一种可以补偿像素电极与信号线之间的寄生电容的薄膜晶体管液晶显示器元件的结构与工艺,以解决现有寄生电容所造成的效应。

根据本发明的权利要求,其在原像素电极两侧各增加一补偿分支电极,以补偿像素电极因工艺偏移与数据线所产生的寄生电容,使像素电极与左右两边的数据线的寄生电容平衡。因此,在使用点反转驱动或直行反转驱动(相邻数据线正负极性相反)的情形下,可以平衡 C_{pd} 与 C_{pd}' 的效应,并同时减低串扰或其它因曝光接合处产生的不均 C_{pd} 、 C_{pd}' 不平衡所造成的均 C_{pd} 、 C_{pd}' 不平衡的现象。

由于本发明具有补偿像素电极的设计,故可有效解决因工艺偏差使数据线与像素电极重叠偏移,以及产生串扰或由于曝光接合处产生的不均等影响画质的问题。此外,本发明不限于直线型数据线的的设计,其亦可应用于锯齿状数据线的的设计,及以三角型(delta)排列像素设计的液晶显示器。

附图说明

图1所绘示为液晶面板寄生电容示意图。

图2所绘示为现有原始光掩模的像素电极与数据线重叠的示意图。

图3所绘示为现有实际面板的像素电极与左右数据线的重叠面积变异的示意图。

图4所绘示为本发明像素电极与数据线布局设计的示意图。

图5所绘示为本发明像素电极往左或右偏移时的补偿示意图。

图6所绘示为本发明像素电极与数据线布局设计的示意图。

图7所绘示为本发明像素电极往左或右偏移时的补偿示意图。

图8所绘示为本发明像素电极与数据线布局设计的示意图。

图9所绘示为本发明像素电极往左或右偏移时的补偿示意图。

图10所绘示为本发明像素电极与数据线布局设计的示意图。

图11所绘示为本发明像素电极与数据线布局设计的示意图。

图12所绘示为本发明像素电极往左或右偏移时的补偿示意图。

图13所绘示为本发明像素电极与数据线布局设计的示意图。

图14~17所绘示为本发明应用于锯齿状数据线与像素电极布局设计的示意图。

图18、19所绘示为本发明应用于三角型排列像素的数据线与像素电极布局设计的示意图。

简单符号说明

20、30、40、50、70、80、90、100、110、120、130、140、150: 像素电极;

42、52、72、82、95、102、112、122、132: 第一分支电极;

44、54、74、84、96、104、114、124、134: 第二分支电极;

26、36、46、56、76、86、97、146、156: 第一数据线;

28、38、48、58、78、88、98、148、158: 第二数据线;

91: 第一分支数据线;

92: 第二分支数据线;

93: 第三分支数据线;

94: 第四分支数据线;

106、116、126、136: 第一锯齿状数据线;

108、118、128、138: 第二锯齿状数据线;

141、151: 第一子像素电极;

142、152: 第二子像素电极;

143、153: 第三数据线;

具体实施方式

本发明利用在像素电极两侧各增加一补偿分支电极,以补偿像素电极因工艺偏移与数据线所产生的寄生电容,使像素电极与左右两边的数据线的寄生电容得以补偿平衡,其优选实施方式可概述如下:

实施例一:

请参考图 4, 图 4 为原始光掩模的像素电极与数据线布局设计的示意图。如图 4 所示, 像素电极 40 刚好切齐数据线 46、48, 亦即不与两侧的数据线 46、48 相重叠, 而补偿用的第一分支电极 42 及第二分支电极 44 分别配置在像素电极 40 相对于数据线 46、48 的另一侧, 且第一分支电极 42 及第二分支电极 44 与像素电极 40 电连接在一起。

请参考图 5, 图 5 为实际工艺的面板上像素电极 40 与左右数据线 46、48 的重叠面积变异的补偿示意图。如图 5 所示, 当因黄光工艺产生对位偏移等变异, 而使像素电极 40 往左偏移时, 会同时增加像素电极 40 与其左侧的第一数据线 46 重叠的面积 A(以下各图中重叠部分皆以斜线表示), 以及第二分支电极 44 与其左侧的第二数据线 48 重叠的面积 B, 而且两者增加的面积是一样的, 亦即 $A=B$ 。反之, 当像素电极 40 往右偏移时, 则会同时增加第一分支电极 42 与其右侧的第一数据线 46 重叠的面积 A, 以及像素电极 40 与其右侧的第二数据线 48 重叠的面积 B, 而且两者增加的面积亦是一样的, 亦即 $A=B$ 。因此补偿偏移重叠的面积相同。

实施例二:

请参考图 6, 图 6 为原始光掩模的像素电极与数据线布局设计的示意图。如图 6 所示, 像素电极 50、第一分支电极 52 及第二分支电极 54 分别与数据线 56、58 有重叠, 而且像素电极 50 与第一数据线 56 重叠的面积为 A' , 像素电极 50 与第二数据线 58 重叠的面积为 B, 第一分支电极 52 与第一数据线 56 重叠的面积为 A, 第二分支电极 54 与第二数据线 58 重叠的面积为 B' 。

请参考图 7, 图 7 为实际工艺的面板上像素电极 50 与左右数据线 56、58 的重叠面积变异的补偿示意图。如图 7 所示, 当因黄光工艺产生对位偏移等变异, 而使像素电极 50 往左偏移时, 会增加像素电极 50 与其左侧的第一数据线 56 重叠面积 A' 的大小, 以及第二分支电极 54 与其左侧的第二数据线 58 重叠面积 B' 的大小, 而且会同时减少第一分支电极 52 与其右侧的第一数据线 56 重叠面积 A 的大小, 以及像素电极 50 与其右侧的第二数据线 58 重叠面积 B 的大小; 反之, 像素电极 50 往右偏移时, 则会增加像素电极 50 与其右侧的第二数据线 58 重叠面积 B 的大小, 以及第一分支电极 52 与其右侧的第一数据线 56 重叠面积 A 的大小, 而且会同时减少第二分支电极 54 与其左侧的第二数据线 58 重叠面积 B' 的大小, 以及像素电极 50 与其左侧的第一数据线 56 重叠面积 A' 的大小。

然而, 不论像素电极 50 因曝光对位工艺向左或向右偏移, 在本实施例中, 第一分支电极 52 与第一数据线 56 重叠的面积加上像素电极 50 与第一数据线 56 重叠的面积可以等于像素电极 50 与第二数据线 58 重叠的面积加上第二分支电极 54 与第二数据线 58 重叠的面积, 亦即 $A+A'$ 面积可以等于 $B+B'$, 以使 ΔC_{pd} 减到最小。

实施例三:

请参考图 8, 图 8 为原始光掩模的像素电极与数据线布局设计的示意图。如图 8 所示, 像素电极 70 切齐第一数据线 76 的右侧, 而与像素电极 70 电连接的第二分支电极 74 则与第二数据线 78 的右侧相切齐。其中, 像素电极 70 与第二数据线 78 的重叠面积为 C, 而与像素电极 70 电连接的第一分支电极 72 与第一数据线 76 的重叠面积为 D, 且像素电极 70 与第二数据线 78 的重叠面积等于与像素电极 70 电连接的第一分支电极 72 与第一数据线 76 的重叠面积, 即 C 等于 D。

请参考图 9, 图 9 为实际工艺的面板上像素电极 70 与左右数据线 76、78 的重叠面积变异的补偿示意图。如图 9 所示, 当因黄光工艺产生对位偏移等变异, 而使像素电极 70 往左偏移时, 会使像素电极 70 与其左侧的第一数据线 76 形成一重叠面积 D' , 以及使第二分支电极 74 与其左侧的第二数据线 78 形成一重叠面积 C' , 而且会同时减少第一分支电极 72 与其右侧的第一数据线 76 重叠面积 D 的大小, 以及减少像素电极 70 与其右侧的第二数据线 78 重叠面积 C 的大小, 但 $C+C'$ 仍等于或接近 $D+D'$; 反之, 像素电极 70 往右偏移时, 则会增加像素电极 70 与其右侧的第二数据线 78 重叠面积 C 的大小, 以及第一分支电极 72 与其右侧的第一数据线 76 重叠面积 D 的大小, 而且重叠面积 C 的增加大小会等于重叠面积 D 的增加大小。

值得注意的是, 本实施例的原始光掩模所设计的重叠的区域可同时位于第一数据线 76 及第二数据线 78 的左侧, 如图 8 所示, 或同时位于第一数据线 76 及第二数据线 78 的右侧, 如图 10 所示。当像素电极 70 向左或向右偏移时, 数据线 76、78 与各电极 70、72、74 于左右两侧的总重叠面积都会相同。

实施例四:

请参考图 11, 图 11 为原始光掩模的像素电极与数据线布局设计的示意图。如图 11 所示, 像素电极 80 同时与第一数据线 86 左侧及第二数据线 88

右侧相切齐。其中，与像素电极 80 电连接的第一分支电极 82 与第一数据线 86 的重叠面积为 E，与像素电极 80 电连接的第二分支电极 84 与第二数据线 88 的重叠面积为 F，且与像素电极 80 电连接的第一分支电极 82 与第一数据线 86 的重叠面积等于与像素电极 80 电连接的第二分支电极 84 与第二数据线 88 的重叠面积，即 E 等于 F。

同样地，如图 12 所示，当因黄光工艺产生对位偏移等变异，而使像素电极 80 向左或向右偏移时，数据线 86、88 与各电极 80、82、84 于左右两侧的总重叠面积都会相同。

实施例五：

本发明的补偿偏移所造成的 Cpd 设计，亦可以应用在数据线的部份分段，而这些分段可以由分支数据线来达到。如图 13 所示，第一分支数据线 91 及第二分支数据线 92 电连接而成第一数据线 97，第三分支数据线 93 及第四分支数据线 94 电连接而成第二数据线 98。而且像素电极 90 同时切齐分支数据线 92 及分支数据线 93，第一分支电极 95 切齐分支数据线 92，第二分支电极 96 切齐分支数据线 93。当像素电极 90 向左或向右偏移时，分支数据线 92、93 与各电极 90、92、94 于左右两侧的总重叠面积都会相同。此外，其它分支数据线与像素电极及分支电极的重叠情况类似实施例一至四，在此不多加赘述。本发明补偿偏移所造成的 Cpd 设计不限于直线型数据线的的设计，亦可应用于锯齿状（zigzag）数据线的的设计，实施方式如下所述。

实施例六：

如图 14 所示，像素电极 100 部份切齐第一锯齿状数据线 106 及第二锯齿状数据线 108，与像素电极 100 电连接的第一分支电极 102 切齐第一数据线 106，而与像素电极 100 电连接的第二分支电极 104 切齐第二数据线 108。当因黄光工艺产生对位偏移等变异，而使当像素电极 100 向左或向右偏移时，数据线 106、108 与各电极 100、102、104 于左右两侧的总重叠面积都会相同。实施例七：

图 15 所示为锯齿状数据线的另一补偿偏移所造成的 Cpd 设计。像素电极 110 与第一锯齿状数据线 116 的重叠面积为 G'，像素电极 110 与第二锯齿状数据线 118 的重叠面积为 H，与像素电极 110 电连接的第一分支电极 112 与第一锯齿状数据线 116 的重叠面积为 G，与像素电极 110 电连接的第二分支电极 114 与第二锯齿状数据线 118 的重叠面积为 H'，且与像素电极 110

电连接的第一分支电极 112 与第一锯齿状数据线 116 的重叠面积加上像素电极 110 与第一锯齿状数据线 116 的重叠面积等于像素电极 110 与第二锯齿状数据线 118 的重叠面积加上与像素电极 110 电连接的第二分支电极 114 与第二锯齿状数据线 118 的重叠面积，亦即 $G + G'$ 等于 $H + H'$ 。当因黄光工艺产生对位偏移等变异，而使当像素电极 110 向左或向右偏移时，数据线 116、118 与各电极 110、112、114 于左右两侧的总重叠面积都会相同。

实施例八：

图 16 所示为锯齿状数据线的另一补偿偏移所造成的 Cpd 设计。像素电极 120 与第一锯齿状数据线 126 切齐，与像素电极 120 电连接的第二分支电极 124 与第二锯齿状数据线 128 切齐。其中，像素电极 120 与第二锯齿状数据线 128 的重叠面积为 C' ，与像素电极 120 电连接的第一分支电极 122 与第一锯齿状数据线 126 的重叠面积为 D' ，且像素电极 120 与第二锯齿状数据线 128 的重叠面积等于与像素电极 120 电连接的第一分支电极 122 与第一锯齿状数据线 126 的重叠面积，即 C' 等于 D' 。此外，本实施例所设计的重叠的区域亦可同时位于第一锯齿状数据线 126 及第二锯齿状数据线 128 的左侧，或同时位于第一锯齿状数据线 126 及第二锯齿状数据线 128 的右侧。当因黄光工艺产生对位偏移等变异，而使当像素电极 120 向左或向右偏移时，数据线 126、128 与各电极 120、122、124 于左右两侧的总重叠面积会相同。

实施例九：

图 17 所示为锯齿状数据线的另一补偿偏移所造成的 Cpd 设计。像素电极 130 同时与第一锯齿状数据线 136 及第二锯齿状数据线 138 部份切齐。其中，与像素电极电连接的第一分支电极 132 与第一锯齿状数据线 136 的重叠面积为 E' ，与像素电极 130 电连接的第二分支电极 134 与第二锯齿状数据线 138 的重叠面积为 F' ，且与像素电极 130 电连接的第一分支电极 132 与第一锯齿状数据线 136 的重叠面积等于与像素电极 130 电连接的第二分支电极 134 与第二锯齿状数据线 138 的重叠面积，即 E' 等于 F' 。当因黄光工艺产生对位偏移等变异，而使当像素电极 130 向左或向右偏移时，数据线 136、138 与各电极 130、132、134 于左右两侧的总重叠面积都会相同。

与上述应用于一般像素排列设计的补偿方式比较，本发明补偿偏移所造成的 Cpd 设计，亦可应用于以三角型排列像素的设计，而不限于一般阵列式像素排列设计的补偿方式，实施方式如下所述。

实施例十：

如图 18 所示。像素电极 140 由彼此电连接的第一子像素电极 141 及第二子像素电极 142 组成。其中，第一子像素电极 141 与第一数据线 146 重叠的面积为 M ，第一子像素电极 141 与第二数据线 148 重叠的面积为 N ，第二子像素电极 142 与第二数据线 148 重叠的面积为 O ，第二子像素电极 142 与第三数据线 143 重叠的面积为 P ，而且第一子像素电极 141 与第一数据线 146 重叠的面积加上第二子像素电极 142 与第三数据线 143 重叠的面积等于第一子像素电极 141 与第二数据线 148 重叠的面积加上第二子像素电极 142 与第二数据线 148 重叠的面积，即 $M + P$ 等于 $N + O$ 时可以使 ΔC_{pd} 减到最小。当因黄光工艺产生对位偏移等变异，而使当像素电极 140 向左或向右偏移时，数据线 146、148、143 与各电极 141、142 于左右两侧的总重叠面积会相同。

实施例十一：

图 19 所示为以三角型排列像素的补偿另一种方式。像素电极 150 由彼此电连接的第一子像素电极 151 及第二子像素电极 152 组成。其中，第一子像素电极 151 与第一数据线 156 重叠的面积为 M' ，第一子像素电极 151 与第二数据线 158 重叠的面积为 N' ，第二子像素电极 152 与第二数据线 158 重叠的面积为 O' ，第二子像素电极 152 与第三数据线 153 重叠的面积为 P' ，而且第一子像素电极 151 与第二数据线 158 重叠的面积加上第二子像素电极 152 与第二数据线 158 重叠的面积等于像素电极 150 与第二数据线 158 重叠的面积且等于第一子像素电极 151 与第一数据线 156 重叠的面积加上第二子像素电极 152 与第三数据线 153 重叠的面积，即 $N' + O'$ 等于像素电极 150 与第二数据线 158 重叠的面积且等于 $M' + P'$ 时，可以使 ΔC_{pd} 减到最小。当像素电极 150 向左或向右偏移，数据线 156、158、153 与各电极 151、152 于左右两侧的总重叠面积都会相同。

以上所述皆为本发明利用补偿分支电极的设计，以补偿像素电极因工艺偏移与数据线所产生的寄生电容，使像素电极与左右两边的数据线的寄生电容平衡。

以上所述仅为本发明的优选实施例，凡依本发明权利要求所做的等同变化与修饰，皆应属本发明的涵盖范围。

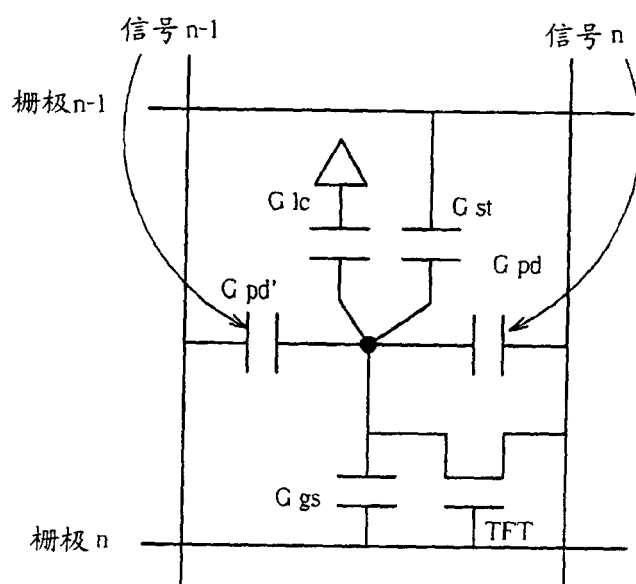


图 1

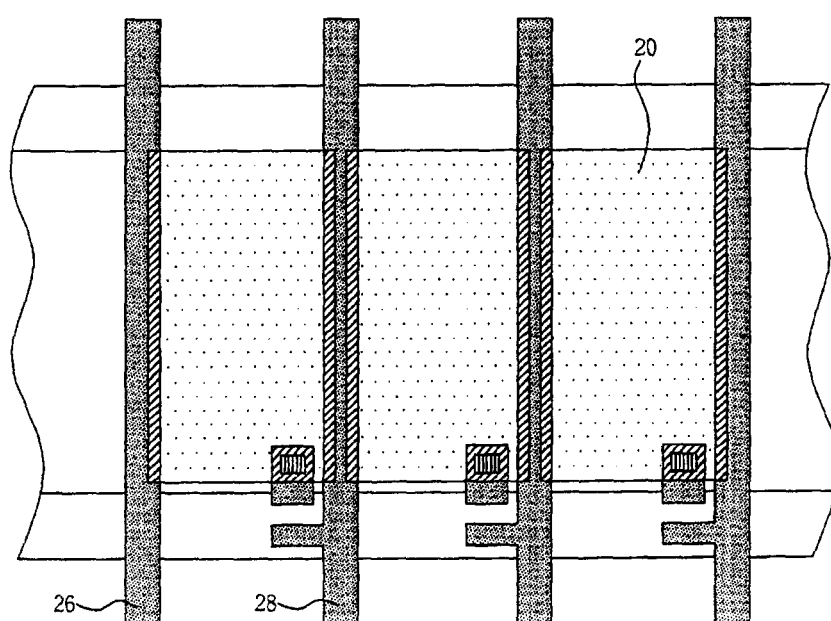


图 2

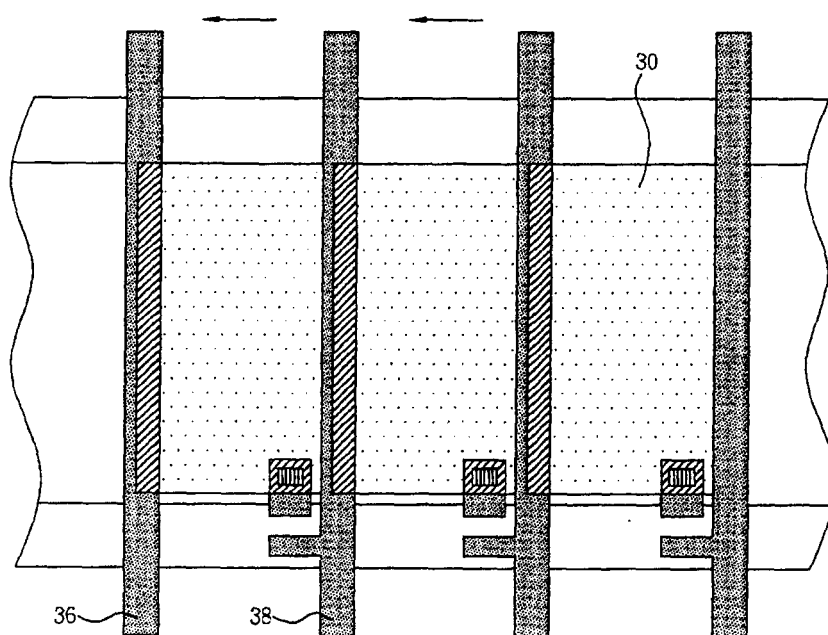


图 3

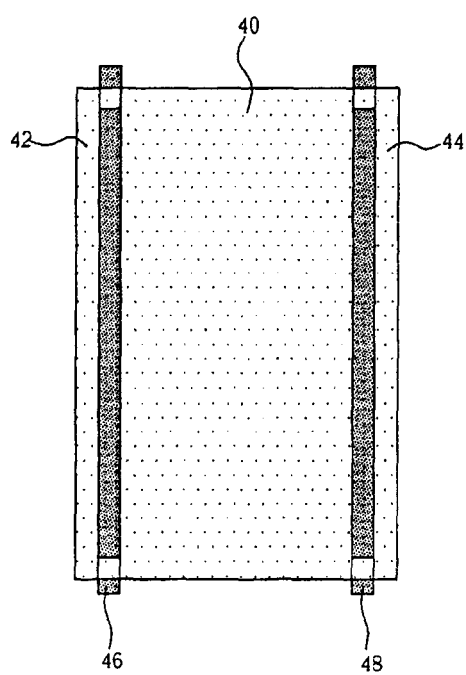


图 4

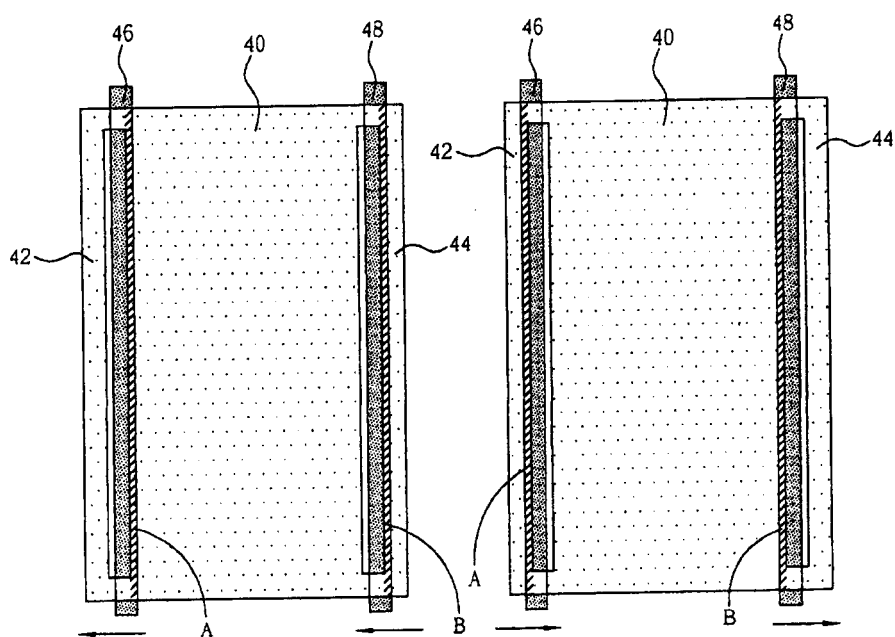


图 5

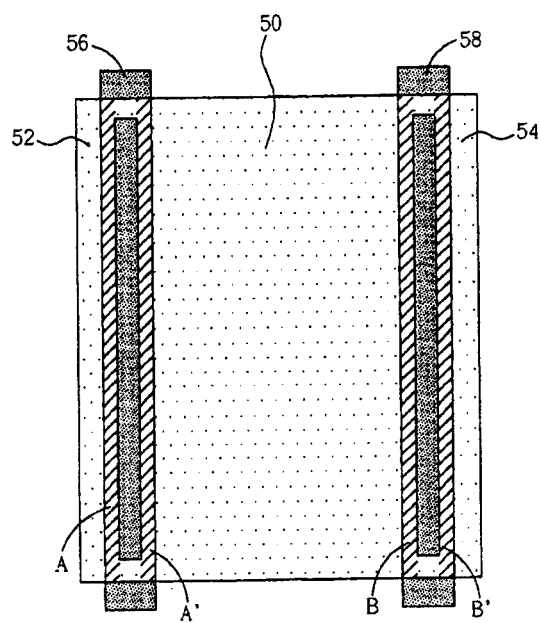


图 6

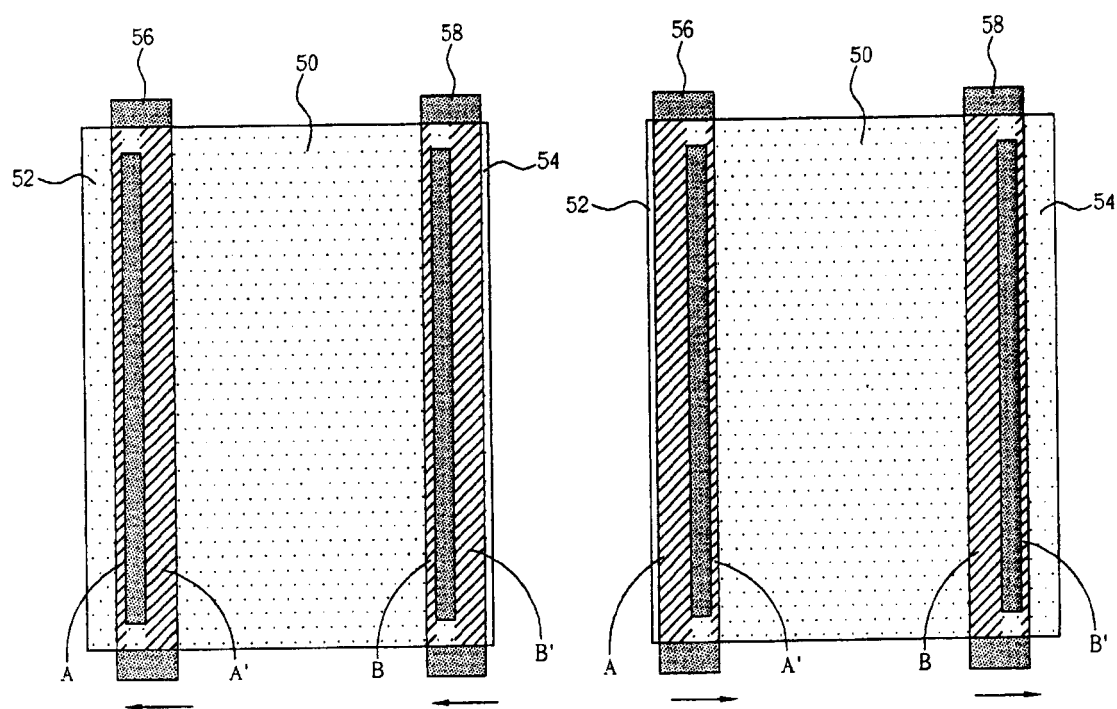


图 7

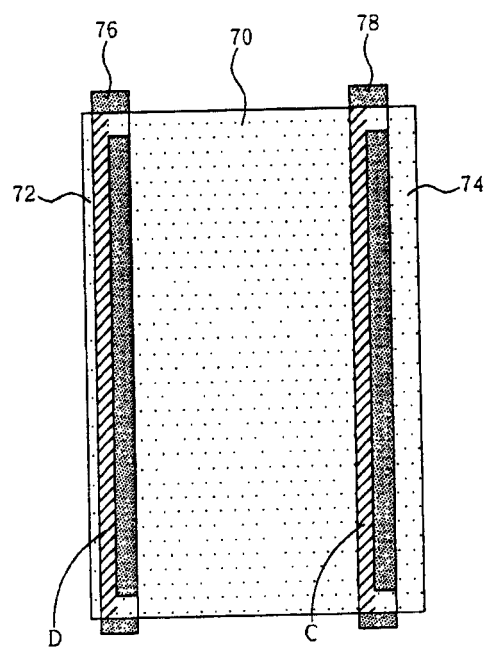


图 8

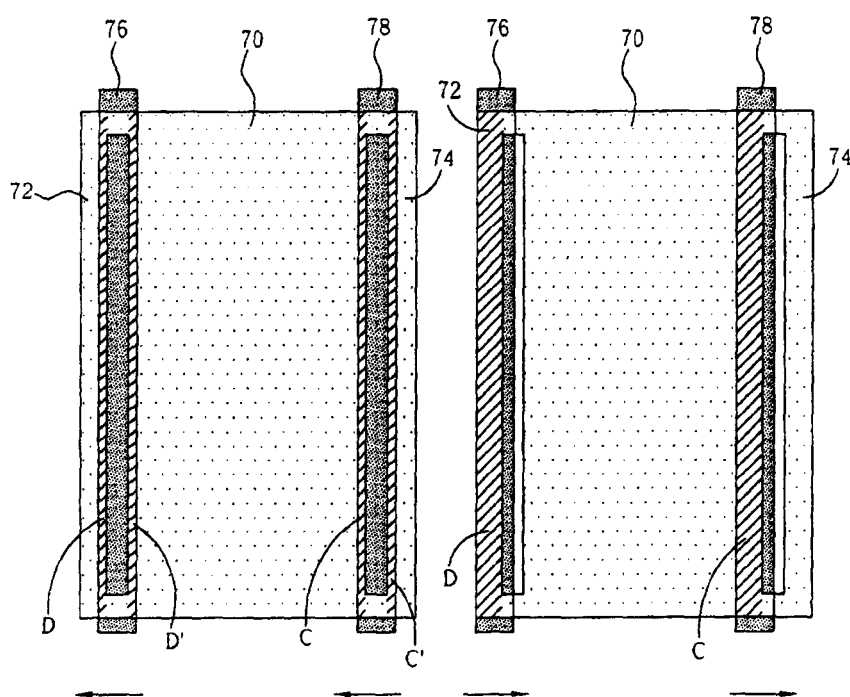


图 9

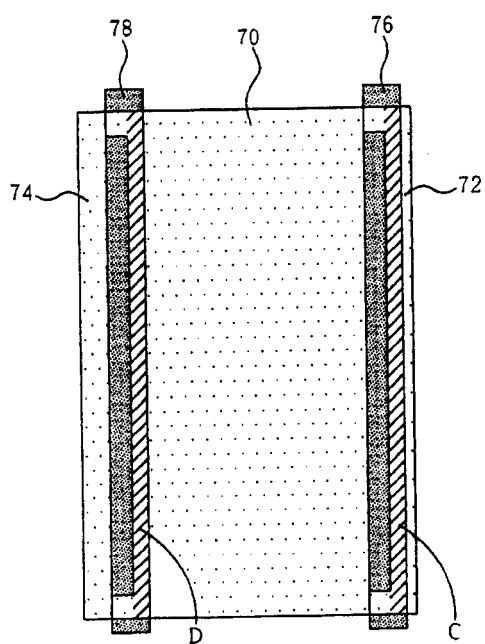


图 10

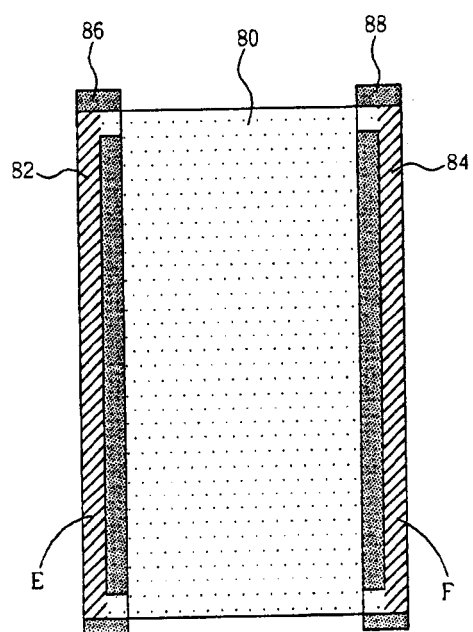


图 11

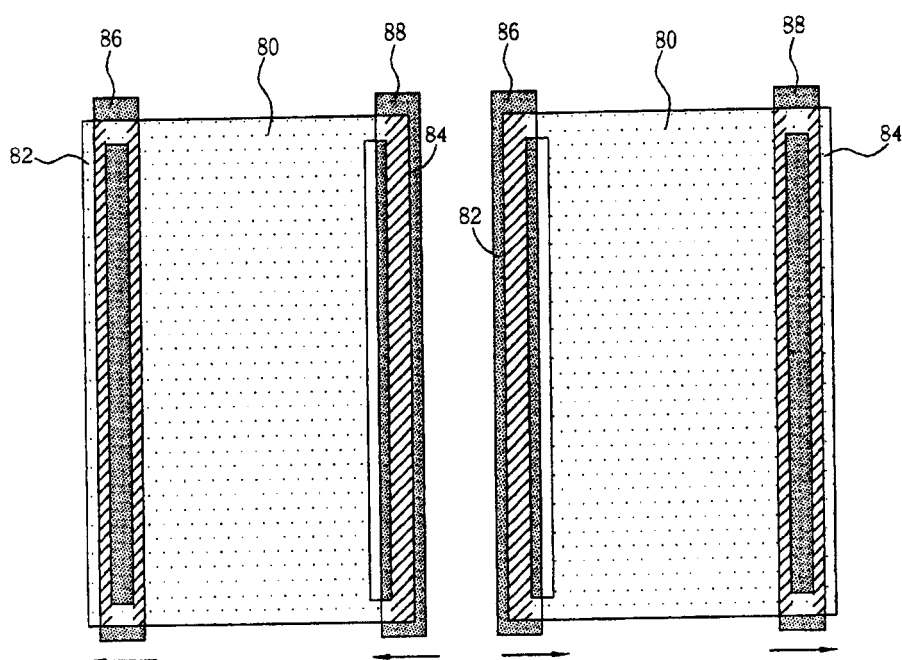


图 12

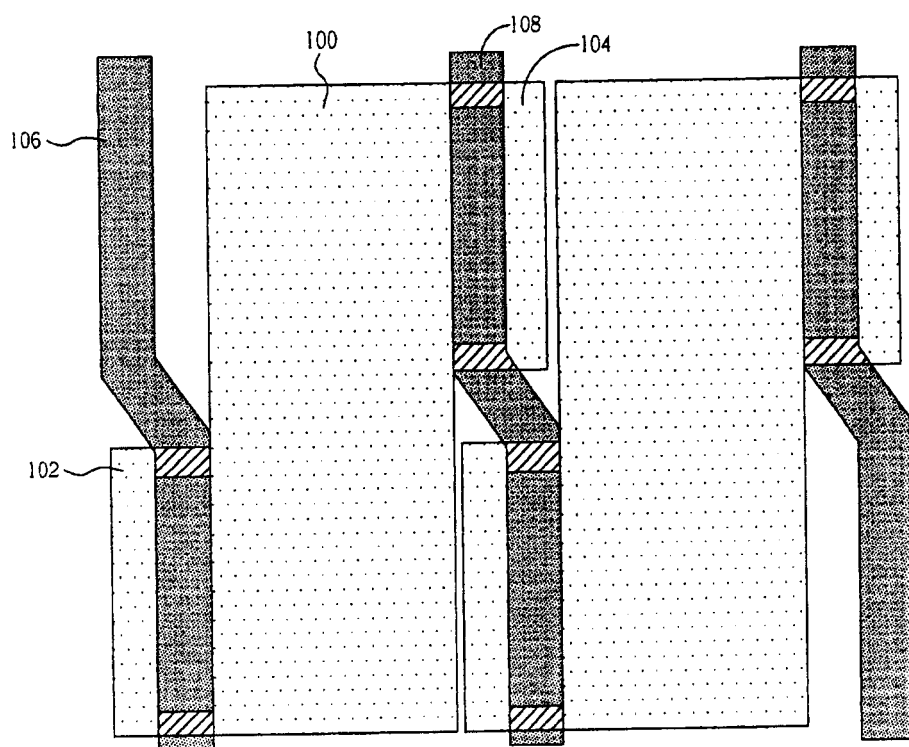


图 14

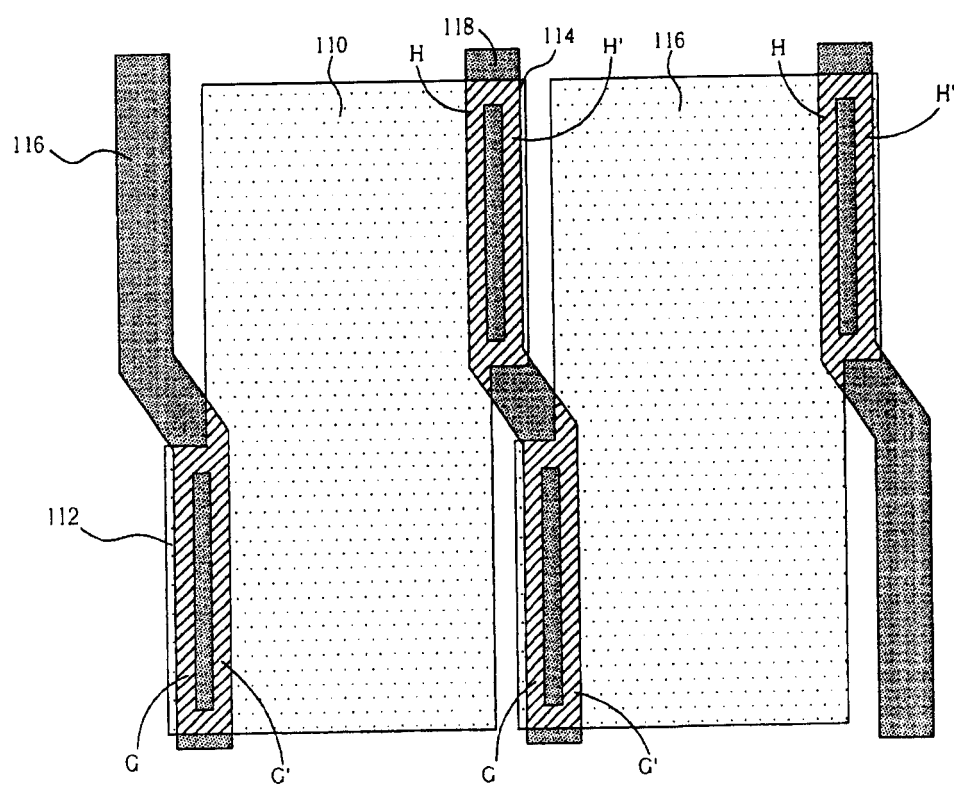


图 15

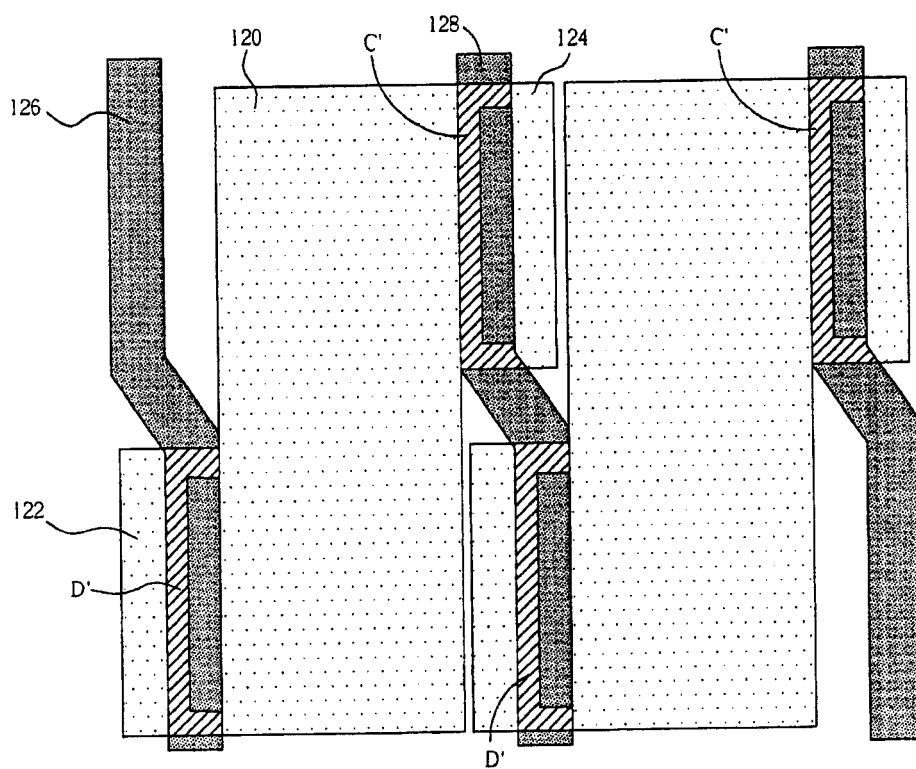


图 16

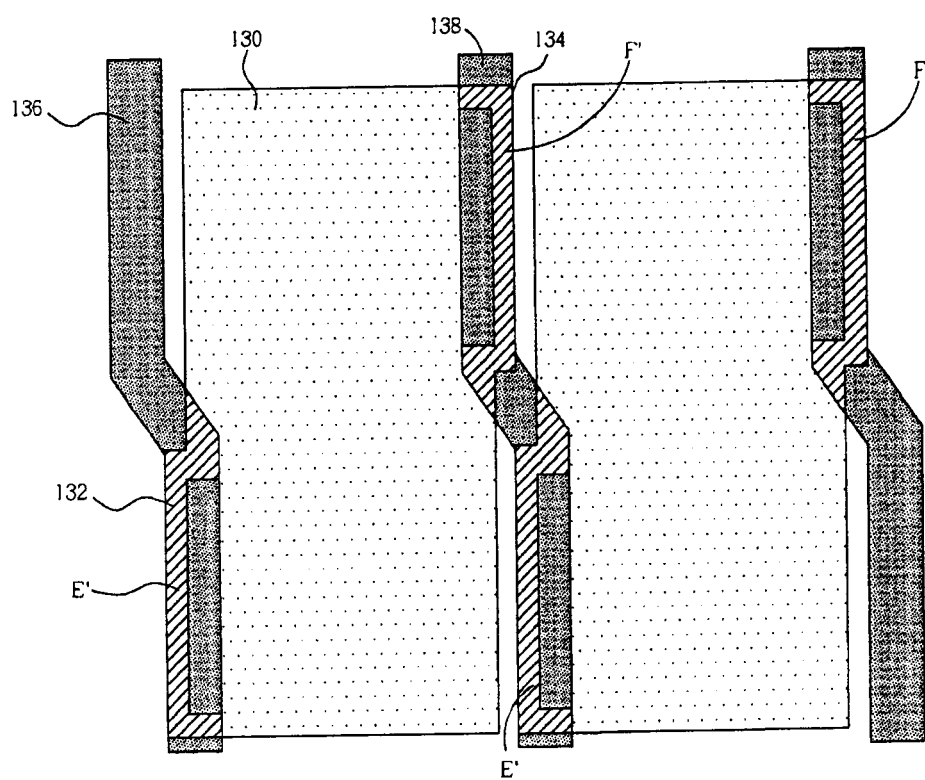


图 17

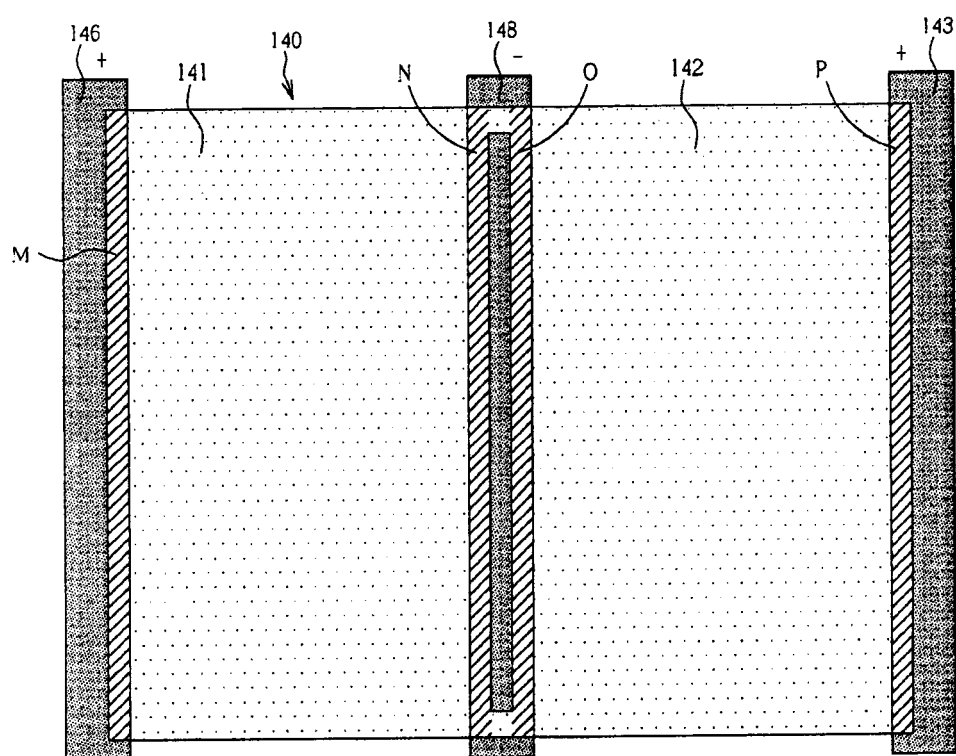


图 18

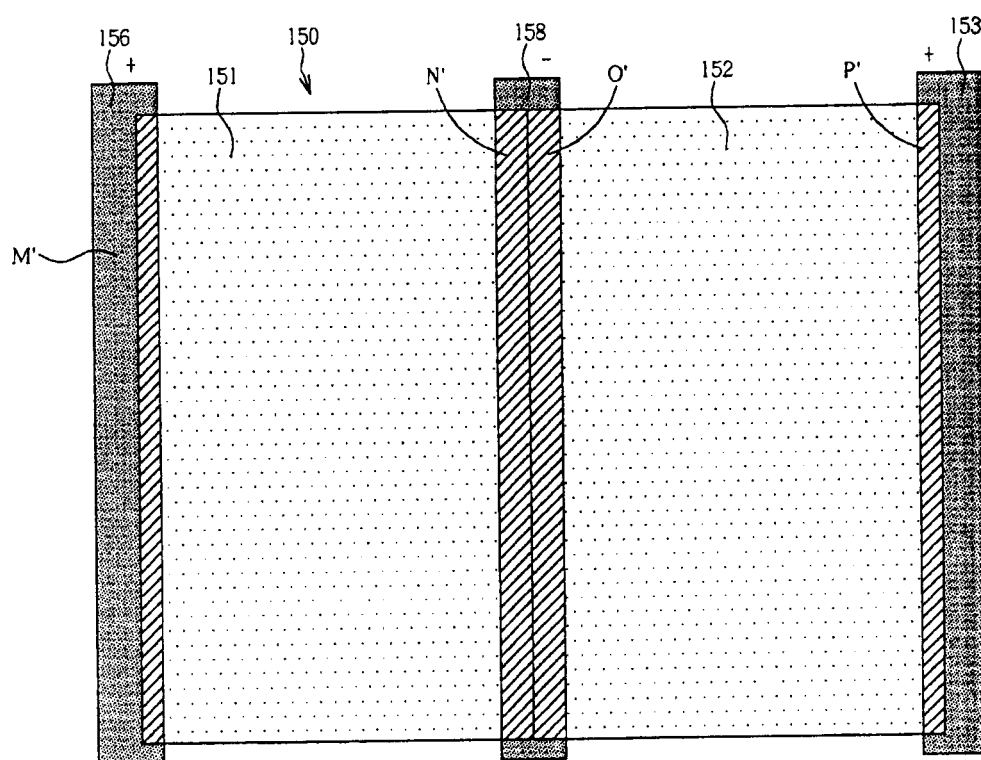


图 19

专利名称(译)	液晶显示器		
公开(公告)号	CN1834761A	公开(公告)日	2006-09-20
申请号	CN200610074664.8	申请日	2006-04-21
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	林祥麟		
发明人	林祥麟		
IPC分类号	G02F1/136 G02F1/133		
代理人(译)	侯宇		
其他公开文献	CN100399176C		
外部链接	Espacenet SIPO		

摘要(译)

本发明在有源式矩阵液晶显示器的像素电极两侧各增加一补偿分支电极，由此补偿像素电极因工艺偏移与数据线所产生的寄生电容，使像素电极与左右两边的数据线的寄生电容平衡。而在使用点反转驱动或直行反转驱动的情形下，又能平衡寄生电容的效应，同时减低串扰或其它因曝光接合处产生的不均所造成的寄生电容不平衡。

