



## (12) 发明专利申请

(10) 申请公布号 CN 102466919 A

(43) 申请公布日 2012. 05. 23

(21) 申请号 201010532015. 4

(22) 申请日 2010. 10. 29

(71) 申请人 京东方科技集团股份有限公司

地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 金熙哲

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 刘芳

(51) Int. Cl.

G02F 1/13363 (2006. 01)

G02F 1/1335 (2006. 01)

G02F 1/1333 (2006. 01)

G02B 27/26 (2006. 01)

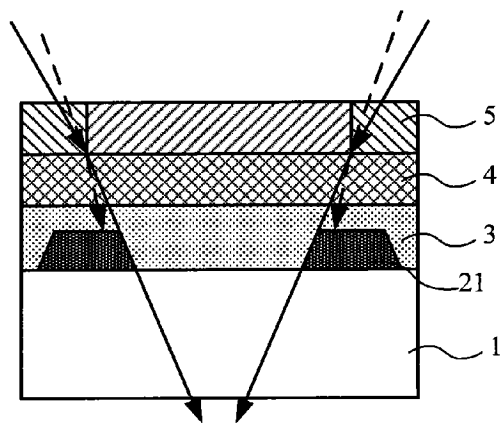
权利要求书 1 页 说明书 4 页 附图 4 页

### (54) 发明名称

彩膜基板及其制造方法和 3D 液晶显示器

### (57) 摘要

本发明公开了一种彩膜基板及其制造方法和 3D 液晶显示器。该彩膜基板包括衬底基板, 其中: 衬底基板背离阵列基板的一侧设置有图案相位差膜, 图案相位差膜中的各相位延迟器分别与像素单元对应; 在衬底基板和图案相位差膜之间设置有第一黑矩阵, 且各第一黑矩阵对应于各块相位延迟器之间的邻接处。本发明提供的彩膜基板及其制造方法和 3D 液晶显示器, 通过在衬底基板邻近于图案相位差膜的一侧设置黑矩阵, 缩小了图案相位差膜与黑矩阵之间的距离, 使得脱离黑矩阵的阻挡而射入相邻像素单元对应的相位延迟器的光线角度减小, 即相邻像素单元之间发生的图像串扰现象减少, 增大了可视角度范围。



1. 一种彩膜基板,包括衬底基板,其特征在于:

所述衬底基板背离阵列基板的一侧设置有图案相位差膜,所述图案相位差膜中的各相位延迟器分别与像素单元对应;

在所述衬底基板和图案相位差膜之间设置有第一黑矩阵,且各第一黑矩阵对应于各块相位延迟器之间的邻接处。

2. 根据权利要求1所述的彩膜基板,其特征在于:所述衬底基板朝向阵列基板的一侧还设置有第二黑矩阵。

3. 根据权利要求2所述的彩膜基板,其特征在于:各所述第二黑矩阵与各所述第一黑矩阵正对设置。

4. 根据权利要求1~3任一所述的彩膜基板,其特征在于:所述第一黑矩阵与所述相位延迟器之间的距离为0.1mm~0.2mm。

5. 一种彩膜基板的制造方法,其特征在于,包括:

在衬底基板背离阵列基板的第一侧形成第一黑矩阵的图案;

在形成第一黑矩阵的衬底基板的第一侧形成图案相位差膜,所述图案相位差膜中的各相位延迟器分别与像素单元对应,且各第一黑矩阵对应于各块相位延迟器之间的邻接处。

6. 根据权利要求5所述的彩膜基板的制造方法,其特征在于,还包括:

在所述衬底基板与第一侧背对的第二侧形成第二黑矩阵的图案。

7. 根据权利要求6所述的彩膜基板的制造方法,其特征在于:在形成所述第二黑矩阵的图案之后形成所述第一黑矩阵,则在衬底基板上形成第一黑矩阵的图案具体包括:

在所述衬底基板的第一侧形成黑矩阵膜层;

从所述衬底基板的第二侧照射所述彩膜基板,对所述黑矩阵膜层进行曝光;

对曝光后的黑矩阵膜层进行显影刻蚀,形成包括第一黑矩阵的图案。

8. 一种3D液晶显示器,包括外框架和液晶面板,其特征在于:所述液晶面板包括对盒设置的阵列基板和权利要求1~4任一所述的彩膜基板,其间填充液晶层。

## 彩膜基板及其制造方法和 3D 液晶显示器

### 技术领域

[0001] 本发明涉及液晶显示技术,尤其涉及一种彩膜基板及其制造方法和 3D 液晶显示器。

### 背景技术

[0002] 液晶显示器是目前常用的平板显示器,其中薄膜晶体管液晶显示器 (ThinFilm Transistor Liquid Crystal Display,简称 TFT-LCD) 是液晶显示器中的主流产品。目前三维 (3D) 显示是 LCD 的重要发展趋势,其实现原理有多种,其中一种是通过设置图案相位差膜 (Patterned Retarder Film) 来实现 3D 显示的。

[0003] 液晶显示器的液晶面板包括对盒设置的阵列基板和彩膜基板,其间填充液晶层,在液晶面板的两侧设置有偏光片,利用液晶分子的旋光特性来呈现图像。为实现 3D 显示,可将图案相位差膜中的各相位延迟器分别对应于各个像素单元来设置。相位延迟器可分为左眼延迟器和右眼延迟器,两种延迟器具有不同的偏光特性,将两种延迟器间隔地对应于不同像素单元设置,再结合偏光眼镜的使用,使得左眼的偏光镜片只能通过左眼延迟器看到部分像素单元呈现的图像,而右眼偏光镜片只能通过右眼延迟器看到剩余部分像素单元呈现的图像,两种图像结合可在人脑中产生立体图像,如图 1 所示为现有 3D 成像的原理示意图。

[0004] 然而,现有采用图案相位差膜的 3D 显示方案存在视角狭窄的缺陷。如图 2 所示为现有 3D 液晶显示器中彩膜基板的局部侧视剖切结构示意图,对应的是一个像素单元的部分。在彩膜基板的衬底基板 1 朝向阵列基板的一侧设置有彩膜树脂 (图中未示) 和黑矩阵 2,彩膜树脂对应像素单元,黑矩阵 2 遮挡在各个像素单元之间的位置。在衬底基板 1 背离阵列基板的另一侧通过粘结层 3 粘结有偏光片 4 和图案相位差膜 5。图案相位差膜 5 的各相位延迟器是与像素单元对应的矩阵形式排列的块状图案,左眼延迟器和右眼延迟器相邻接。图 2 中箭头所示为视线角度,也对应着出射光线的反向路径,由图 2 可知,从像素单元透过的光线,一部分被黑矩阵 2 阻挡,一部分经过彩膜树脂射出。但是,由于图案相位差膜 5 与黑矩阵 2 之间有粘结层 3、偏光片 4 等,间距一般可达 0.5mm-0.7mm,导致部分倾斜角较大的光线会脱离该像素单元对应的相位延迟器的范围,造成串扰。或者说,能正常显示的视角一般只在液晶面板表面垂线偏离  $2^{\circ}$  -  $8^{\circ}$  的角度范围内,过大的倾斜角度,一般超过  $10^{\circ}$  将不能看到正常显示的 3D 图像。

### 发明内容

[0005] 本发明提供一种彩膜基板及其制造方法和 3D 液晶显示器,以改善 3D 显示成像效果,增大视角。

[0006] 本发明提供一种彩膜基板,包括衬底基板,其中:

[0007] 所述衬底基板背离阵列基板的一侧设置有图案相位差膜,所述图案相位差膜中的各相位延迟器分别与像素单元对应;

[0008] 在所述衬底基板和图案相位差膜之间设置有第一黑矩阵,且各第一黑矩阵对应于各块相位延迟器之间的邻接处。

[0009] 本发明还提供了一种彩膜基板的制造方法,其中,包括:

[0010] 在衬底基板背离阵列基板的第一侧形成第一黑矩阵的图案;

[0011] 在形成第一黑矩阵的衬底基板的第一侧形成图案相位差膜,所述图案相位差膜中的各相位延迟器分别与像素单元对应,且各第一黑矩阵对应于各块相位延迟器之间的邻接处。

[0012] 本发明还提供了一种 3D 液晶显示器,包括外框架和液晶面板,其中:所述液晶面板包括对盒设置的阵列基板和本发明所提供的彩膜基板,其间填充液晶层。

[0013] 本发明提供的彩膜基板及其制造方法和 3D 液晶显示器,通过在衬底基板邻近于图案相位差膜的一侧设置黑矩阵,缩小了图案相位差膜与黑矩阵之间的距离,使得脱离黑矩阵的阻挡而射入相邻像素单元对应的相位延迟器的光线角度减小,即相邻像素单元之间发生的图像串扰现象减少,增大了可视角度范围。

## 附图说明

[0014] 图 1 为现有 3D 液晶显示器成像原理示意图;

[0015] 图 2 为现有 3D 液晶显示器中彩膜基板的局部侧视剖切结构示意图;

[0016] 图 3 为本发明实施例一提供的彩膜基板的结构示意图;

[0017] 图 4 为本发明实施例二提供的彩膜基板的结构示意图;

[0018] 图 5 为本发明实施例二中彩膜基板的光线原理示意图;

[0019] 图 6 为本发明实施例三提供的彩膜基板的制造方法的流程图;

[0020] 图 7 为本发明实施例四提供的彩膜基板的制造方法的流程图;

[0021] 图 8-10 为本发明实施例四所制造彩膜基板过程中的结构示意图。

[0022] 附图标记:

[0023] 1- 衬底基板; 2- 黑矩阵; 21- 第一黑矩阵;

[0024] 22- 第二黑矩阵; 23- 黑矩阵膜层; 3- 粘结层;

[0025] 4- 偏光片; 5- 图案相位差膜; 10- 阵列基板。

## 具体实施方式

[0026] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0027] 实施例一

[0028] 图 3 为本发明实施例一提供的彩膜基板的结构示意图,该彩膜基板包括衬底基板 1,衬底基板 1 背离阵列基板的一侧设置有图案相位差膜 5,图案相位差膜 5 由多块阵列形式排列的相位延迟器组成。图案相位差膜 5 中的各相位延迟器分别与像素单元对应,以分别呈现左眼图像和右眼图像;在衬底基板 1 和图案相位差膜 5 之间设置有第一黑矩阵 21,且各第一黑矩阵 21 对应于各块相位延迟器之间的邻接处。

[0029] 本实施例的技术方案适用于采用图案相位差膜 5 实现三维显示的液晶显示器。如图 3 所示,第一黑矩阵 21 设置在衬底基板 1 的外侧,与图案相位差膜 5 同侧设置,即相对于黑矩阵与图案相位差膜 5 异侧设置的技术方案而言,使黑矩阵和图案相位差膜 5 的距离接近。通常情况下,图案相位差膜 5 与衬底基板 1 之间还设置有偏光片 4 和压敏粘结层 3 等其他膜层结构,黑矩阵 2 可直接形成在衬底基板 1 上,也可以形成在其他膜层之上。

[0030] 本实施例的技术方案可改善显示器的视角范围,具体原因如下:在图 2 和图 3 中,相位延迟器的实际边界与黑矩阵的边界不一致,上述情况下像素单元所呈现图像的光线会由相邻像素单元的相位延迟器射出,即在 3D 显示时会产生图像的串扰 (Crosstalk)。黑矩阵可以遮挡一部分角度的发生串扰的光线。将图 3 与图 2 中示出的视线通过路径进行比较,以观看者的视线为例,同样的小角度视线,在图 2 中会进入到彩膜基板内,即在两个像素单元之间会发生串扰,而在图 3 中的小角度视线则会被近距离处的黑矩阵遮挡。所以图 3 中从相邻像素单元的相位延迟器射出彩膜基板而发生串扰的光线角度增大,也就是出现串扰的入射角增大,换言之,在该入射角的范围内都可以正常观看图像,而不会发生串扰。因此,本发明实施例改进后的彩膜基板可有效增大显示器的视角范围。

[0031] 由于第一黑矩阵与相位延迟器在沿垂直于衬底基板表面方向上存在距离差,必然导致有一定的串扰存在,但是通过缩小该距离,可以显著改善视角范围。现有技术分别设置在衬底基板两侧的黑矩阵和相位延迟器之间的距离可达 0.5-0.7mm,则视角正面偏离  $10^{\circ}$  以上时就会发生串扰。优选的是,本实施例中设置第一黑矩阵与相位延迟器之间的距离为 0.1mm-0.2mm,以实现较佳的视角范围,即使视角偏差  $10^{\circ}$  以上也不会发生串扰。

#### [0032] 实施例二

[0033] 图 4 为本发明实施例二提供的彩膜基板的结构示意图,该示意图中还示出了阵列基板 10。本实施例可以实施例一为基础,区别在于:衬底基板 1 朝向阵列基板 10 的一侧还设置有第二黑矩阵 22,也即第二黑矩阵 22 设置在衬底基板 1 朝向阵列基板 10 的内侧,阵列基板 10 和彩膜基板之间填充有液晶层(图中未示)。

[0034] 本实施例的技术方案,可以通过第一黑矩阵 21 和第二黑矩阵 22 共同实现遮挡相邻像素单元光线的作用,如图 5 所示,第一黑矩阵 21 和第二黑矩阵 22 的设置,使得黑矩阵可连续遮挡光线的幅度变宽。

[0035] 在上述技术方案的基础上,优选的是各第二黑矩阵 22 与各第一黑矩阵 21 正对设置,则第二黑矩阵 22 不仅可以起到遮光的作用,而且还能用于制备第一黑矩阵 21。具体制备工艺是:首先制备第二黑矩阵 22 的图案,而后在衬底基板 1 另一侧形成黑矩阵膜层,以第二黑矩阵 22 为掩模板,从第二黑矩阵 22 侧进行光照,对黑矩阵膜层进行曝光显影,则可制备形成与第二黑矩阵 22 图案相对应的第一黑矩阵 21 图案,该技术方案可减少一次掩模板的使用,从而降低工艺设备成本。并且,第一黑矩阵 21 与第二黑矩阵 22 图案完全正对,也不会影响液晶显示器像素单元的开口率。

#### [0036] 实施例三

[0037] 图 6 为本发明实施例三提供的彩膜基板的制造方法的流程图,该方法包括如下步骤:

[0038] 步骤 610、在衬底基板背离阵列基板的第一侧形成第一黑矩阵的图案;

[0039] 步骤 620、在形成第一黑矩阵的衬底基板的第一侧形成图案相位差膜,图案相位差

膜中的各相位延迟器分别与像素单元对应,且各第一黑矩阵对应于各块相位延迟器之间的邻接处。

[0040] 本实施例的技术方案可用于制备本发明所提供的彩膜基板,能够通过拉近黑矩阵与相位延迟器的距离来改善显示器的视角。

[0041] 实施例四

[0042] 图 7 为本发明实施例四提供的彩膜基板的制造方法的流程图,该方法可在实施例三的基础上,进一步在衬底基板与第一侧背对的第二侧形成第二黑矩阵的图案。第一黑矩阵和第二黑矩阵的制备先后顺序不限,但优选可以利用先制备的黑矩阵作为后制备的黑矩阵的掩模板。例如,在形成第二黑矩阵的图案之后形成第一黑矩阵,则该制造方法包括如下步骤:

[0043] 步骤 710、在衬底基板 1 与第一侧背对的第二侧形成第二黑矩阵 22 的图案,如图 8 所示;

[0044] 步骤 720、在衬底基板 1 的第一侧形成黑矩阵膜层 23;

[0045] 步骤 730、从衬底基板 1 的第二侧照射彩膜基板,对黑矩阵膜层 23 进行曝光,该曝光以第二黑矩阵 22 作为掩模板进行曝光,如图 9 所示;具体应用中,可选用适当的正性树脂材料来制备第一黑矩阵 21,以紫外线进行曝光。

[0046] 步骤 740、对曝光后的黑矩阵膜层 23 进行显影刻蚀,形成包括第一黑矩阵 21 的图案,如图 10 所示;

[0047] 步骤 750、在形成第一黑矩阵 21 的衬底基板 1 的第一侧形成图案相位差膜 5,图案相位差膜 5 中的各相位延迟器分别与像素单元对应,且各第一黑矩阵 21 对应于各块相位延迟器之间的邻接处,可参考图 4 所示。当然,在本步骤中,还可以在形成第一黑矩阵 21 之前或之后形成其他所需的膜层,例如在形成第一黑矩阵 21 之后通过压敏粘结层 3 贴附偏光片 4,而后再在偏光片 4 上形成图案相位差膜 5。

[0048] 上述技术方案可以保证第一黑矩阵与第二黑矩阵图案的完全正对,不会影响液晶显示器像素单元的开口率。

[0049] 本发明实施例还提供了一种 3D 液晶显示器,包括外框架和液晶面板,该液晶面板包括对盒设置的阵列基板和本发明任意实施例所提供的彩膜基板,彩膜基板和阵列基板之间填充液晶层,液晶面板固定在外框架之内。

[0050] 本发明实施例所提供的 3D 液晶显示器使用图案相位差膜,通过改变黑矩阵的位置,减少了彩膜基板上黑矩阵与图案相位差膜之间的漏光,解决了因视差而引起的问题。此外,在非正面的上下角度、或左右角度观看图像时,因光的线路是倾斜的,还可改善串扰以外的 3D 水波纹、立体幻视 (pseudoscopic) 等问题。高精确度的 3D 显示结构除使用图案相位差膜技术以外,还可以采用其他结构,例如利用 BLU 驱动的 3D 显示等结构中也能有很好的 3D 效果。

[0051] 最后应说明的是:以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围。

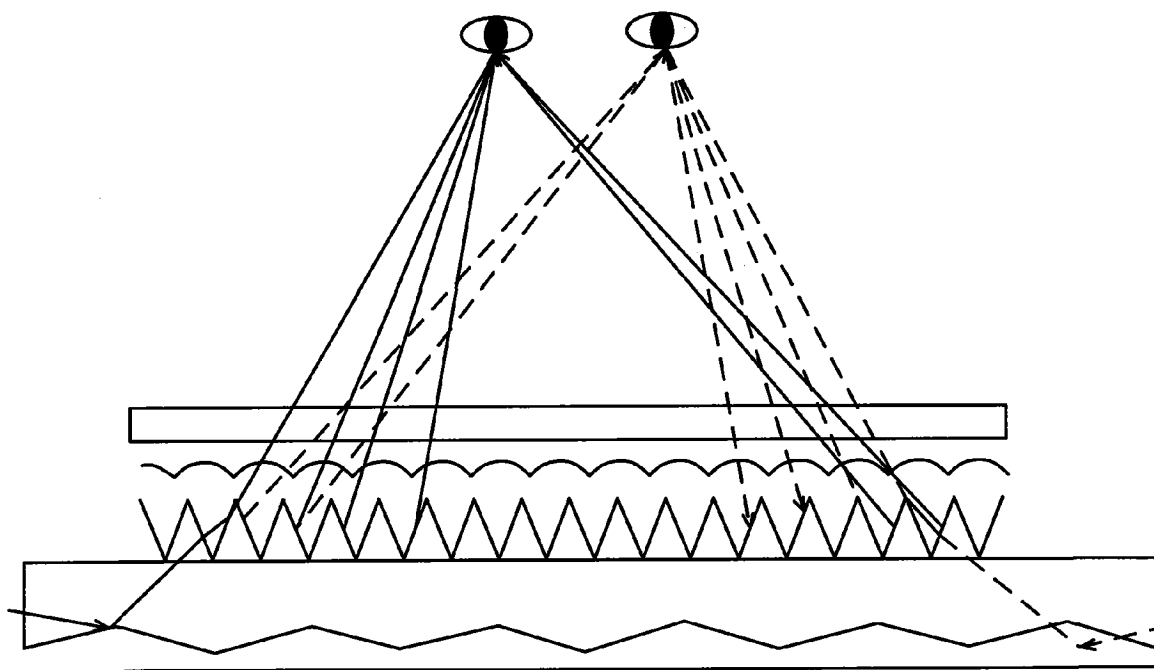


图 1

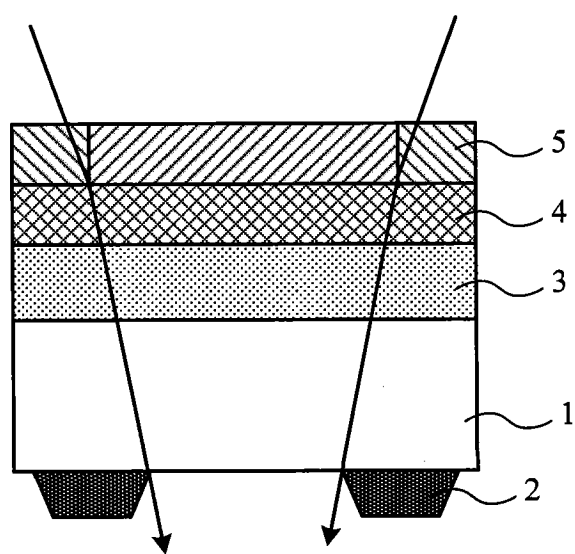


图 2

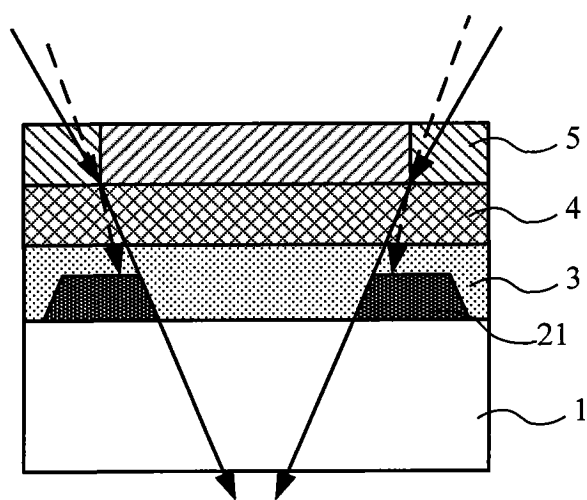


图 3

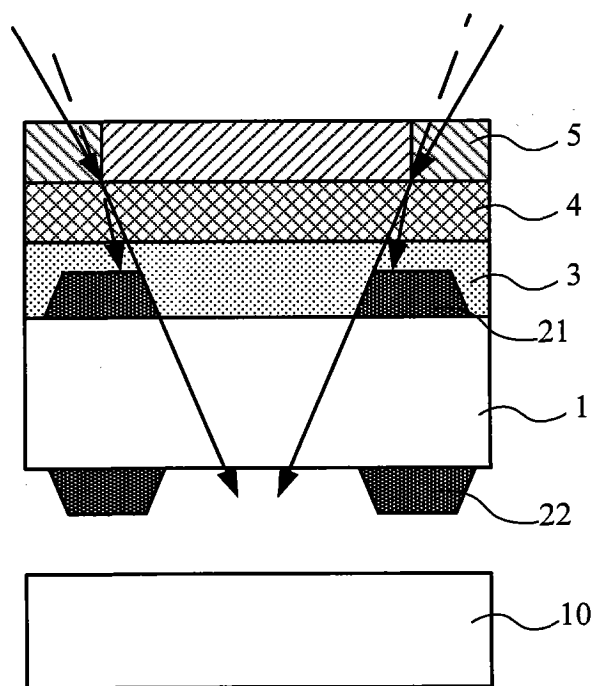


图 4

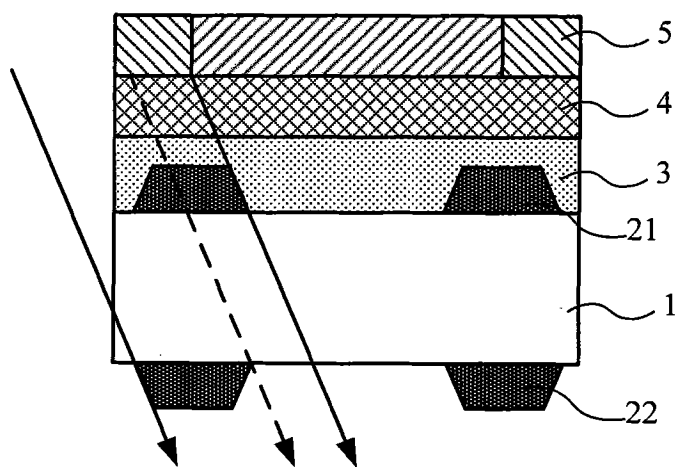


图 5

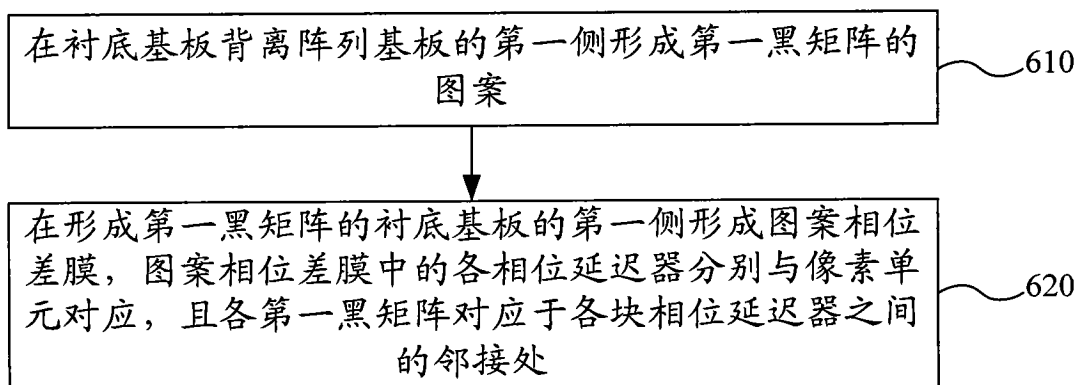


图 6

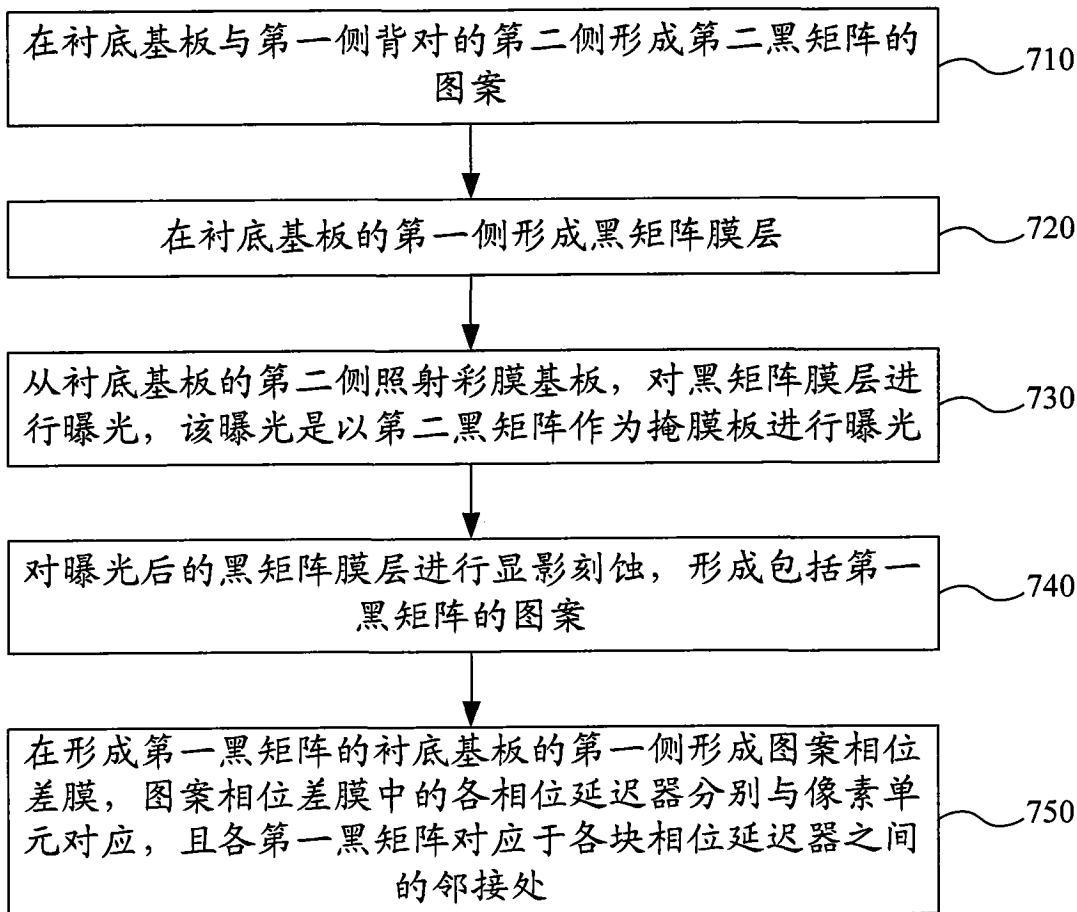


图 7

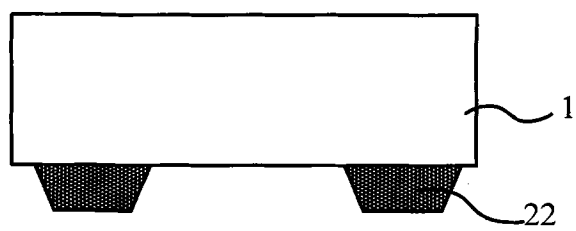


图 8

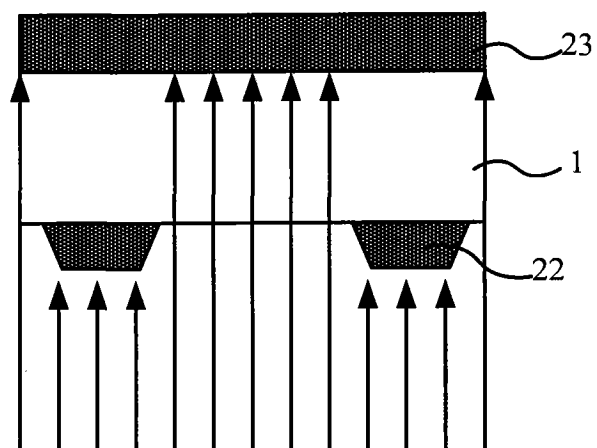


图 9

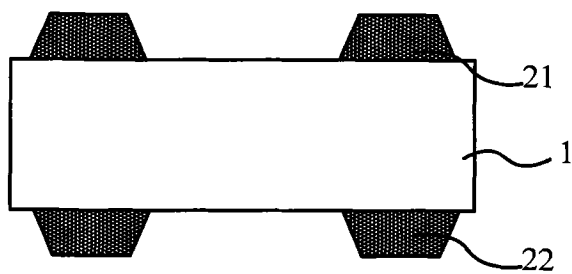


图 10

|                |                                                                                    |         |            |
|----------------|------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 彩膜基板及其制造方法和3D液晶显示器                                                                 |         |            |
| 公开(公告)号        | <a href="#">CN102466919A</a>                                                       | 公开(公告)日 | 2012-05-23 |
| 申请号            | CN201010532015.4                                                                   | 申请日     | 2010-10-29 |
| [标]申请(专利权)人(译) | 京东方科技集团股份有限公司                                                                      |         |            |
| 申请(专利权)人(译)    | 京东方科技集团股份有限公司                                                                      |         |            |
| 当前申请(专利权)人(译)  | 京东方科技集团股份有限公司                                                                      |         |            |
| [标]发明人         | 金熙哲                                                                                |         |            |
| 发明人            | 金熙哲                                                                                |         |            |
| IPC分类号         | G02F1/13363 G02F1/1335 G02F1/1333 G02B27/26 G02B30/25                              |         |            |
| CPC分类号         | G02B5/201 G02F1/1333 G02F1/1335 G02F2001/133631 G02F1/133512 G02F1/13363 G02B27/26 |         |            |
| 代理人(译)         | 刘芳                                                                                 |         |            |
| 其他公开文献         | CN102466919B                                                                       |         |            |
| 外部链接           | <a href="#">Espacenet</a> <a href="#">SIPO</a>                                     |         |            |

#### 摘要(译)

本发明公开了一种彩膜基板及其制造方法和3D液晶显示器。该彩膜基板包括衬底基板，其中：衬底基板背离阵列基板的一侧设置有图案相位差膜，图案相位差膜中的各相位延迟器分别与像素单元对应；在衬底基板和图案相位差膜之间设置有第一黑矩阵，且各第一黑矩阵对应于各块相位延迟器之间的邻接处。本发明提供的彩膜基板及其制造方法和3D液晶显示器，通过在衬底基板邻近于图案相位差膜的一侧设置黑矩阵，缩小了图案相位差膜与黑矩阵之间的距离，使得脱离黑矩阵的阻挡而射入相邻像素单元对应的相位延迟器的光线角度减小，即相邻像素单元之间发生的图像串扰现象减少，增大了可视角度范围。

