



(12) 发明专利申请

(10) 申请公布号 CN 102419500 A

(43) 申请公布日 2012. 04. 18

(21) 申请号 201110313203. 2

(22) 申请日 2011. 09. 27

(30) 优先权数据

10-2010-0093410 2010. 09. 27 KR

(71) 申请人 三星电子株式会社

地址 韩国京畿道

(72) 发明人 金熙燮 权五正 朴宰弘 李赫珍

尹晟在 催硕

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张波

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G02F 1/1368 (2006. 01)

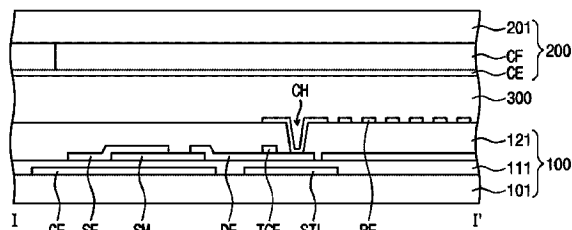
权利要求书 1 页 说明书 17 页 附图 30 页

(54) 发明名称

液晶显示器

(57) 摘要

本发明公开一种液晶显示器。该液晶显示器包括第一基板、第一像素电极、第二像素电极、第二基板以及液晶层。第一像素电极形成在第一基板上。第二像素电极与第一像素电极的至少一部分交叠,第一绝缘层插置在其间。第二像素电极具有多个延长的开口并向液晶层施加电压,该电压不同于第一像素电极施加到液晶层的电压。



1. 一种液晶显示器,包括:

第一基板;

第一像素电极,形成在所述第一基板上;

第二像素电极,与所述第一像素电极的至少一部分交叠并包括多个延长的开口;

钝化层,插置在所述第一像素电极与所述第二像素电极之间;

第二基板;以及

液晶层,包括在所述第一基板与所述第二基板之间垂直地配向的液晶分子,

其中由所述第一像素电极施加到所述液晶层的第一有效电压 V_1 不同于由所述第二像素电极施加到所述液晶层的第二有效电压 V_2 。

2. 根据权利要求1所述的液晶显示器,其中施加到所述第一像素电极的电压是第一电压,施加到所述第二像素电极的电压是第二电压,当所述第一电压施加到所述第一像素电极时所述第一有效电压施加到所述液晶层,当所述第二电压施加到所述第二像素电极时所述第二有效电压施加到所述液晶层,所述第一有效电压和所述第二有效电压满足 $0.3V_1 < V_2 < 0.9V_1$ 。

3. 根据权利要求2所述的液晶显示器,其中所述第一电压具有与所述第二电压的电平相同的电平。

4. 根据权利要求3所述的液晶显示器,还包括薄膜晶体管,该薄膜晶体管连接到所述第一像素电极和所述第二像素电极并配置为响应于栅信号输出数据信号,其中所述第一像素电极和所述第二像素电极通过接收所述数据信号而分别被充有电压。

5. 根据权利要求4所述的液晶显示器,其中所述液晶层形成在所述第二像素电极上,其中所述第一电压等于所述第一有效电压,第二有效电压由下面公式1定义:

公式1

$$V_2 = V_t \left(1 + \frac{d_p / d_{LC}}{\epsilon_p / \epsilon_{LC}} \right)^{-1}$$

其中 V_t 是第二电压, d_{LC} 是所述液晶层的厚度, ϵ_p 是所述钝化层的介电常数, d_p 是所述钝化层的厚度, ϵ_{LC} 是所述液晶层的介电常数。

6. 根据权利要求5所述的液晶显示器,其中所述钝化层包括有机绝缘层或无机绝缘层,并具有 $0.4 \mu\text{m}$ 至 $5 \mu\text{m}$ 的厚度。

7. 根据权利要求6所述的液晶显示器,其中所述无机绝缘层包括 SiN_x 并具有 $0.9 \mu\text{m}$ 至 $5 \mu\text{m}$ 的厚度。

8. 根据权利要求6所述的液晶显示器,其中所述有机绝缘层具有 $0.45 \mu\text{m}$ 至 $3 \mu\text{m}$ 的厚度。

9. 根据权利要求2所述的液晶显示器,其中所述第一电压具有与所述第二电压的电平不同的电平。

10. 根据权利要求9所述的液晶显示器,还包括配置为响应于第一栅信号输出数据信号的第一薄膜晶体管和第二薄膜晶体管,其中所述第一像素电极连接到所述第一薄膜晶体管以通过接收所述数据信号而被充有所述第一电压,所述第二像素电极连接到所述第二薄膜晶体管以通过接收所述数据信号而被充有所述第二电压。

液晶显示器

技术领域

[0001] 本发明涉及一种液晶显示器。更具体地,本发明涉及一种能够减少纹理缺陷(texture defect)的液晶显示器。

背景技术

[0002] 液晶显示器(LCD)是其中液晶层插置于两个透明基板之间的显示装置。液晶层用于调节每个像素的透光率,由此显示期望的图像。

[0003] 在VA LCD(垂直配向模式的LCD)中,当没有施加电场时,液晶分子垂直地配向(即,垂直于基板),当在两个基板之间施加电场时,液晶分子旋转到水平位置。通过液晶分子透射光来显示图像。作为特定类型的VALCD,PVA LCD(图案化垂直配向模式的LCD)通过使用图案化的像素电极将液晶分子配向在彼此不同的方向上以形成液晶域(domain),从而加宽LCD的视角。然而,如果像素电极被图案化有多个微狭缝,则在微狭缝的中间处配向的液晶分子会难以控制。

发明内容

[0004] 本发明提供一种能够减少纹理缺陷的LCD。

[0005] 一方面,该LCD包括:第一基板;第一像素电极,形成在第一基板上;第二像素电极,与第一像素电极的至少一部分交叠并包括一个或多个延长的开口;钝化层,插置在第一像素电极与第二像素电极之间;第二基板;以及液晶层,包括在第一基板与第二基板之间垂直地配向的液晶分子,其中由第一像素电极施加到液晶层的第一有效电压不同于由第二像素电极施加到液晶层的第二有效电压。

[0006] 施加到第一像素电极的电压是第一电压,施加到第二像素电极的电压是第二电压。当第一电压施加到第一像素电极时第一有效电压施加到液晶层,当第二电压施加到第二像素电极时第二有效电压施加到液晶层,第一有效电压和第二有效电压满足 $0.3V_1 < V_2 < 0.9V_1$ 。

[0007] 第一电压可以与第二电压相同或不同。

[0008] 当具有相同电平的第一电压和第二电压施加到第一像素电极和第二像素电极时,第一有效电压和第二有效电压根据钝化层的厚度而改变。另外,第一电压等于第一有效电压,第二有效电压如公式1定义。

[0009] 公式1

$$[0010] \quad V_2 = V_1 \left(1 + \frac{d_p / d_{LC}}{\epsilon_p / \epsilon_{LC}} \right)^{-1}$$

[0011] 在公式1中, V_1 是第二电压, d_{LC} 是液晶层的厚度, ϵ_p 是钝化层的介电常数, d_p 是钝化层的厚度, ϵ_{LC} 是液晶层的介电常数。

[0012] 像素可以具有电荷共享结构(charge sharing structure),所以第一电压可以具有不同于第二电压的电平。

附图说明

[0013] 通过参照以下结合附图考虑的详细描述,以上和其他的优点将容易变得明显,在附图中:

[0014] 图 1 是示出根据第一示范性实施方式的 LCD 的平面图;

[0015] 图 2 是沿图 1 的线 I-I' 截取的截面图;

[0016] 图 3A 和图 3B 分别是示出根据第一示范性实施方式的 LCD 的像素电极和纹理控制电极的平面图;

[0017] 图 4 是沿图 1 的线 II-II' 截取的截面图;

[0018] 图 5 是示出根据第一示范性实施方式的用于计算机模拟模型的像素电极和纹理控制电极的结构图;

[0019] 图 6 是示出在具有图 5 的结构 LCD 中,第一有效电压与第二有效电压之间的差随着钝化层厚度的变化的曲线图;

[0020] 图 7A 和图 7B 是示出根据第一示范性实施方式的 LCD 中已经施加电压之后透射率(transmittance)作为时间的函数的曲线图;

[0021] 图 8A 和图 8B 是分别示出在常规 LCD 和根据第一示范性实施方式的 LCD 中的透射率的照片;

[0022] 图 9A 至图 9E 是示出在常规 LCD 和根据第一示范性实施方式的 LCD 中当第一有效电压与第二有效电压之间的差值改变时液晶分子的配向和透射率的模拟结果的照片;

[0023] 图 10 是示出在第一有效电压与第二有效电压之间的差值改变时的透射率的曲线图;

[0024] 图 11 是示出根据第二示范性实施方式的 LCD 的平面图;

[0025] 图 12 是沿图 11 的线 III-III' 截取的截面图;

[0026] 图 13 是提供在图 11 所示的 LCD 中的像素的等效电路图;

[0027] 图 14 是示出根据第三示范性实施方式的 LCD 的截面图;

[0028] 图 15A 至图 15C 是示出根据第四至第六示范性实施方式的 LCD 的图;

[0029] 图 16 是示出根据第七示范性实施方式的 LCD 的平面图;

[0030] 图 17A 和图 17B 是示出根据第七示范性实施方式的 LCD 的一部分的平面图;

[0031] 图 18 是沿图 16 的线 V-V' 截取的截面图;

[0032] 图 19A 和图 19B 是示出根据第七示范性实施方式的 LCD 中已经施加电压之后透射率作为时间函数的曲线图;

[0033] 图 20A、图 20B、图 21A、图 21B、图 22A 和图 22B 是示出在常规 LCD 和在根据第七示范性实施方式的 LCD 中透射率作为时间的函数的照片;

[0034] 图 23 是示出常规 LCD 和根据第七示范性实施方式的 LCD 的透射率以任意单位表示的曲线图;

[0035] 图 24 是示出在根据第七示范性实施方式的 LCD 中对于位置 A 至 F 的液晶分子的极角(polar angle)的图;

[0036] 图 25A 和图 25B 分别是示出根据第八和第九示范性实施方式的 LCD 的图;

[0037] 图 26 是示出根据第十示范性实施方式的 LCD 的平面图;

[0038] 图 27A 和图 27B 是示出根据第十示范性实施方式的 LCD 的平面图；

[0039] 图 28 是沿图 26 的线 VI-VI' 截取的截面图；

[0040] 图 29A、图 29B、图 30A、图 30B、图 31A 和图 31B 是示出在常规 LCD 中和根据第十示范性实施方式的 LCD 中的液晶分子的配向和透射率的模拟结果的照片；

[0041] 图 32 是示出在根据第十示范性实施方式的 LCD 中透射率如何根据像素电极和纹理控制电极的形状变化的曲线图；

[0042] 图 33 是在根据第十示范性实施方式的 LCD 中透射率如何根据像素电极和纹理控制电极的形状变化的另一曲线图；

[0043] 图 34 是示出对于根据第十一示范性实施方式的 LCD 的模拟结构的图；以及

[0044] 图 35A、图 35B 和图 35C 是示出在根据第十一示范性实施方式的 LCD 中对于液晶分子的配向和透射率的模拟结果的照片。

具体实施方式

[0045] 在下文,将参照附图详细描述示范性实施方式。然而,本发明不限于下面的实施方式,而是包括在本公开的技术范围内的各种改变、替代和变形。

[0046] 在附图中,为了清楚解释的目的,层和区域的尺寸可以被放大。术语“第一”、“第二”等可以用于解释各种元件,但是元件不受这样的术语的限制。这些术语用于将一个元件与另一元件区分开。因此,在一个实施方式中被称为第一元件的元件可以在另一实施方式中被称为第二元件。除非上下文有另外的要求,否则单数形式不排除复数形式。

[0047] 在下面的描述中,术语“包括”或“包含”用于表示特征、数字、步骤、操作、元件、部分或其组合而不排除其他特征、数字、步骤、操作、元件、部分或其组合。应该理解,当诸如层、膜、区域、或板的元件被称为在另一元件“之上”或“之下”时,该元件可以直接在另一元件上,或者也可以在其间存在一个或多个居间元件。此外,当元件被称为“直接在”另一元件“上”时,则在其间不存在居间层。

[0048] 图 1 是示出根据第一示范性实施方式的 LCD 的平面图。图 2 是沿图 1 的线 I-I' 截取的截面图。图 3A 和图 3B 是分别示出根据第一示范性实施方式的 LCD 的像素电极和纹理控制电极的平面图。图 4 是沿图 1 的线 II-II' 截取的截面图以示出 LCD 的一部分。

[0049] 参照图 1 和图 2, LCD 包括第一基板 100、面对第一基板 100 的第二基板 200、以及插置在第一基板 100 与第二基板 200 之间的液晶层 300。

[0050] 第一基板 100 是具有薄膜晶体管的薄膜晶体管基板,该薄膜晶体管用于驱动像素电极,该像素电极施加电场到液晶层 300 的液晶分子,第二基板 200 是具有表现图像的颜色滤色器的滤色器基板。液晶层 300 包括具有介电各向异性的多个液晶分子。液晶分子是垂直配向液晶分子,其在第一基板 100 与第二基板 200 之间垂直地配向(即,液晶分子的长轴配向为垂直于第一基板 100 和第二基板 200 的表面)。当电场施加在第一基板 100 与第二基板 200 之间时,液晶分子在第一基板 100 与第二基板 200 之间沿特定方向旋转以透射或阻挡光。在本说明书中使用的术语“旋转”意思是液晶分子改变取向以在相对于第一基板 100 或第二基板 200 的表面水平(即,平行)的方向上。此外,术语“旋转”可以包括在液晶分子的配向方向上的总体改变以及液晶分子到水平方向的特定旋转。

[0051] 在下面的描述中,常黑模式的 LCD 将作为示例来描述,在常黑模式的 LCD 中,当不

施加电场时液晶层 300 是黑的（即，没有光透射），当施加电场时液晶层 300 是白的（即，允许光透射）。然而，在其他实施方式中，LCD 可以是常白模式的 LCD。

[0052] 第一基板 100 包括形成有多个像素的第一绝缘基板 101。第一绝缘基板 101 包括 $n+p$ 条栅线 $GL_1, \dots, GL_n, GL_{n+1}, \dots, GL_{(n+p)-1}$ 和 GL_{n+p} 以及 $m+q$ 条数据线 $DL_1, \dots, DL_m, DL_{m+1}, \dots, DL_{(m+q)-1}$ 和 DL_{m+q} ，其中每个像素可以包括栅线 $GL_1, \dots, GL_n, GL_{n+1}, \dots, GL_{(n+p)-1}$ 和 GL_{n+p} 之一以及数据线 $DL_1, \dots, DL_m, DL_{m+1}, \dots, DL_{(m+q)-1}$ 和 DL_{m+q} 之一。为了方便的目的，图 1 所示的像素包括第 n 条栅线 GL_n 和第 m 条数据线 DL_m 。每个像素具有相同的结构。

[0053] 每个像素包括第 n 条栅线 GL_n 、存储线 STL、绝缘层 111、第 m 条数据线 DL_m 、薄膜晶体管 TFT、纹理控制电极 TCE、钝化层 121 和像素电极 PE。薄膜晶体管 TFT 包括栅电极 GE、半导体层 SM、源电极 SE 和漏电极 DE。

[0054] 第 n 条栅线 GL_n 在第一绝缘基板 101 上沿第一方向延伸。

[0055] 栅电极 GE 从第 n 条栅线 GL_n 突出或者形成在第 n 条栅线 GL_n 的一部分上。

[0056] 存储线 STL 设置在第 n 条栅线 GL_n 与第 $n+1$ 条栅线 GL_{n+1} 之间并与第 n 条栅线 GL_n 和第 $n+1$ 条栅线 GL_{n+1} 间隔开。存储线 STL 可以围绕像素。

[0057] 绝缘层 111 形成在形成有第 n 条栅线 GL_n 和存储线 STL 的第一绝缘基板 101 的整个表面上。

[0058] 半导体层 SM 形成在绝缘层 111 上。

[0059] 第 m 条数据线 DL_m 、源电极 SE 和漏电极 DE 形成在具有第 n 条栅线 GL_n 的第一绝缘基板 101 上，绝缘层 111 插置在其间。

[0060] 第 m 条数据线 DL_m 在与第 n 条栅线 GL_n 延伸的方向不同（并可以基本上垂直于该方向）的方向上延伸，并交叉第 n 条栅线 GL_n 。源电极 SE 从第 m 条数据线 DL_m 分支出来，使得源电极 SE 可以部分地交叠第 n 条栅线 GL_n 。漏电极 DE 与源电极 SE 间隔开，半导体层 SM 插置在其间。漏电极 DE 可以部分地交叠栅电极 GE。

[0061] 纹理控制电极 TCE 形成在绝缘层 111 上。纹理控制电极 TCE 直接接触漏电极 DE 同时部分地交叠漏电极 DE。

[0062] 钝化层 121 形成在具有纹理控制电极 TCE 的第一绝缘基板 101 上。钝化层 121 具有接触孔 CH，漏电极 DE 通过该接触孔 CH 部分地暴露。

[0063] 像素电极 PE 形成在纹理控制电极 TCE 上，钝化层 121 插置在其间，使得像素电极 PE 可以部分地交叠纹理控制电极 TCE。像素电极 PE 通过形成在钝化层 121 中的接触孔 CH 连接到漏电极 DE。

[0064] 下面将进一步描述纹理控制电极 TCE、像素电极 PE 和钝化层 121。

[0065] 在具有上述结构的 LCD 中，薄膜晶体管 TFT 在栅信号施加到第 n 条栅线 GL_n 时导通。因此，施加到第 m 条数据线 DL_m 的数据信号通过薄膜晶体管 TFT 被传输到纹理控制电极 TCE 和像素电极 PE。

[0066] 参照图 1 至图 4，像素电极 PE 包括主干部 PE1 和从主干部 PE1 径向地分支出来的分支部 PE2。像素电极 PE 通过接触孔 CH 连接到漏电极 DE。

[0067] 参照图 4，根据从平面图中观看时像素电极 PE 和纹理控制电极 TCE 之间的交叠尺寸而将像素电极 PE 和纹理控制电极 TCE 分为第一区 PA1 和第二区 PA2。像素电极 PE 提供在第一区 PA1 和第二区 PA2 中，纹理控制电极 TCE 提供在第二区 PA2 中。也就是，第一区 PA1

是只提供像素电极 PE 的区域,第二区 PA2 是像素电极 PE 和纹理控制电极 TCE 彼此交叠的区域。像素电极 PE 的主干部 PE1 (图 1) 与分支部 PE2 会合的位置表示为第一位置 P1 (图 4),第一区 PA1 和第二区 PA2 之间的边界表示为第二位置 P2,分支部 PE2 的末端表示为第三位置 P3。

[0068] 根据第一示范性实施方式,主干部 PE1 具有十字形状 (图 3A)。在此情形下,像素被主干部 PE1 分为多个区域。分支部 PE2 彼此间隔开使得相邻的分支部 PE2 不彼此接触。此外,分支部 PE2 在由主干部 PE1 限定的区域中彼此平行地延伸。相邻的分支部 PE2 彼此间隔开大约 2-10 微米的距离,从而使液晶层 300 的液晶分子预倾斜。

[0069] 当在平面图 (图 3B) 中观看时,在第二区 PA2 中纹理控制电极 TCE 部分地交叠像素电极 PE。特别地,纹理控制电极 TCE 部分地交叠分支部 PE2。

[0070] 纹理控制电极 TCE 具有位于第一区 PA1 (图 4) 中的开口 OPN 以暴露绝缘层 111 的一部分。根据第一示范性实施方式,开口 OPN 具有关于主干部 PE1 对称的形状,特别地,具有矩形形状。在此情形下,矩形开口 OPN 的长侧边和短侧边分别基本平行于第 m 条数据线 DL_m 和第 n 条栅线 GL_n。此外,纹理控制电极 TCE 的某些外边缘基本平行于主干部 PE1 的纵向。

[0071] 参照图 1、图 3A 和图 3B,当纹理控制电极 TCE 交叠像素电极 PE 时,纹理控制电极 TCE 部分地交叠像素电极 PE 的分支部 PE2 并具有与第二分支部 PE2 的长度方向交叉的边缘。当在平面图中观看时,邻近开口 OPN 定位的纹理控制电极 TCE 的内边缘位于分支部 PE2 的末端与像素电极 PE 的主干部 PE1 之间。分支部 PE2 的末端位于纹理控制电极 TCE 内。考虑到在制造工艺中可能引入的未对准,分支部 PE2 的末端与纹理控制电极 TCE 的外边缘间隔开约 3 μm 或更大的距离。

[0072] 第二基板 200 (图 2) 包括第二绝缘基板 201,在第二绝缘基板 201 上提供有滤色器 CF 和公共电极 CE。

[0073] 滤色器 CF 形成在第二绝缘基板 201 上以给穿过液晶层 300 的光提供颜色。公共电极 CE 形成在滤色器 CF 上以通过与像素电极 PE 和纹理控制电极 TCE 一起产生电场来驱动液晶层 300。

[0074] 根据第一示范性实施方式,像素电极 PE 与纹理控制电极 TCE 间隔开,钝化层 121 插置在其间,所以即使相同的电压施加到像素电极 PE 和纹理控制电极 TCE,从像素电极 PE 和纹理控制电极 TCE 施加到液晶层 300 的有效电压也可以改变。

[0075] 因为电介质层不形成在像素电极 PE 与液晶层 300 之间,所以施加到像素电极 PE 的第一电压 V_p 等于由像素电极 PE 施加到液晶层的第一有效电压 V₁。

[0076] 当第二电压 V_t 施加到纹理控制电极 TCE 时施加到液晶层 300 的有效电压是第二有效电压 V₂,其在公式 1 中定义。

[0077] 公式 1 :

$$[0078] \quad V_2 = V_t \left(1 + \frac{d_p / d_{LC}}{\epsilon_p / \epsilon_{LC}} \right)^{-1}$$

[0079] 在公式 1 中, d_{LC} 是液晶层 300 的厚度, ε_p 是钝化层 121 的介电常数, d_p 是钝化层 121 的厚度, ε_{LC} 是液晶层 300 的介电常数。

[0080] 因为纹理控制电极 TCE 和像素电极 PE 电连接到漏电极 DE,所以相同的电压电平施

加到纹理控制电极 TCE 和像素电极 PE。当相同的电压电平施加到纹理控制电极 TCE 和像素电极 PE 两者时,满足 $V_p = V_t$ 。因此,实际上,第二有效电压 V_2 小于第一有效电压 V_1 。

[0081] 图 5 是示出用于计算机模拟模型的像素电极 PE 和纹理控制电极 TCE 的结构图,该计算机模拟模型用于在模拟中计算当具有相同水平的电压分别施加到纹理控制电极 TCE 和像素电极 PE 时第一和第二有效电压 V_1 和 V_2 之间的差。

[0082] 参照图 5,该结构包括像素电极 PE,该像素电极 PE 具有主干部 PE1 以及垂直于主干部 PE1 分支出来的多个分支部 PE2,纹理控制电极 TCE 在分支部 PE2 的末端处部分地交叠分支部 PE2。钝化层 121 提供在像素电极 PE 与纹理控制电极 TCE 之间。钝化层 121 由具有各种厚度的无机绝缘层 SiN_x 或有机绝缘层形成。

[0083] 图 6 是示出通过使用图 5 的结构当将相同的电压施加到像素电极 PE 和纹理控制电极 TCE 时第一有效电压 V_1 与第二有效电压 V_2 之间的差 ($V_1 - V_2$) 作为钝化层 121 的厚度的函数的曲线图。差 ($V_1 - V_2$) 表示为 ΔV 。

[0084] 参照图 6, ΔV 随着钝化层 121 的厚度变厚而增大。当钝化层 121 包括无机层 G1 时相对于当钝化层 121 包括有机层 G2 时产生更大的 ΔV 。 SiN_x 层用作无机层 G2。

[0085] 如上所述,虽然相同的电压施加到像素电极 PE 和纹理控制电极 TCE,但是施加到液晶层 300 的有效电压可以通过调节钝化层 121 的厚度来调节。如果施加到像素电极 PE 的有效电压不同于施加到纹理控制电极 TCE 的有效电压,则形成在像素电极 PE 和纹理控制电极 TCE 两者的边缘处的垂直电场被初始扭曲。因此,沿像素电极 PE 和纹理控制电极 TCE 两者的边缘定位的液晶分子响应于电场的该变化或扭曲朝像素电极 PE 的主干部 PE1 旋转。然后,随着时间的流逝,与旋转的液晶分子相邻的液晶分子被继续旋转,使得提供在像素区中的所有液晶分子被旋转。在 LCD 中,透射率可以依靠液晶分子的旋转而增加。

[0086] 图 7A 和图 7B 是示出当电压已经施加到像素电极 PE 和纹理控制电极 TCE 两者之后时间分别过去 10ms 和 50ms 时从图 1 所示的 LCD 的截面 II-II' 获得的透射率的曲线图。

[0087] 参照图 4 和图 7A,当电压施加到像素电极 PE 和纹理控制电极 TCE 两者之后时间过去 10ms 时,在对应于像素电极 PE 的边缘的第一位置 P1 和第三位置 P3 处的透射率以及在对应于与纹理控制电极 TCE 的开口 OPN 相邻的边缘的第二位置 P2 处的透射率高于其他区域的透射率。液晶层 300 的更高透射率表示液晶层 300 的电场在像素电极 PE 的边缘处和在与纹理控制电极 TCE 的开口 OPN 相邻的边缘处被初始改变。具体地,在像素电极 PE 的边缘处和与纹理控制电极 TCE 的开口 OPN 相邻的边缘处定位的液晶分子被初始旋转,也就是,被那个位置的电场的扭曲直接旋转。

[0088] 参照图 7B,当电压施加到像素电极 PE 和纹理控制电极 TCE 之后时间过去 50ms 时,在像素的整个区域上发生更高的透射率,这表明像素电极 PE 上方的大部分液晶分子已经被旋转。

[0089] 如图 7A 和图 7B 所示,以上结构引起电场扭曲使得当电压施加到像素电极 PE 和纹理控制电极 TCE 时在像素电极 PE 的主干部 PE1 和分支部 PE2 之间发生液晶分子的初始旋转。因此,以上结构可以有利于在形成像素电极 PE 的所有区域中的液晶分子的二次旋转,这里“二次旋转”指由相邻的液晶分子的旋转造成的液晶分子的旋转,相邻的液晶分子可以通过在特定位置的电场的扭曲而被初始旋转的液晶分子。

[0090] 图 8A 和图 8B 是分别示出来自常规 LCD 和根据第一示范性实施方式的 LCD 的透射

率的图片,其是从像素的一部分获得。常规 LCD 具有与根据第一示范性实施方式的 LCD 的结构相同的结构,除了常规 LCD 没有纹理控制电极 TCE 之外。常规 LCD 在与根据第一示范性实施方式的 LCD 相同的条件下被制造和驱动。

[0091] 参照图 8A,在常规 LCD 中,在像素电极的分支部的末端与主干部之间发生纹理缺陷。也就是,当电场施加到常规 LCD 的液晶层时,由于液晶分子的未配向 (misalignment),在位于像素电极的分支部的末端与主干部之间的区域上的液晶层处形成非透射区。引起纹理缺陷的非透射区不规则地形成在像素电极的分支部的末端与主干部之间而与像素电极的形状无关。

[0092] 产生纹理缺陷是因为在每个分支部的中部排列的液晶分子可能没有被电场旋转或充分旋转。如果分支部具有长的长度,则在像素电极 PE 的分支部的中部(其位于分支部的末端与主干部之间)排列的液晶分子在电场施加到其上时可能没有均匀地旋转,或者这些液晶分子即使在电场没有施加到其上时也可能旋转。此外,因为在分支部的该中部的液晶分子远离液晶分子由于电场扭曲而被初始旋转的分支部的末端和主干部两者定位,所以液晶分子可能没有被旋转。如果一个液晶分子没有被旋转,则与该个液晶分子相邻的液晶分子容易不被旋转。结果,纹理缺陷可能增加。

[0093] 参照图 8B,与常规 LCD 不同,根据第一示范性实施方式的 LCD 在像素的整个区域上示出均匀的透射率而没有任何纹理缺陷。换言之,根据第一示范性实施方式的 LCD 的纹理控制电极可以产生在像素电极 PE 的位于像素电极的主干部与分支部之间的中部配向的液晶分子的均匀旋转。

[0094] 为了防止发生图 8A 所示的纹理缺陷,第一有效电压 V_1 必须不同于第二有效电压 V_2 。关于这一点,第二有效电压 V_2 与第一有效电压 V_1 的比例 (V_2/V_1) 设为 $0.3 < V_2/V_1 < 0.9$ 。如果该比例小于 0.3,则在分支部 PE2 的末端与主干部 PE1 之间的区域中电场可能很少被改变,从而可能发生纹理缺陷。此外,如果该比例大于 0.9,则单独被像素电极 PE 配向的液晶分子的旋转程度可能不同于被纹理控制电极和像素电极 PE 配向的液晶分子的旋转程度,所以在特定区域中透射率可能降低。因此, $0.3 < V_2/V_1 < 0.9$ 的比例用于在像素的整个区域上实现均匀的透射率。

[0095] 图 9A 至图 9E 是示出在常规 LCD 和根据第一示范性实施方式的 LCD 中当第一有效电压 V_1 与第二有效电压 V_2 之间的差值改变时液晶分子的配向和透射率的模拟结果的图片。图 9A 示出当 6V 施加到常规 LCD 的像素电极时液晶分子的配向和透射率。图 9B 至图 9E 示出当第一有效电压是 6V,第一有效电压 V_1 与第二有效电压 V_2 之间的差值 ΔV 分别为 0.8V、0.9V、1.1V 和 2.0V 时液晶分子的配向和透射率。图 9B 至图 9E 中示出的结果是通过使用图 5 所示的像素电极 PE 和纹理控制电极 TCE 的结构获得的。

[0096] 参照图 9A,在不具有纹理控制电极 TCE 的常规 LCD 中发生纹理缺陷。参照图 9B,当差值 ΔV 是 0.8V 时,也就是当第一有效电压 V_1 是 6V 而第二有效电压是 5.2V 时,即使在第一有效电压与第二有限电压之间存在差异,也发生纹理缺陷。参照图 9C 至图 9E,当差值 ΔV 为 0.9V、1.1V 和 2.0V 时不产生纹理缺陷。

[0097] 图 10 是示出当第一有效电压 V_1 与第二有效电压 V_2 之间的差值 ΔV 改变时的透射率的曲线图。图 10 所示的结果通过使用图 5 所示的像素电极 PE 和纹理控制电极 TCE 的结构来获得。

[0098] 参照图 10, 当差值 ΔV 在约 0.9V 至约 6.0V 的范围内时获得适合 LCD 的透射率。特别地, 当差值 ΔV 为 1.1V 时获得最高的透射率。如果差值 ΔV 基本等于或大于 4.0V, 则透射率为最大透射率基础上的约 80% 至约 85%, 所以显示质量会降低。

[0099] 第一有效电压 V_1 和第二有效电压 V_2 可以根据第一基板 100 的结构或施加到像素电极 PE 的电压而改变。当考虑图 9A 至图 9E 和图 10 的模拟结果时, 当第一有效电压 V_1 和第二有效电压 V_2 满足 $0.3V_1 < V_2 < 0.9V_1$ 时可以不发生纹理缺陷并可以保持期望的透射率。

[0100] 为了获得第一有效电压 V_1 和第二有效电压 V_2 之间的期望的差值 ΔV , 钝化层 121 可以具有在约 $0.4\mu\text{m}$ 至约 $5\mu\text{m}$ 之间的厚度。包括诸如 SiN_x 层的无机层的钝化层可以具有在约 $0.9\mu\text{m}$ 至约 $5\mu\text{m}$ 范围内的厚度, 包括有机层的钝化层 121 可以具有在约 $0.45\mu\text{m}$ 至约 $3\mu\text{m}$ 范围内的厚度。

[0101] 图 11 是示出根据第二示范性实施方式的 LCD 的平面图, 图 12 是沿图 11 的线 III-III' 截取的截面图。

[0102] 下面对第二示范性实施方式的描述将集中在相对于第一示范性实施方式的差异上从而避免不必要的重复, 并且除非另有表述, 否则第一示范性实施方式的技术特征在第二实施方式中也被采用。相同或相似的附图标记将用于指代相同或相似的元件。

[0103] 根据第一示范性实施方式, 通过改变钝化层 121 的厚度来获得第一有效电压 V_1 与第二有效电压 V_2 之间的差值 ΔV , 虽然具有相同水平的电压施加到像素电极 PE 和纹理控制电极 TCE。然而, 根据第二示范性实施方式, 采用了电荷共享结构, 使得施加到像素电极 PE 的电压水平不同于施加到纹理控制电极 TCE 的电压水平, 由此获得第一有效电压 V_1 与第二有效电压 V_2 之间的差值 ΔV 。

[0104] 参照图 11 和图 12, LCD 包括具有像素的第一绝缘基板 101。

[0105] 第一绝缘基板 101 包括 $n+p$ 条栅线 $GL_1, \dots, GL_n, GL_{n+1}, \dots, GL_{(n+p)-1}$ 和 GL_{n+p} 以及 $m+q$ 条数据线 $DL_1, \dots, DL_m, DL_{m+1}, \dots, DL_{(m+q)-1}$ 和 DL_{m+q} , 其中每个像素可以包括栅线 $GL_1, \dots, GL_n, GL_{n+1}, \dots, GL_{(n+p)-1}$ 和 GL_{n+p} 之一以及数据线 $DL_1, \dots, DL_m, DL_{m+1}, \dots, DL_{(m+q)-1}$ 和 DL_{m+q} 之一。为了方便的目的, 图 11 和其余的附图中所示的像素中示出了第 n 条栅线 GL_n 、第 $n+1$ 条栅线 GL_{n+1} 和第 m 条数据线 DL_m , 重复的部分被省略。每个像素具有相同的结构。

[0106] 每个像素包括第 n 条栅线 GL_n 、存储线 STL、绝缘层 111、第 m 条数据线 DL_m 、薄膜晶体管 T1、T2 和 T3、纹理控制电极 TCE、钝化层 121 和像素电极 PE。第一薄膜晶体管 T1 包括第一栅电极 GE1、第一半导体层 SM1、第一源电极 SE1 和第一漏电极 DE1, 第二薄膜晶体管 T2 包括第二栅电极 GE2、第二半导体层 SM2、第二源电极 SE2 和第二漏电极 DE2, 第三薄膜晶体管 T3 包括第三栅电极 GE3、第三半导体层 SM3、第三源电极 SE3 和第三漏电极 DE3。

[0107] 第 n 条栅线 GL_n 、第 $n+1$ 条栅线 GL_{n+1} 、第一至第三栅电极 GE1、GE2 和 GE3 以及存储线 STL 提供在第一绝缘基板 101 上。

[0108] 第 n 条栅线 GL_n 在第一绝缘基板 101 上沿一个方向延伸。第 $n+1$ 条栅线 GL_{n+1} 形成在相邻的像素中同时平行于第 n 条栅线 GL_n 与第 n 条栅线 GL_n 间隔开。

[0109] 第一栅电极 GE1 和第二栅电极 GE2 可以从第 n 条栅线 GL_n 分支出来。根据本示范性实施方式, 第一栅电极 GE1 和第二栅电极 GE2 形成为第 n 条栅线 GL_n 的一部分。第三栅电极 GE3 形成为第 $n+1$ 条栅线 GL_{n+1} 的一部分。

[0110] 存储线 STL 设置在第 n 条栅线 GL_n 与第 $n-1$ 条栅线 GL_{n-1} 之间并与第 n 条栅线 GL_n 和第 $n+1$ 条栅线 GL_{n+1} 间隔开。存储线 STL 可以围绕像素。

[0111] 绝缘层 111 形成在第 n 条栅线 GL_n 上以及形成有第 n 条栅线 GL_n 和存储线 STL 的第一绝缘基板 101 的整个表面上。

[0112] 第 m 条数据线 DL_m 、第一源电极 SE1、第一漏电极 DE1、第二源电极 SE2、第二漏电极 DE2、第三源电极 SE3、第三漏电极 DE3 和电荷共享电极 CDE 形成在具有第 n 条栅线 GL_n 的第一绝缘基板 101 上。

[0113] 第 m 条数据线 DL_m 在与第 n 条栅线 GL_n 的方向不同（并可以基本上垂直于该方向）的方向上延伸，并交叉第 n 条栅线 GL_n ，绝缘层 111 插置在其间。

[0114] 第一源电极 SE1 和第二源电极 SE2 从第 m 条数据线 DL_m 分支出来，使得第一源电极 SE1 和第二源电极 SE2 可以部分地交叠第 n 条栅线 GL_n 。第一源电极 SE1 和第二源电极 SE2 彼此相连。

[0115] 第一和第二漏电极 DE1 和 DE2 与第一和第二源电极 SE1 和 SE2 间隔开，第一和第二半导体层 SM1 和 SM2 插置在第一和第二源电极 SE1 和 SE2 与第一和第二漏电极 DE1 和 DE2 之间，使得第一和第二漏电极 DE1 和 DE2 可以部分地交叠第 n 条栅线 GL_n 。

[0116] 第三源电极 SE3 从第二漏电极 DE2 分支出来，使得第三源电极 SE3 可以部分地交叠第 $n+1$ 条栅线 GL_{n+1} 。第三漏电极 DE3 与第三源电极 SE3 间隔开，第三半导体层 SM3 插置在其间，使得第三漏电极 DE3 可以部分地交叠第 $n+1$ 条栅线 GL_{n+1} 。当在平面图中观看时，电荷共享电极 CDE 交叠像素的存储线 STL。

[0117] 纹理控制电极 TCE 形成在绝缘层 111 上。纹理控制电极 TCE 直接接触第二漏电极 DE2，同时部分地交叠第二漏电极 DE2。

[0118] 像素电极 PE 形成在具有第一至第三源电极 SE1、SE2 和 SE3 以及第一至第三漏电极 DE1、DE2 和 DE3 的绝缘基板 101 上，钝化层 121 插置在其间。像素电极 PE 通过形成在钝化层 121 中的接触孔 CH 连接到第一漏电极 DE1。

[0119] 图 13 是提供在图 11 所示的 LCD 中的像素的等效电路图。将参照图 13 详细描述驱动根据第二示范性实施方式 of LCD 的方法。

[0120] 具有第一和第二薄膜晶体管 T1 和 T2 的像素形成有第一和第二液晶电容器 T1-Clc 和 T2-Clc 以及第一和第二存储电容器 T1-Cst 和 T2-Cst。

[0121] 第一薄膜晶体管 T1 包括连接到第 n 条栅线 GL_n 的第一栅电极 GE1、连接到第 m 条数据线 DL_m 的第一源电极 SE1、以及连接到第一液晶电容器 T1-Clc 的第一漏电极 DE1。第一液晶电容器 T1-Clc 由连接到第一漏电极 DE1 的像素电极 PE、面对像素电极 PE 并接收公共电压 V_{com} 的公共电极 CE、以及插置在像素电极 PE 与公共电极 CE 之间的液晶层 300 定义。第一存储电容器 T1-Cst 由像素电极 PE、存储线 STL 和绝缘层 111 以及钝化层 121 定义，其中存储电容器电压 V_{cst} 施加到存储线 STL，存储电容器电压 V_{cst} 基本等于公共电压 V_{com} ，绝缘层 111 和钝化层 121 插置在像素电极 PE 与存储线 STL 之间。

[0122] 第二薄膜晶体管 T2 包括连接到第 n 条栅线 GL_n 的第二栅电极 GE2、连接到第 m 条数据线 DL_m 的第二源电极 SE2、以及连接到第二液晶电容器 T2-Clc 的第二漏电极 DE2。第二液晶电容器 T2-Clc 由连接到第二漏电极 DE2 的纹理控制电极 TCE、面对纹理控制电极 TCE 并接收公共电压 V_{com} 的公共电极 CE、以及插置在纹理控制电极 TCE 与公共电极 CE 之间的

液晶层 300 定义。第二存储电容器 T2-Cst 由纹理控制电极 TCE、存储线 STL 和绝缘层 111 以及钝化层 121 定义,其中存储电容器电压 V_{cst} 施加到存储线 STL,绝缘层 111 和钝化层 121 插置在纹理控制电极 TCE 与存储线 STL 之间。

[0123] 栅信号施加到第 n 条栅线 GL_n 。数据信号施加到第 m 条数据线 DL_m 。如果第一和第二薄膜晶体管 T1 和 T2 响应于通过第 n 条栅线 GL_n 施加的栅信号而导通,则数据信号通过第一和第二薄膜晶体管 T1 和 T2 与施加到第 n 条栅线 GL_n 的栅信号同步地输出到像素电极 PE 和纹理控制电极 TCE 两者。

[0124] 如果栅信号施加到第 n 条栅线 GL_n ,则第一和第二薄膜晶体管 T1 和 T2 导通。因此,施加到第 m 条数据线 DL_m 的数据信号通过第一和第二薄膜晶体管 T1 和 T2 传输到第一和第二液晶电容器 T1-C1c 和 T2-C1c 的像素电极 PE 和纹理控制电极 TCE 两者。因为相同的信号施加到第一和第二液晶电容器 T1-C1c 和 T2-C1c 的像素电极 PE 和纹理控制电极 TCE,所以第一和第二液晶电容器 T1-C1c 和 T2-C1c 被分别充有相同电平的第一和第二像素电压。

[0125] 在像素的电压调节模块中,第三薄膜晶体管 T3 调节分别充在像素电极 PE 和纹理控制电极 TCE 中的第一和第二像素电压的电平。第三薄膜晶体管 T3 包括连接到第 $n+1$ 条栅线 GL_{n+1} 的第三栅电极 GE3、连接到纹理控制电极 TCE 的第三源电极 SE3、以及连接到下拉电容器 (down capacitor) Cdown 的第三漏电极 DE3。

[0126] 下拉电容器 Cdown 由存储线 STL、连接到第三漏电极 DE3 同时部分地交叠存储线 STL 的电荷共享电极 CDE、以及插置在电荷共享电极 CDE 与存储线 STL 之间的绝缘层 111 定义。

[0127] 第三薄膜晶体管 T3 响应于在栅信号施加到第 n 条栅线 GL_n 之后施加到第 $n+1$ 条栅线 GL_{n+1} 的栅信号而导通并输出电压控制信号。因此,纹理控制电极 TCE 电连接到电荷共享电极 CDE。因此,在第一液晶电容器 T1-C1c 中所充的第一像素电压的电平和在第二液晶电容器 T2-C1c 中所充的第二像素电压的电平通过下拉电容器 Cdown 来调节。具体地,通过下拉电容器 Cdown 使得第二像素电压处于较低的电平。此时,所降低的电压电平可以根据下拉电容器 Cdown 的电容值而改变。

[0128] 以此方式,通过使用电压调节模块,不同的电压可以施加到像素电极 PE 和纹理控制电极 TCE。因此,根据第二示范性实施方式,第一有效电压 V_1 与第二有效电压 V_2 之间的差值 ΔV 可以通过施加不同的电压到像素电极 PE 和纹理控制电极 TCE 而调节。结果,可以减少纹理缺陷。

[0129] 此外,根据另一示范性实施方式,提供了具有不同电平的第一和第二电压,还调节了钝化层 121 的厚度,以调节第一和第二有效电压 V_1 和 V_2 ,从而减少纹理缺陷。

[0130] 图 14 是示出根据第三示范性实施方式的 LCD 的截面图。根据第三示范性实施方式的 LCD 的平面图与根据第二示范性实施方式的 LCD 的平面图基本相同,图 14 的截面图是沿图 11 的线 III-III' 截取的。下面对第三示范性实施方式的描述将集中在相对于第一示范性实施方式的差异上,以避免不必要的重复,除非另有说明,否则第一示范性实施方式的技术特征将在第三示范性实施方式中采用。相同或相似的附图标记将用于指代相同或相似的元件。

[0131] 根据第三示范性实施方式,提供反应性介晶 (mesogen) 层 RM1 和 RM2 来使液晶层的液晶分子预倾斜。反应性介晶层 RM1 和 RM2 包括第一反应性介晶层和第二反应性介晶

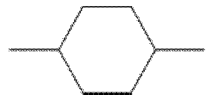
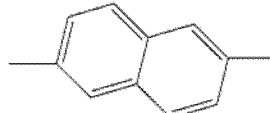
RM2, 第一反应性介晶层 RM1 插置在像素电极 PE 与液晶层 300 之间, 第二反应性介晶层 RM2 插置在公共电极 CE 与液晶层 300 之间。

[0132] 反应性介晶具有类似于液晶分子的性质。反应性介晶层 RM1 和 RM2 可以通过聚合在像素电极和公共电极上的光反应性单体而形成。光反应性单体可以通过照射诸如紫外线的光到光反应性单体上而聚合。聚合物在特定方向延伸以引起液晶分子预倾斜, 也就是沿特定方向配向, 而没有施加电场。具体地, 液晶层 300 的液晶分子可以被反应性介晶层以约 85° 至 95° 的角度预倾斜。以预定角度预倾斜的液晶层 300 的液晶分子在施加电场的情况下可以比没有被预倾斜的液晶分子具有更快的响应速度。这样, 反应性介晶层 RM1 和 RM2 可以用于引导液晶层 300。

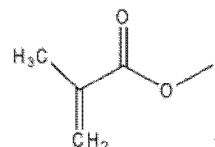
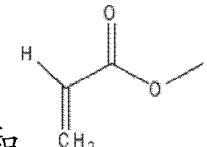
[0133] 反应性介晶 RM1 和 RM2 可以包括由各种官能团组成的化合物。例如, 反应性介晶层 RM1 和 RM2 可以包括由化学式 1 表示的化合物。

[0134] [化学式 1]

[0135] $R_3-J-K-R_4$

[0136] 在化学式 1 中, J 和 K 分别代表 , ,  或单键, 除了 J 和 K 均代表单键 (single bond) 的情况。J 和 K 的氢

原子可以被 F、Cl、具有 C1 至 C12 的烷基基团、或 $-OCH_3$ 取代。此外, R3 和 R4 分别代表

 和  或代表氢原子, 除了 R3 和 R4 均代表单键的情况。

[0137] 虽然第三示范性实施方式公开了额外形成的反应性介晶层 RM1 和 RM2, 但是实施方式不限于此。根据另一示范性实施方式, 反应性介晶层可以作为官能团附接到配向层的聚合物, 使得反应性介晶层可以用作配向层的辅助层。例如, 配向层可以包括聚酰亚胺, 并且反应性介晶可以附接到聚酰亚胺的侧链。在此情形下, 可以调节液晶层 300 的液晶分子的预倾斜角, 使得能够实现快的反应速度。

[0138] 根据第一和第二示范性实施方式, 纹理控制电极 TCE 的开口 OPN 具有矩形形状。然而, 根据其他示范性实施方式, 纹理控制电极 TCE 的开口 OPN 可以具有除矩形形状以外的各种形状。

[0139] 图 15A 至图 15C 是示出根据第四至第六示范性实施方式的 LCD 的图。第四至第六示范性实施方式与第一示范性实施方式基本相同, 除了像素电极和纹理控制电极之外。因此, 为了方便的, 在图 15A 至图 15C 中仅示出了像素电极 PE 和纹理控制电极 TCE。

[0140] 参照图 15A 至图 15C, 开口 OPN 可以具有各种形状。例如, 开口 OPN 可以具有梯形形状、多边形形状、矩形形状等。此外, 开口 OPN 可以设计为使得通过开口 OPN 暴露的区域可以具有各种面积。纹理控制电极的与开口 OPN 相邻的边缘可以定位在沿着分支部 PE2 的长度方向的中间点处。对于具有较长的长度的分支部 PE2, 定位在主干部 PE1 与分支部 PE2 的末端之间的中间区域中的液晶分子可能不受控制, 从而可能发生纹理缺陷。在这点上, 对

于每个分支部 PE2, 纹理控制电极 TCE 的与开口 OPN 相邻的边缘沿分支部 PE2 的中间位置例如中点 (mid-point) 定位。此外, 通过开口 OPN 暴露的绝缘层 111 的宽度可以根据主干部 PE1 或分支部 PE2 的形状而扩大或减小。

[0141] 根据像素的形状, 开口 OPN 可以例如具有关于预定轴的线对称或关于点的点对称的形状。为了确保宽的视角, 像素电极 PE 可以具有关于预定轴或点的线对称或点对称的形状, 纹理控制电极 TCE 具有相应于像素电极 PE 的形状, 也就是, 纹理控制电极 TCE 可以具有关于预定轴或点的线对称或点对称的形状。例如, 开口 OPN 可以具有相对一直线 (linear line) 线对称的矩形形状, 该直线穿过矩形形状的中心并垂直于矩形形状的一个侧边。

[0142] 根据第一至第六示范性实施方式, 当在平面图中观看时, 开口 OPN 具有封闭形状, 但是实施方式不限于此。也就是, 纹理控制电极 TCE 的开口 OPN 可以在一个方向上敞开。

[0143] 此外, 虽然示范性实施方式公开了具有整体结构的纹理控制电极 TCE, 但是可替代地, 纹理控制电极 TCE 可以被分为多个纹理控制电极 TCE, 只要它们电连接到彼此。

[0144] 图 16 是示出根据第七示范性实施方式的 LCD 的平面图。图 17A 和图 17B 是示出根据第七示范性实施方式的 LCD 的像素电极 PE 和纹理控制电极 TCE 的平面图。图 18 是沿图 16 的线 V-V' 截取的截面图。

[0145] 下面对第七示范性实施方式的描述将集中在相对于第一示范性实施方式的差异上, 以避免不必要的重复, 并且除非另有表述, 否则第一示范性实施方式的技术特征将在第七示范性实施方式中被采用。相同或相似的附图标记将用于指代相同或相似的元件。

[0146] 根据第一至第六示范性实施方式, 除了纹理控制电极 TCE 的边缘的一部分之外, 整个纹理控制电极 TCE 基本与像素电极 PE 交叠。然而, 根据第七示范性实施方式, 像素电极 PE 与纹理控制电极 TCE 之间的交叠部分与第一至第六示范性实施方式不同, 从而进一步减少纹理缺陷。

[0147] 参照图 16、图 17A、图 17B 和图 18, 像素电极 PE 和纹理控制电极 TCE 根据其间的交叠尺寸被分为第一区 PA1、第二区 PA2 和第三区 PA3。像素电极 PE 的主干部 PE1 与分支部 PE2 交会处的位置指示为第一位置 P1, 第一区 PA1 与第二区 PA2 之间的边界指示为第二位置 P2, 第二区 PA2 与第三区 PA3 之间的边界指示为第三位置 P3, 纹理控制电极 TCE 的分支部的末端指示为第四位置 P4。

[0148] 像素电极 PE 提供在第一区 PA1 和第二区 PA2 中, 纹理控制电极 TCE 提供在第二区 PA2 和第三区 PA3 中。也就是, 第一区 PA1 仅提供有像素电极 PE, 第二区 PA2 提供有像素电极 PE 和纹理控制电极 TCE, 第三区 PA3 仅提供有纹理控制电极 TCE。

[0149] 像素电极 PE 包括主干部 PE1 以及从主干部 PE1 延伸的多个分支部 PE2。主干部 PE1 和分支部 PE2 延伸穿过第一区 PA1 和第二区 PA2。

[0150] 纹理控制电极 TCE (图 17B) 包括板部 PL、主干部 TCE1 和多个分支部 TCE2。板部 PL 覆盖第二区 PA2 的整个区域。板部 PL 包括开口 OPN, 与第一区 PA1 相对应的绝缘层 111 通过该开口 OPN 暴露。纹理控制电极 TCE 的主干部 TCE1 从板部 PL 沿着像素电极 PE 的主干部 PE1 的延伸方向延伸到第三区 PA3。纹理控制电极 TCE 的分支部 TCE2 从板部 PL 或主干部 TCE1 沿着像素电极 PE 的分支部 PE2 的延伸方向 (即, 与其交叠) 或基本平行于像素电极 PE 的分支部 PE2 的延伸方向延伸穿过第三区 PA3。

[0151] 在具有上述结构的 LCD 中, 如果电压施加到像素电极 PE 和纹理控制电极 TCE, 则

施加到沿像素电极 PE 和纹理控制电极 TCE 两者的边缘定位的液晶层 300 的电场被初始扭曲。因此,受此位置的电场影响的液晶分子被初始旋转,也就是,由电场的扭曲直接导致的旋转,然后与初始旋转的液晶分子相邻的液晶分子被继续旋转。

[0152] 图 19A 和图 19B 是分别示出当电压已经施加到像素电极 PE 和纹理控制电极 TCE 两者之后时间过去 10ms 和 50ms 时根据第七实施方式的 LCD 获得的透射率的曲线图。

[0153] 参照图 19A,当电压施加到像素电极 PE 和纹理控制电极 TCE 两者之后时间过去 10ms 时,在相应于像素电极 PE 的边缘的第一位置 P1 和第三位置 P3 处的透射率以及在相应于纹理控制电极 TCE 的边缘的第二位置 P2 和第四位置 P4 处的透射率高于其他区域的透射率。对于液晶层 300 的更高透射率表示液晶层 300 的电场在像素电极 PE 的边缘和与纹理控制电极 TCE 的开口 OPN 相邻的边缘处被初始改变。具体地,沿像素电极 PE 的边缘和与纹理控制电极 TCE 的开口 OPN 相邻的边缘定位的液晶分子被初始旋转。

[0154] 参照图 19B,当电压施加到像素电极 PE 和纹理控制电极 TCE 两者之后时间过去 50ms 时,在相应于像素电极 PE 的整个区域上显示更高的透射率,这表示位于像素电极 PE 上方的大部分液晶分子已经被旋转。

[0155] 如图 19A 和图 19B 所示,根据第七示范性实施方式,纹理控制电极 TCE 的边缘位于像素电极 PE 的主干部 PE1 和分支部 PE2 之间以提供其中液晶分子被初始旋转的区域。因此,沿着纹理控制电极 TCE 的在像素电极 PE 的主干部 PE1 与分支部 PE2 之间的边缘定位的液晶分子可以初始旋转(通过在该位置处的电场的改变而被初始旋转),然后定位在形成有像素电极 PE 的区域中的液晶分子可以旋转。

[0156] 图 20A、图 20B、图 21A、图 21B、图 22A 和图 22B 是示出在常规 LCD 和根据第七示范性实施方式的 LCD 中透射率作为时间的函数的照片,该照片从像素的一部分获得。图 20A 和图 20B 示出当施加电压之后时间过去 20ms 时的透射率,图 21A 和图 21B 示出当施加电压之后时间过去 50ms 时的透射率,图 22A 和图 22B 示出当施加电压之后时间过去 100ms 时的透射率。

[0157] 根据像素电极 PE 和纹理控制电极 TCE 的排布将像素分为第一至第三区 PA1 至 PA3。常规 LCD 包括通过常规方法制造的像素电极。第七示范性实施方式的结构与常规 LCD 的结构相同,除了常规 LCD 不具有纹理控制电极 TCE 之外。此外,常规 LCD 在与根据第七示范性实施方式的 LCD 相同的条件下被制造和驱动。在根据第七示范性实施方式的 LCD 中,第二有效电压与第一有效电压的比例 (V_2/V_1) 为 0.83。

[0158] 参照图 20A、图 21A 和图 22A,类似于图 8A 和图 8B,在常规 LCD 中,在像素电极的分支部的末端与主干部之间发生纹理缺陷。也就是,当电场施加到常规 LCD 的液晶层时,由位于像素电极的分支部的末端与主干部之间的区域中的液晶层形成非透射区。引起纹理缺陷的该非透射区不规则地形成在像素电极的分支部的末端与主干部之间,而与像素电极的形状无关。此外,在常规 LCD 中,即使时间流逝,液晶分子的未配向也没有被校正。

[0159] 参照图 20B、图 21B 和图 22B,根据第七示范性实施方式的 LCD 在像素的整个区域上显示了均匀的透射率而没有引起纹理缺陷。

[0160] 虽然在像素电极 PE 和纹理控制电极 TCE 的图中没有示出,但由于制造工艺中的未对准,像素电极 PE 的分支部 PE2 的延伸方向可能从纹理控制电极 TCE 的分支部 TCE2 的延伸方向偏离。然而,即使当像素电极 PE 的分支部 PE2 与纹理控制电极 TCE 的分支部 TCE2

间隔开直到最大 $3\mu\text{m}$ 时,透射率也没有显著改变。

[0161] 图 23 是示出常规 LCD (COV) 和根据第七示范性实施方式的 LCD (PR) 的透射率的曲线图 (透射率以任意单位表示)。常规 LCD 包括通过常规方法制造的像素电极。常规 LCD 的结构与根据第七示范性实施方式的 LCD 的结构相同,除了:(1) 在常规 LCD 中的像素电极具有与根据第七示范性实施方式的像素电极 PE 不同的形状;(2) 没有纹理控制电极 TCE。此外,常规 LCD 在与根据第七示范性实施方式的 LCD 相同的条件下被制造和驱动。

[0162] 参照图 23,常规 LCD 的透射率低于根据第七示范性实施方式的 LCD 的透射率,因为一些液晶分子不受电场的控制,也就是,光由于纹理缺陷而被阻挡。

[0163] 图 24 是示出在根据第七示范性实施方式的 LCD 中对于各个位置 A 至 F 的液晶分子 LC 的极角作为施加的电压的函数的曲线图。极角在第二有效电压 V2 与第一有效电压 V1 的比例 ($V2/V1$) 为 0.83 的条件下测量。

[0164] 在 LCD 中的位置 A 至 F 与图 16 中相同。位置 A 位于第三区 PA3 中的纹理控制电极 TCE 的相邻分支部 TCE2 之间,位置 B 在第三区 PA3 中的纹理控制电极 TCE 的分支部 TCE2 之上,位置 C 在第二区 PA2 中的像素电极 PE 的相邻分支部 PE2 之间,位置 D 在第二区 PA2 中的像素电极 PE 的分支部 PE2 之上,位置 E 在第一区 PA1 中的像素电极 PE 的相邻分支部 PE2 之间,位置 F 在第一区 PA1 中的像素电极 PE 的分支部 PE2 之上。

[0165] 参照图 16 和图 24,在位于像素电极 PE 和纹理控制电极 TCE 上的位置中配向的液晶分子可以具有彼此不同的极角。具体地,在位置 A 的极角基本等于在位置 C 的极角,在位置 B 的极角大于在位置 A 和 C 的极角。在位置 D 的极角类似于在位置 B 的极角,在位置 E 的极角大于在位置 A 至 D 的极角。此外,在位置 F 的极角大于在位置 E 的极角。

[0166] 因此,液晶分子的极角可以根据像素电极 PE 和纹理控制电极 TCE 的形式、形状和位置来调节。此外,液晶分子的极角可以根据施加到像素电极 PE 和纹理控制电极 TCE 的电压来调节。因此,根据第七示范性实施方式,液晶分子可以被容易地控制,从而透射率和视角可以被容易地控制。

[0167] 根据第七示范性实施方式,像素电极 PE 的分支部 PE2 的末端和纹理控制电极 TCE 的与分支部 PE2 的末端交叠的板部 PL 具有基本矩形的形状,开口 OPN 具有矩形形状。然而,根据其他示范性实施方式,开口 OPN 和分支部 PE2 的末端可以具有除了矩形形状以外的其他形状。

[0168] 图 25A 和图 25B 是分别示出根据第八和第九示范性实施方式的 LCD 的图。为了方便的目的,在图 25A 和图 25B 中仅示出了像素电极 PE 和纹理控制电极 TCE。

[0169] 参照图 25A 和图 25B,像素电极 PE 的分支部 PE2 的末端和纹理控制电极 TCE 的交叠分支部 PE2 的末端的板部 PL 具有多边形形状,该多边形形状关于像素电极 PE 的主干部 PE1 的延伸方向对称。

[0170] 根据示范性实施方式,第二和第三点 P2 和 P3 提供在像素电极 PE 的主干部 PE1 与纹理控制电极 TCE 的分支部 TCE2 的末端之间。因此,即使像素的面积增加,在像素电极 PE 的主干部 PE1 与纹理控制电极 TCE 的分支部 TCE2 的末端之间配向的液晶分子也可以被容易地控制。

[0171] 图 26 是示出根据第十示范性实施方式的 LCD 的平面图。图 27A 和图 27B 是示出根据第十示范性实施方式的 LCD 的平面图,其中仅示出了像素电极 PE 和纹理控制电极 TCE。

图 28 是沿图 26 的线 VI-VI' 截取的截面图以示出根据第十示范性实施方式的 LCD 的一部分。

[0172] 下面对于第十示范性实施方式的描述将集中在相对于第一实施方式的差异上以避免不必要的重复。第十实施方式可以适用于第六示范性实施方式中所示的结构。除非另有表述,否则第一实施方式的技术特征将在第十示范性实施方式中被采用。相同或相似的附图标记将用于指代相同或相似的元件。

[0173] 在根据第十示范性实施方式的 LCD 中,像素电极 PE 与纹理控制电极 TCE 之间的交叠部不同于第一至第九示范性实施方式中的交叠部。根据第十示范性实施方式,像素电极 PE 包括主干部 PE1 和从主干部 PE1 分支出来的多个分支部 PE2。此外,纹理控制电极 TCE 包括主干部 TCE1 和从主干部 TCE1 分支出来的多个分支部 TCE2。

[0174] 像素电极 PE 的分支部 PE2 和纹理控制电极 TCE 的分支部 TCE2 可以在其延伸方向上具有相同的宽度,但是示范性实施方式不限于此。该宽度可以从主干部 PE1 和 TCE1 到分支部 PE2 和 TCE2 的末端逐渐减小。图 26 示出分支部 PE2 和 TCE2,其中宽度从主干部 PE1 和 TCE1 到分支部 PE2 和 TCE2 的末端逐渐减小。

[0175] 像素电极 PE 的主干部 PE1 交叠纹理控制电极 TCE 的主干部 TCE1。当在平面图中观看时,像素电极 PE 的分支部 PE2 基本平行于纹理控制电极 TCE 的与像素电极 PE 的分支部 PE2 相邻的分支部 TCE2 延伸。此外,当在平面图中观看时,像素电极 PE 的分支部 PE2 和纹理控制电极 TCE 的分支部 TCE2 彼此交替地排列。

[0176] 此外,因为像素电极 PE 的分支部 PE2 和纹理控制电极 TCE 的分支部 TCE2 具有从主干部 PE1 和 TCE1 到分支部 PE2 和 TCE2 的末端逐渐减小的宽度,所以分支部 PE2 和 TCE2 的边缘在分支部 PE2 和 TCE2 的延伸方向上以预定角度稍微倾斜。

[0177] 根据具有上述结构的 LCD,由于像素电极 PE 的分支部 PE2 和纹理控制电极 TCE 的分支部 TCE2,电场被容易地改变,该像素电极 PE 的分支部 PE2 和纹理控制电极 TCE 的分支部 TCE2 彼此交替地排列,使得液晶分子能够被容易地控制。

[0178] 图 29A、图 29B、图 30A、图 30B、图 31A 和图 31B 是示出在计算机模拟模型上对于常规 LCD 和根据第十示范性实施方式的 LCD 中透射率作为时间的函数计算的结果的照片,该照片从像素的一部分获得。图 29A 和图 29B 示出在施加电压之后当时间过去 20ms 时的透射率,图 30A 和图 30B 示出在施加电压之后当时间过去 50ms 时的透射率,图 31A 和图 31B 示出在施加电压之后当时间过去 100ms 时的透射率。

[0179] 常规 LCD 包括通过常规方法制造的像素电极。常规 LCD 具有与根据第十示范性实施方式的结构相同的结构,除了:(1) 常规 LCD 的像素电极具有与根据第十示范性实施方式的像素电极 PE 不同的形状;(2) 没有纹理控制电极 TCE。此外,常规 LCD 在与根据第十示范性实施方式的 LCD 相同的条件下被制造和驱动。在根据第十示范性实施方式的 LCD 中,第二有效电压与第一有效电压的比例 (V_2/V_1) 为 0.83。

[0180] 参照图 29A、图 30A 和图 31A,当施加电场之后时间过去 20ms 时在常规 LCD 中不发生纹理缺陷。当施加电场之后时间过去 50ms 时在常规 LCD 中的像素电极的分支部的末端与主干部之间发生纹理缺陷。也就是,当电场施加到常规 LCD 的液晶层 300 时,非透射区形成在相应于像素电极的分支部的末端与主干部之间的区域的液晶层 300 处。

[0181] 参照图 29B、图 30B 和图 31B,当施加电场之后时间过去 20ms 时,由于在分支部 PE2

和 TCE2 之间配向的一些液晶分子的旋转,在根据第十示范性实施方式的 LCD 中,平行于分支部 PE2 和 TCE2 在相邻的分支部 PE2 和 TCE2 之间交替地形成高透射区和低透射区。然而,当时间过去 50ms 时,高透射区和低透射区被消除,从而在像素的整个区域上实现均匀的透射率而没有纹理缺陷。

[0182] 根据第十示范性实施方式,分支部 PE2 和 TCE2 的宽度从主干部到分支部 PE2 和 TCE2 的末端逐渐减小。因此,分支部 PE2 和 TCE2 的边缘从分支部 PE2 和 TCE2 的延伸方向稍微倾斜,在分支部 PE2 和 TCE2 中形成倾斜 (slope)。

[0183] 因为分支部 PE2 和 TCE2 构造有倾斜,所以可能发生额外的电场扭曲,从而液晶分子能够容易地沿着像素电极 PE 和纹理控制电极 TCE 的边缘配向。如果分支部 PE2 和 TCE2 的末端的宽度过窄,则对于在相邻的分支部 PE2 和 TCE2 之间配向的液晶分子的配向力 (alignment force) 会减小,从而可能降低透射率。因此,必须根据分支部 PE2 和 TCE2 的长度适当地调节倾斜角 (slope angle)。

[0184] 图 32 是示出当倾斜角调节为像素电极 PE 的分支部 PE2 与纹理控制电极 TCE 的分支部 TCE2 之间的距离恒定地保持为 $6\mu\text{m}$ 时根据第十示范性实施方式的 LCD 的透射率的曲线图。

[0185] 参照图 32,在倾斜不形成在分支部 PE2 和 TCE2 中的情形下,当施加电压之后时间过去 25ms 时,与倾斜形成在分支部 PE2 和 TCE 中的情形相比表现出较高的透射率。然而,当施加电压之后时间过去 50ms 时,如果倾斜不形成在分支部 PE2 和 TCE2 中则透射率降低,这表示由于倾斜使得能够被容易地旋转的液晶分子的数目增加,而由于被旋转的液晶分子使得透射率增加。

[0186] 图 33 是示出在分支部 PE2 和 TCE2 配置有固定为 0.96° 的倾斜角时透射率随着相邻的分支部 PE2 与 TCE2 之间的距离而改变的曲线图。

[0187] 参照图 33,在分支部 PE2 和 TCE2 不具有倾斜且相邻分支部 PE2 与 TCE2 之间的距离为 $6\mu\text{m}$ 的情形下,当施加电压之后时间过去 25ms 时,与倾斜形成在分支部 PE2 和 TCE2 的情形相比存在较高的透射率。然而,当施加电压之后时间过去 50ms 至 80ms 时,如果倾斜没有形成在分支部 PE2 和 TCE2 中则存在较低的透射率。因此,如果倾斜形成在分支部 PE2 和 TCE2 中则透射率相对高。此外,随着相邻分支部 PE2 与 TCE2 之间的距离变窄,透射率相对高。因此,通过在分支部 PE2 和 TCE2 中形成倾斜同时将相邻分支部 PE2 与 TCE2 之间的距离最小化,可以更容易地控制液晶分子。

[0188] 根据第十示范性实施方式,像素电极 PE 的分支部 PE2 和纹理控制电极 TCE 的分支部 TCE2 交替地排列同时彼此间隔开。然而,如果额外的电场扭曲是可能的,则分支部 PE2 和 TCE 的布置可以改变。根据第十一示范性实施方式,像素电极 PE 的分支部 PE2 部分地交叠纹理控制电极 TCE 的分支部 TCE2。

[0189] 图 34 是示出根据第十一示范性实施方式用于计算机模拟模型的 LCD 的结构图,其中仅示出了像素电极 PE 和纹理控制电极 TCE。

[0190] 在根据第十一示范性实施方式的 LCD 中,像素电极 PE 与纹理控制电极 TCE 之间的交叠部不同于根据第一至第十示范性实施方式的交叠部。

[0191] 参照图 34,像素电极 PE 包括主干部 PE1 和从主干部 PE1 分支出来的多个分支部 PE2。此外,纹理控制电极 TCE 包括主干部 TCE1 和从主干部 TCE1 分支出来的多个分支部

TCE2。像素电极 PE 的主干部 PE1 交叠纹理控制电极 TCE 的主干部 TCE1。根据第十一示范性实施方式,像素电极 PE 的每个分支部 PE2 部分地交叠纹理控制电极 TCE 的每个分支部 TCE2。因此,当在平面图中观看时,纹理控制电极 TCE 的每个分支部 TCE2 的边缘的一部分位于像素电极 PE 的相邻分支部 PE2 之间。因此,当施加电压时,两个电极的分支部 PE2 和 TCE2 的边缘的该部分扭曲位于相邻的分支部 PE2 与 TCE2 之间的电场。因此,通过像素电极 PE 的分支部 PE2 和纹理控制电极 TCE 的分支部 TCE2,可以容易地控制液晶分子的旋转。

[0192] 图 35A、图 35B 和图 35C 是分别示出当施加电场之后时间过去 20ms、50ms 和 100ms 时根据第十一示范性实施方式的 LCD 的透射率的照片。

[0193] 参照图 35A、图 35B 和图 35C,当时间过去 20ms 时,在像素电极 PE 的分支部 PE2 与纹理控制电极 TCE 的分支部 TCE2 之间形成低透射区和高透射区。也就是,电场被扭曲的区域可以具有高透射率而电场没有被扭曲的区域可以具有低透射率。然而,当时间过去 50ms 时,高透射区和低透射区被消除,从而在像素的整个区域上存在均匀的透射率而没有纹理缺陷。

[0194] 如上所述,根据实施方式,可以提供不具有纹理缺陷的 LCD。

[0195] 因此,配向材料诸如用于容易地控制液晶分子的反应性介晶可以不是必需的。因为反应性介晶通过电场曝光工艺制造,所以实施方式通过省略反应性介晶可以简化制造工艺并降低制造成本。

[0196] 虽然已经描述了示范性实施方式,但是应理解,本发明不限于这些示范性实施方式,而是本领域普通技术人员可以在本公开的精神和范围内进行各种变化和变形。

[0197] 例如,假设相同的电压施加到像素电极和纹理控制电极,在第三到第十一示范性实施方式中仅描述了相对于第一示范性实施方式的差异。本发明不限于此。类似于第二示范性实施方式,施加到像素电极的电压可以不同于施加到纹理控制电极的电压。

[0198] 本申请要求于 2010 年 9 月 27 日提交的韩国专利申请 No. 10-2010-0093410 的优先权,其内容通过引用整体结合于此。

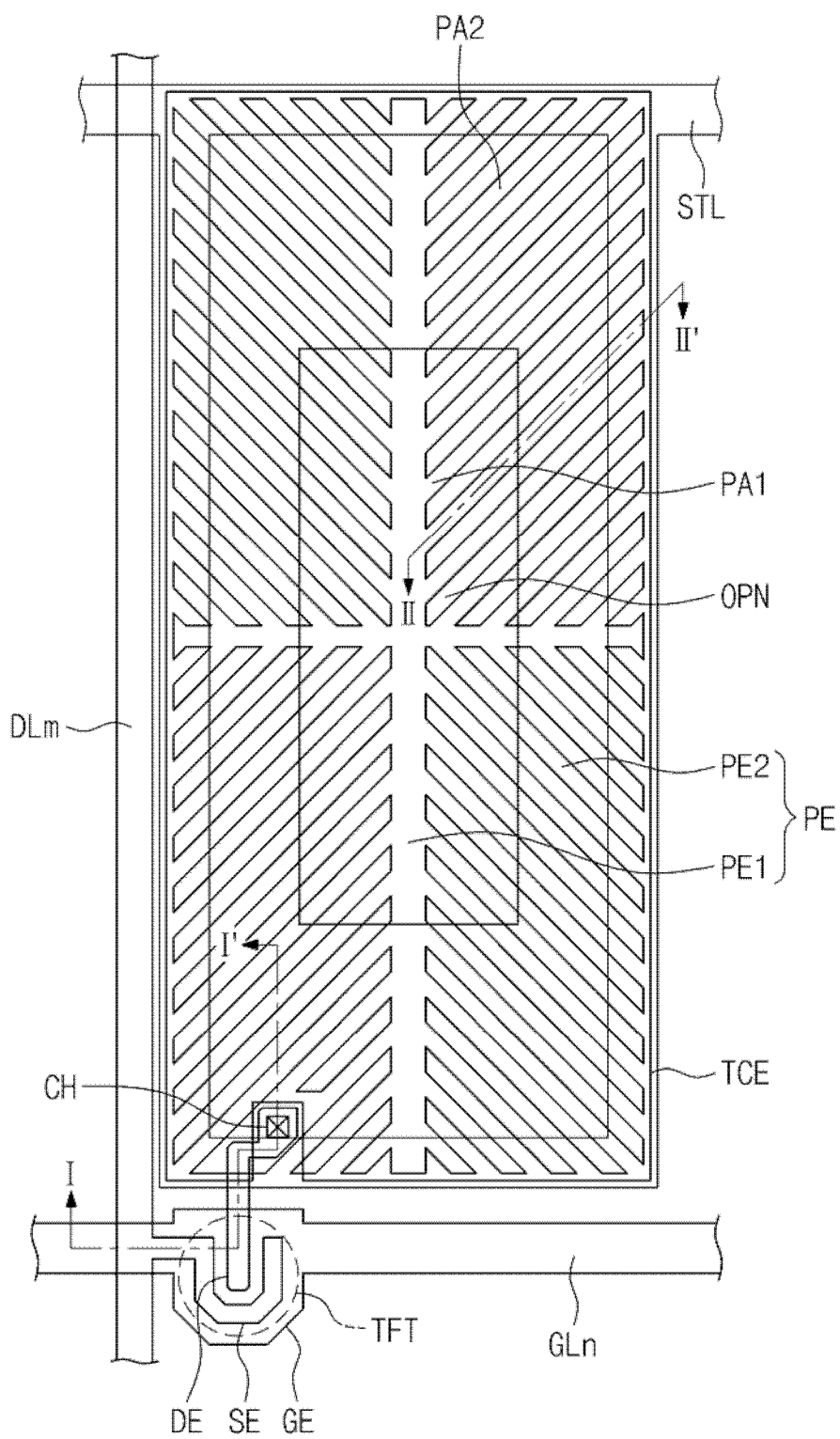


图 1

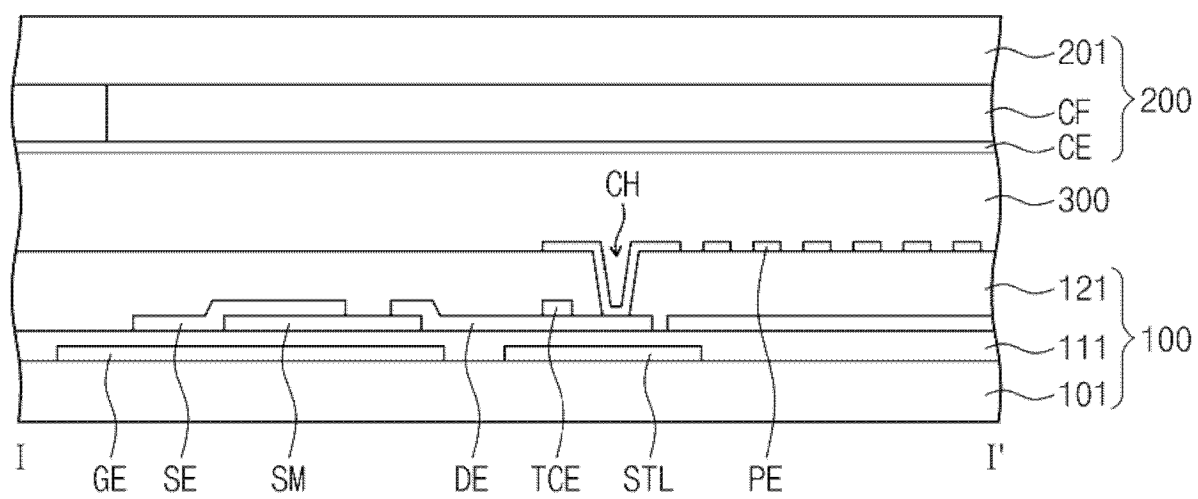


图 2

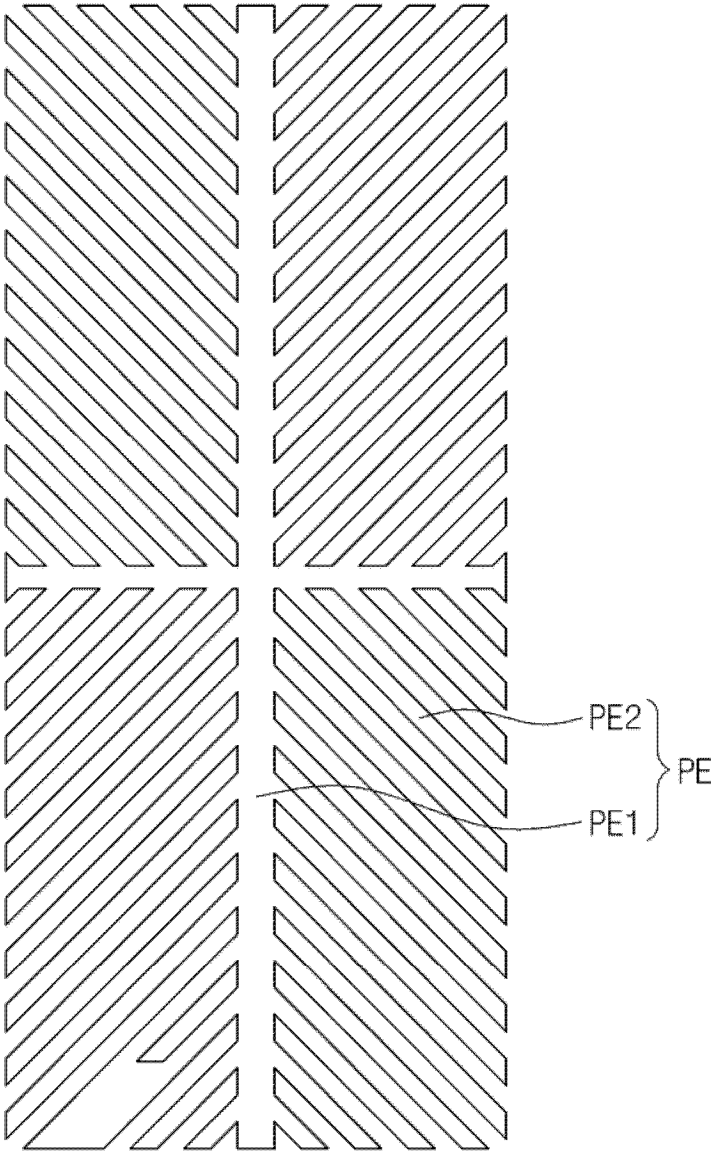


图 3A

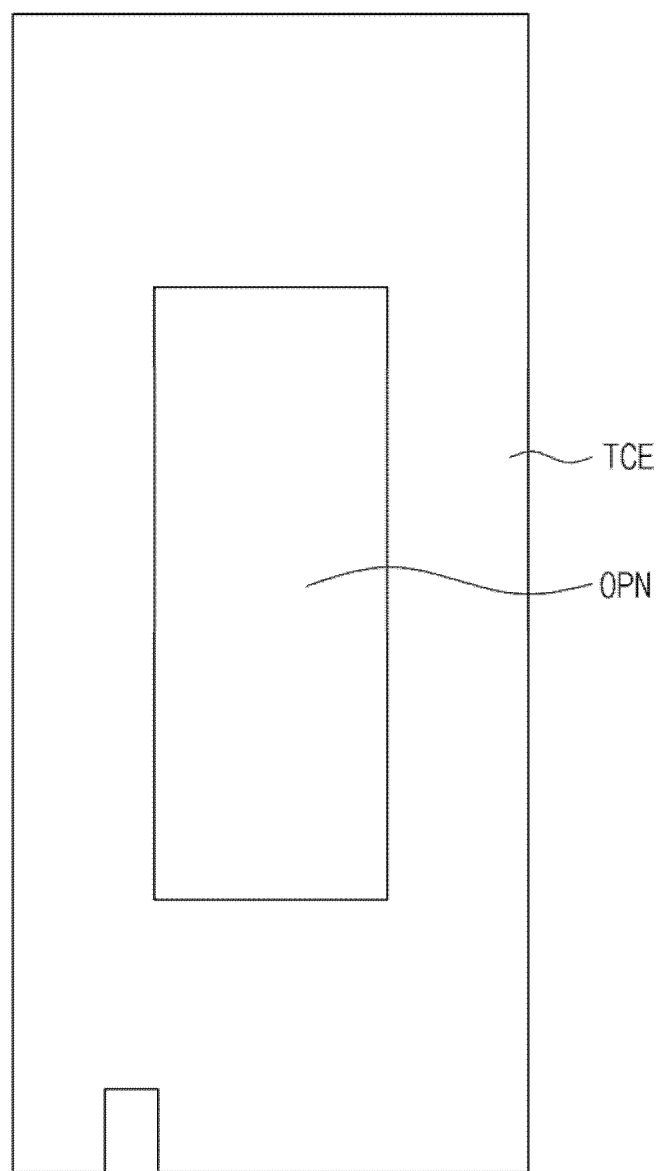


图 3B

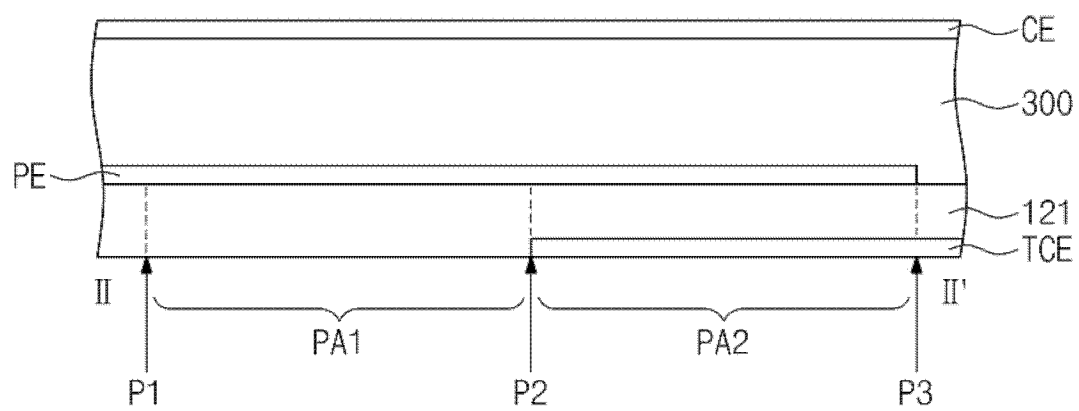


图 4

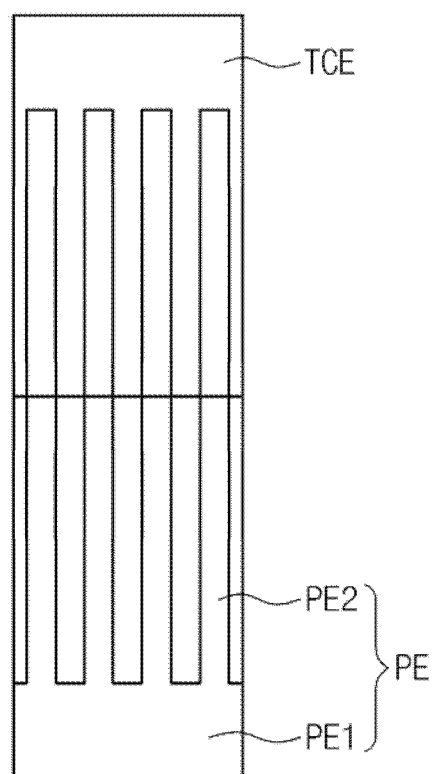


图 5

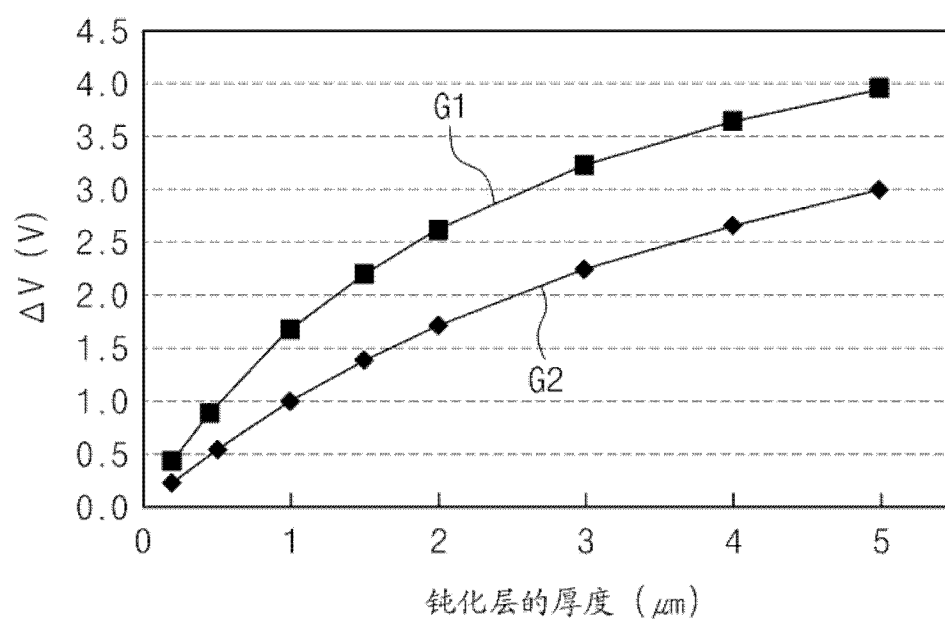


图 6

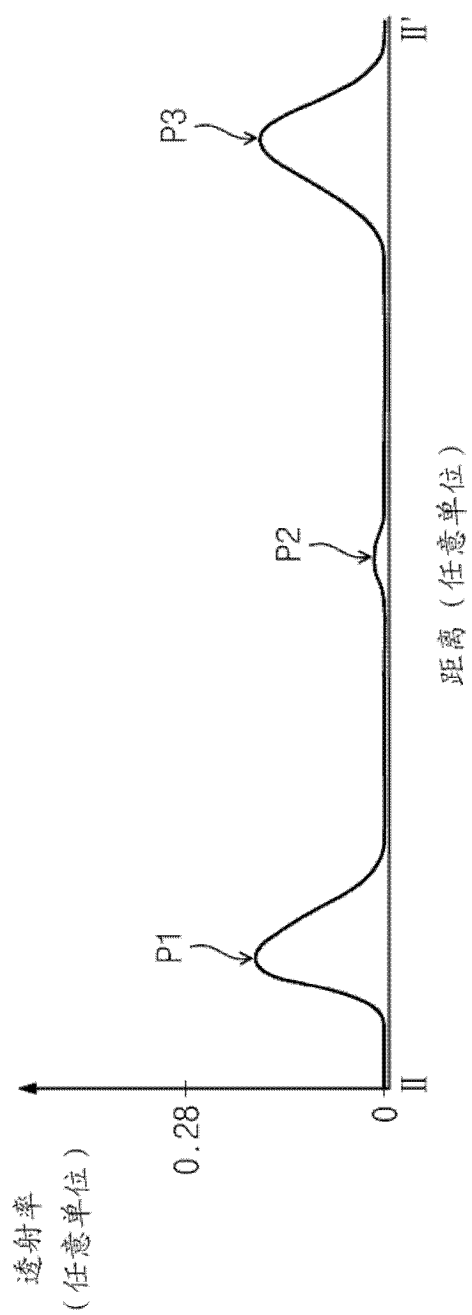


图 7A

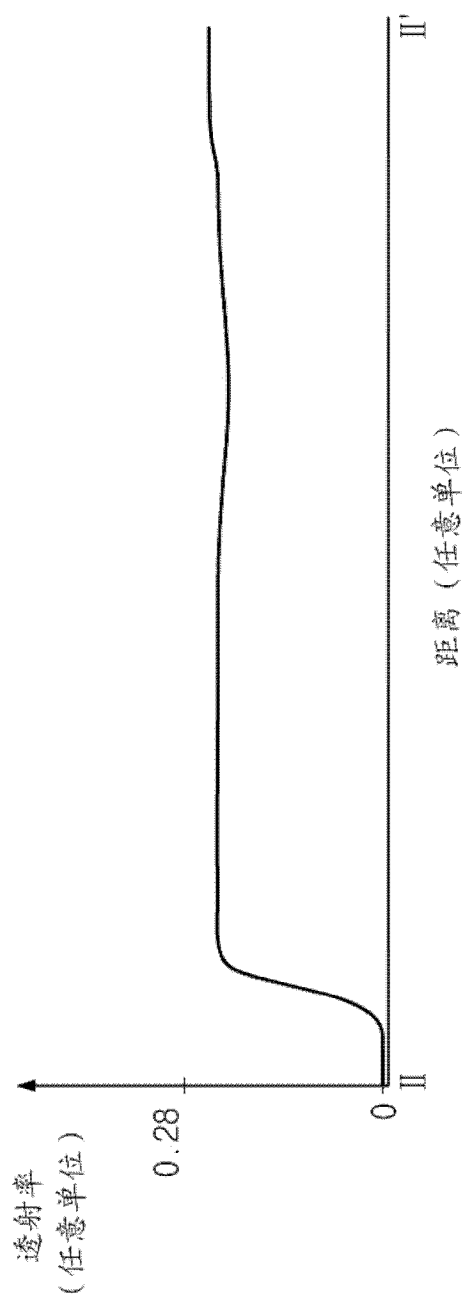


图 7B

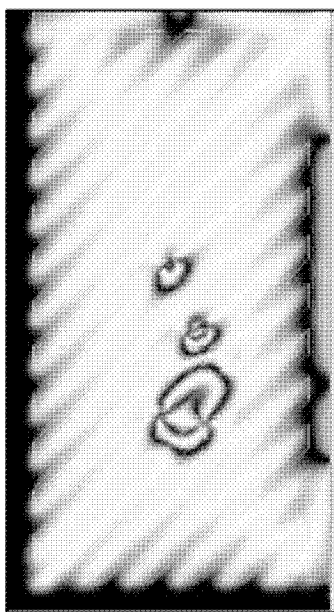


图 8A

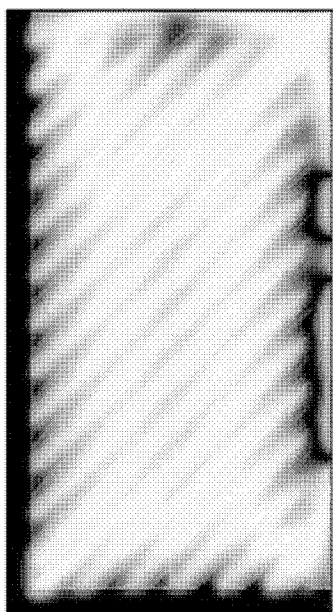


图 8B

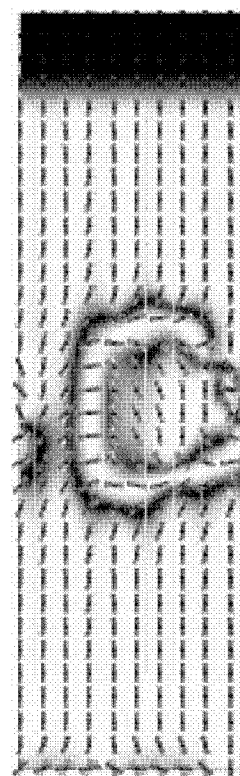


图 9A

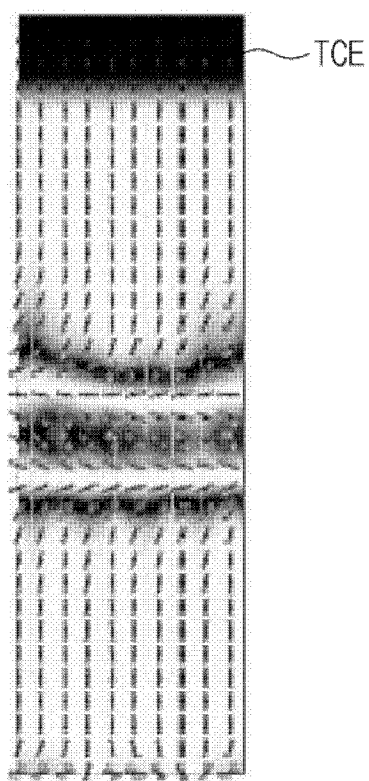


图 9B

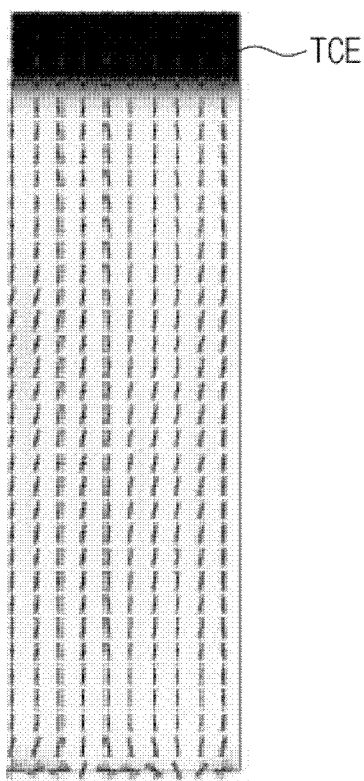


图 9C

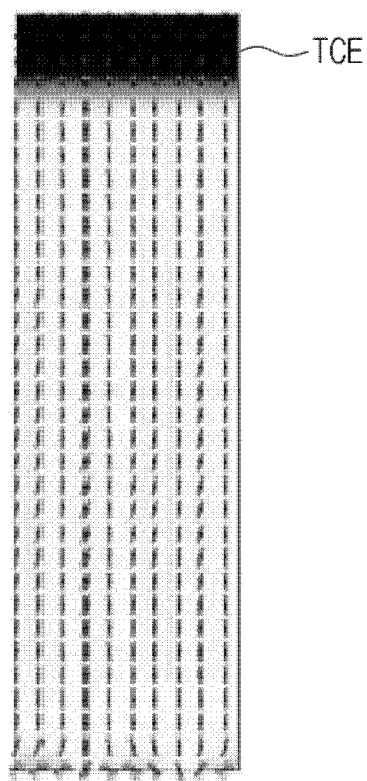


图 9D

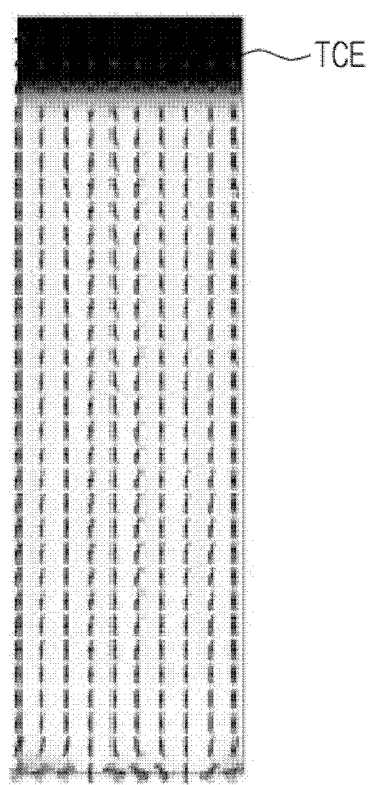


图 9E

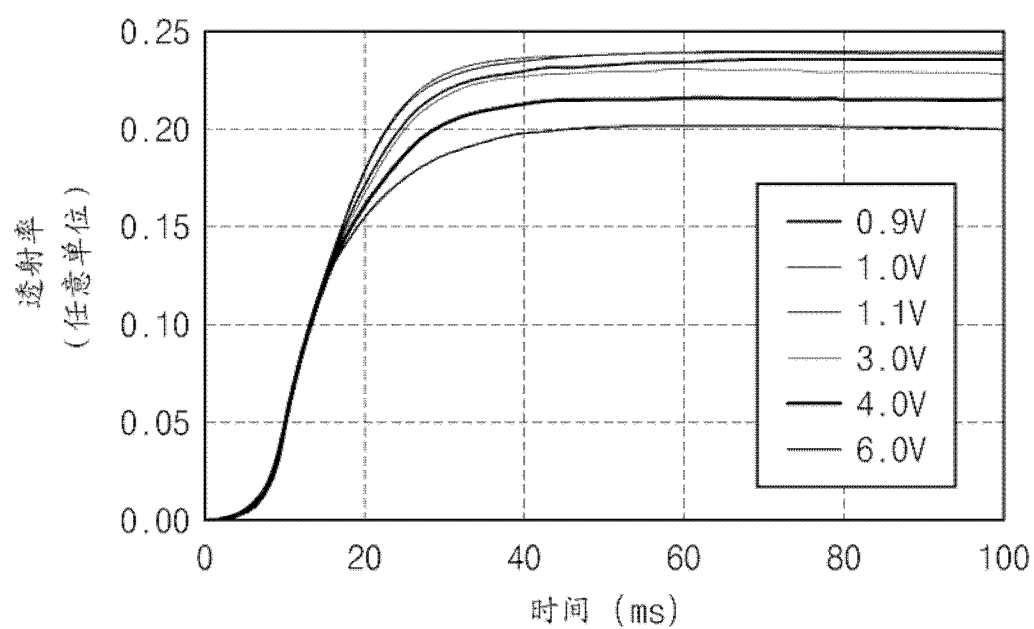


图 10

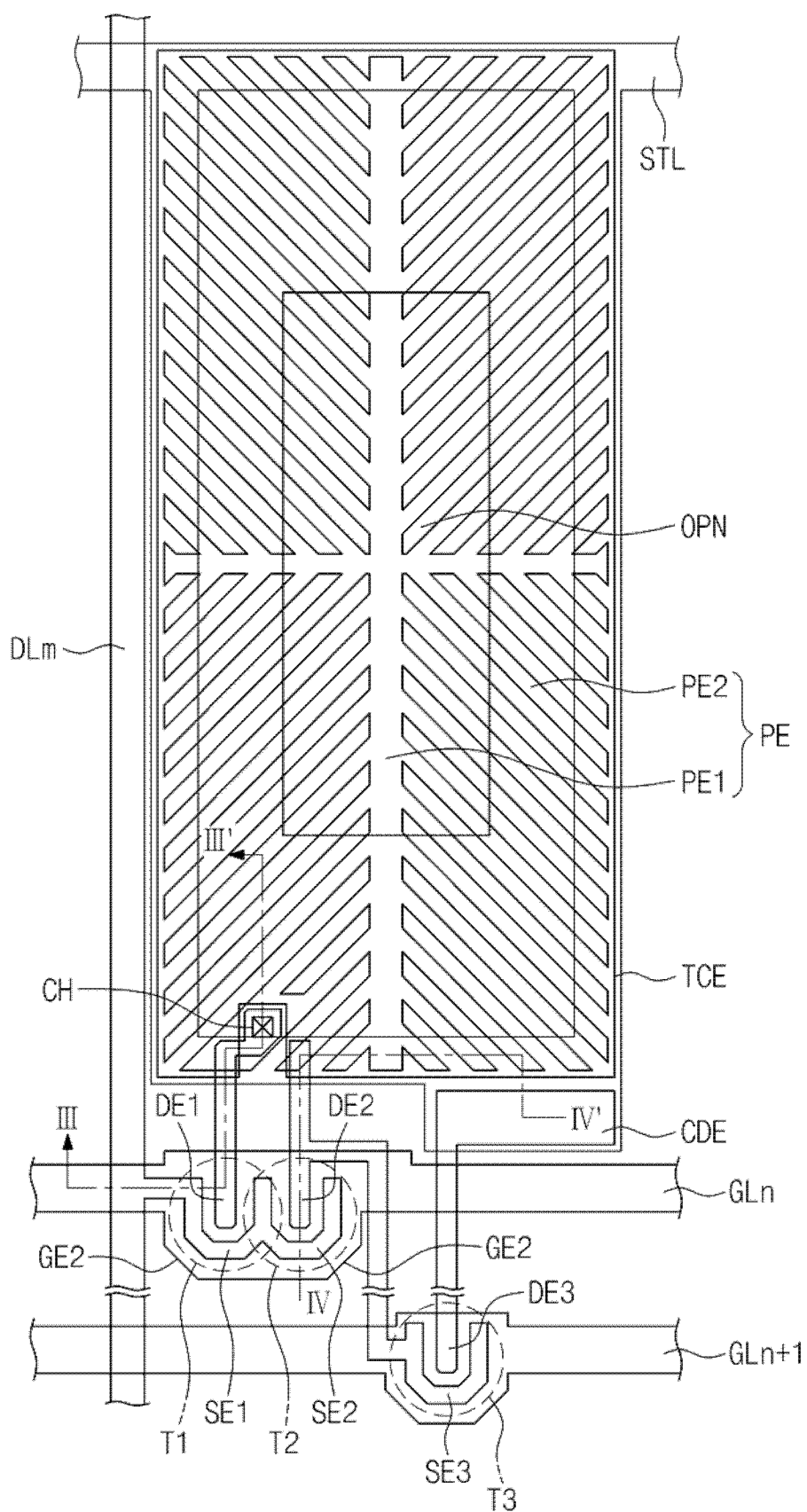


图 11

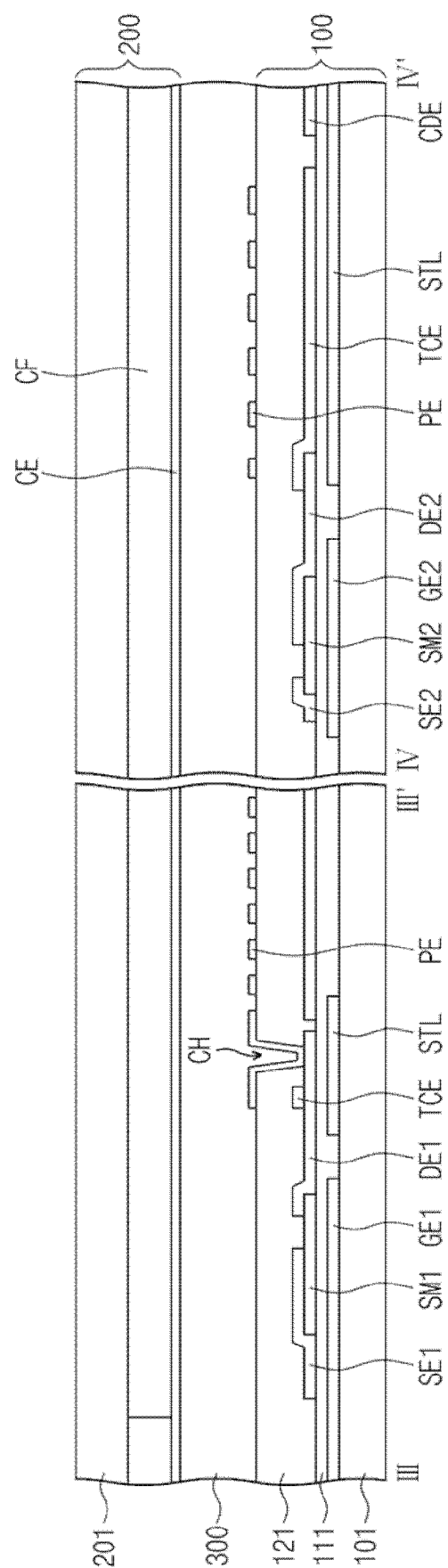


图 12

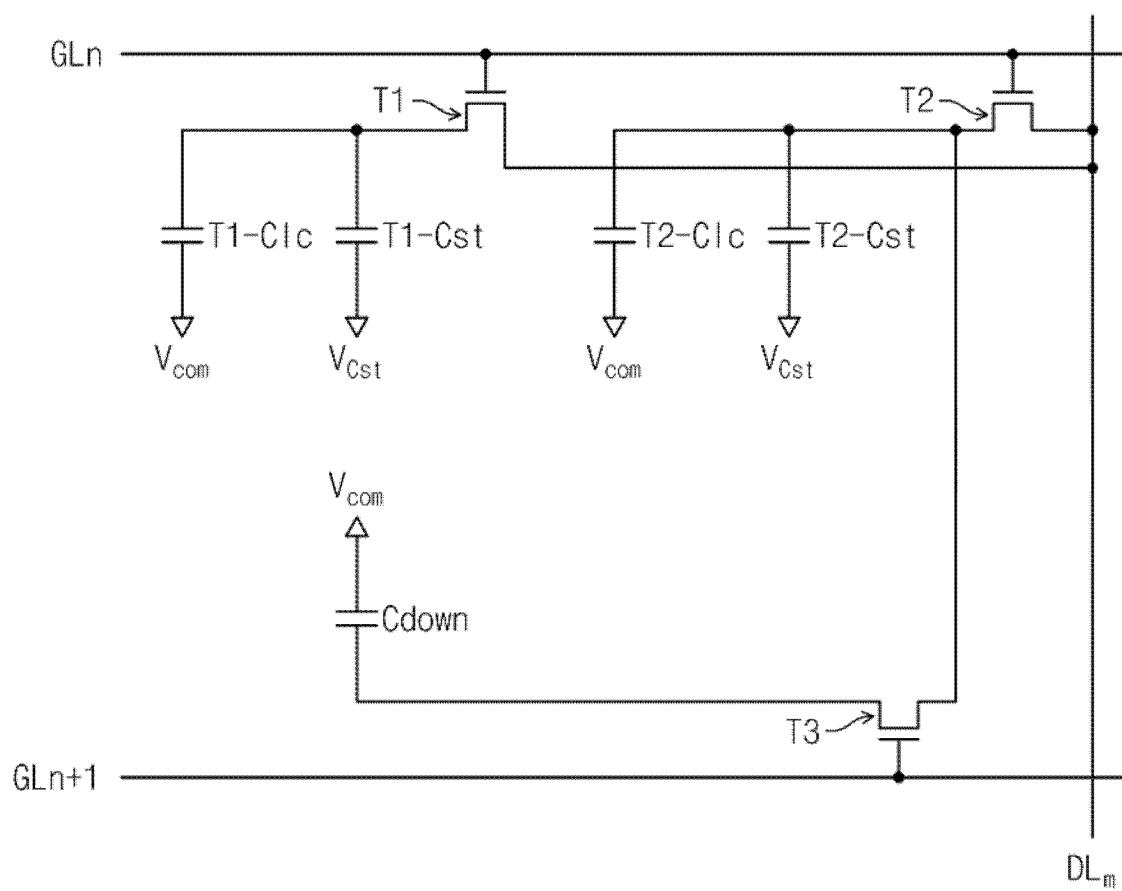


图 13

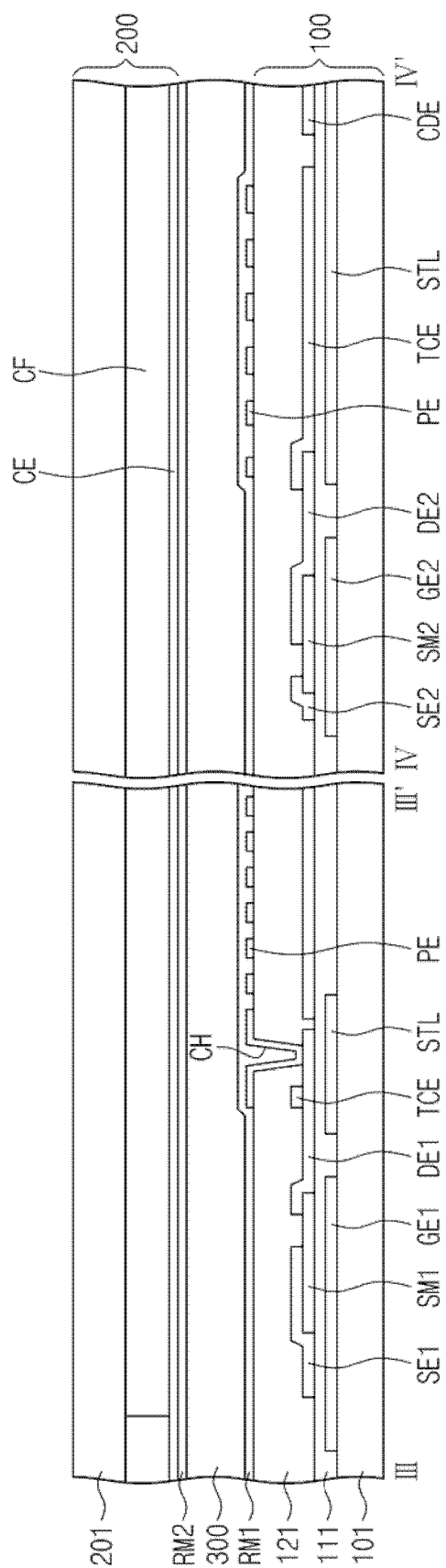


图 14

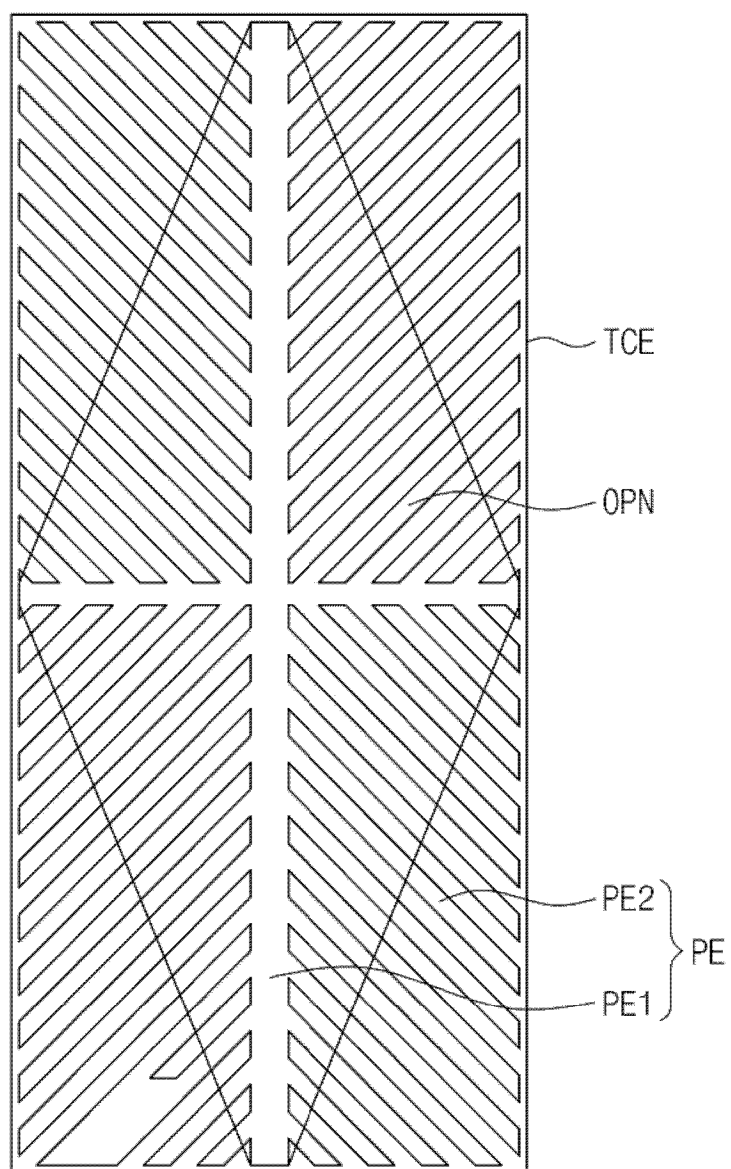


图 15A

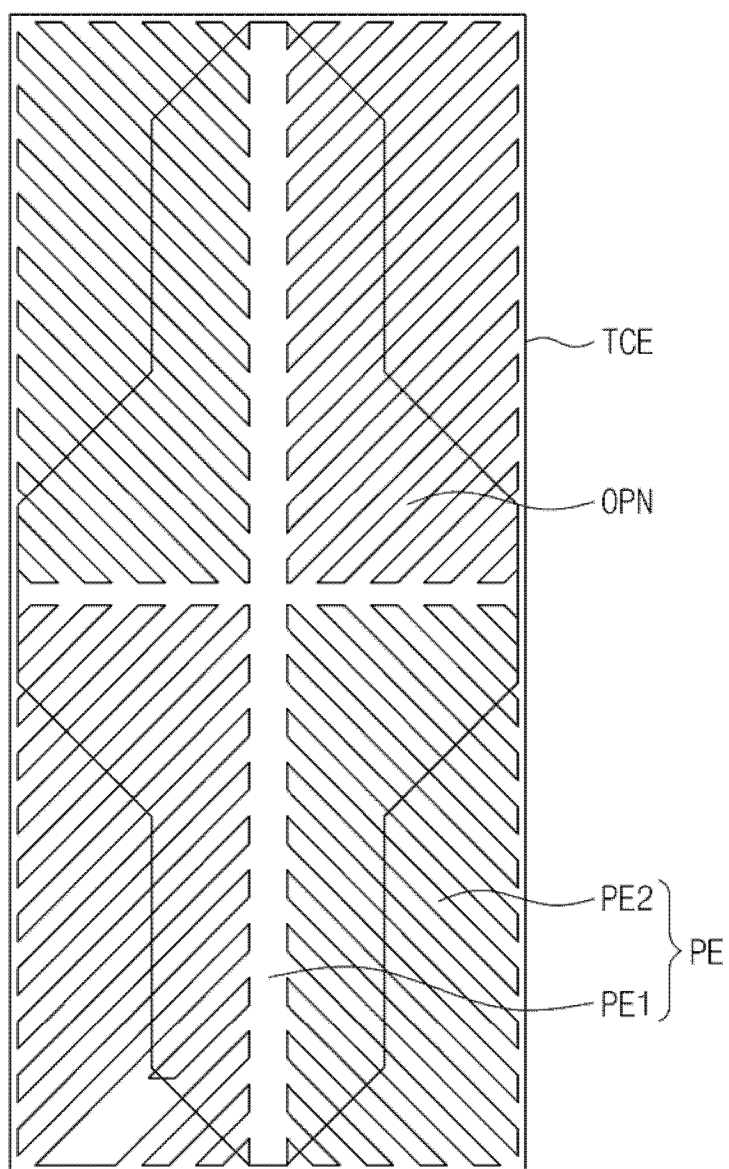


图 15B

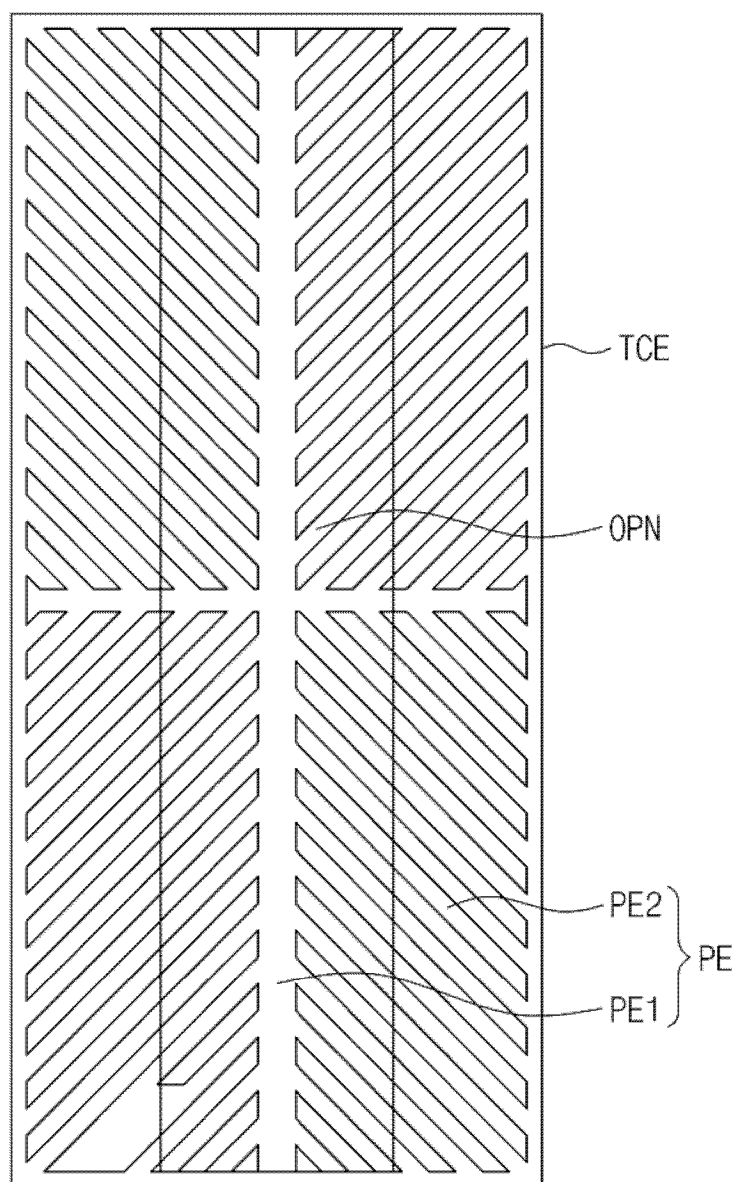


图 15C

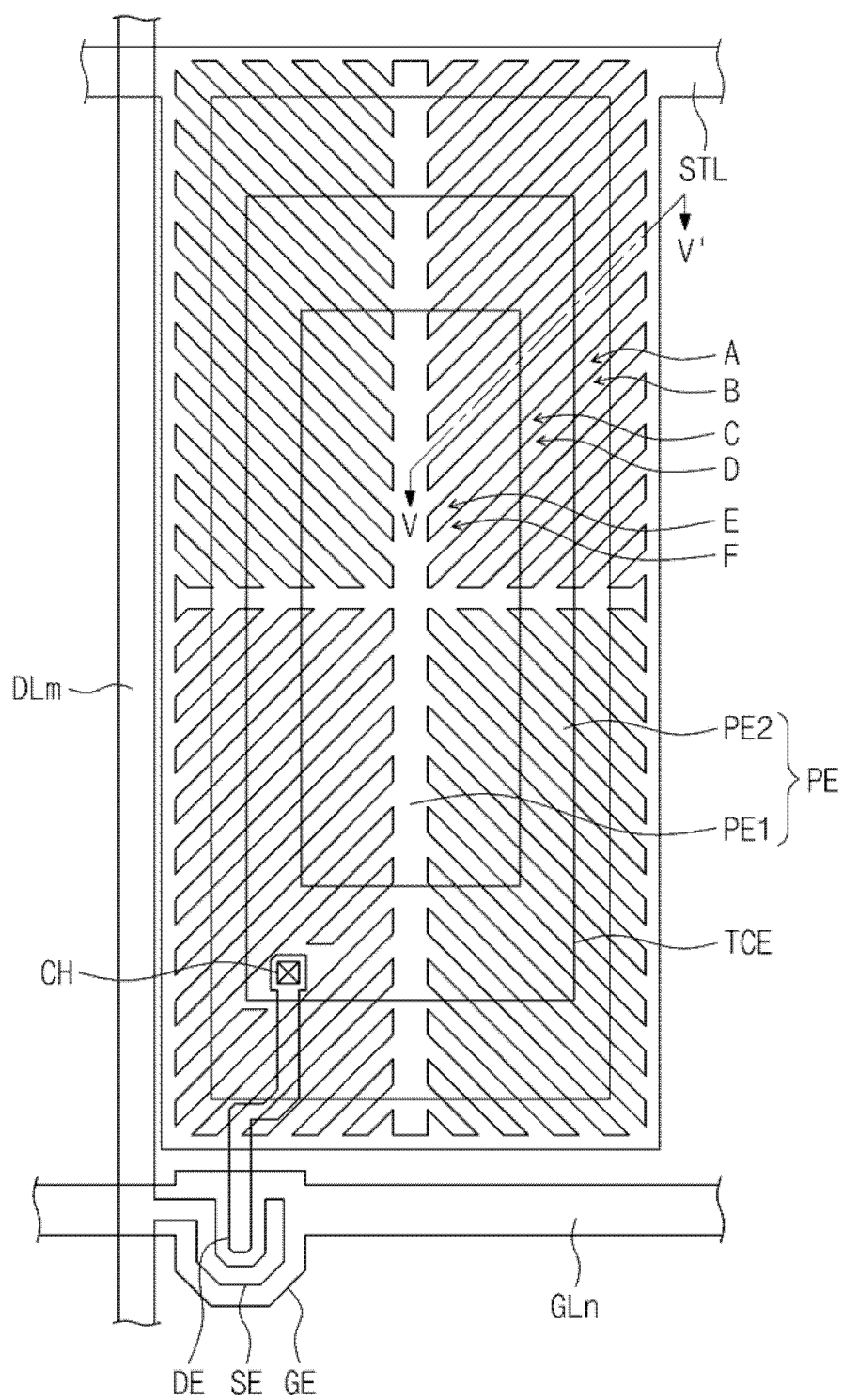


图 16

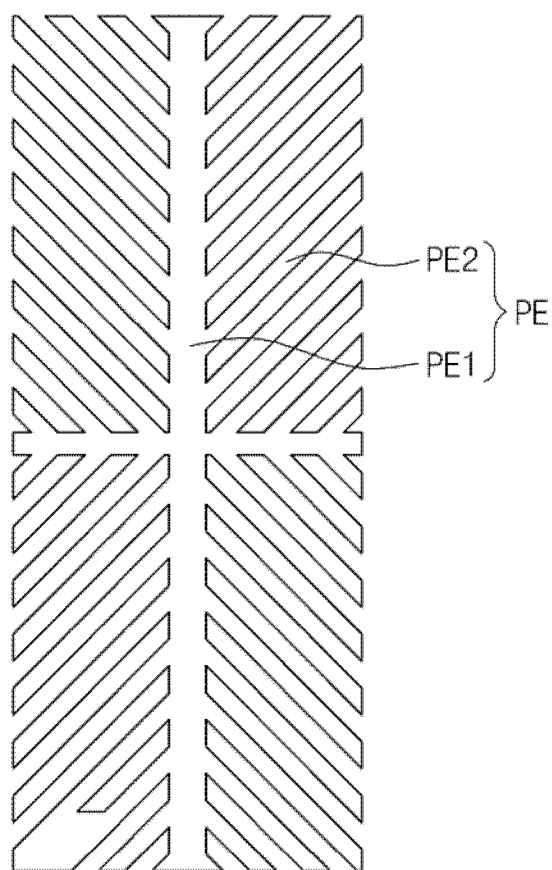


图 17A

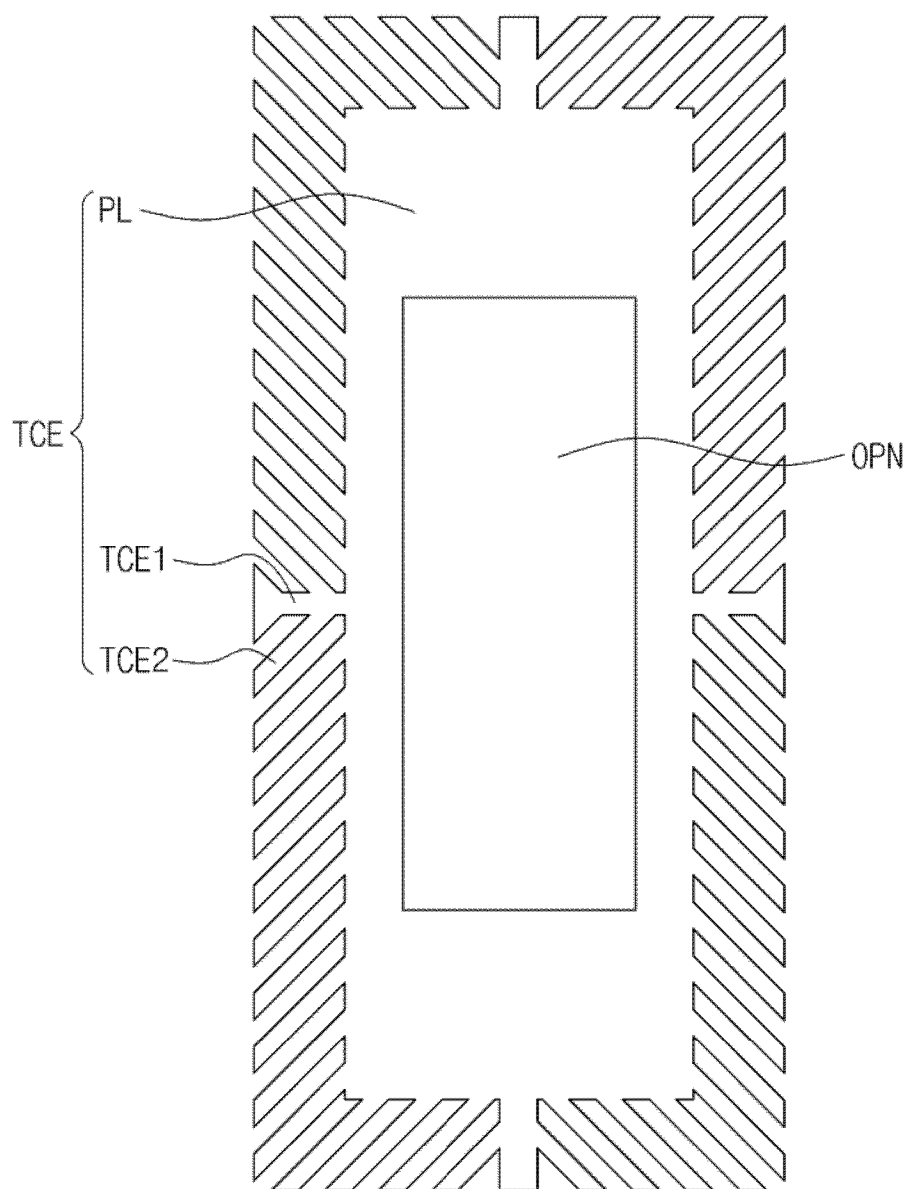


图 17B

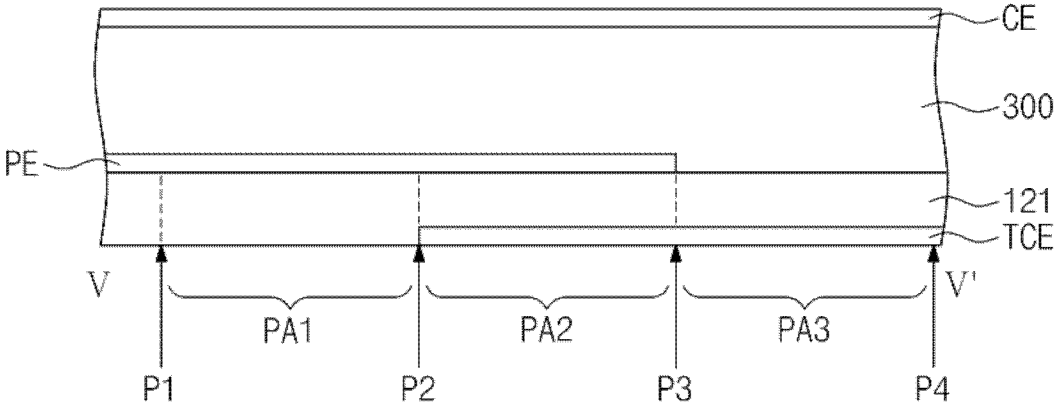


图 18

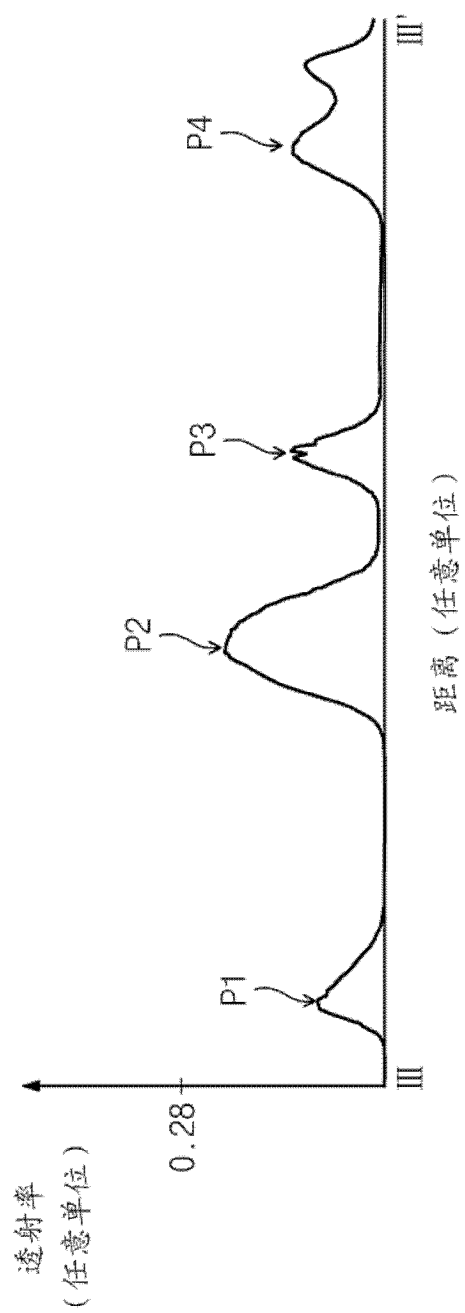


图 19A

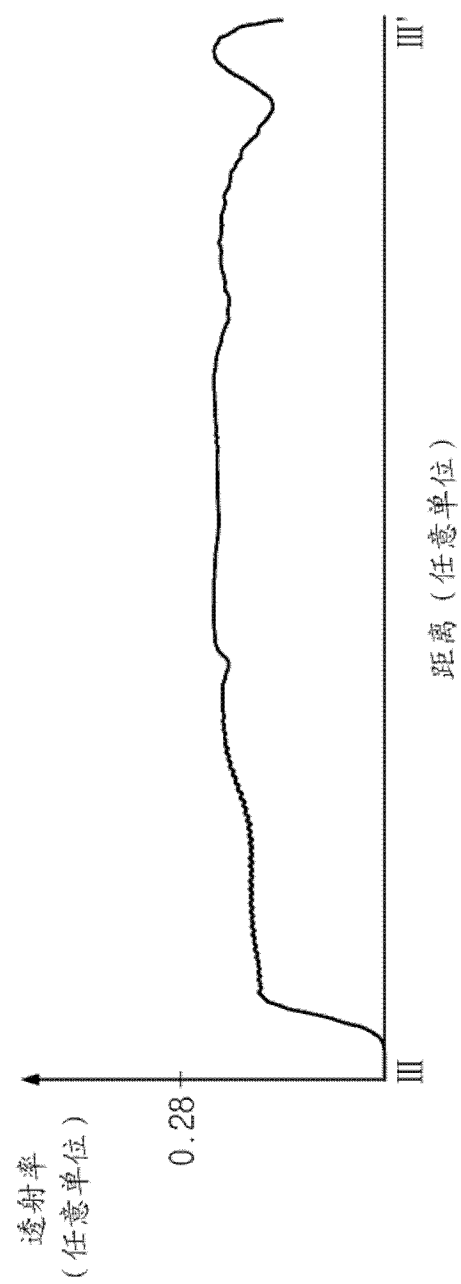


图 19B

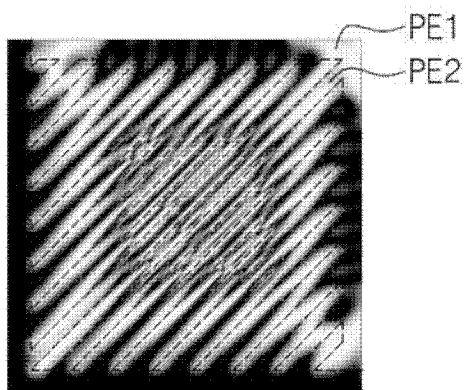


图 20A

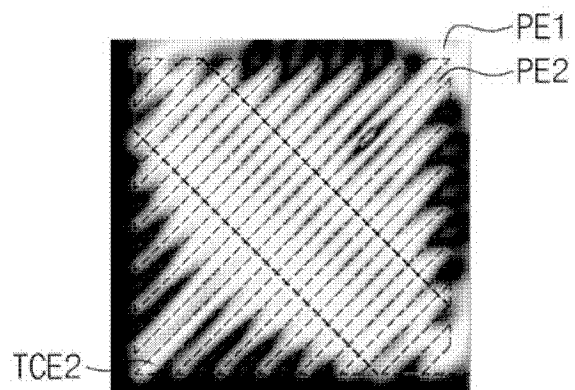


图 20B

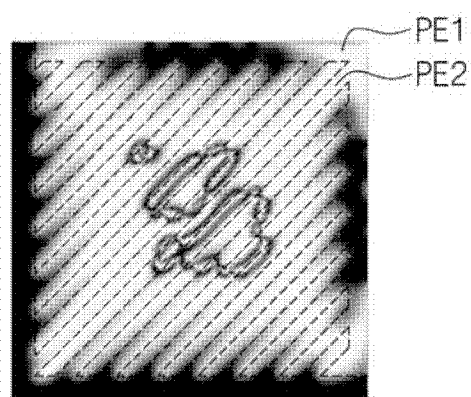


图 21A

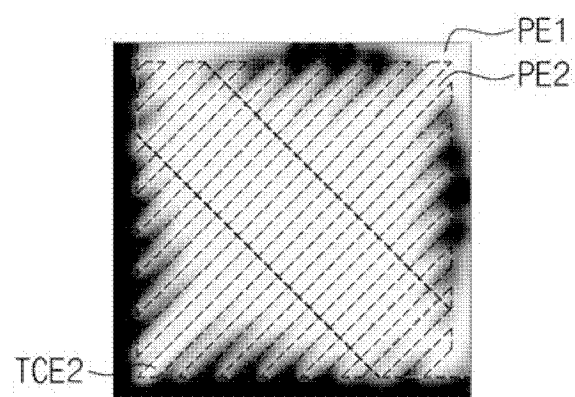


图 21B

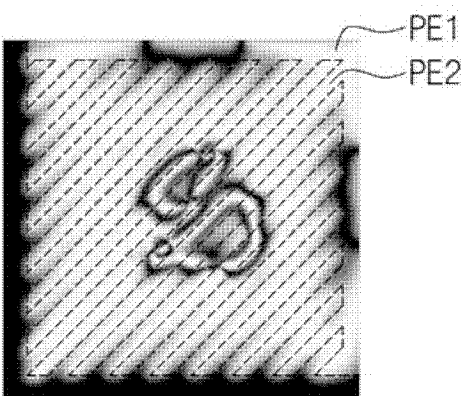


图 22A

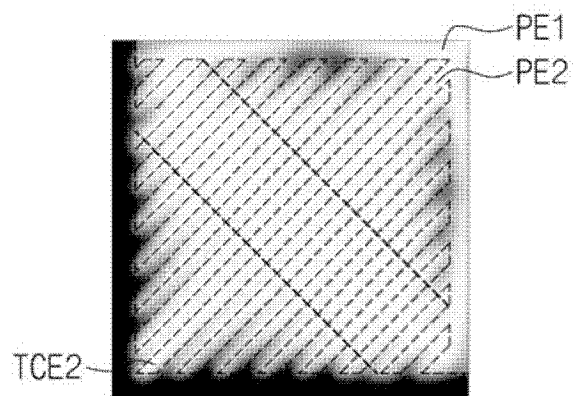


图 22B

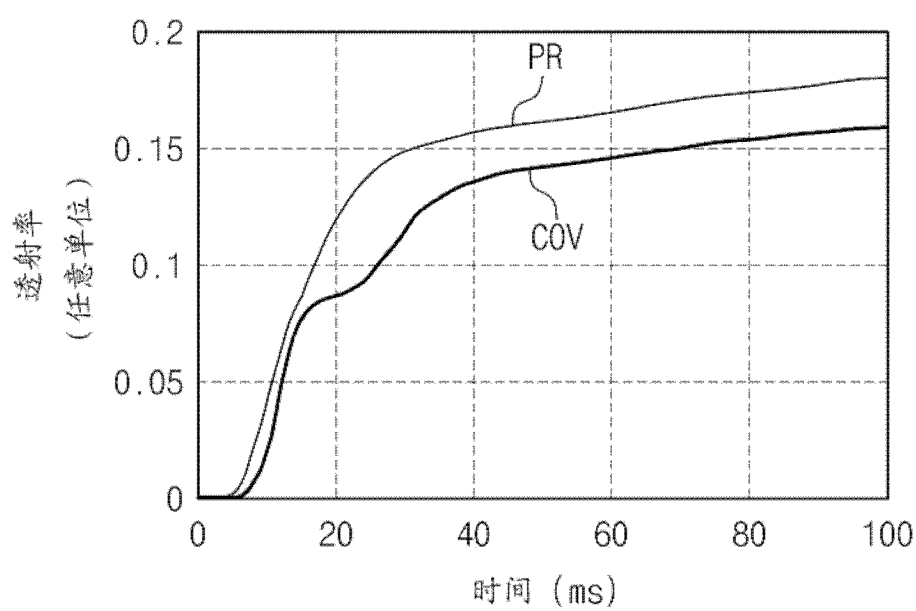


图 23

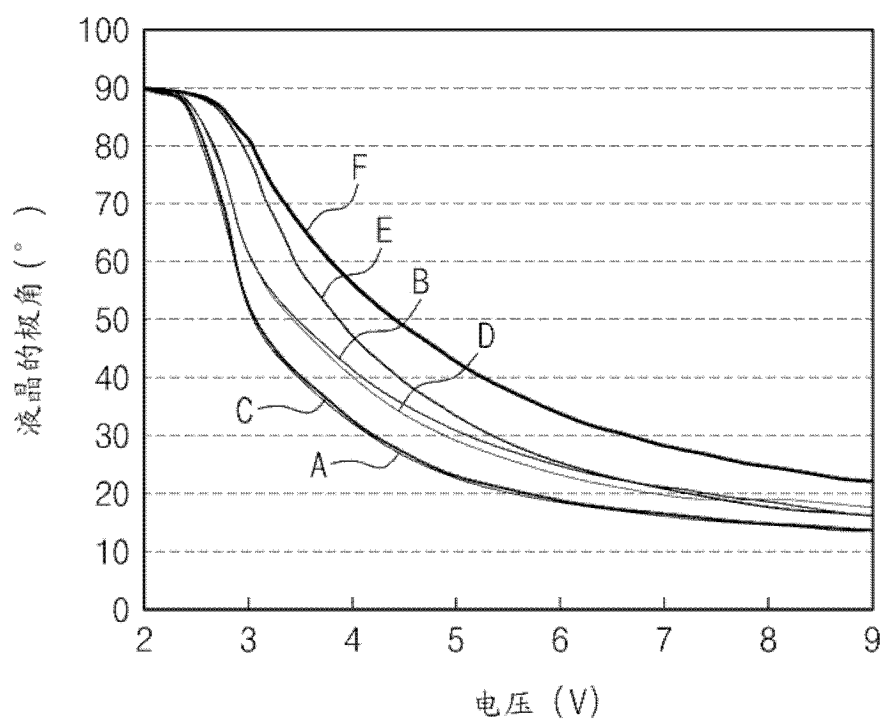


图 24

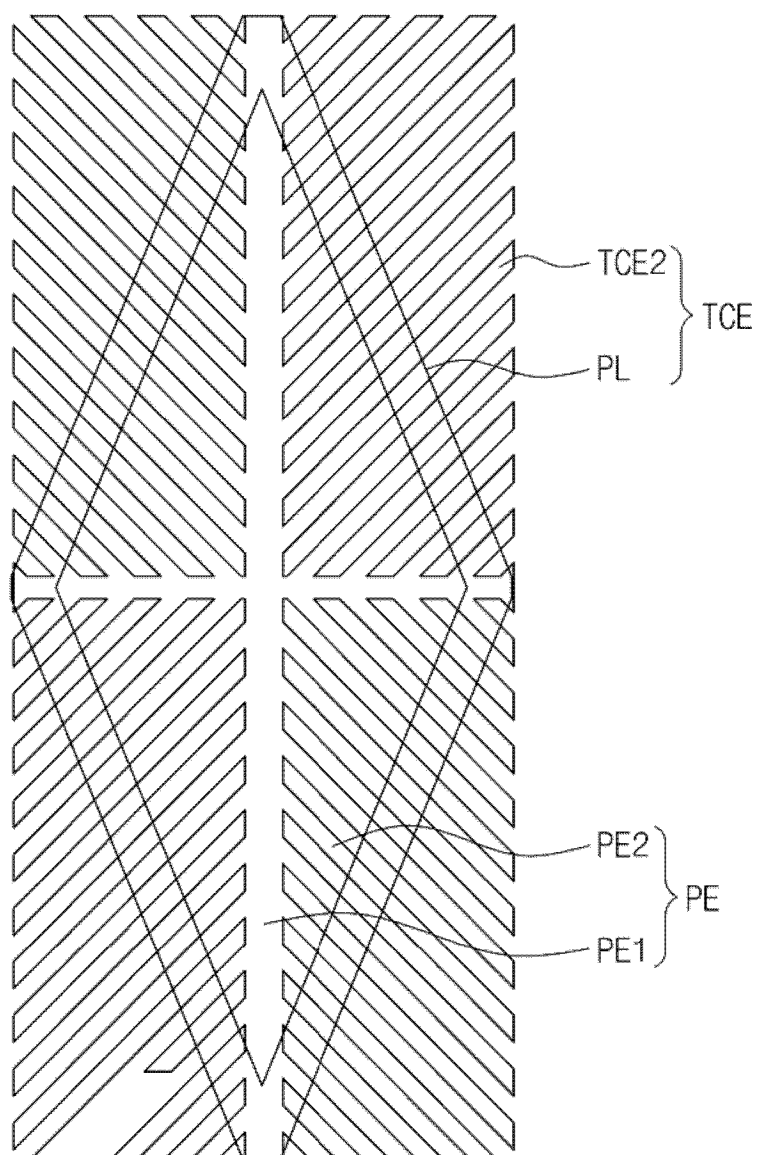


图 25A

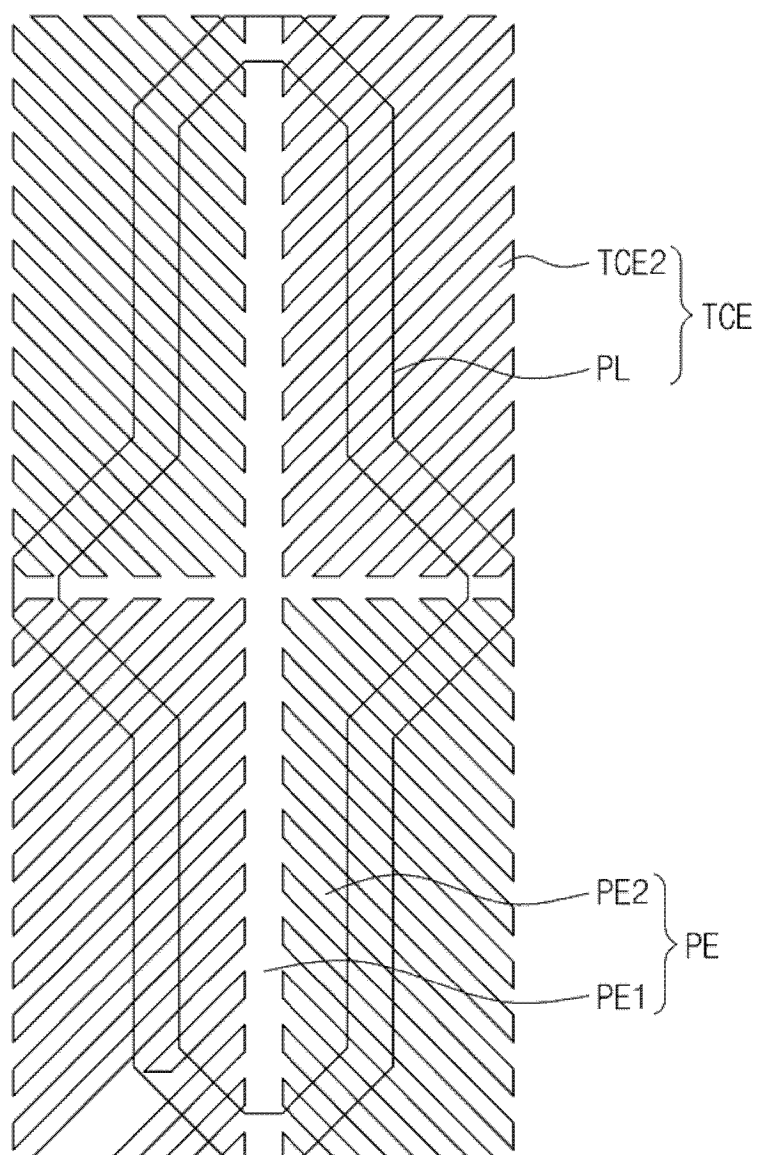


图 25B

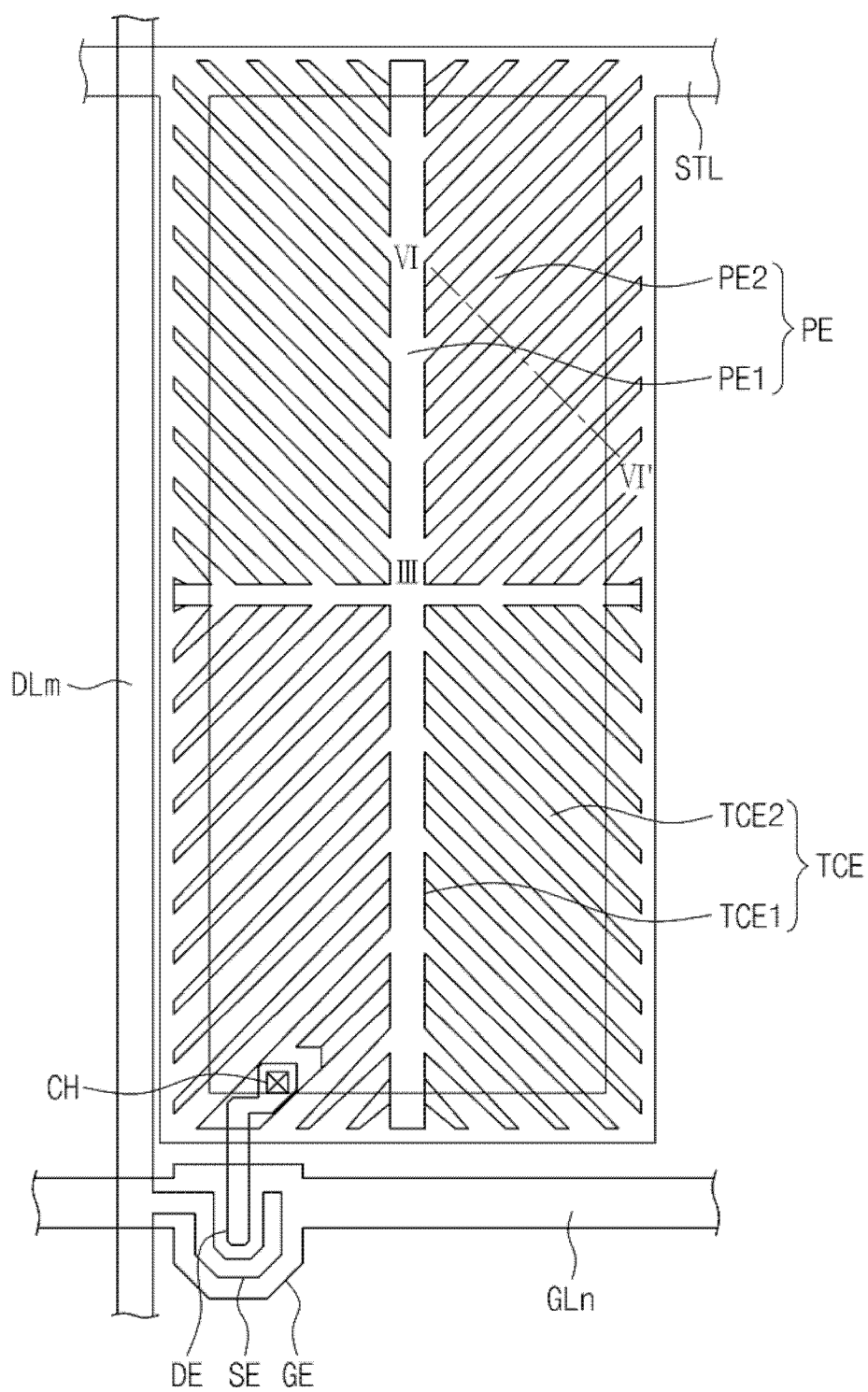


图 26

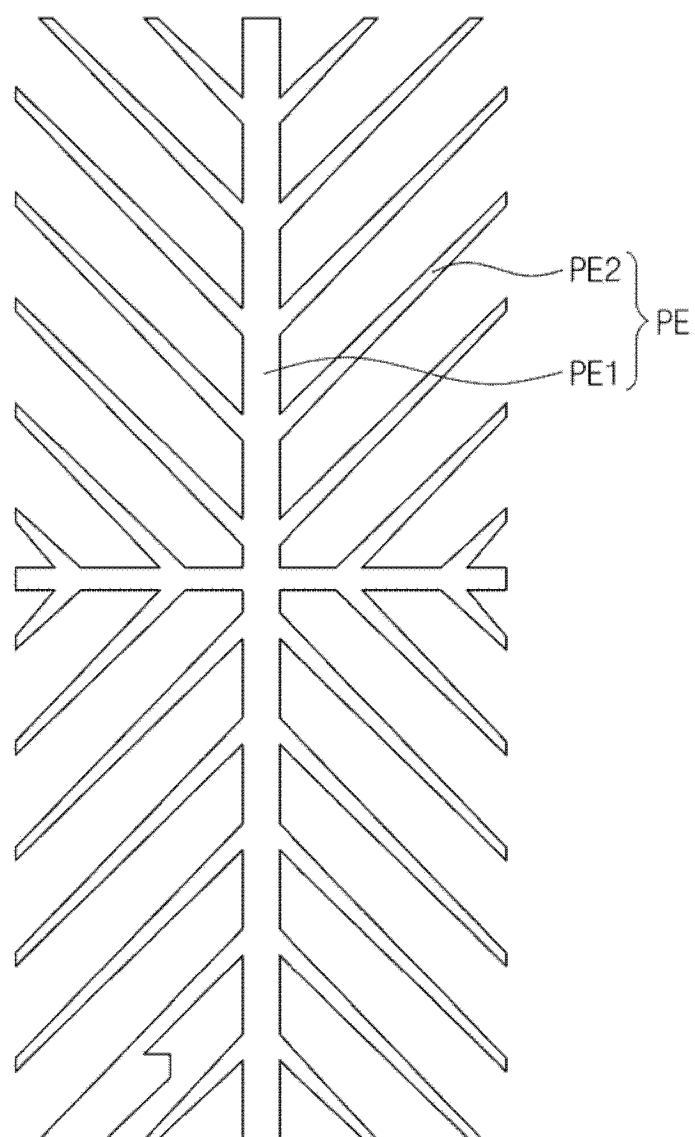


图 27A

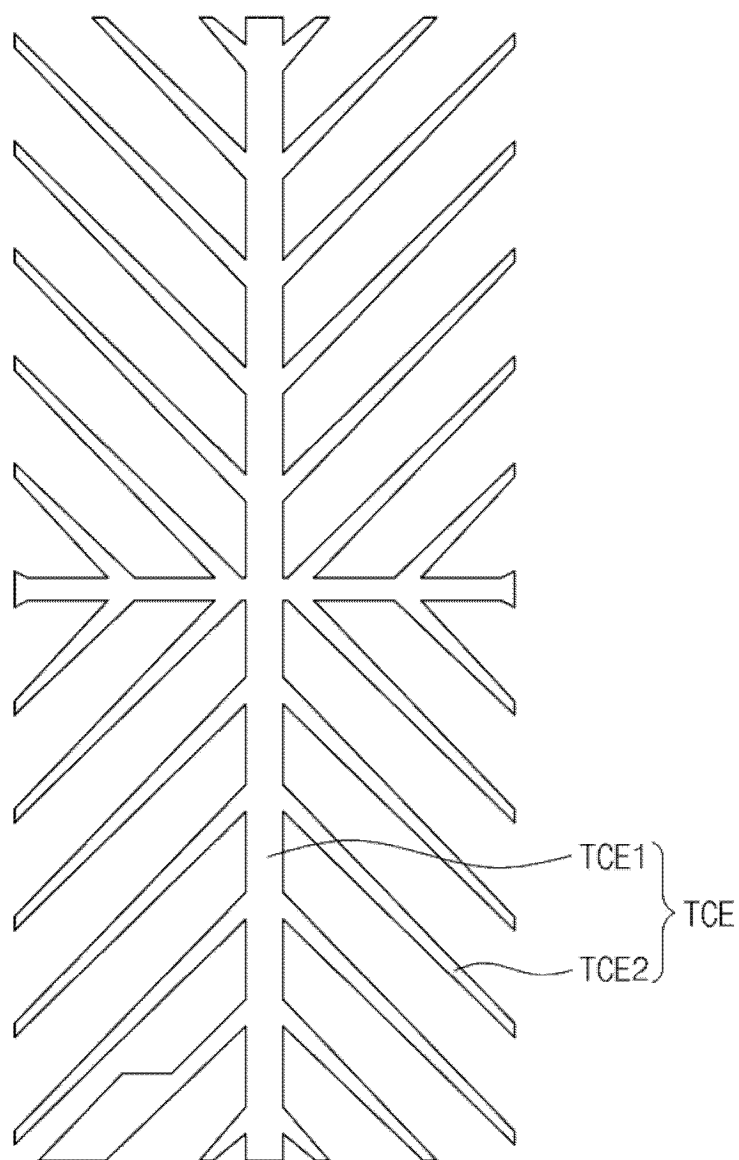


图 27B

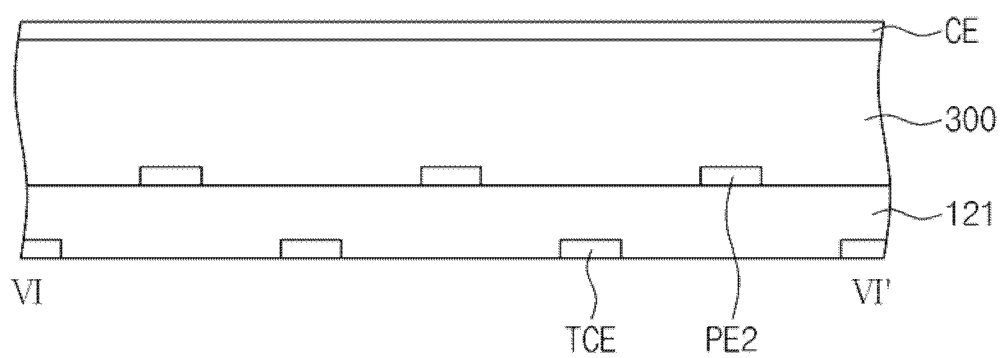


图 28

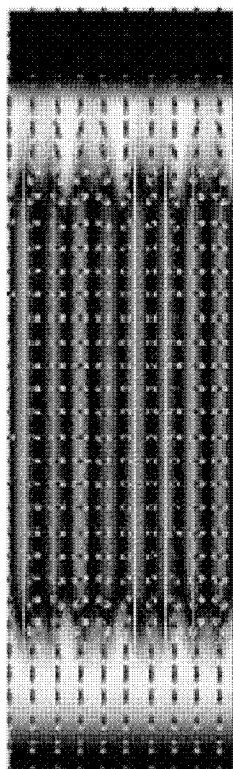


图 29A

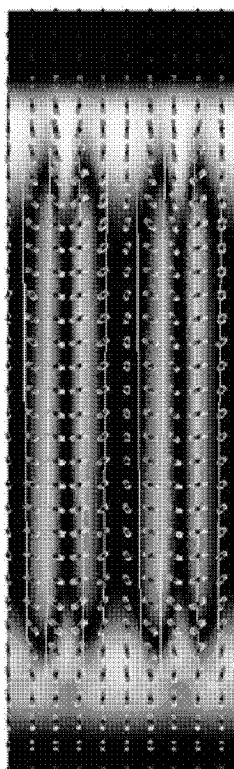


图 29B

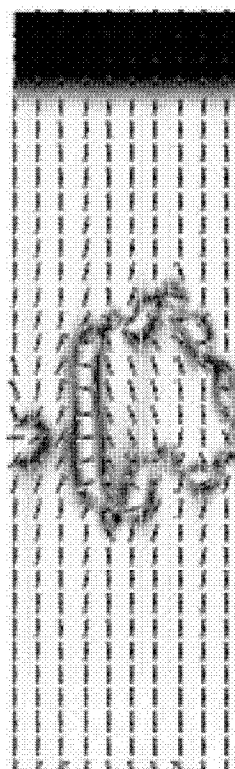


图 30A

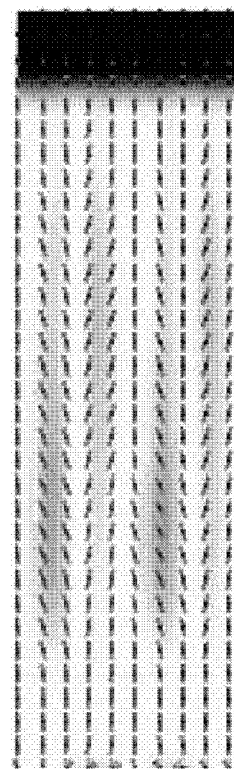


图 30B

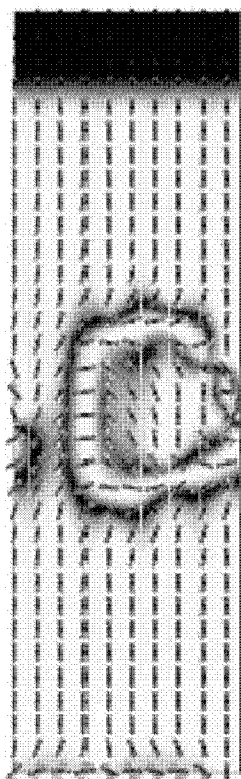


图 31A

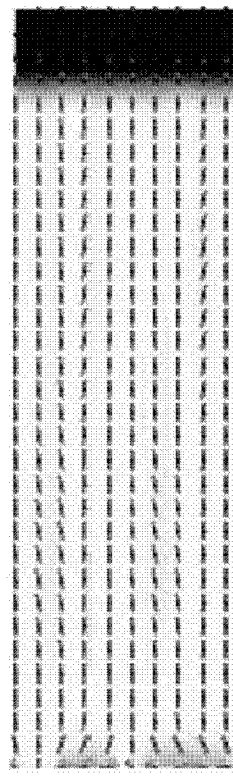


图 31B

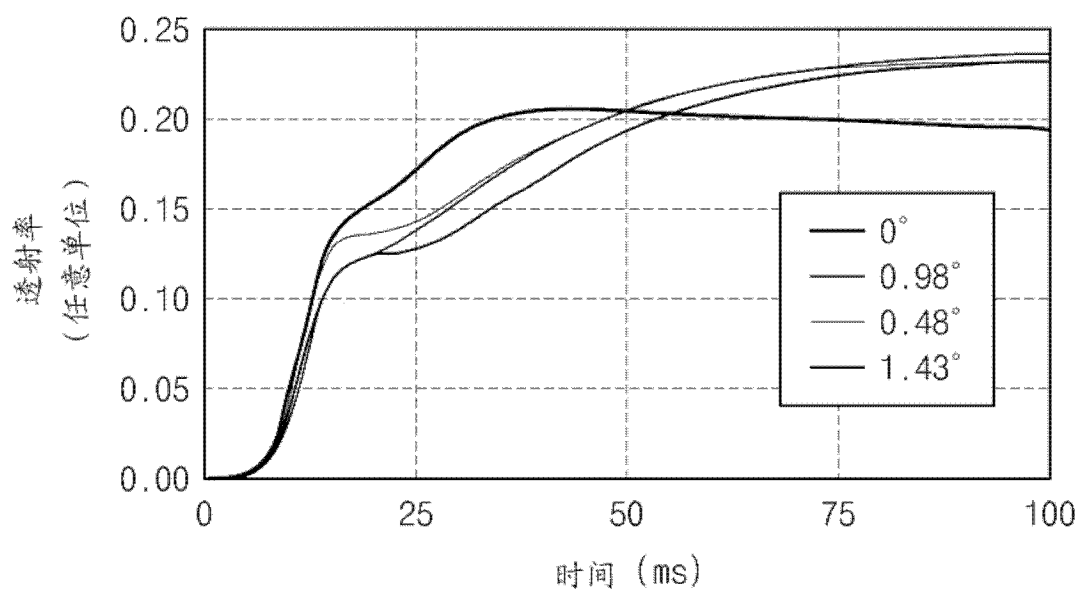


图 32

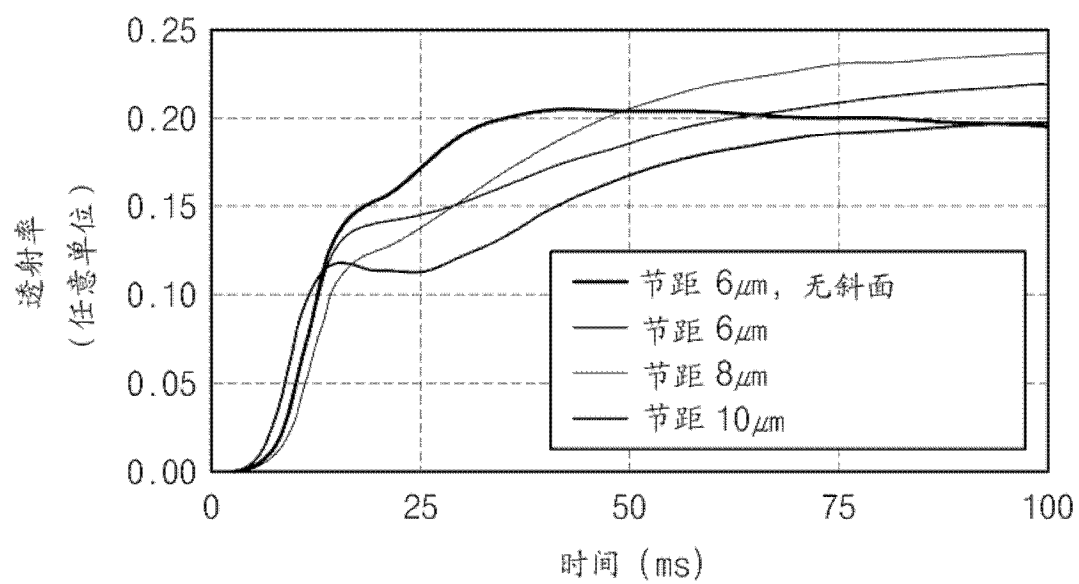


图 33

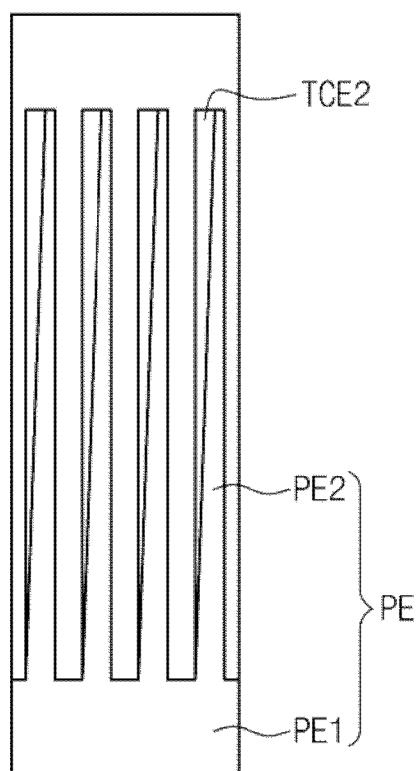


图 34

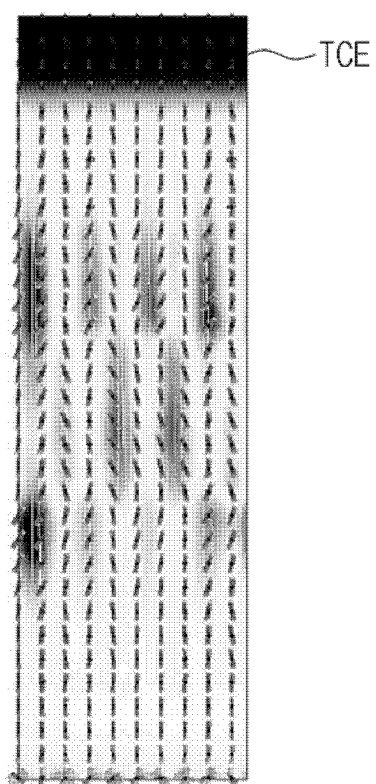


图 35A

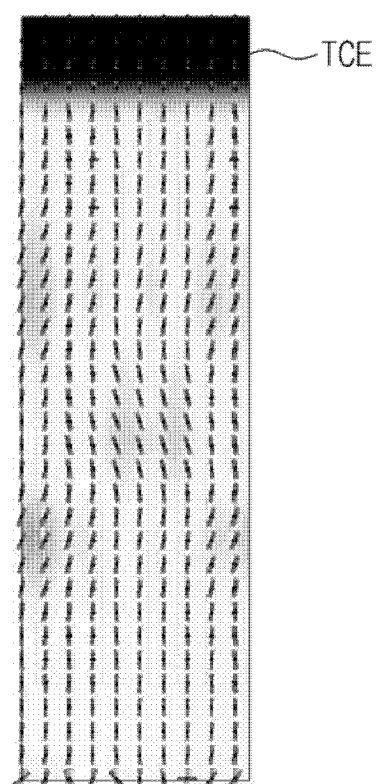


图 35B

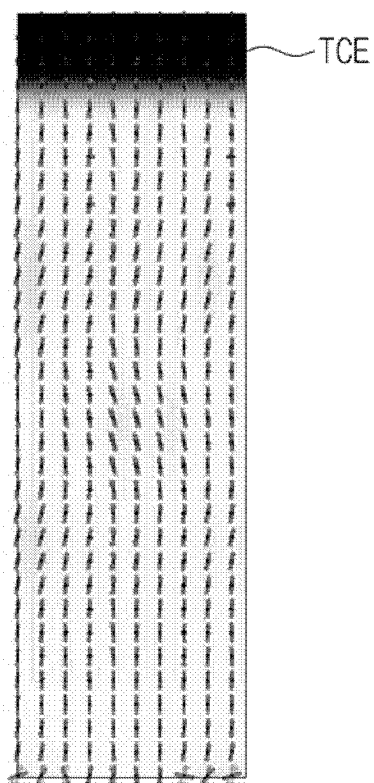


图 35C

专利名称(译)	液晶显示器		
公开(公告)号	CN102419500A	公开(公告)日	2012-04-18
申请号	CN201110313203.2	申请日	2011-09-27
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	金熙燮 权五正 朴宰弘 李赫珍 尹晟在 催硕		
发明人	金熙燮 权五正 朴宰弘 李赫珍 尹晟在 催硕		
IPC分类号	G02F1/1362 G02F1/1368		
CPC分类号	G02F1/133707 G02F1/1393		
代理人(译)	张波		
优先权	1020100093410 2010-09-27 KR		
其他公开文献	CN102419500B		
外部链接	Espacenet SIPO		

摘要(译)

本发明公开一种液晶显示器。该液晶显示器包括第一基板、第一像素电极、第二像素电极、第二基板以及液晶层。第一像素电极形成在第一基板上。第二像素电极与第一像素电极的至少一部分交叠，第一绝缘层插置在其间。第二像素电极具有多个延长的开口并向液晶层施加电压，该电压不同于第一像素电极施加到液晶层的电压。

