



(12) 发明专利

(10) 授权公告号 CN 101526709 B

(45) 授权公告日 2011. 04. 20

(21) 申请号 200910126641. 0

US 2005218403 A1, 2005. 10. 06,

(22) 申请日 2009. 03. 05

审查员 刘燕梅

(30) 优先权数据

2008-056718 2008. 03. 06 JP

(73) 专利权人 株式会社日立显示器

地址 日本千叶县

(72) 发明人 海东拓生 园田大介 新田秀和

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 王茂华

(51) Int. Cl.

G02F 1/1362 (2006. 01)

G09G 3/36 (2006. 01)

H01L 27/12 (2006. 01)

H01L 21/84 (2006. 01)

(56) 对比文件

CN 1680992 A, 2005. 10. 12,

JP 5-55570 A, 1993. 03. 05,

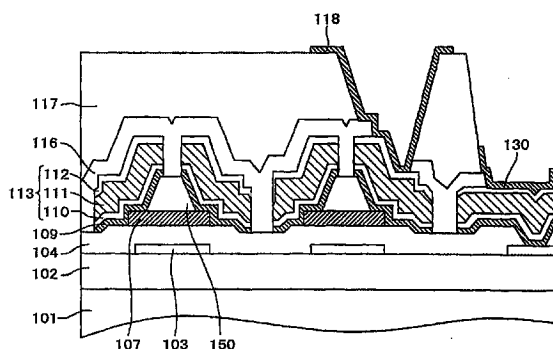
权利要求书 1 页 说明书 8 页 附图 15 页

(54) 发明名称

液晶显示装置

(57) 摘要

本发明提供一种液晶显示装置。通过湿法蚀刻来加工沟道截断环层,通过干法蚀刻来加工 poly-Si 层。在沟道截断环层形成侧面蚀刻,由此使 poly-Si 层的周边部从沟道截断环层露出,将该区域用于与 n+Si 层接触。通过该结构能够减少 TFT 的导通电阻,增加导通电流。由此,能够在用于液晶显示装置的底栅型 TFT 中,在 poly-Si 层之上形成沟道截断环层,使 TFT 的特性稳定。



1. 一种液晶显示装置，该装置形成有：

呈矩阵状形成有像素电极和薄膜晶体管的显示区域；和
形成在上述显示区域的周边上的包含薄膜晶体管的驱动电路，
其特征在于，

上述薄膜晶体管的结构为：覆盖栅电极而形成有栅极绝缘膜，在上述栅极绝缘膜之上形成有 poly-Si 层，在上述 poly-Si 层的主面之上除了周边部而形成有沟道截断环层，n+Si 层接触上述 poly-Si 层的主面的周边部，覆盖上述 n+Si 层而形成有源 / 漏电极。

2. 根据权利要求 1 所述的液晶显示装置，其特征在于：

上述 n+Si 层和上述源 / 漏电极覆盖上述沟道截断环的一部分。

3. 一种液晶显示装置，该装置形成有：

呈矩阵状形成有像素电极和像素用薄膜晶体管的显示区域；和
形成在上述显示区域的周边上的包含驱动电路用薄膜晶体管的驱动电路，
其特征在于，

上述驱动电路用薄膜晶体管和上述像素用薄膜晶体管的结构为：覆盖栅电极而形成有栅极绝缘膜，在上述栅极绝缘膜之上形成有半导体层，在上述半导体层的主面之上除了周边部而形成有沟道截断环层，n+Si 层接触上述半导体层的主面的周边部，覆盖上述 n+Si 层而形成有源 / 漏电极，

上述驱动电路用薄膜晶体管的半导体层由 poly-Si 形成，上述像素用薄膜晶体管的半导体层由 a-Si 形成。

4. 根据权利要求 3 所述的液晶显示装置，其特征在于，

上述 a-Si 的膜厚为 70nm 以下。

5. 根据权利要求 3 所述的液晶显示装置，其特征在于，

上述 n+Si 层和上述源 / 漏电极覆盖上述沟道截断环的一部分。

6. 一种液晶显示装置，该装置形成有：

呈矩阵状形成有像素电极和薄膜晶体管的显示区域；和
形成在上述显示区域的周边上的包含薄膜晶体管的驱动电路，
其特征在于，

上述薄膜晶体管的结构为：覆盖栅电极而形成有栅极绝缘膜，在上述栅极绝缘膜之上形成有 poly-Si 层，在上述 poly-Si 层之上形成有沟道截断环层，覆盖上述沟道截断环层和上述 poly-Si 层的一部分而形成有 n+Si 层和源 / 漏电极，

上述沟道截断环层通过湿法蚀刻来进行加工，上述 poly-Si 层通过干法蚀刻来进行加工，

通过上述干法蚀刻进行了加工的上述 poly-Si 层的端部位于通过上述湿法蚀刻进行了加工的沟道截断环的端部的外侧。

7. 根据权利要求 6 所述的液晶显示装置，其特征在于，

上述 n+Si 层通过干法蚀刻来进行加工。

液晶显示装置

技术领域

[0001] 本发明涉及显示装置，尤其涉及在显示区域上具有将 TFT 用于进行开关的像素且在显示区域的周边形成有由使用了 poly-Si 的 TFT 构成的驱动电路的液晶显示装置。

背景技术

[0002] 在液晶显示装置中，TFT 基板与滤色片基板相对置，在 TFT 基板与滤色片基板之间夹持有液晶，其中，在 TFT 基板上呈矩阵状形成有像素电极和薄膜晶体管 (TFT) 等，在滤色片基板的与像素电极对应的位置上形成有滤色片等。

[0003] 在 TFT 基板上存在纵向延伸且横向排列的数据线和、横向延伸且纵向排列的扫描线，在由数据线和扫描线所包围的区域上形成有像素。像素主要构成有像素电极和作为开关元件的薄膜晶体管 (TFT)。利用这样呈矩阵状形成的多个像素来形成显示区域。

[0004] 在显示区域的外侧设置有驱动扫描线的扫描线驱动电路、驱动数据线的数据线驱动电路。以往，扫描线驱动电路和数据线驱动电路外设有 IC 驱动器。该 IC 驱动器有时也被通过载带 (tape carrier) 等而连接在 TFT 基板上，有时也是 IC 驱动器被直接贴装 (chip on) 在 TFT 基板上。

[0005] 另一方面，从确保显示区域并要减小显示装置整体这样的要求等考虑，开发了在显示区域周边利用 TFT 形成驱动电路的技术。在这种显示装置中，形成在显示区域中的 TFT 将 a-Si 使用于沟道部，形成在驱动电路部的 TFT 将 poly-Si 使用于沟道部。即，在显示区域中使用漏电流较小的 a-Si，在驱动电路部中使用电子迁移率较大的 poly-Si。

[0006] 一般而言，在使用了 a-Si 的 TFT 中采用底栅结构。在使用了 poly-Si 的 TFT 中采用顶栅结构。但是，在一块基板上形成结构不同的 TFT 会使制造工序变得复杂。

[0007] “专利文献 1”记载了为了防止工序变得复杂，在使用了 poly-Si 的 TFT 中也采用底栅型的结构。该结构在形成于栅电极之上的栅极绝缘膜之上，首先形成成为沟道的 poly-Si 层，在其上形成 a-Si 层。在 a-Si 之上形成 n+ 层的接触层，在其上形成源 / 漏电极 (SD 电极)。通过使将 poly-Si 用于沟道的 TFT 成为这样的结构，与将 a-Si 用于沟道的 TFT 相同的工序变多，从而使工序简化。

[0008] 专利文献 1：日本特开平 5-55570 号公报

发明内容

[0009] 在“专利文献 1”记载的技术中，在形成于栅电极 103 之上的栅极绝缘层之上形成 poly-Si 层，在其上形成 a-Si 层，在其上形成 n+ 层来取得接触。该结构在晶体管导通 (ON) 时，在迁移率较大的 poly-Si 层中流过导通电流。但是，使晶体管截止 (OFF) 时，产生漏电流的问题。

[0010] 图 15 是与“专利文献 1”记载的相同的具有 poly-Si 沟道的 TFT 的结构。图 15 的 (a) 是俯视图，图 15 的 (b) 是图 15 的 (a) 的 A-A 线剖视图。在图 15 的 (a) 中，在栅电极 103 之上隔着栅极绝缘膜 104 而依次层叠有 poly-Si 层 107、a-Si 层 108。在 a-Si

层 108 之上隔着 n+Si 层 109 而形成有 SD 电极 113。

[0011] 图 15 的 (b) 是图 15 的 (a) 的详细剖视图。在图 15 的 (b) 中, 在基底膜 102 之上形成有栅电极 103, 覆盖栅电极 103 而形成有栅极绝缘膜 104。在栅极绝缘膜 104 之上形成有 poly-Si 层 107, 在其上形成有 a-Si 层 108。在 a-Si 层 108 之上形成有 n+Si 层 109。a-Si 层 108 与 n+Si 层 109 使用相同的掩模来进行光刻, 因此平面为相同的形状。在 n+Si 层 109 之上形成有 SD 电极 113。SD 电极 113 用由 Mo 构成的屏蔽金属层 110、Al 层 111、由 Mo 构成的金属盖层 112 来形成。

[0012] 在图 15 那样的结构中, 当在栅电极 103 上施加正电压来在 TFT 中流过导通电流时, 能够使其作为 TFT 来工作。但是, 当在栅电极 103 上施加零电压或负电压来使 TFT 为截止时, 发现 TFT 不会截止这样的现象。这样将不具有 TFT 的作为开关元件的作用。研究认为这是由如下那样的原因所引起的。

[0013] 在图 15 的 (b) 中, 当在栅电极 103 上施加负电压时, 在 poly-Si 层 107 中感应出空穴。在 poly-Si 层 107 与 SD 电极 113 的屏蔽金属层 110 之间没有电位势垒。因此, 基于空穴的电流照样流入 SD 电极 113, 所以 TFT 不会截止。

[0014] 图 16 是解决了这样的问题的 TFT 的剖视图。在图 16 中, 在栅电极 103 之上隔着栅极绝缘膜 104 而形成有 poly-Si 层 107 和 a-Si 层 108。a-Si 层 108 形成沟道蚀刻部 114, 膜厚变小。覆盖沟道蚀刻部 114 和 TFT 整体而形成有基于 SiN 的钝化膜 116。图 17 的特征在于: n+Si 层 109 不仅覆盖在 a-Si 层 108 之上, 还覆盖 a-Si 层 108 和 poly-Si 层 107 的侧部。通过采用这样的结构, 在 a-Si 层 108 以及 poly-Si 层 107 与 SD 电极 113 之间形成 n+Si 层 109, 由此形成耗尽层, 防止空穴通过。因此, 能够防止截止电流的增加。

[0015] 但是, 在图 16 所示那样的结构中, 能够防止截止电流的增加, 但存在无法获得足够的导通电流这样的问题。即, 导通电流在迁移率较大的 poly-Si 层中流过。然而, poly-Si 层与 SD 电极仅在 poly-Si 层的侧面接触。poly-Si 层的厚度较薄, 大约为 50nm。因此, 产生如下现象: SD 电极与 poly-Si 层的接触电阻变大, 无法获得足够的导通电流。

[0016] 为了增大导通电流, 需要增加 poly-Si 层与 SD 层的接触面积。为此, 除去图 17 等所示的 a-Si 层即可。这样, 能够增加 poly-Si 层与 SD 电极的接触面积。但是, 当除去 a-Si 层时, 变得无法取得图 16 所示的沟道蚀刻层 114。即, poly-Si 层的厚度为 50nm, 在该厚度范围内形成沟道蚀刻层是非常困难的。

[0017] 为了不形成沟道蚀刻层 114 而使 TFT 的工作稳定, 形成后述的沟道截断环 (channel stopper) 即可。但是, 形成沟道截断环、且形成 poly-Si 层与 SD 电极的面接触会增加光刻步骤, 因此制造成本增加。

[0018] 本发明的课题在于: 在底栅型 poly-Si TFT 中, 实现能够抑制制造成本的增加的同时确保足够的导通电流的结构。

[0019] 本发明是克服上述课题的发明, 在底栅型、且将 poly-Si 层用于半导体层的 TFT 中, 在 poly-Si 层之上形成沟道截断环, 在比沟道截断环的端部更靠外的一侧形成 poly-Si 层的端部, 由此使其与 n+Si 层以及源 / 漏电极的接触面积增加。为了实现该结构, 通过湿法蚀刻来加工沟道截断环层, 以干法蚀刻来加工 poly-Si 层。使用湿法蚀刻来侧面蚀刻

沟道截断环，由此通过一次光刻工序来实现上述结构。具体方案如下。

[0020] (1) 一种液晶显示装置，该装置形成有呈矩阵状形成了像素电极和 TFT 的显示区域、和在上述显示区域的周边包含 TFT 的驱动电路，其特征在于：上述 TFT 的结构为，覆盖栅电极而形成有栅极绝缘膜，在上述栅极绝缘膜之上形成有 poly-Si 层，在上述 poly-Si 层之上形成有沟道截断环层，覆盖上述沟道截断环层和上述 poly-Si 层的一部分而形成有 n+Si 层和源 / 漏电极，其中，上述沟道截断环层通过湿法蚀刻来进行加工，上述 poly-Si 层通过干法蚀刻来进行加工，由上述干法蚀刻所加工的上述 poly-Si 层的端部存在于比由上述湿法蚀刻所加工的沟道截断环的端部更靠外的一侧。

[0021] (2) 在 (1) 所述的液晶显示装置中，上述 n+Si 层通过干法蚀刻来进行加工。

[0022] (3) 一种液晶显示装置，该装置形成有呈矩阵状形成了像素电极和 TFT 的显示区域、和在上述显示区域的周边包含 TFT 的驱动电路，其特征在于：上述 TFT 覆盖栅电极而形成有栅极绝缘膜，在上述栅极绝缘膜之上形成有 poly-Si 层，在上述 poly-Si 层的主面之上除了周边部而形成有沟道截断环层，n+Si 层接触上述 poly-Si 层的主面的周边部，覆盖上述 n+Si 层而形成有源 / 漏电极。

[0023] (4) 在 (3) 所述的液晶显示装置中，上述 n+Si 层和上述源 / 漏电极覆盖上述沟道截断环的一部分。

[0024] (5) 一种液晶显示装置，该装置形成有呈矩阵状形成了像素电极和像素用 TFT 的显示区域、和在上述显示区域的周边包含驱动电路用 TFT 的驱动电路，其特征在于：上述驱动电路用 TFT 和上述像素用 TFT 的结构为，覆盖栅电极而形成有栅极绝缘膜，在上述栅极绝缘膜之上形成有半导体层，在上述半导体层之上形成有沟道截断环层，覆盖上述沟道截断环层和上述半导体层的一部分而形成有 n+Si 层和源 / 漏电极，其中，上述沟道截断环层通过湿法蚀刻来进行加工，上述半导体层通过干法蚀刻来进行加工，由上述干法蚀刻所加工的上述半导体层的端部存在于比由上述湿法蚀刻所加工的沟道截断环的端部更靠外的一侧，上述驱动电路用 TFT 的半导体层由 poly-Si 形成，上述像素用 TFT 的半导体层由 a-Si 形成。

[0025] (6) 在 (5) 所述的液晶显示装置中，上述 n+Si 层通过干法蚀刻来进行加工。

[0026] (7) 在 (5) 所述的液晶显示装置中，上述 a-Si 的膜厚为 70nm 以下。

[0027] (8) 一种液晶显示装置，该装置形成有呈矩阵状形成了像素电极和像素用 TFT 的显示区域、和在上述显示区域的周边包含驱动电路用 TFT 的驱动电路，其特征在于：上述驱动电路用 TFT 和上述像素用 TFT 的结构为，覆盖栅电极而形成有栅极绝缘膜，在上述栅极绝缘膜之上形成有半导体层，在上述半导体层的主面之上除了周边部而形成有沟道截断环层，在上述半导体层的主面的周边部，与 n+Si 层接触并覆盖上述 n+Si 层而形成有源 / 漏电极，上述驱动电路用 TFT 的半导体层由 poly-Si 形成，上述像素用 TFT 的半导体层由 a-Si 形成。

[0028] (9) 在 (8) 所述的液晶显示装置中，上述 a-Si 的膜厚为 70nm 以下。

[0029] (10) 在 (8) 所述的液晶显示装置中，上述 n+Si 层和上述源 / 漏电极覆盖上述沟道截断环的一部分。

[0030] 根据本发明的结构，能够维持导通电流特性而实现底栅型的 poly-Si TFT。因此，能够合理地显示区域的周边形成使用了 TFT 的驱动电路。

[0031] 另外, 根据本发明, 能够通过同一工序来在显示区域形成 a-SiTFT、并在驱动电路区域形成 poly-Si TFT, 因此能够抑制制造成本的上升而实现在基板上嵌入了驱动电路的液晶显示装置。

[0032] 而且, 根据本发明, 通过一次光刻工序来进行沟道截断环和 poly-Si 层或 a-Si 层的加工, 因此能够降低具有沟道截断环的 TFT 的制造成本。

附图说明

[0033] 图 1 是实施例 1 的剖面示意图。

[0034] 图 2 是表示实施例 1 的制造工序的图。

[0035] 图 3 是表示实施例 1 的接着图 2 的制造工序的图。

[0036] 图 4 是表示实施例 1 的接着图 3 的制造工序的图。

[0037] 图 5 是表示实施例 1 的接着图 4 的制造工序的图。

[0038] 图 6 是表示实施例 1 的接着图 5 的制造工序的图。

[0039] 图 7 是表示实施例 1 的接着图 6 的制造工序的图。

[0040] 图 8 是表示实施例 1 的接着图 7 的制造工序的图。

[0041] 图 9 是本发明的 TFT 的详细图。

[0042] 图 10 是实施例 2 的剖面示意图。

[0043] 图 11 是表示实施例 2 的接着图 10 的制造工序的图。

[0044] 图 12 是表示实施例 2 的接着图 11 的制造工序的图。

[0045] 图 13 是表示实施例 2 的接着图 12 的制造工序的图。

[0046] 图 14 是表示实施例 2 的接着图 13 的制造工序的图。

[0047] 图 15 是表示现有例的 TFT 结构的图。

[0048] 图 16 是表示解决了截止电流问题的 TFT 结构的图。

具体实施方式

[0049] 按照实施例公开本发明的详细内容。

[0050] (实施例 1)

[0051] 在本实施例的液晶显示装置中, 在由纵向延伸且横向排列的图像信号线和横向延伸且纵向排列的扫描信号线所包围的区域上形成有像素, 且在各像素中配置有像素电极和用于进行开关的 TFT。在显示区域上呈矩阵状排列有包含像素电极和 TFT 的像素。在显示区域的周边上设置有对向各像素提供图像信号进行控制的驱动电路。在本实施例中, 被用于像素部的 TFT 和被用于驱动电路的 TFT 均使用底栅型 poly-Si TFT。在此, 所谓 poly-Si TFT 是作为半导体而使用 poly-Si 的意思。

[0052] 图 1 是表示本发明的结构的剖面示意图。在图 1 中, 左侧的 TFT 是被用于驱动电路部的 TFT。右侧的 TFT 是被用于像素部的 TFT。任意一个 TFT 均为使用了 poly-Si 的底栅型 TFT。在像素部的 TFT 的更右侧形成有端子部。在图 1 中, 为了易于对比而相邻描绘了驱动部 TFT、像素部 TFT 和端子部, 但在实际的显示装置中, 各元件形成在分离的位置上。

[0053] 在图 1 中, 在 TFT 基板 101 之上形成有基底膜 102。在本实施例中, 基底膜 102

为一层 SiN 膜，但有时也由 SiN 和 SiO₂ 这两层膜来形成。在基底膜 102 之上形成有栅电极 103，覆盖栅电极 103 而形成有栅极绝缘膜 104。在栅极绝缘膜 104 之上形成有 poly-Si 层 107。该 poly-Si 层 107 成为 TFT 的沟道部。poly-Si 层 107 的膜厚为 50nm 左右。

[0054] 覆盖 poly-Si 层 107 的沟道部而形成有沟道截断环 150。利用沟道截断环 150 来保护 TFT 的沟道部，并稳定 TFT 的特性。覆盖沟道截断环 150 和 poly-Si 层 107 而形成有 n+Si 层 109。利用该 n+Si 层 109 能够降低截止电流。

[0055] 覆盖 n+Si 层 109 而形成有源 / 漏电极 (SD 电极) 113。SD 电极 113 由如下组成构成：基于 Mo 的屏蔽金属 110、Al 层 111、基于 Mo 的金属盖层 112。如图 1 所示那样，在本实施例中，n+Si 层 109 和 poly-Si 层 107 为面接触，能够减小接触电阻，增加导通电流。利用基于 SiN 的钝化膜 116 来保护 TFT 整体。在钝化膜 116 之上形成基于有机膜 117 的平坦化膜，使形成有像素电极 119 的部分平坦化。

[0056] 在图 1 中，在驱动电路部用的 TFT 的右侧示出被用于像素部的 TFT。在本实施例中，像素部的 TFT 也由 poly-Si 形成。因此在本实施例中，像素部的 TFT 的结构也与驱动电路部的 TFT 相同。像素部的 TFT 的 SD 电极 113 与像素电极 119 导通，对像素部提供数据信号。即，在覆盖像素部 TFT 的钝化膜 116 和基于有机膜 117 的平坦化膜上形成通孔 115，通过该通孔 115 来导通像素电极 119 和 SD 电极 113。像素电极 119 利用作为透明导电膜的 ITO 来形成。

[0057] 在图 1 中，在像素部用 TFT 的更右侧示出端子部。图 1 中的端子部布线由与 SD 电极 113 相同的层形成。即，用与 SD 电极 113 相同的材料来与 SD 电极 113 同时形成。端子部周边由钝化膜 116 和作为平坦化膜的有机膜 117 所保护。在端子部，为了与外部电路连接而在端子部接触孔 118 处除去钝化膜 116 和有机膜 117。

[0058] 端子部布线由金属形成，因此容易被外部环境腐蚀。为了防止端子部布线的腐蚀，利用金属氧化物导电膜 130 覆盖端子部。金属氧化物导电膜 130 具体而言使用 ITO，该端子部的 ITO 与像素电极 119 的 ITO 同时形成。

[0059] 图 2 ~ 图 8 表示形成图 1 所示的 TFT 和端子部的工序。在图 2 的 (a) 中，在 TFT 基板 101 之上通过等离子体 CVD 法而成膜作为基底膜 102 的 SiN。然后，通过溅射而成膜用于形成栅电极 103 的布线层，并通过光刻步骤来进行加工。考虑到后面的激光退火步骤而以高熔点材料 (Mo 类) 来形成栅电极 103。

[0060] 在图 2 的 (b) 中，通过等离子体 CVD 法来成膜成为栅极绝缘膜 104 的 SiO₂ 膜，接着通过等离子体 CVD 法来成膜 a-Si 膜。该 a-Si 膜通过激光退火而被转换为 poly-Si 膜。为了对 a-Si 膜进行激光退火，进行脱氢处理 (450℃ 以上的退火处理)，使 a-Si 膜中的氢脱离。在图 2 的 (c) 中，利用连续振荡的固体激光器产生的激光束 106 来对 a-Si 进行 poly-Si 化。

[0061] 如图 3 的 (a) 所示，照射激光后，a-Si 层 108 成为 poly-Si 层 107。在这样形成的 poly-Si 层 107 之上，如图 3 的 (b) 所示那样，利用 SiO 类的膜来成膜沟道截断环层 150。然后，进行用于加工沟道截断环层 150 和 poly-Si 层 107 的光刻工序。图 3 的 (c) 示出通过光刻而在沟道截断环层 150 之上形成光致抗蚀剂 140 后的状态。图 4 的 (a) 是示出在沟道截断环层 150 上形成了光致抗蚀剂 140 的情形的俯视图。

[0062] 在该状态下，用氟酸类的药液进行湿法蚀刻来加工沟道截断环层 150。通过进行

过蚀刻，发生侧面蚀刻 155，使沟道截断环 150 比抗蚀剂图案窄。图 5 的 (b) 示出该状态。沟道截断环层 150 之下为 poly-Si 层 107，因此 poly-Si 层 107 未被蚀刻。在图 4 的 (b) 所示的俯视图中，由光致抗蚀剂 140 覆盖的部分以外呈现 poly-Si 层 107。

[0063] 在图 5 的 (a) 的状态下，干法蚀刻 poly-Si 层 107。干法蚀刻如图 5 的 (b) 的箭头 156 所示那样，由于没有侧面蚀刻，poly-Si 层 107 被干法蚀刻为与抗蚀剂图案相同的形状。图 4 的 (c) 与图 5 的 (b) 的俯视图对应，光致抗蚀剂 140 部分以外被除去 poly-Si 层 107 而呈现栅极绝缘膜。

[0064] 然后，除去光致抗蚀剂 140。图 5 的 (c) 示出除去光致抗蚀剂 140 后的状态。图 6 的 (a) 是与图 5 的 (b) 的俯视图对应的图。如图 5 的 (c) 和图 6 的 (a) 所示那样，在 poly-Si 层 107 的周边存在未被沟道截断环层 150 覆盖的区域。该周边部分成为与在后形成的 SD 电极 113 或 n+Si 层 109 的接触部，能够减小导通电阻而增大导通电流。

[0065] 然后，除去端子部的栅极绝缘膜，形成端子部接触孔 118，使端子部露出延伸的栅极布线。然后，通过等离子体 CVD 来成膜掺杂了 P 的 n+Si 层 109。接着，通过溅射来成膜 SD 电极 113。SD 电极 113 以与数据信号线相同的层来同时形成。如图 7 的 (b) 所示，SD 电极 113 由屏蔽金属层 110、Al 层 111、金属盖层 112 这三层构成。屏蔽金属层 110 和金属盖层 112 层由 Mo 形成。SD 电极 113 的电导通主要通过 Al，Mo 被用于防止 Al 丘、以及在 Al 与 ITO 接触的情况下防止 Al 被氧化而引起的接触不良。

[0066] 接着如图 7 的 (c) 所示，通过光刻步骤和蚀刻步骤来加工 SD 电极 113 和 n+Si 层 109。首先，通过湿法蚀刻来加工屏蔽金属层 110、Al 层 111 以及金属盖层 112 层这三层。然后，以 SD 布线层作为掩模，干法蚀刻 n+Si 层 109 和 poly-Si 层 107。图 6 的 (b) 示出在该干法蚀刻的中途除去 n+Si 层 109 后的状态，示出露出 poly-Si 层 107 和栅极绝缘膜的状态。

[0067] 接着，将 SD 电极 113 和沟道截断环层 150 作为掩模，进一步进行干法蚀刻，加工 poly-Si 层 107。这样，poly-Si 层 107 如图 6 的 (c) 所示，仅存在于沟道截断环层 150 之下和 SD 布线之下。图 6 的 (c) 的虚线示出 poly-Si 层 107 存在的区域。至此，形成底栅型的使用了 poly-Si 的 TFT。

[0068] 接着如图 8 的 (a) 所示，通过基于 SiN 的钝化膜 116 来覆盖 TFT 整体。SiN 通过等离子体 CVD 法来成膜。然后如图 8 的 (b) 所示，涂敷用于平坦化的感光性有机膜 117，通过光刻步骤来进行加工。有机膜 117 的膜厚为 $1 \sim 2 \mu\text{m}$ 左右。将有机膜 117 作为掩模，蚀刻基于 SiN 的钝化膜 116 来形成通孔 115。端子部的接触孔 118 也通过与像素电极 119 的通孔 115 相同的工序来同时形成。

[0069] 然后，作为像素电极 119，通过溅射来成膜 ITO，在光刻中进行加工，形成像素电极 119。ITO 与像素电极 119 同时也形成在端子部上。这样，形成图 1 所示的 TFT 基板。

[0070] 图 9 是仅这样形成的 TFT 部分的详细图。在图 9 中，比图 1 所示的稍大地形成 poly-Si 层 107 的区域。但是，图 1 和图 9 的 TFT 的结构并没有本质差别，都能够没问题地使用本发明。图 9 的 (a) 是 TFT 的俯视图，图 9 的 (b) 是图 9 的 (a) 的 A-A 线剖视图。在图 9 的 (a) 中，在由虚线 p 包围的部分上存在 poly-Si 层 107。如图 9 的 (b) 所示，poly-Si 层 107 和 n+Si 层 109 在较宽的面状的部分 S 处接触。poly-Si 层 107 与 n+Si

层 109 的接触面积较大，因此该部分的电阻并不对导通电流产生恶劣影响。因此，能够增大导通电流。

[0071] （实施例 2）

[0072] 在本实施例中，被使用于像素部的 TFT 是底栅型的 a-Si TFT，被使用于驱动电路部的 TFT 是底栅型的 poly-Si TFT。在此，所谓 a-Si TFT 是在半导体层使用 a-Si 的意思，所谓 poly-Si TFT 是在半导体层使用 poly-Si 的意思。这是由于：在驱动电路部中，迁移率较大，因此工作较快的 poly-Si TFT 是有利的，在像素部中，易于减小漏电流的 a-Si TFT 是有利的。

[0073] 图 10 是表示本发明第二实施例的结构的剖面示意图。在图 10 中，左侧的 TFT 是被使用于驱动电路部的 TFT，TFT 由 poly-Si 形成。驱动电路用 TFT 需要高速工作，因此使用基于 poly-Si 的 TFT。右侧的 TFT 是被使用于像素部的 TFT，TFT 由 a-Si 形成。这是由于：像素部的 TFT 相对于高速工作，较小的漏电流是更重要的。

[0074] 像素部的 TFT 的更右侧形成有端子部。在图 1 中，为了易于对比而相邻描绘了驱动部 TFT、像素部 TFT、端子部，但在实际的显示装置中，各像素形成在分离的位置。在图 10 中，除了像素部的 TFT 由 a-Si 形成之外，其余与实施例 1 的图 1 相同，因此省略其他说明。

[0075] 图 11～图 14 示出形成图 10 所示的 TFT 和端子部的工序。在图 11 的 (a) 中，在 TFT 基板 101 之上通过等离子体 CVD 法来成膜作为基底膜 102 的 SiN。然后，通过溅射来成膜用于形成栅电极 103 的布线层，通过光刻步骤来对其进行加工。考虑到之后的激光退火步骤，栅电极 103 用高熔点材料 (Mo 类) 来形成。

[0076] 在图 11 的 (b) 中，通过等离子体 CVD 法来成膜成为栅极绝缘膜 104 的 SiO₂ 膜，接着通过等离子体 CVD 法来成膜 a-Si 膜。在驱动电路部中，a-Si 膜通过激光退火而被转换为 poly-Si 膜。激光使用受激准分子激光，但能够通过受激准分子激光将 a-Si 转换为 poly-Si 的膜厚存在限度，为 70nm 以下。另外，本实施例中的典型的 a-Si 膜的厚度为 50nm。在本实施例中，poly-Si TFT 的部分、a-Si TFT 的部分都在同一工序中形成，因此 a-Si 层 108、poly-Si 层 107 都为 50nm。

[0077] 在形成 a-Si 膜之后，如图 11 的 (c) 所示，仅对与驱动电路部对应的部分的 a-Si 膜照射激光 1061，加热至 450℃ 左右，进行脱氢处理。这是为了防止在之后使驱动电路部分的 a-Si 膜结晶化时的退火中氢的爆沸。这样如图 12 的 (a) 所示，存在堆积 a-Si 层后的状态的 a-Si 层 108 和脱氢 a-Si 层区域 1081。

[0078] 然后，如图 12 的 (b) 所示，对进行了脱氢处理的与驱动电路部对应的区域的脱氢 a-Si 层区域 1081 照射激光，将 a-Si 膜转换为 poly-Si 膜。这样，如图 12 的 (c) 所示，在一块基板之上形成 poly-Si 层 107 和 a-Si 层 108 的区域的半导体膜。在图 12 的 (c) 中，在形成 poly-Si 膜的区域的周边残留进行了脱氢处理的 a-Si 膜 1081。通过激光处理将 a-Si 膜转换为 poly-Si 膜时，使进行脱氢处理的区域大于 poly-Si 区域来确保工序的富余，使得不发生氢的爆沸。

[0079] 然后如图 13 的 (a) 所示，通过 SiO 类的膜来在基板整个面上成膜沟道截断环层 150。接着，进行用于加工沟道截断环层 150 和 poly-Si 层 107 的光刻工序。图 13 的 (b) 示出通过光刻来在沟道截断环层 150 之上形成光致抗蚀剂 140 后的状态。

[0080] 在该状态下,用氟酸类药液进行湿法蚀刻,加工沟道截断环层 150。通过过腐蚀,发生侧面蚀刻 155,使沟道截断环 150 比抗蚀剂图案窄。图 13 的 (c) 示出该状态。该加工在 poly-Si 区域、a-Si 区域中共同进行。沟道截断环层 150 之下是 poly-Si 层 107 或 a-Si 层 108,因此未被蚀刻。

[0081] 在图 13 的 (c) 的状态下,干法蚀刻 poly-Si 层 107 和 a-Si 层 108。干法蚀刻如图 14 的 (a) 的箭头 156 所示的那样,由于没有侧面蚀刻,poly-Si 层 107 和 a-Si 层 108 被干法蚀刻为与抗蚀剂图案相同的形状。

[0082] 然后,除去光致抗蚀剂 140。图 14 的 (b) 示出除去光致抗蚀剂 140 后的状态。如图 14 的 (b) 所示,在 poly-Si 层 107 和 a-Si 层 108 的周边存在未被沟道截断环层 150 覆盖的区域。该周边部分成为与在后形成的 SD 电极 113 的接触部,能够减少导通电阻而增大导通电流。

[0083] 通常在 s-Si TFT 中,不是采用沟道截断环 150 而是采用沟道蚀刻结构。这是因为:在通常的 a-Si TFT 中,a-Si 层 108 的膜厚较大,因此具有进行沟道蚀刻的余地。但是,本实施例的 a-Si TFT 的 a-Si 膜无法厚到 50nm 左右,因此使用沟道截断环 150 结构。

[0084] 省略图示,但除去端子部的栅极绝缘膜,形成端子部接触孔 118,使端子部露出延伸的栅极布线。然后,通过等离子体 CVD 成膜掺杂了 P 的 n+Si 层 109。接着,通过溅射成膜 SD 电极 113。SD 电极 113 由屏蔽金属层 110、Al 层 111、金属盖层 112 这三层构成。SD 电极 113 的结构如实施例 1 中说明的那样。

[0085] 接着如图 14 的 (c) 所示,通过光刻步骤和蚀刻步骤来加工 SD 电极 113 和 n+Si 层 109。首先,通过湿法蚀刻来加工屏蔽金属层 110、Al 层 111 以及金属盖层 112 层这三层。然后,将 SD 布线层作为掩模,干法蚀刻 n+Si 层 109 和 poly-Si 层 107 或 a-Si 层 108 和 poly-Si 层 107。

[0086] 于是,poly-Si 层 107 或 a-Si 层 108 仅存在于沟道截断环层 150 之下和 SD 布线之下。这样,形成底栅型的使用了 poly-Si 的 TFT 和使用 a-Si 的 TFT。

[0087] 接着,通过基于 SiN 的钝化膜 116 来覆盖 TFT 整体。SiN 通过等离子体 CVD 法来成膜。然后,涂敷用于平坦化的感光性有机膜 117,通过光刻步骤对其进行加工。有机膜 117 的膜厚为 $1 \sim 2 \mu\text{m}$ 左右。将有机膜 117 作为掩模,蚀刻基于 SiN 的钝化膜 116 来形成通孔 115。端子部的接触孔 118 也通过与像素电极 119 的通孔 115 相同的工序来同时形成。

[0088] 然后,通过溅射成膜 ITO 来作为像素电极 119,在光刻中进行加工,形成像素电极 119。ITO 与像素电极 119 同时也形成在端子部。这样,形成图 10 所示的 TFT 基板。

[0089] 这样,根据本实施例,能够在相同的工序中同时形成 poly-Si 型 TFT 和 a-Si 型 TFT。另外,能够在同一基板上形成具有导通电流较大的 poly-Si 型 TFT、截止电流较小的 a-Si 型 TFT 这样的各种特征的 TFT。

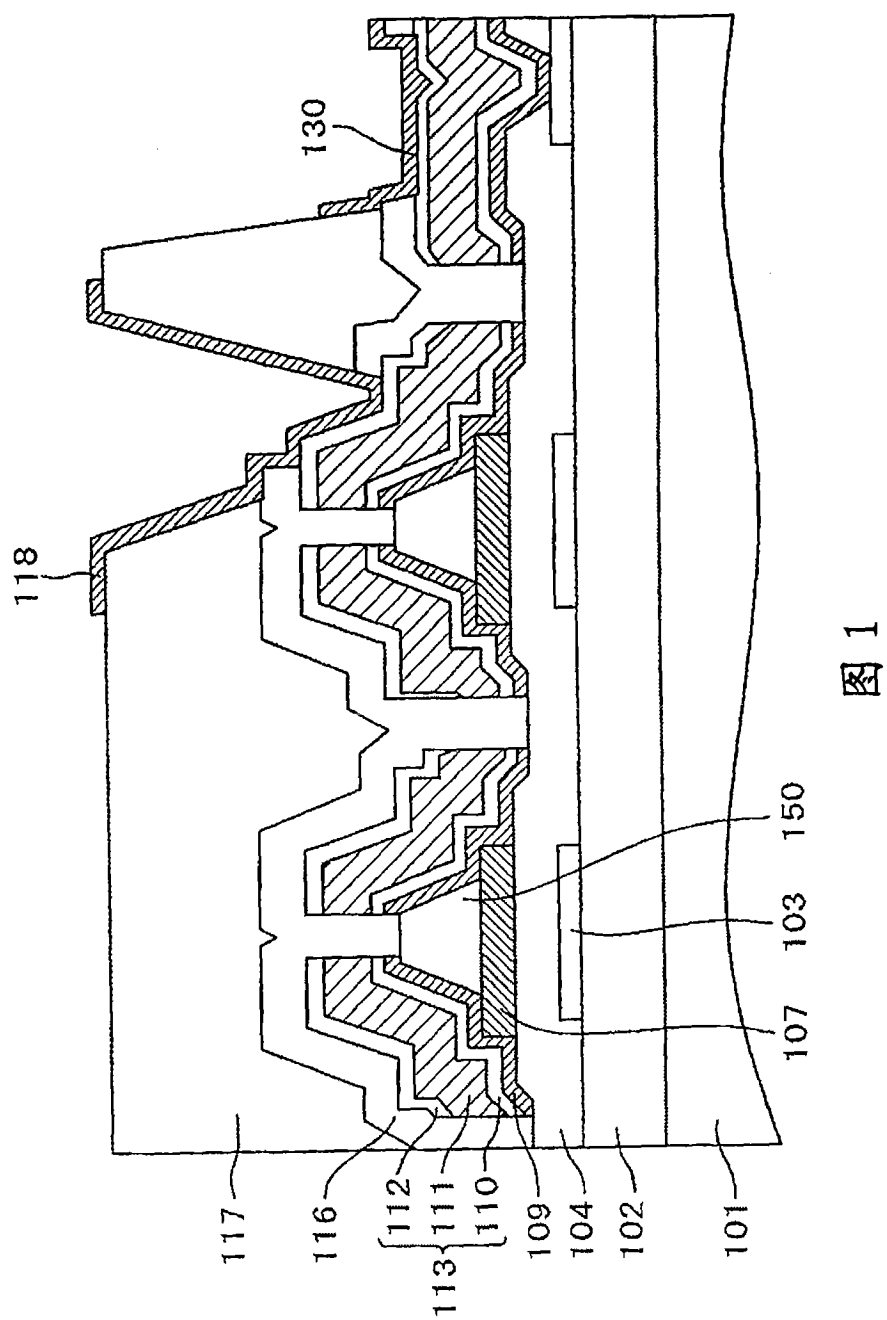


图 1

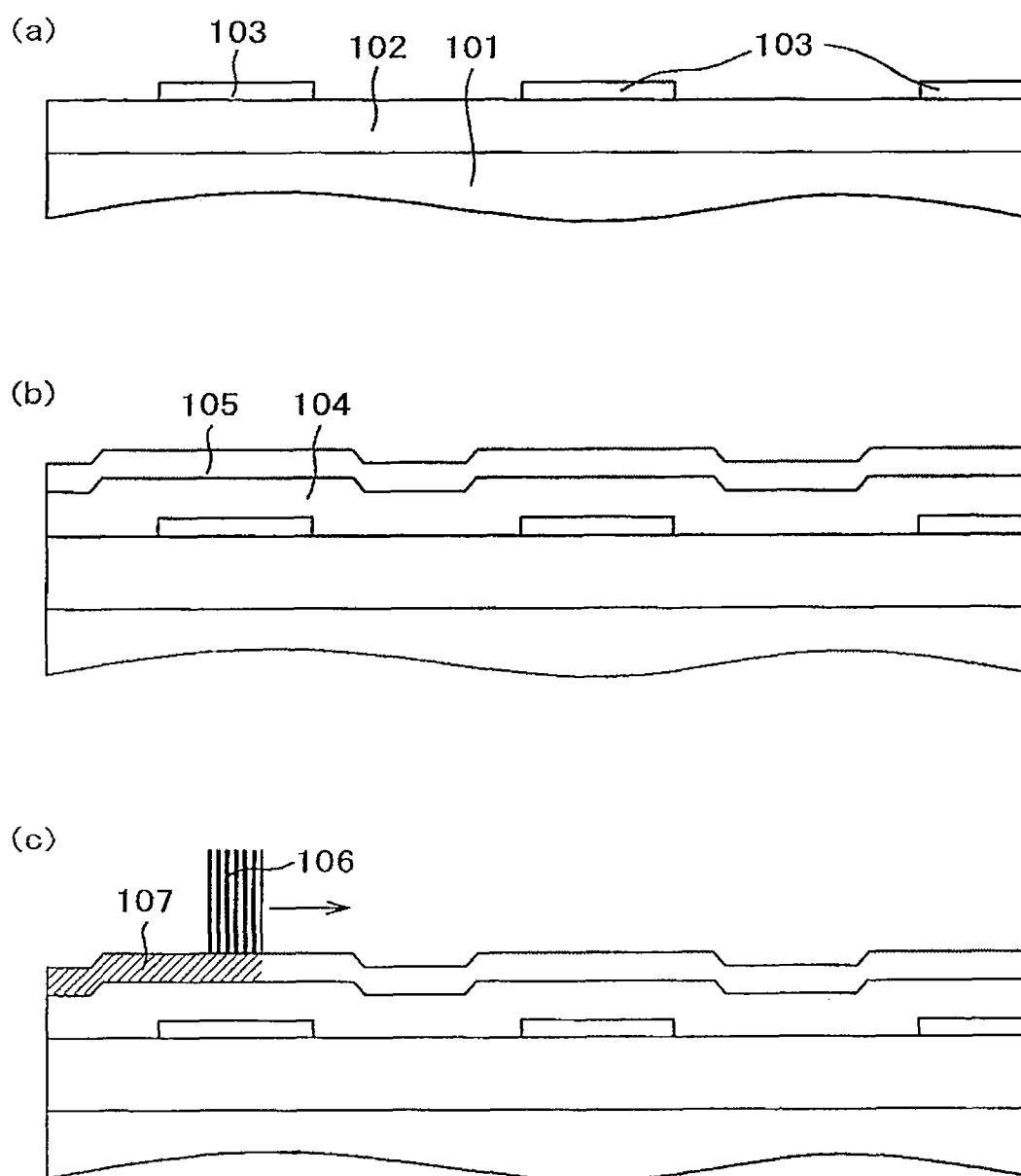
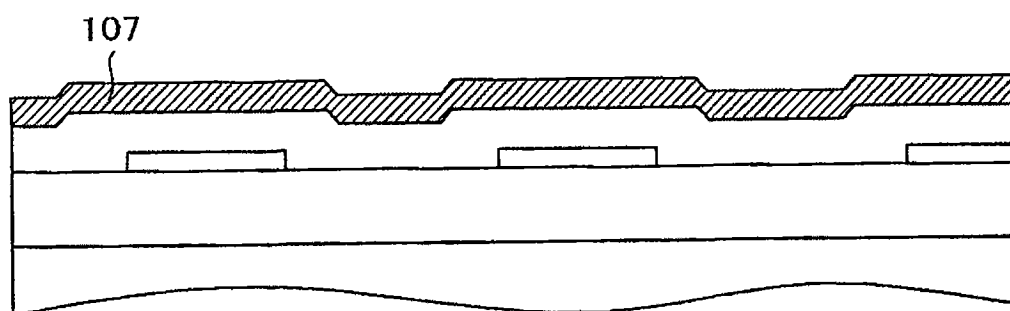
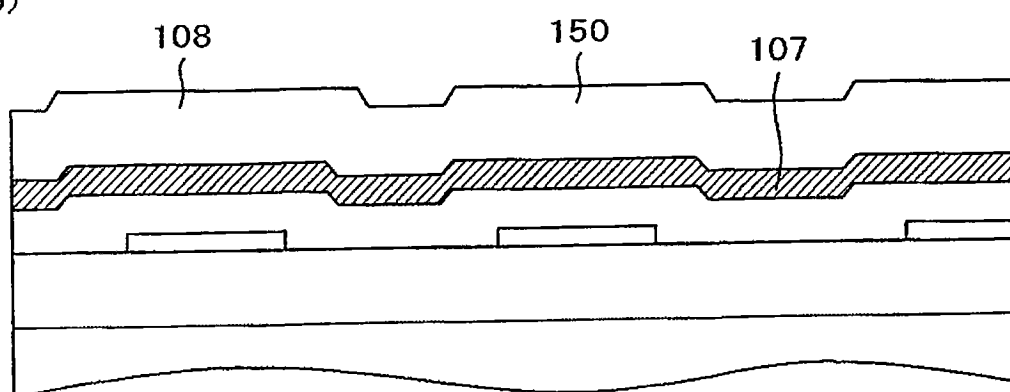


图 2

(a)



(b)



(c)

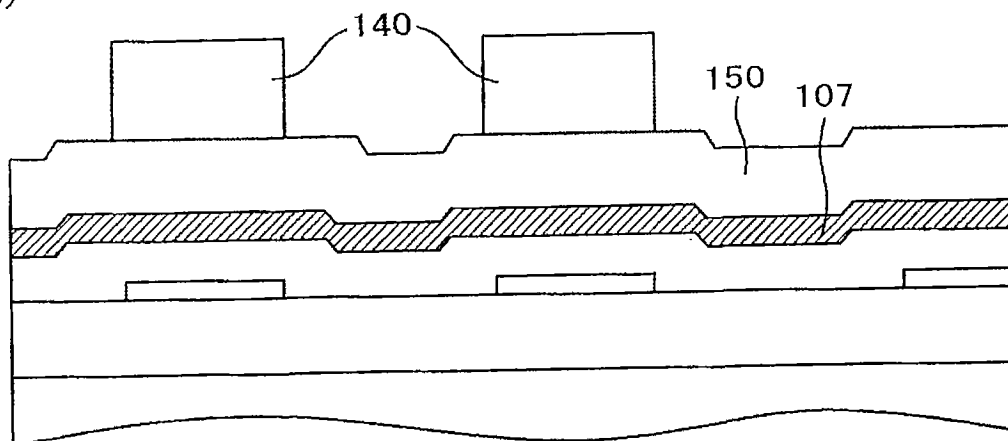


图 3

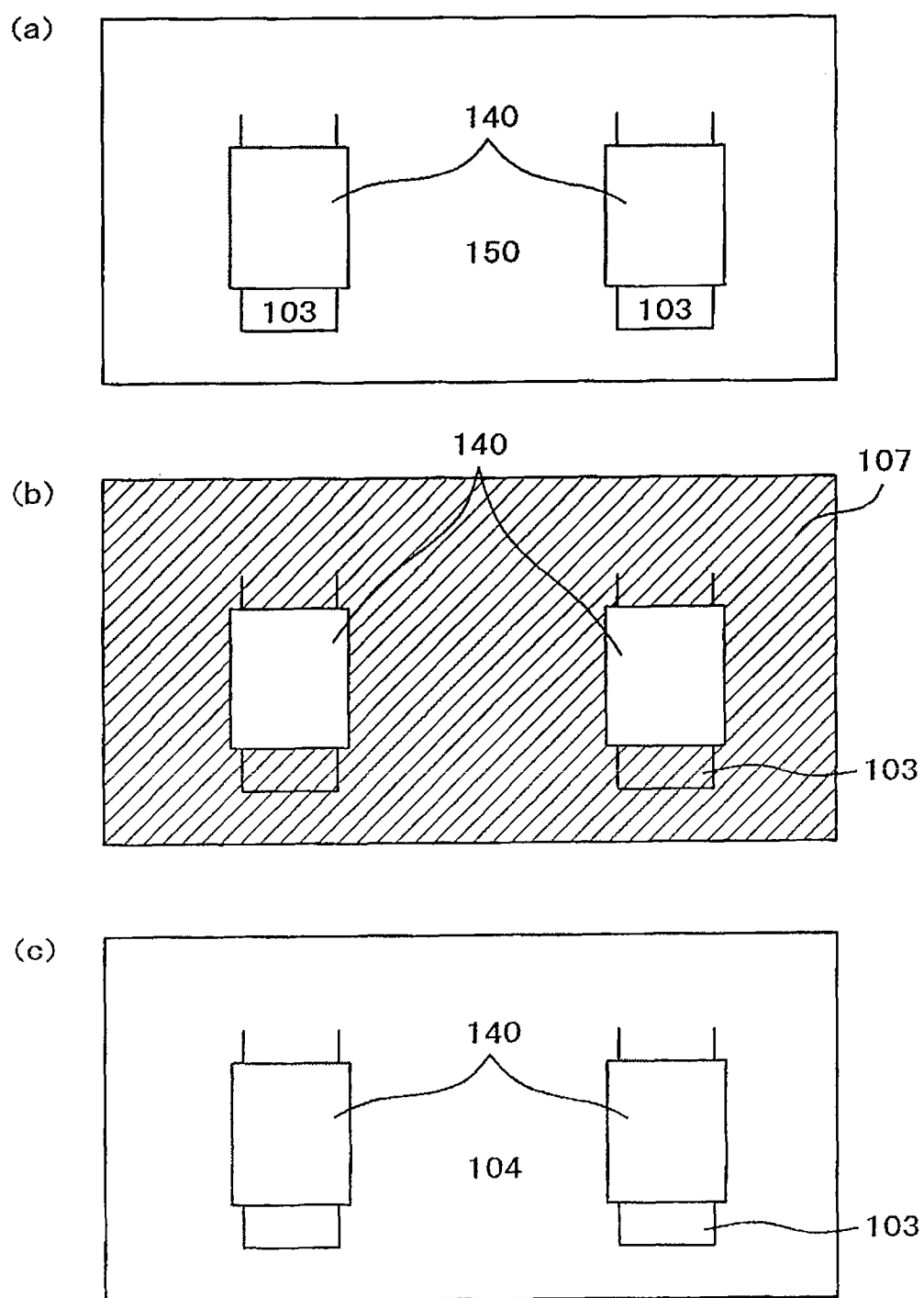


图 4

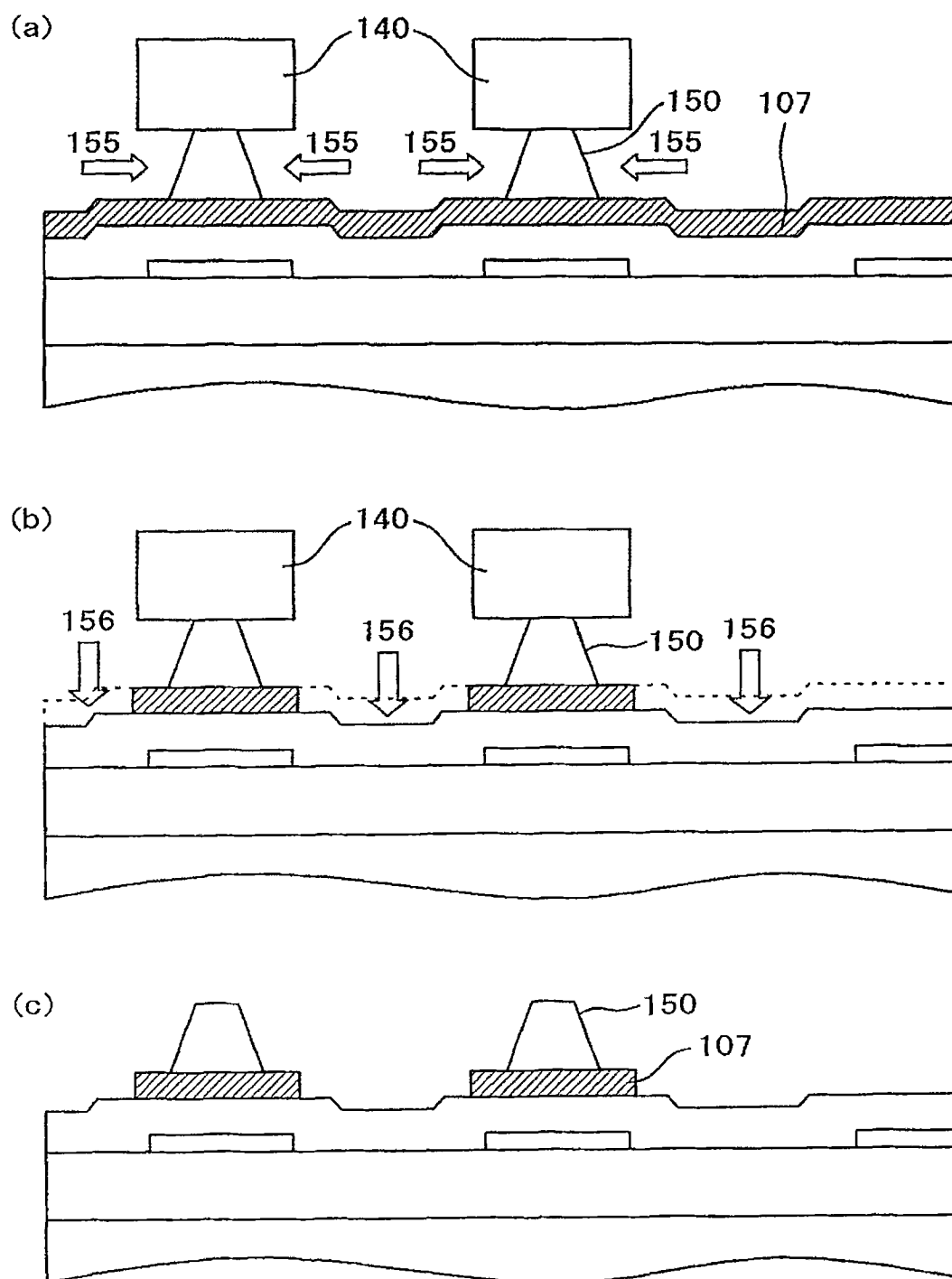


图 5

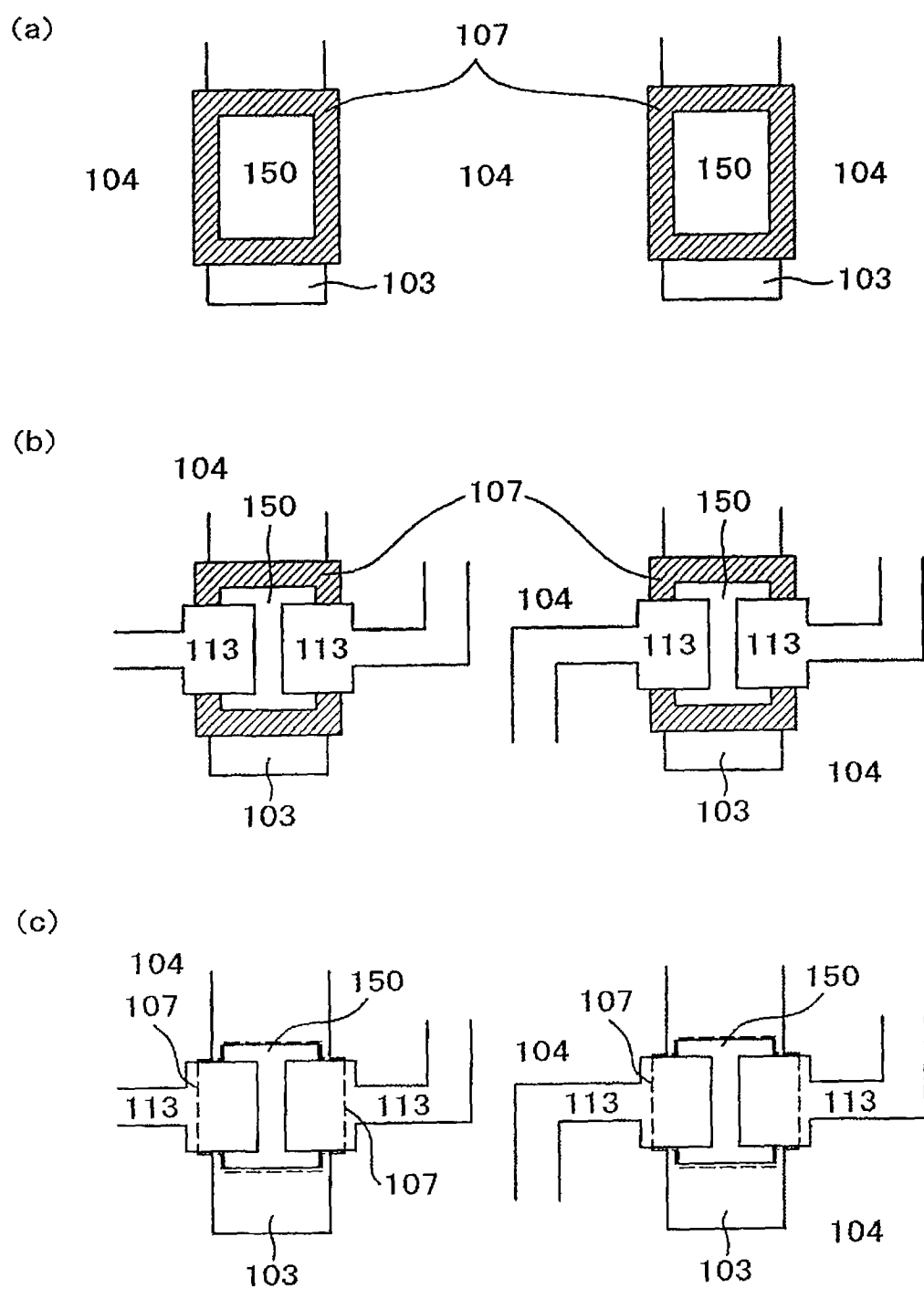


图 6

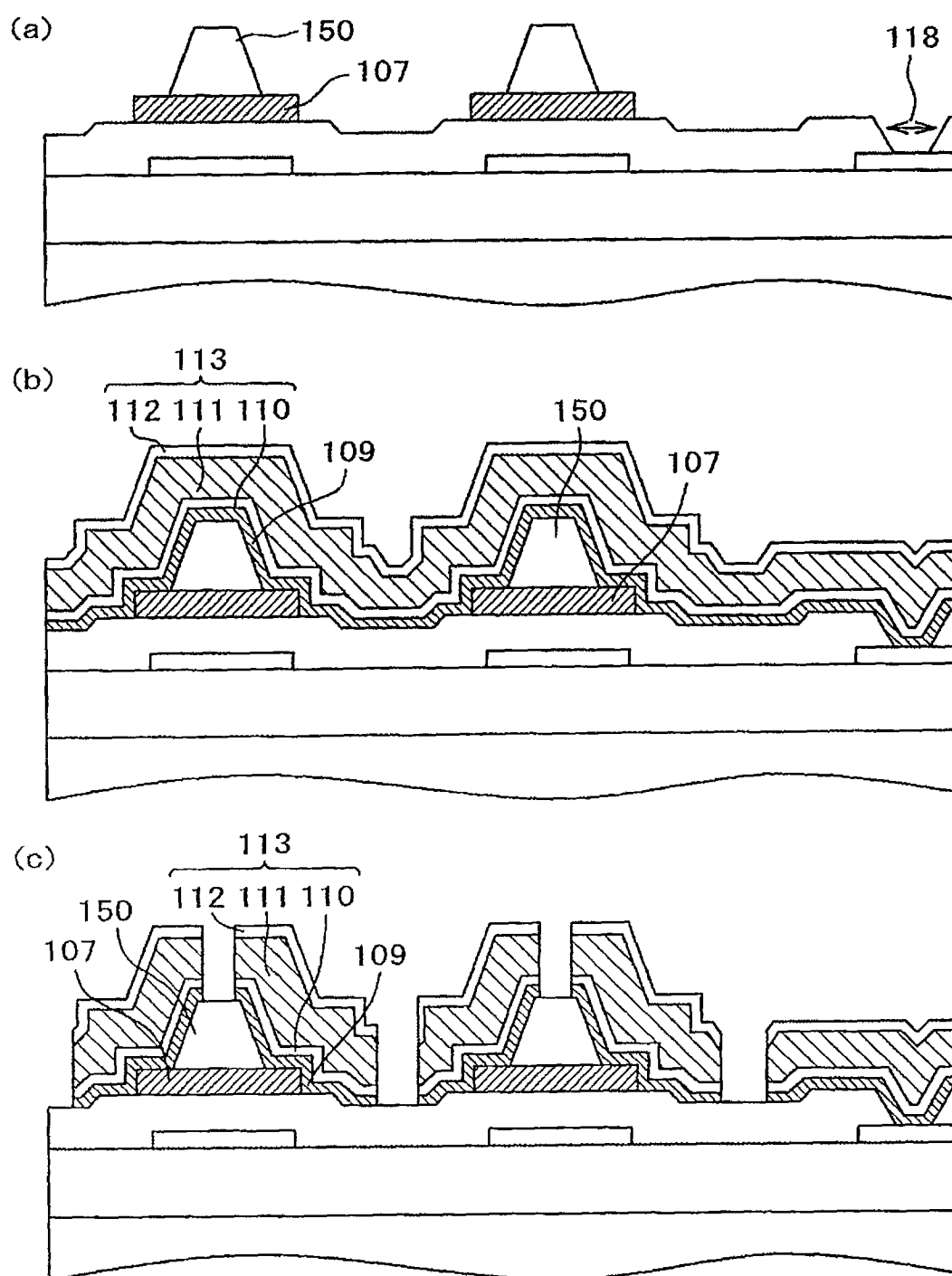


图 7

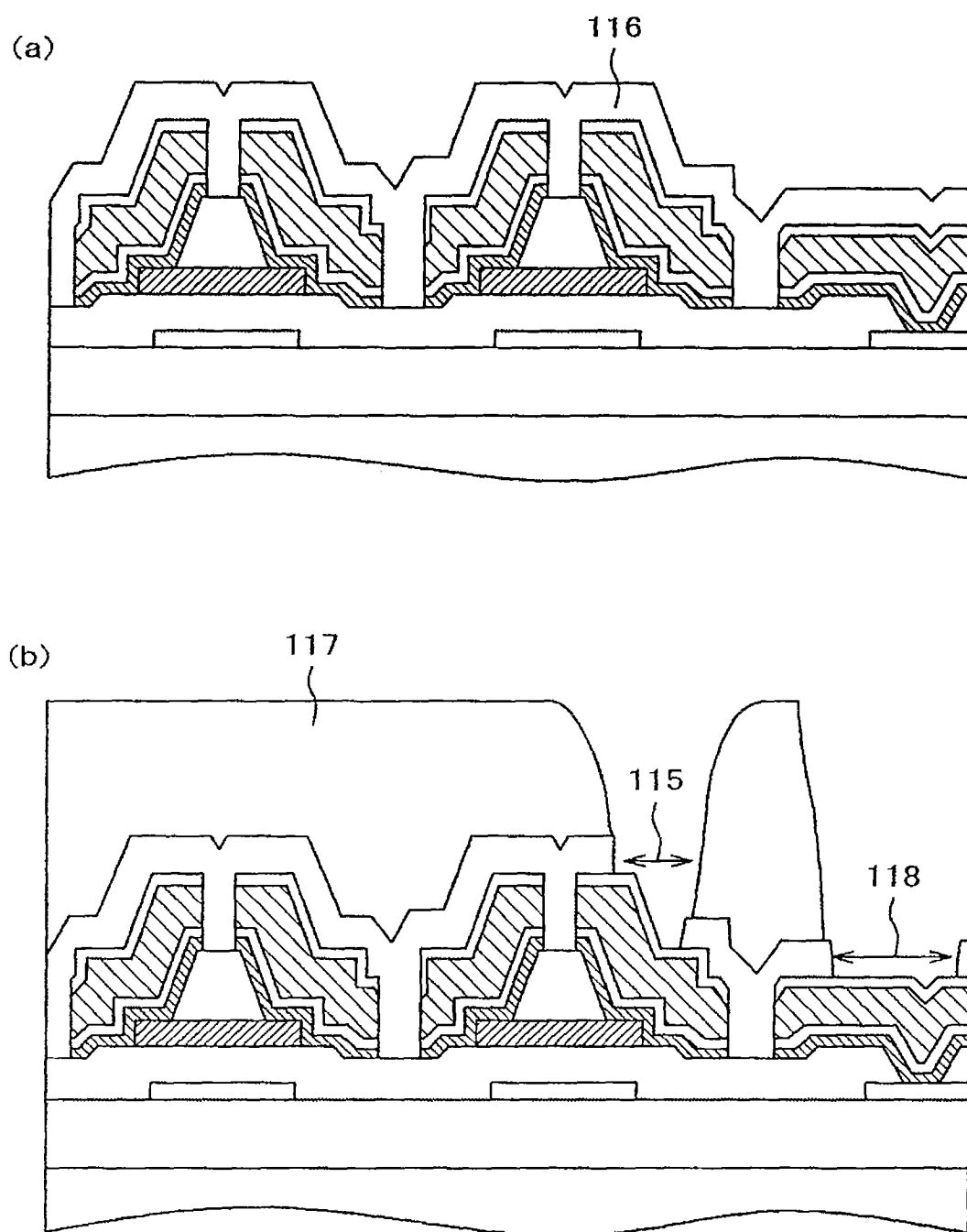


图 8

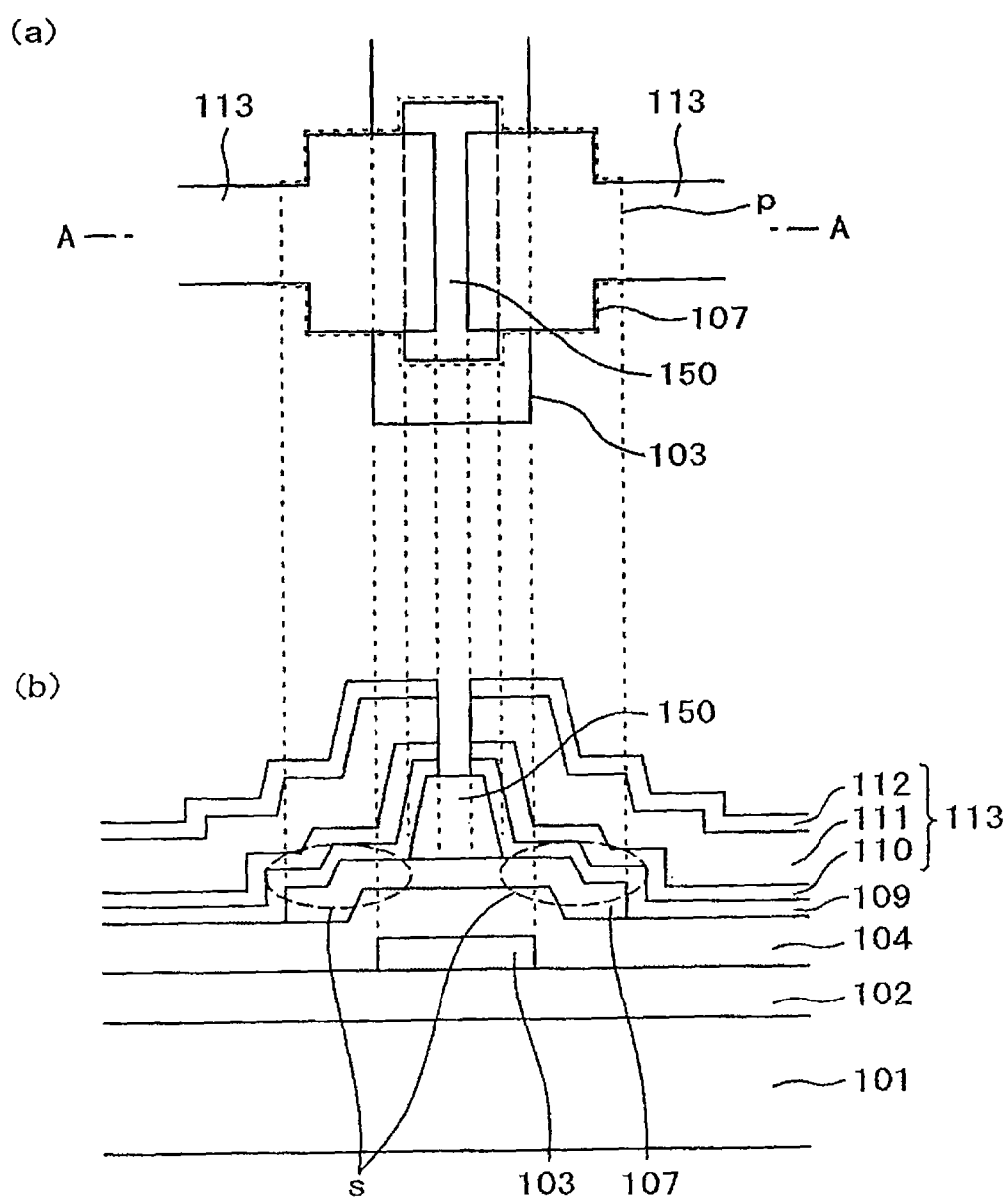


图 9

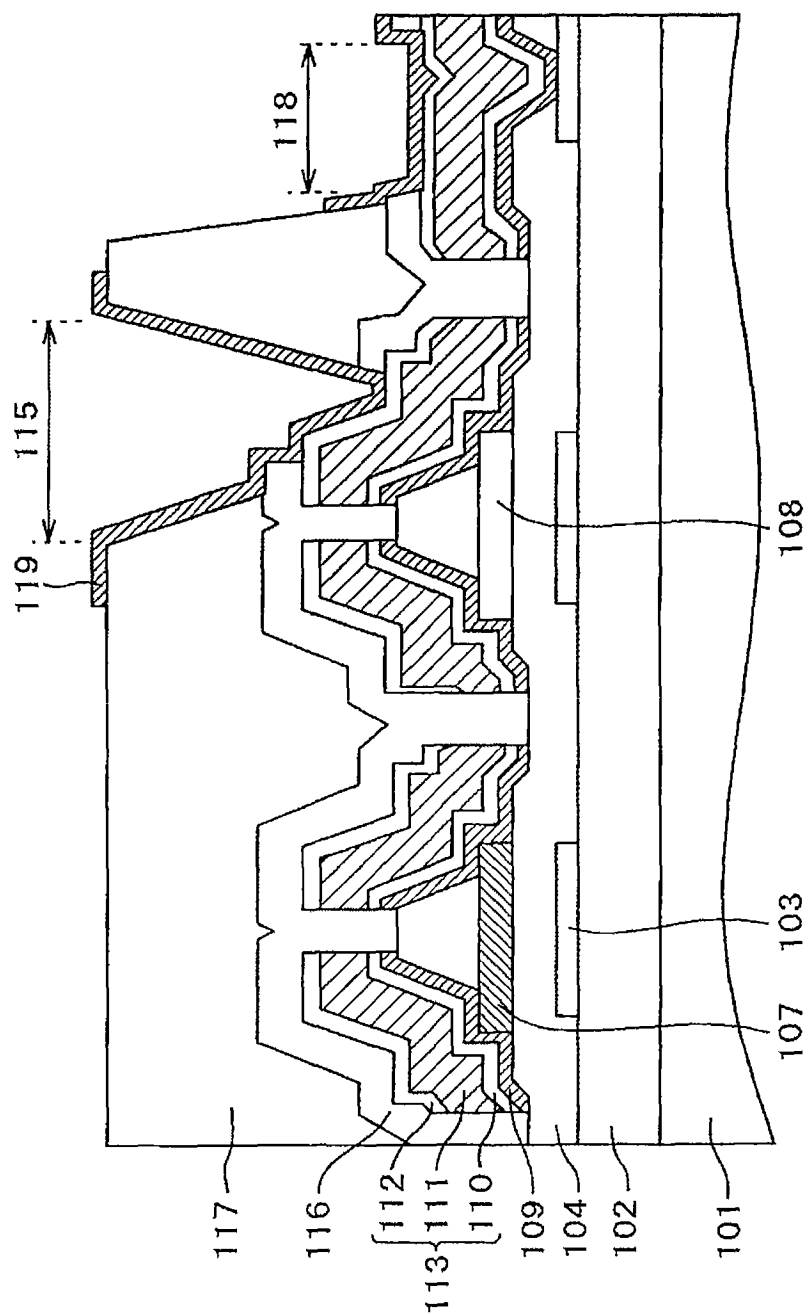


图 10

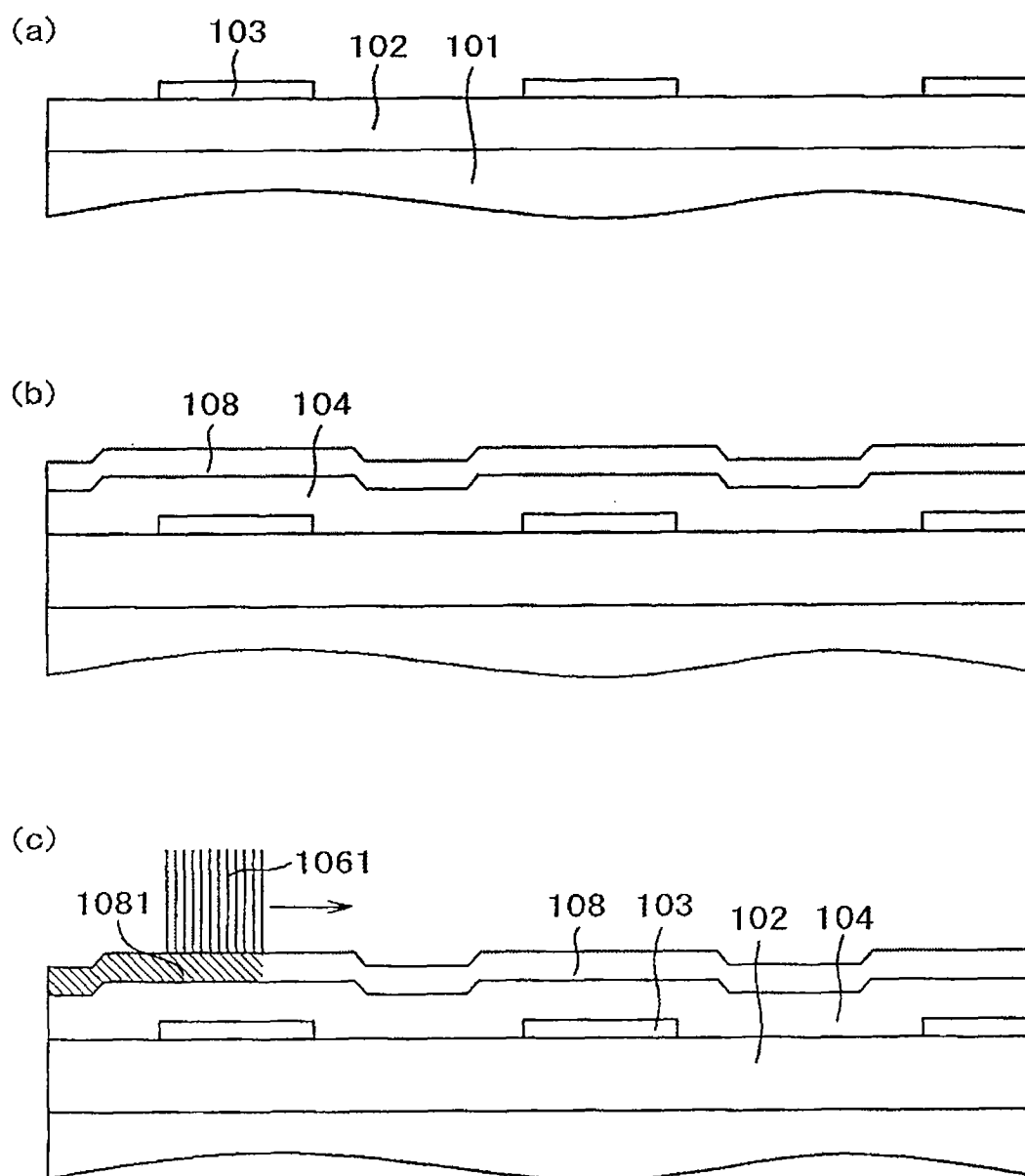


图 11

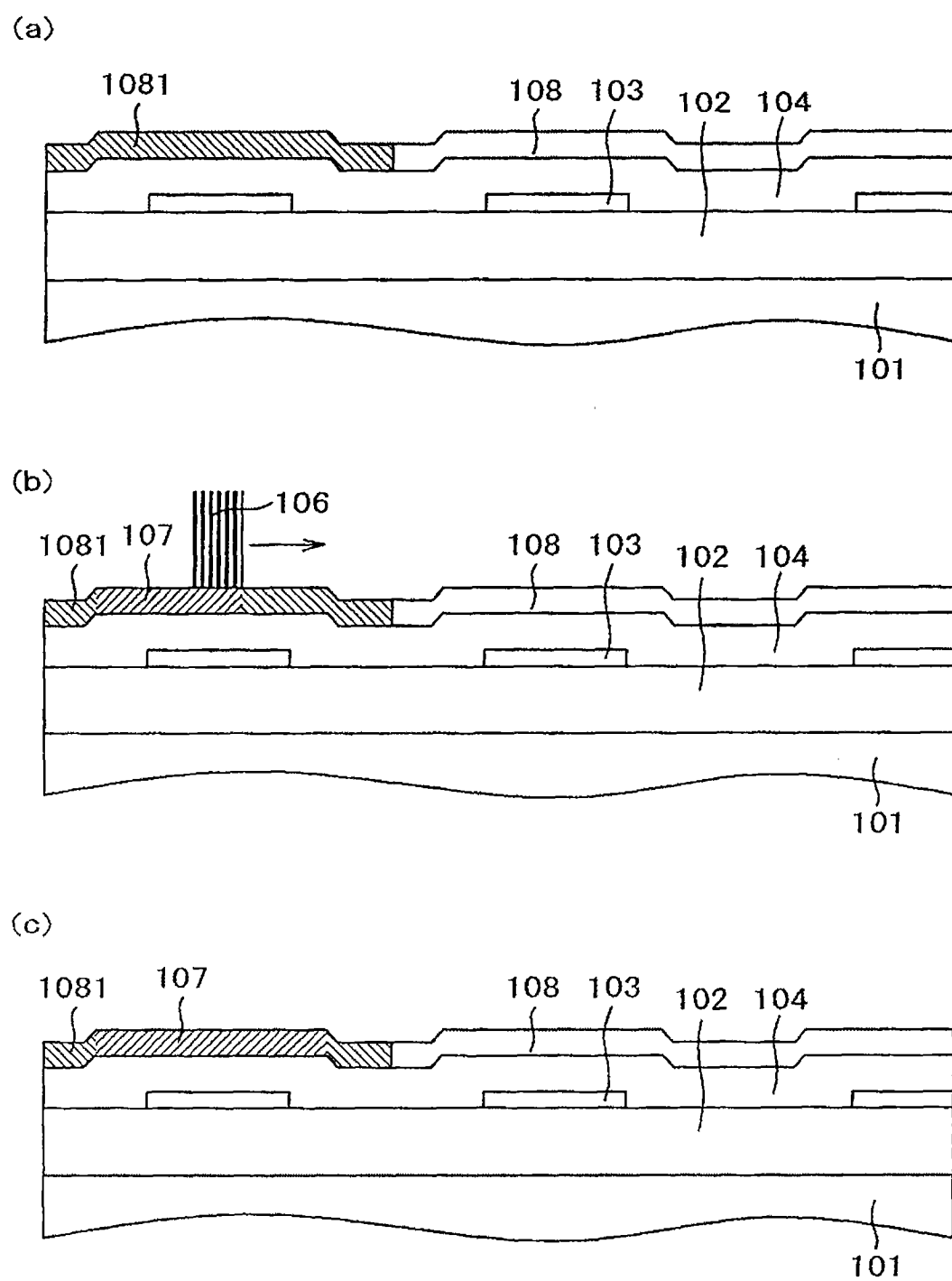


图 12

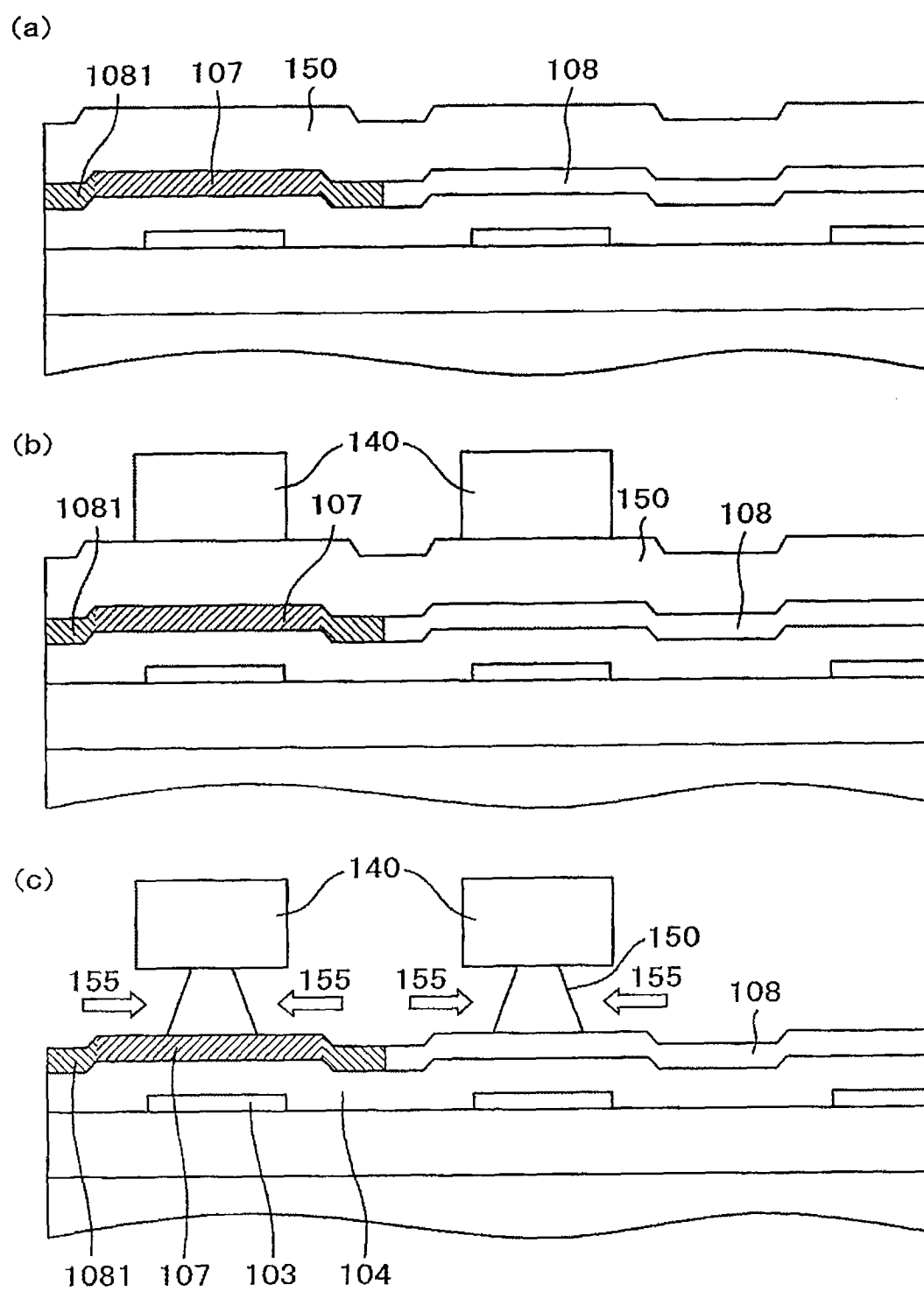


图 13

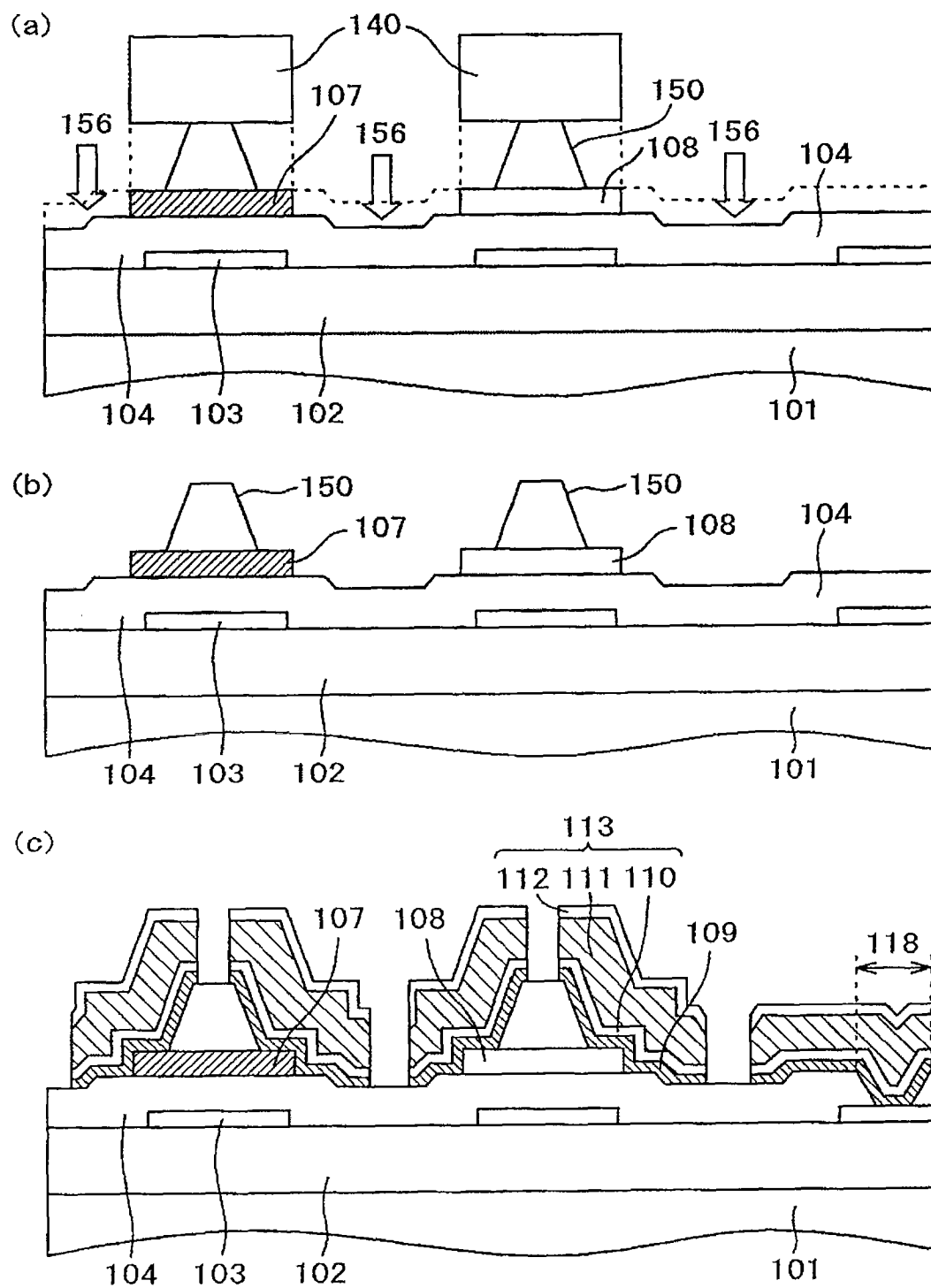
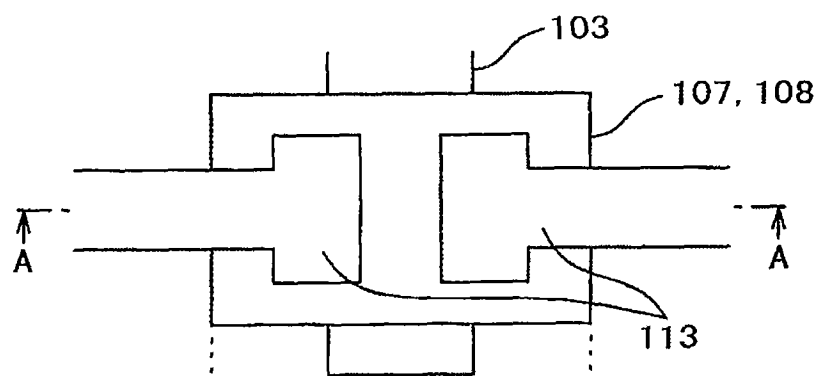


图 14

(a)



(b)

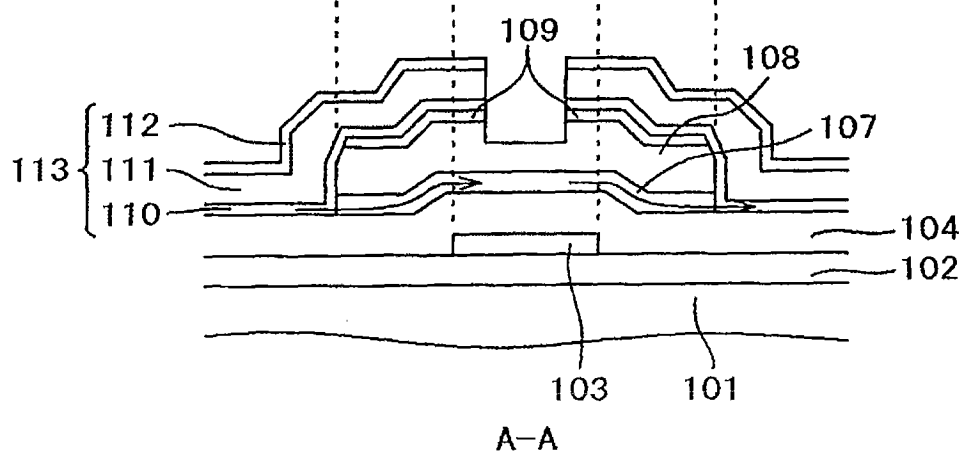


图 15

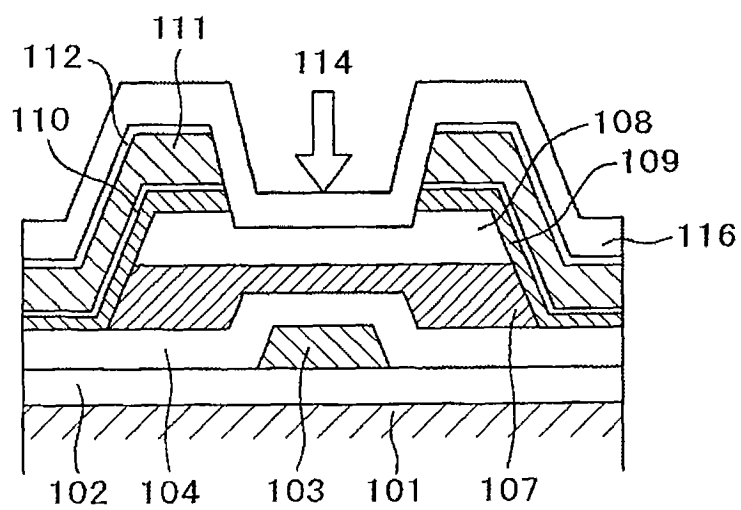


图 16

专利名称(译)	液晶显示装置		
公开(公告)号	CN101526709B	公开(公告)日	2011-04-20
申请号	CN200910126641.0	申请日	2009-03-05
[标]申请(专利权)人(译)	株式会社日立显示器		
申请(专利权)人(译)	株式会社日立显示器		
当前申请(专利权)人(译)	株式会社日立显示器		
[标]发明人	海东拓生 园田大介 新田秀和		
发明人	海东拓生 园田大介 新田秀和		
IPC分类号	G02F1/1362 G09G3/36 H01L27/12 H01L21/84 G02F1/1345 G02F1/1368 H01L21/336 H01L29/786		
CPC分类号	G02F1/1368 H01L29/78609 G02F2202/103 H01L27/1288 G02F2202/104 H01L29/66765 H01L27/1214 G02F1/1303		
代理人(译)	王茂华		
审查员(译)	刘燕梅		
优先权	2008056718 2008-03-06 JP		
其他公开文献	CN101526709A		
外部链接	Espacenet SIPO		

摘要(译)

本发明提供一种液晶显示装置。通过湿法蚀刻来加工沟道截断环层，通过干法蚀刻来加工poly-Si层。在沟道截断环层形成侧面蚀刻，由此使poly-Si层的周边部从沟道截断环层露出，将该区域用于与n+Si层接触。通过该结构能够减少TFT的导通电阻，增加导通电流。由此，能够在用于液晶显示装置的底栅型TFT中，在poly-Si层之上形成沟道截断环层，使TFT的特性稳定。

