

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/133 (2006.01)

G02F 1/136 (2006.01)

G09G 3/36 (2006.01)



# [12] 发明专利说明书

专利号 ZL 200510004465.5

[45] 授权公告日 2008 年 4 月 2 日

[11] 授权公告号 CN 100378516C

[22] 申请日 2005.1.12

[21] 申请号 200510004465.5

[30] 优先权

[32] 2004. 6. 29 [33] US [31] 10/881,829

[73] 专利权人 友达光电股份有限公司

地址 台湾省新竹市

[72] 发明人 江明峰 赖明升 郑国兴 王义方

叶彦显

[56] 参考文献

US6580093B2 2003.6.17

US5659375A 1997.8.19

CN1396486A 2003.2.12

US6326641B1 2001.12.4

US6559904B1 2003.5.6

US5414283A 1995.5.9

审查员 潘宁媛

[74] 专利代理机构 北京市柳沈律师事务所

代理人 蒲迈文 黄小临

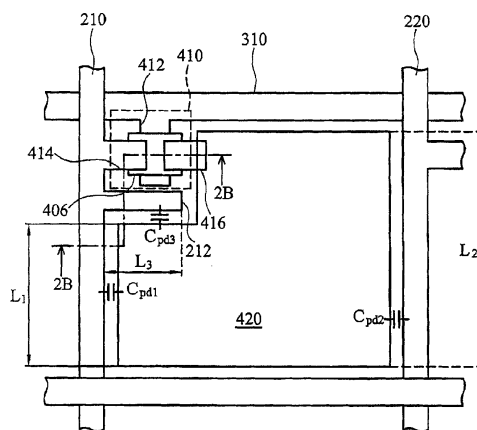
权利要求书 2 页 说明书 7 页 附图 6 页

[54] 发明名称

液晶显示器的补偿电容结构

[57] 摘要

本发明提供一种液晶显示器的补偿电容结构，包括多条扫描线及数据线形成于一衬底上，其中扫描线及数据线定义出由多个像素所构成的一阵列；一像素电极，设置于各个像素中，其中像素电极具有一第一边沿着一第一数据线方向及一第二边沿着一第二数据线方向；以及一开关组件耦接像素电极，其中开关组件根据扫描线及第一数据线所传送的扫描及数据讯号，而施以一电压于像素电极上；其中第一及第二数据线包括多个电容性耦接部个别的接近像素电极的第一边与第二边，于像素电极的第一边与第二边的电容性耦接部尺寸是受像素中需被平衡的寄生电容所决定。



1. 一种液晶显示器的补偿电容结构，包括：

多条扫描线及数据线形成于一衬底上，其中该扫描线及数据线定义出由多个像素所构成的一阵列；

一像素电极，设置于各个该像素中，其中像素电极具有一第一边沿着一第一数据线方向及一第二边沿着一第二数据线方向，其中在该第一边和第一数据线之间存在一第一电容，在该第二边和第二数据线之间存在一第二电容；

一开关组件连接该像素电极；以及

一补偿电容形成于该像素电极与任一第一或第二数据线之间；

其中该补偿电容包括一电容性耦接部，该电容性耦接部与该任一第一或第二数据线耦接，从而利用该补偿电容来平衡该第一电容的电容值和该第二电容的电容值。

2. 如权利要求1所述的液晶显示器的补偿电容结构，其中该电容性耦接部还包括该第一或第二数据线与该像素电极的一重迭区域。

3. 如权利要求2所述的液晶显示器的补偿电容结构，其中该像素电极位于该电容性耦接部的该重迭区域上。

4. 如权利要求1所述的液晶显示器的补偿电容结构，其中该电容性耦接部位于被该像素电极所占据区域之外。

5. 如权利要求1所述的液晶显示器的补偿电容结构，其中该电容性耦接部尺寸的配置是受各个该像素中需被平衡的寄生电容所决定。

6. 如权利要求1所述的液晶显示器的补偿电容结构，其中该电容性耦接部的组成材质包括一组由铬、钛、钨、钽、铜、铝或钼或其化合物所构成的合金。

7. 如权利要求1所述的液晶显示器的补偿电容结构，其中该像素电极是由透明电极所构成，包括铟锡氧化物或铟锌氧化物。

8. 如权利要求1所述的液晶显示器的补偿电容结构，其中该电容性耦接部是与该第一及第二数据线一起形成。

9. 如权利要求1所述的液晶显示器的补偿电容结构，其中于该电容性耦接部与该像素电极之间夹置一有机介电层。

10. 一种液晶显示器的补偿电容结构, 包括:

多条扫描线及数据线形成于一衬底上, 其中该扫描线及数据线定义出由多个像素所构成的一阵列;

一像素电极, 设置于各个该像素中, 其中像素电极具有一第一边沿着一第一数据线方向及一第二边沿着一第二数据线方向, 其中在该第一边和第一数据线之间存在一第一电容, 在该第二边和第二数据线之间存在一第二电容; 以及

一开关组件连接该像素电极, 其中该开关组件是根据该扫描线及第一数据线所传送的扫描及数据讯号, 而施以一电压于该像素电极上;

其中该第一及第二数据线包括多个电容性耦接部分别地接近该像素电极的该第一边与第二边, 该多个电容性耦接部中之一包括一凸出部分和一凹入部分中的至少一个, 于该像素电极的该第一边与第二边的电容性耦接部尺寸的配置是受各个该像素中需被平衡的该第一电容和该第二电容所决定。

11. 如权利要求 10 所述的液晶显示器的补偿电容结构, 其中凸出部分自该第一或第二数据线的任一长边凸出。

12. 如权利要求 11 所述的液晶显示器的补偿电容结构, 其中该凸出部分包括与该像素电极的一重叠部分。

13. 如权利要求 12 所述的液晶显示器的补偿电容结构, 其中于该电容性耦接部与该像素电极之间夹置一有机介电层。

14. 如权利要求 11 所述的液晶显示器的补偿电容结构, 其中该凸出部分位于被该像素电极所占据区域之外。

15. 如权利要求 11 所述的液晶显示器的补偿电容结构, 其中该电容性耦接部的组成材质包括一组由铬、钛、钨、钽、铜、铝或钼或其化合物所构成的合金。

16. 如权利要求 10 所述的液晶显示器的补偿电容结构, 其中该多个电容性耦接部包括有第一数据线的一第一电容性耦接部及第二数据线的一第二电容性耦接部, 且该第一电容性耦接部包括一凸出部分, 而该第二电容性耦接部包括一凹入部分。

## 液晶显示器的补偿电容结构

### 技术领域

本发明涉及一种液晶显示器技术，特别是涉及一种具有可平衡寄生电容的液晶显示器的像素电极结构。

### 背景技术

传统上，薄膜晶体管液晶显示器(TFT-LCD)的结构包括一TFT阵列衬底、一彩色滤光膜阵列衬底及一液晶层夹置于TFT阵列衬底与彩色滤光膜阵列衬底之间。传统的TFT阵列衬底上具有一薄膜晶体管阵列，各个薄膜晶体管耦接至一像素电极。各个薄膜晶体管的作用为开关组件以施以一电压于像素电极上，因而产生一电场于液晶层中选择性的控制液晶分子指向的取向以显示影像。

图1A是传统主动矩阵式液晶显示器的像素区域的示意图。于像素区域中，薄膜晶体管10与数据线32及扫描线42耦接。薄膜晶体管10包括一栅极电极12连接扫描线42、一源极电极14连接数据线32及一漏极电极16连接像素电极50。源极电极14及漏极电极16形成于一半导体层6上。另一数据线34沿像素电极50的一边延伸，并相对于数据线32。

图1B是图1A中沿1B-1B剖面的剖面示意图。包括薄膜晶体管10的像素电极结构通常形成于一衬底2上。数据线32及34形成于栅极绝缘层4上，覆盖部分的栅极电极12，如图1A所示。一介电层8覆盖衬底2、薄膜晶体管10及数据线32、34上，而该像素电极50形成于介电层8上。于此已知的像素电极结构中，数据线32、34接近像素电极50的两边位置处会产生寄生电容。由于像素电极50具有两不同长度的电容性耦接边，因此像素电极50两边与数据线32、34电容性耦接所产生的寄生电容( $C_{pd1}$ 、 $C_{pd2}$ )不同，亦即 $C_{pd1} \neq C_{pd2}$ 。此寄生电容的差异导致像素电极50操作电压的不同，因而造成像素闪烁及串音(cross talk)现象。

为解决上述像素电极结构中寄生电容的问题，于已知技术中提出许多方法。

图 1C 显示美国专利 US 5,745,194 所揭示已知的像素结构以降低光遮蔽层与薄膜晶体管的源/漏极之间的寄生电容。图 1C 中所显示的薄膜晶体管被光遮蔽层 60 所覆盖。一补偿电容 40 更进一步形成于像素电极 50 与数据线 34 的重迭区域,未与像素电极 50 耦接以补偿像素电极 50 与数据线 34 的电容性耦接。

美国专利 US 5,886,757 揭示一种液晶显示器具有降低寄生电容的薄膜晶体管。一薄膜晶体管包括一栅极电极延伸自一扫描线、一漏极电极连接至一像素电极及一源极电极连接一数据线。源极电极的宽度大于漏极电极的宽度以降低薄膜晶体管的寄生电容。

美国专利 US 5,614,427 揭示一薄膜晶体管的漏极电极的配置完全围绕源极电极。此特殊的几何配置能降低薄膜晶体管的寄生电容。

美国专利 US 5,414,283 亦揭示一种液晶显示器具有降低寄生电容的薄膜晶体管。一薄膜晶体管包括圆的源极电极被圆形或带状的漏极电极围绕以降低薄膜晶体管的寄生电容。

上述已知方法皆可解决寄生电容的问题,然而于组件制造时却使成本增加。特别是,特殊设计几何配置的薄膜晶体管需要经密度高的图案化制造工艺及降低制造工艺窗口,因而造成制造成本增加。

因此,业界极需一种能解决像素结构所产生寄生电容效应的液晶显示器,同时在组件制造时不会增加制造成本。

## 发明内容

有鉴于此,为了解决上述寄生电容的问题,本发明的目的在于提供一种液晶显示器,能降低因像素电极结构所造成不希望的寄生电容问题。

根据上述目的,本发明提供一种液晶显示器的补偿电容结构,包括多条扫描线及数据线形成于一衬底上,其中该扫描线及数据线定义出一像素阵列;一像素电极,设置于各个像素中,其中像素电极具有一第一边沿着一第一数据线方向及一第二边沿着一第二数据线方向;以及一开关组件连接该像素电极,其中开关组件根据扫描线及第一数据线所传送的扫描及数据讯号,而施以一电压于像素电极上;其中第一及第二数据线包括多个电容性耦接部个别的接近像素电极的第一边与第二边,于像素电极的第一边与第二边的电容性耦接部尺寸受像素中需被平衡的寄生电容所决定。

本发明提供了一种液晶显示器的补偿电容结构，包括：多条扫描线及数据线形成于一衬底上，其中该扫描线及数据线定义出由多个像素所构成的一阵列；一像素电极，设置于各个该像素中，其中像素电极具有一第一边沿着一第一数据线方向及一第二边沿着一第二数据线方向；一开关组件连接该像素电极；以及一补偿电容形成于该像素电极与任一第一或第二数据线之间，其中该补偿电容包括一电容性耦接部，该电容性耦接部与该任一第一或第二数据线耦接。

电容性耦接部的第一实施例，包括一凸出部分，自任一第一或第二数据线凸出。再者，该凸出部分包括与该像素电极的一重叠部分。此外，于另一实施例中，凸出部分位于被该像素电极所占据区域之外。

电容性耦接部的第二实施例，包括至少一凹入部分，自任一第一或第二数据线凹入。

本发明还提供了一种液晶显示器的补偿电容结构，包括：多条扫描线及数据线形成于一衬底上，其中该扫描线及数据线定义出由多个像素所构成的一阵列；一像素电极，设置于各个该像素中，其中像素电极具有一第一边沿着一第一数据线方向及一第二边沿着一第二数据线方向；以及一开关组件连接该像素电极，其中该开关组件是根据该扫描线及第一数据线所传送的扫描及数据讯号，而施以一电压于该像素电极上；其中该第一及第二数据线包括多个电容性耦接部分别地接近该像素电极的该第一边与第二边，该多个电容性耦接部中之一包括一凸出部分和一凹入部分中的至少一个，于该像素电极的该第一边与第二边的电容性耦接部尺寸的配置是受各个该像素中需被平衡的寄生电容所决定。再者，电容性耦接部的第三实施例，于第一数据线的一第一电容性耦接部包括一凸出部分，而第二数据线的一第二电容性耦接部包括一凹入部分

#### 附图说明

以下结合附图式以及较佳实施例更详细地说明本发明。

图 1A 是传统主动矩阵式液晶显示器的像素区域的示意图；

图 1B 是图 1A 中沿 1B-1B 剖面的剖面示意图；

图 1C 是显示已知的像素结构以降低光遮蔽层与薄膜晶体管的源极/漏极之间的寄生电容；

图 2A 是显示根据本发明第一实施例液晶显示器的像素区域的平面图；

图 2B 是图 2A 中沿 2B-2B 剖面的剖面示意图；

图 2C 是显示根据本发明的变化例中，像素电极的两边所形成的寄生电容可藉由数据在线至少一凹入部分而相互平衡；

图 2D 是显示本发明的另一变化例，结合数据在线的凸出部分及数据在线的凹入部分以补偿像素电极的两边所形成的寄生电容；

图 3A 是显示根据本发明又一实施例液晶显示器的像素区域的平面图；  
以及

图 3B 是图 3A 中沿 3B-3B 剖面的剖面示意图。

#### 附图符号说明

已知部分(第 1A~1C 图)

2~衬底；4~栅极绝缘层；6~半导体层；8~介电层；10~薄膜晶体管；12~栅极电极；14~源极电极；16~漏极电极；32、34~数据线；42~扫描线；40~补偿电容；50~像素电极； $C_{pd1}$ 、 $C_{pd2}$ ~寄生电容。

本发明部分(第 2A~3B 图)210、220~数据线；212~数据线的凸出部分；214~重迭区域；222~延伸部分；224~凹入部分；310~扫描线；402~透明衬底；404~栅极绝缘层；406~半导体层；408~保护层；410~薄膜晶体管；412~栅极电极；414~源极电极；416~漏极电极；420~像素电极；422~接触孔； $C_{pd1}$ 、 $C_{pd2}$ 、 $C_{pd3}$ 、 $C_{pd4}$ ~寄生电容； $L_1$ 、 $L_2$ 、 $L_3$ 、 $L_4$ ~长度； $W_4$ ~宽度。

#### 具体实施方式

图 2A 是显示根据本发明第一实施例液晶显示器的像素区域的平面图。于像素区域中，一开关组件，例如是薄膜晶体管 410，连接至像素电极 420 具有一数据线 210 及一扫描线 310。薄膜晶体管 410 包括一栅极电极 412 连接扫描线 310、一源极电极 414 连接数据线 210 及一漏极电极 416 连接像素电极 420。又该数据线 210 沿像素电极 420 的一边延伸，而另一数据线 220 沿像素电极 420 的另一边延伸，并相对平行于数据线 210。

图 2B 是图 2A 中沿 2B-2B 剖面线的剖面示意图。薄膜晶体管 410 形成于一衬底 402 上。一栅极电极 412 形成于衬底 402 上，厚度范围大抵为例

如 1000 ~ 5000 埃(Å)。扫描线 310 可与栅极电极 412 同时形成。适合扫描线 310 与栅极电极 412 的材料包括铬、铝、钽或上述材料的组合。一栅极绝缘层 404 覆盖栅极电极 412，厚度范围大抵介于 3000 ~ 4000 埃(Å)。栅极绝缘层 404 的材质包括氧化硅(SiO<sub>x</sub>)、氮化硅(SiN<sub>x</sub>)、氧化钽或其它介电材料。

一半导体层 406 形成于栅极绝缘层 404 以覆盖栅极电极 412 区域。于本实施例中，半导体层 406 可由非晶质硅所构成。源极电极 414 及漏极电极 416 形成且部分覆盖半导体层 406 于栅极电极 412 的两边。源极电极 414 形成于栅极绝缘层 404 上连接数据线 210。

根据本发明的一具体实施例中，数据线 210 包括一电容性耦接部，例如一凸出部分 212 座落于薄膜晶体管 410 与像素电极 420 之间，其中该电容性耦接部的组成材质包括一组由铬、钛、钨、钽、铜、铝或钼或其化合物所构成的合金。一保护层 408 形成且覆盖薄膜晶体管 410 与数据线 210。像素电极 420 形成于保护层 408 的表面上且通过一接触孔 422 与漏极电极 416 连接。像素电极 420 的材质包括透明导电材料，例如铟锡氧化物(ITO)、铟锌氧化物(IZO)或其它透明导电材料。

如图 2A 所示，数据线 210 的一长度  $L_1$  邻接像素电极 420 的第一边形成

一第一寄生电容  $C_{pd1}$ ，而数据线 220 的一长度  $L_2$  邻接像素电极 420 的第二边形成一第二寄生电容  $C_{pd2}$ 。第二寄生电容  $C_{pd2}$  与第一寄生电容  $C_{pd1}$  间具有一电容差值。数据线 210 的电容性耦接部，例如一凸出部分 212 沿一长度  $L_3$  延伸以形成一补偿电容  $C_{pd3}$ ，耦接于数据线 210 与像素电极 420 之间。补偿电容  $C_{pd3}$  可平衡像素电极 420 的两边所形成的寄生电容，亦即  $C_{pd2} \cong C_{pd1} + C_{pd3}$ 。因此，可使像素电极 420 获致稳定的操作电压，以避免像素闪烁及串音 (cross talk) 等不希望的现象。

图 2C 是显示根据本发明的变化例中，像素电极 420 的两边所形成的寄生电容可藉由数据线 220 上的电容性耦接部，例如至少一凹入部分 224 而相互平衡。凹入部分 224 局部降低数据线 220 的线宽。特别是，藉由控制凹入部分 224 的长度  $L_4$  及宽度  $W_4$  使得数据线 220 上产生耦合电容  $C_{pd2}$ 、 $C_{pd3}$  及  $C_{pd4}$ ，具有足够的尺寸以平衡数据线 210 上的耦合电容  $C_{pd1}$ ，亦即  $C_{pd1} \cong C_{pd2} + C_{pd3} + C_{pd4}$ 。

如图 2D 所示，本发明的另一变化例可结合数据线 210 上的电容性耦接部 (凸出部分 212) 及数据线 220 上的电容性耦接部 (凹入部分 224)。凸出部分 212 及凹入部分 224 能使相对的数据线 210 及 220 上的电容性耦接部的尺寸配置相当而获致像素电极 420 的两边所形成的寄生电容相互平衡。

图 3A 是显示根据本发明又一实施例液晶显示器的像素区域的平面图。在此变化例中，像素电极 420 与数据线 210 间具有一重迭区域 214。此重迭区域 214 具有一宽度  $W_1$ 。数据线 210 的区域 214 具有一相对大的宽度。未与像素电极 420 耦合的数据线 220 具有一重迭区域 214，宽度  $W_2$ 。宽度  $W_2$  小于重迭区域的宽度  $W_1$ 。然而，于另一未图示的实施例中，未重迭区域可设置于数据线 220 与像素电极 420 之间。

图 3B 是图 3A 中沿 3B-3B 剖面的剖面示意图。数据线 220 包括一电容性耦接部，例如延伸于像素电极 420 之下的一凸出部分 222。于此变化例中，像素电极 420 位于一有机介电层 418 上覆盖该像素区域。重迭区域的宽度  $W_1$  形成一第一寄生电容  $C_{pd1}$ 。同时，由数据线 220 上的一长度所形成的寄生电容  $C_{pd2}$  小于  $C_{pd1}$ 。凸出部分 222 造成一重迭区域已形成一补偿电容  $C_{pd3}$ ，以平衡像素电极 420 的两边  $C_{pd1}$  与  $C_{pd2}$  所造成的电容差值，亦即  $C_{pd1} \cong C_{pd2} + C_{pd3}$ 。

本发明提供于一数据线与像素电极间补偿电容的配置。该补偿电容的配置是用以平衡像素电极的两边寄生电容所造成的电容差值。

于其一实施例中，补偿电容可仅藉形成一额外的导电层，与形成数据线于相同步骤中。形成此额外的导电层只需藉修正转移至衬底的图案即可实现，并不会增加制造成本，由此可制造一具有较佳显示品质的显示系统。

虽然本发明已以较佳实施例披露如上，然其并非用以限定本发明，本领域的技术人员在不脱离本发明的精神和范围的前提下，可作若干的更动与润饰，因此本发明的保护范围以本发明的权利要求为准。

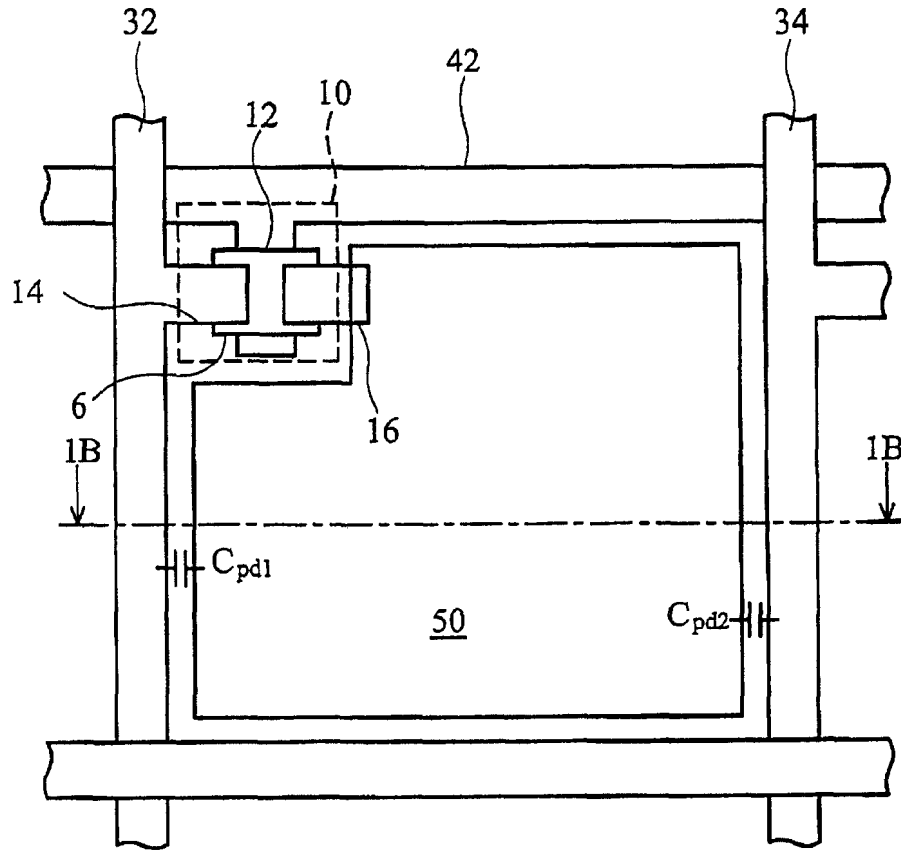


图 1A

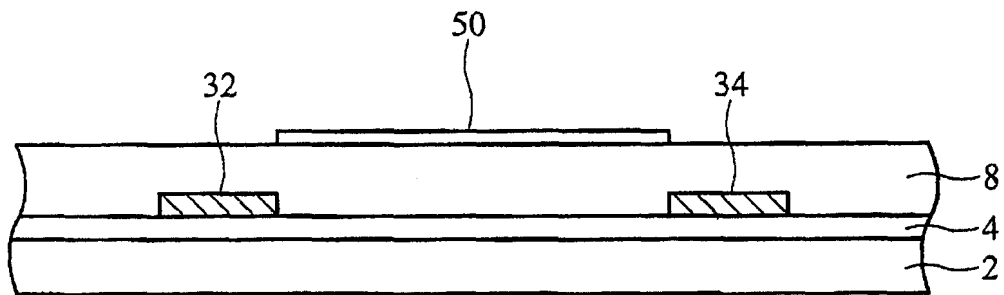


图 1B

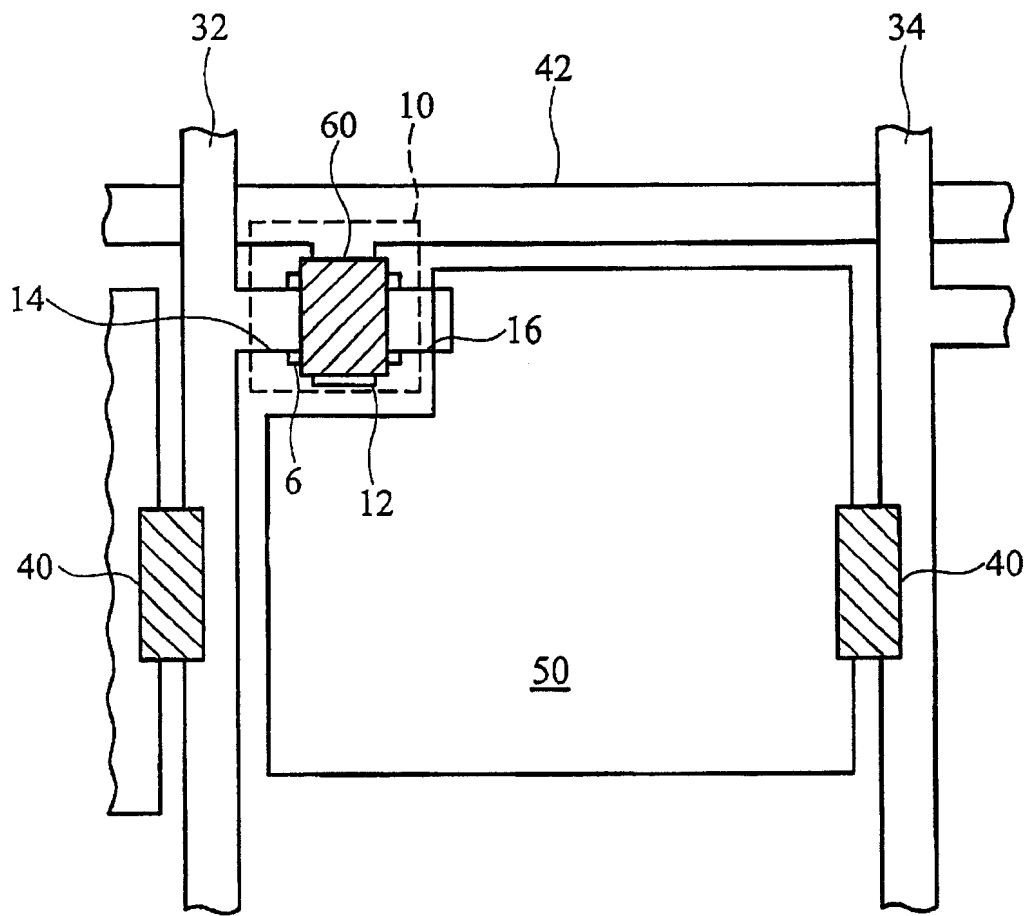


图 1C

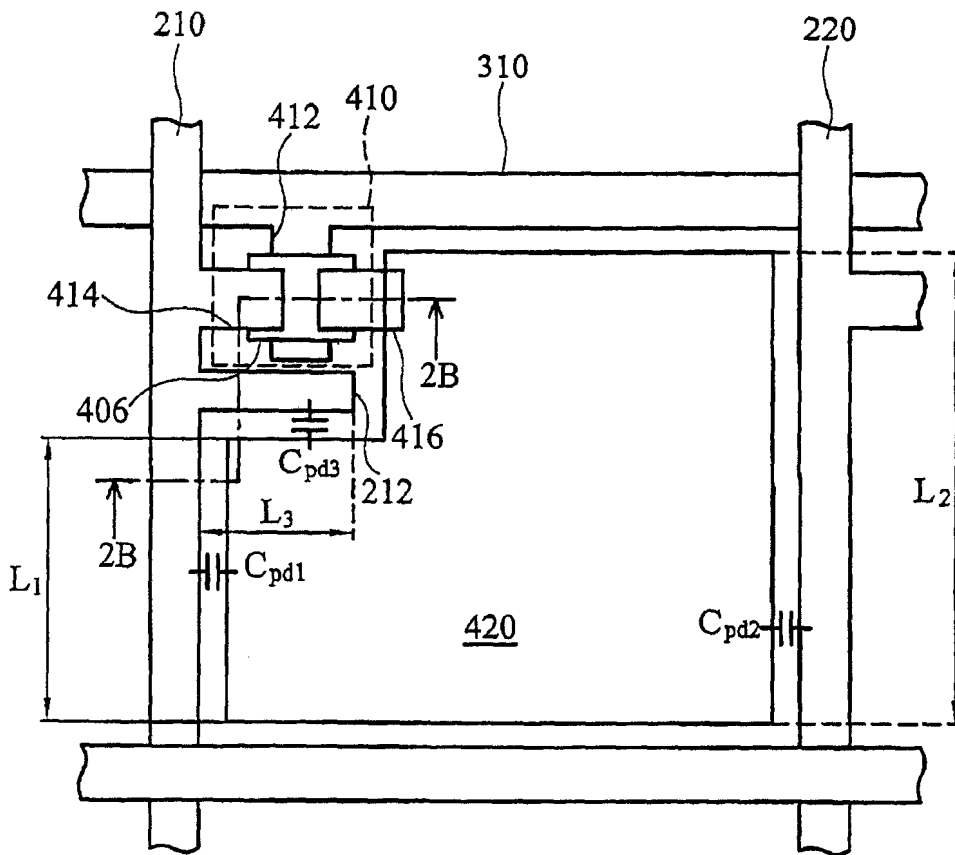


图 2A

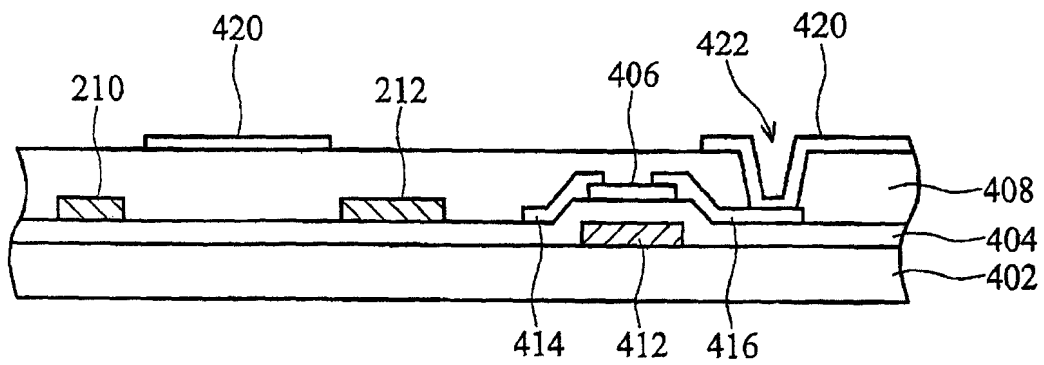


图 2B

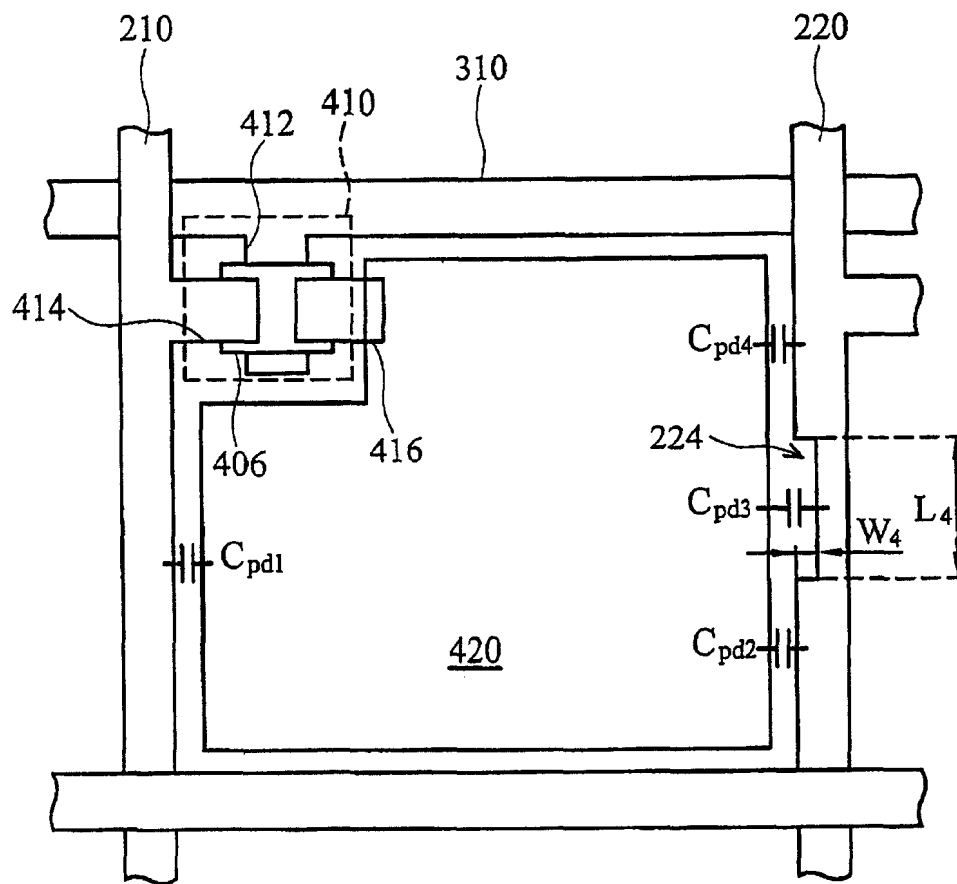


图 2C

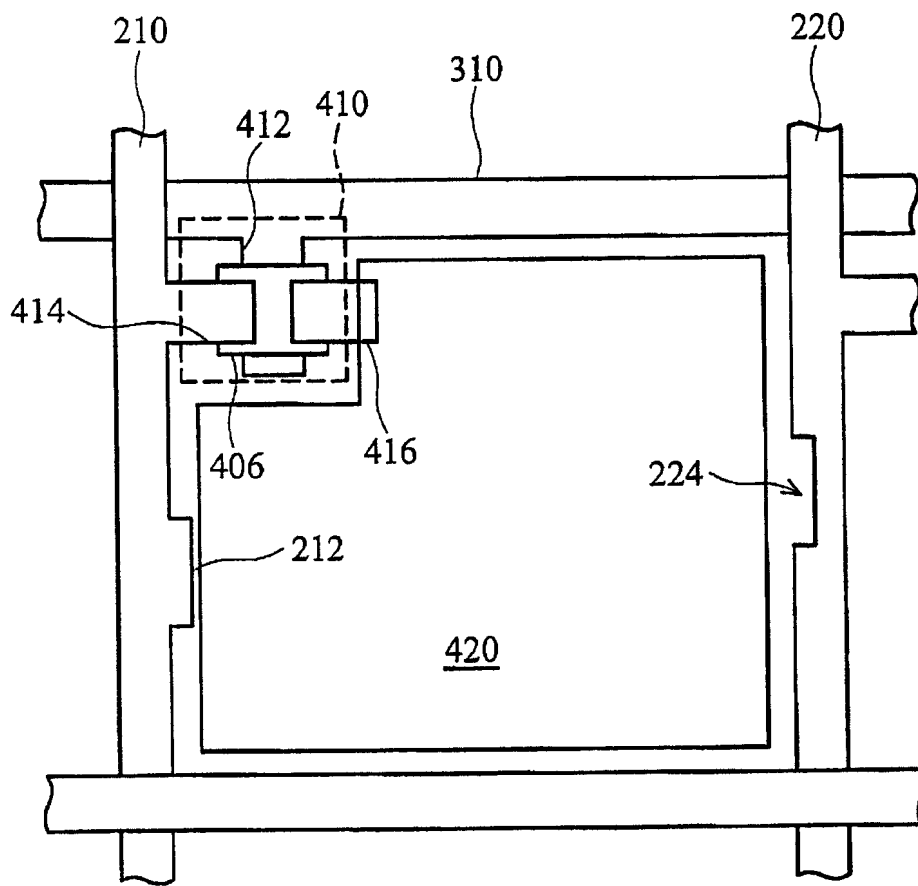


图 2D

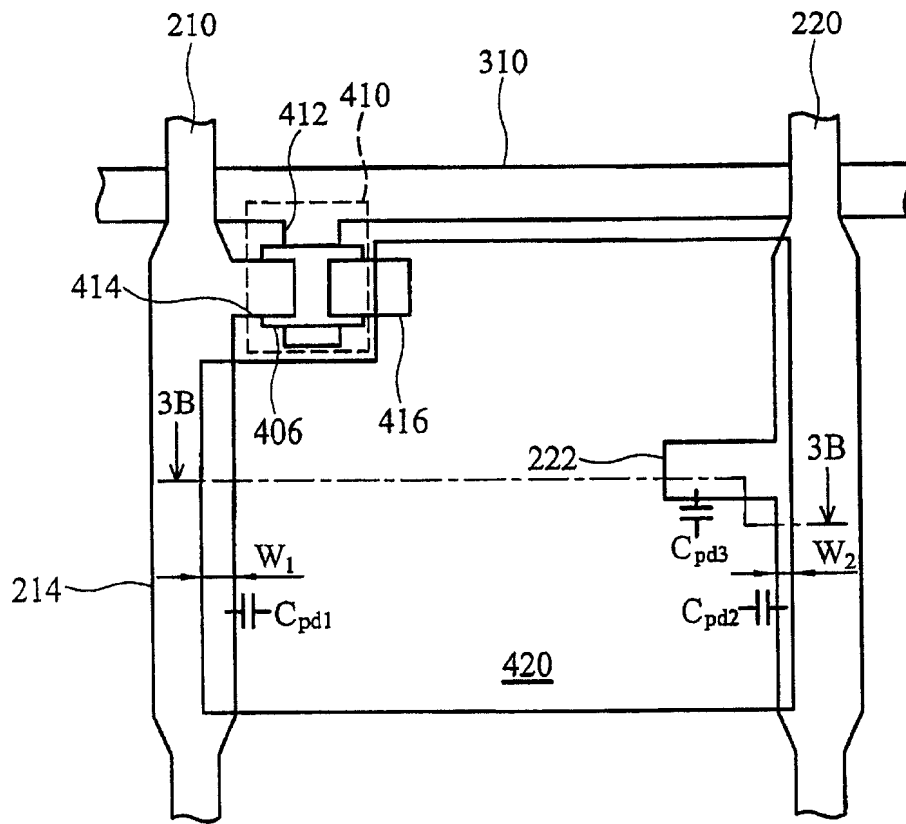


图 3A

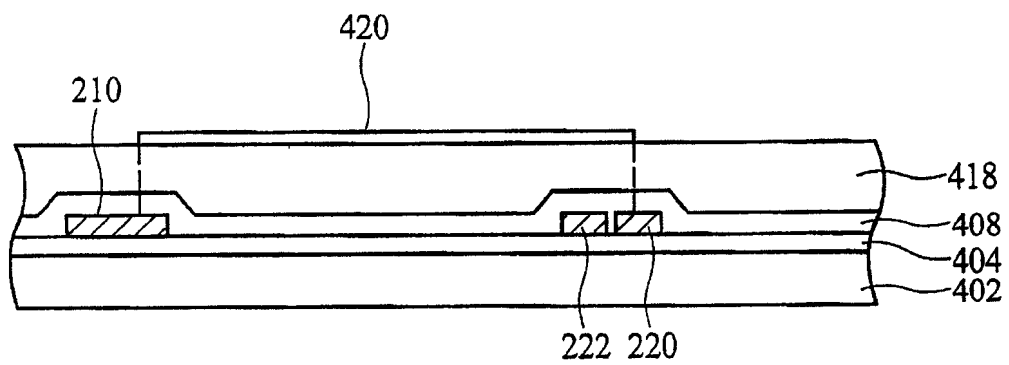


图 3B

专利名称(译)	液晶显示器的补偿电容结构		
公开(公告)号	<a href="#">CN100378516C</a>	公开(公告)日	2008-04-02
申请号	CN200510004465.5	申请日	2005-01-12
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股份有限公司		
当前申请(专利权)人(译)	友达光电股份有限公司		
[标]发明人	江明峰 赖明升 郑国兴 王义方 叶彦显		
发明人	江明峰 赖明升 郑国兴 王义方 叶彦显		
IPC分类号	G02F1/133 G02F1/136 G09G3/36 G02F1/1343 G02F1/1362		
CPC分类号	G02F1/136213 G02F1/136286 G02F2001/13606		
优先权	10/881829 2004-06-29 US		
其他公开文献	CN1629688A		
外部链接	<a href="#">Espacenet</a> <a href="#">SIPO</a>		

摘要(译)

本发明提供一种液晶显示器的补偿电容结构，包括多条扫描线及数据线形成于一衬底上，其中扫描线及数据线定义出由多个像素所构成的一阵列；一像素电极，设置于各个像素中，其中像素电极具有一第一边沿着一第一数据线方向及一第二边沿着一第二数据线方向；以及一开关组件耦接像素电极，其中开关组件根据扫描线及第一数据线所传送的扫描及数据讯号，而施以一电压于像素电极上；其中第一及第二数据线包括多个电容性耦接部个别的接近像素电极的第一边与第二边，于像素电极的第一边与第二边的电容性耦接部尺寸是受像素中需被平衡的寄生电容所决定。

