

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G02F 1/136 (2006.01)

H01L 29/786 (2006.01)

H01L 21/027 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510106454.8

[45] 授权公告日 2008 年 2 月 13 日

[11] 授权公告号 CN 100368917C

[22] 申请日 2005.9.27

[21] 申请号 200510106454.8

[73] 专利权人 广辉电子股份有限公司

地址 台湾桃园县

[72] 发明人 王湧锋 潘智瑞

[56] 参考文献

JP10 - 268343 1998.10.9

JP62 - 190762A 1987.8.20

CN1151405C 2004.5.26

审查员 张 帆

[74] 专利代理机构 永新专利商标代理有限公司

代理人 李树明

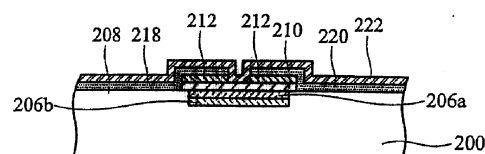
权利要求书 2 页 说明书 10 页 附图 8 页

[54] 发明名称

液晶显示器的阵列基板及其制造方法

[57] 摘要

一种液晶显示器的阵列基板及其制造方法，该阵列基板包括一玻璃基板；一沟槽，位于该玻璃基板中；一栅极与一栅极介电层位于该沟槽中；一半导体层至少覆盖该栅极介电层，该半导体层至少包括一通道；及一源极和一漏极，分别电性连接该通道两侧的部分半导体层液晶显示器的阵列基板。本发明可以改善在制作显示面板时，于像素显示区设置多层薄膜，影响显示面板的光穿透率的现象，及解决因 TFT 使阵列基板不平坦所造成的问题。



1. 一种液晶显示器的阵列基板，其特征在于：包括：

一玻璃基板；

一沟槽，位于该玻璃基板中；

一栅极与一栅极介电层位于该沟槽中；

一半导体层至少覆盖该栅极介电层，该半导体层至少包括一通道；

及

一源极和一漏极，分别电性连接该通道两侧的部分半导体层

其特征在于：该沟槽包括一第一沟槽及一第二沟槽，该第一沟槽是位于该第二沟槽下，且该第二沟槽的面积较该第一沟槽的面积为大；

该栅极是覆盖该第一沟槽底部；

该栅极介电层是位于该第一沟槽中，且覆盖该栅极；

该半导体层是位于该第一沟槽中，且覆盖该栅极介电层；

更包含一介电层大体上位于该半导体层的通道上，及一掺杂半导体层位于该介电层两侧，且覆盖该半导体层通道两侧的部分该半导体层；

及

该源极和该漏极，是位于该第二沟槽中，且分别位于该介电层两侧的掺杂半导体层上。

2. 如权利要求1所述的液晶显示器的阵列基板，其特征在于：更包含一保护层覆盖该源极、该漏极及该介电层。

3. 如权利要求1所述的液晶显示器的阵列基板，其特征在于：该介电层、该源极、该漏极及该基板的表面大体上共面。

4. 一种液晶显示器的阵列基板的制造方法，其特征在于：包括如下步骤：

提供一玻璃基板；

于该玻璃基板上形成一图案化第一光阻层，以暴露部分该基板；

以该图案化第一光阻层为遮罩蚀刻该玻璃基板，以在该基板中形成一第一沟槽；

于该第一光阻层上依序沉积一第一导电层、一栅极介电层、一半导

体层及一介电层，且填入该第一沟槽中；

移除该第一光阻层，并藉以剥离该第一光阻层上的该第一导电层、该栅极介电层、该半导体层及该介电层，其中该第一沟槽中的第一导电层是为一薄膜晶体管的一栅极；

于该基板上形成一第二光阻层，该第二光阻层覆盖部分该介电层及该第一沟槽两侧外的部分基板；

以该第二光阻层为遮罩，蚀刻该介电层及其两侧的部分基板，以形成一第二沟槽于该第一沟槽上，且保留部分大体上位于该半导体层的通道上的介电层；

依序沉积一掺杂半导体层及一第二导电层于该第二沟槽及该第二光阻层上；及

移除该第二光阻层，并藉以剥离其上的该掺杂半导体层及该第二导电层。

5. 如权利要求 4 所述的液晶显示器的阵列基板的制造方法，其特征在于：更包含沉积一保护层，以覆盖该源极、该漏极及该介电层。

6. 如权利要求 4 所述的液晶显示器的阵列基板的制造方法，其特征在于：移除该第一光阻层包括以光阻去除剂去除该第一光阻层。

7. 如权利要求 6 所述的液晶显示器的阵列基板的制造方法，其特征在于：移除该第一光阻层包括：

以丙醇移除光阻；

以甲醇移除丙醇；及

以去离子水清洗基板。

液晶显示器的阵列基板及其制造方法

【技术领域】

本发明是有关于液晶显示器的阵列基板及其制作方法，特别是有关于液晶显示器阵列基板的较高穿透率(high transmittance)的平坦型薄膜晶体管及其制作方法。

【背景技术】

液晶显示器(liquid crystal display, 以下简称 LCD)是目前平面显示器发展的主流，其显示原理是利用液晶分子所具有的介电异方性及导电异方性，于外加电场时使液晶分子的排列状态转换，造成液晶薄膜产生各种光电效应。液晶显示器的面板结构一般为由两片基板叠合而成，中间留有一定距离的空隙用以灌注液晶，而在上下两基板上分别形成有对应电极，用以控制液晶分子的转向及排列。

常见的应用于薄膜晶体管平面显示器的薄膜晶体管结构如图 1 所示，其制造流程如下所述。在基板 10 上具有一晶体管区，在晶体管区中形成第一金属层，利用第一道微影蚀刻制程将第一金属层定义成横向配置的栅极线 12。接着于其上方依序沉积介电层 14、半导体层（通常指非晶硅层，amorphous silicon layer）16、n 型掺杂硅层 18 和第二金属层 20，并进行第二道微影蚀刻制程，定义晶体管中非晶硅层 16、n 型掺杂硅层 18 和第二金属层 20 的图案，直至暴露出介电层 14 的表面，并在晶体管区外使第二金属层 20 在基板 10 上特定位置形成纵向配置的信号线（未图示）。接着，进行第三道微影蚀刻制程，以于晶体管区内将第二金属层 20 和 n 型掺杂硅层 18 中定义一通道（channel）19，并使非晶硅层 16 的表面暴露于通道 19 中，藉以将非晶硅层 16 与第二金属层 20 更进一步定义形成源极和漏极电极。

上述习知技术制作的薄膜晶体管(以下简称 TFT)，由于各层堆叠的高度过高，其会影响元件周遭液晶排列方向。基板上的突出物所产生的

不平坦亦对于液晶摩擦(Rubbing)配向效果产生不良影响。另外，画素显示区是设置多层薄膜，其影响显示面板的光穿透率，而降低显示面板的亮度。

此外，在形成第二金属层 20 时，于源极和漏极两电极处，容易因阶梯覆盖不良而产生缺陷，此第二金属层侧壁的不连续易造成短路，且其亦无法有效的提供其下层的保护。

【发明内容】

因此，根据上述的问题，本发明的目的在于提供一种液晶显示器的阵列基板及其制造方法，可以改善在制作显示面板时，于像素显示区设置多层薄膜，影响显示面板的光穿透率的现象，及解决因 TFT 使阵列基板不平坦所造成的问题。

本发明提供一种液晶显示器的阵列基板，其特征在于：包括：一玻璃基板；一沟槽，位于该玻璃基板中；一栅极与一栅极介电层位于该沟槽中；一半导体层至少覆盖该栅极介电层，该半导体层至少包括一通道；及一源极和一漏极，分别电性连接该通道两侧的部分半导体层液晶显示器的阵列基板。

本发明还提供一种液晶显示器的阵列基板的制造方法，其特征在于：包括如下步骤：首先，提供一玻璃基板；于该玻璃基板上形成一图案化光阻层，以暴露部分该基板；以该图案化光阻层为遮罩蚀刻该玻璃基板，以在该基板中形成一沟槽；于该光阻层上依序沉积一第一导电层及一栅极介电层，且填入该沟槽中；移除该光阻层，并藉以剥离该光阻层上的该第一导电层及栅极介电层，其中该沟槽中的第一导电层是为一薄膜晶体管的栅极；于该栅极介电层上依序形成一半导体层及一掺杂半导体层；于该掺杂半导体层及该玻璃基板上沉积一第二导电层；及

图形化该第二导电层及该掺杂半导体层以形成该薄膜晶体管的一源极及一漏极，并暴露部分该半导体层。

本发明还提供一种液晶显示器的阵列基板的制造方法，包括如下

步骤：提供一基板；于该基板上形成一图案化光阻层，以暴露部分该基板；以该图案化光阻层为遮罩蚀刻该基板，以在该基板中形成一沟槽；于该光阻层上依序沉积一第一导电层、一栅极介电层、一半导体层及一掺杂半导体层于，且填入该沟槽中；移除该光阻层，并藉以剥离该光阻层上的该第一导电层、该栅极介电层、该半导体层及该掺杂半导体层，其中该沟槽中的第一导电层是为一薄膜晶体管的栅极；于该掺杂半导体层及该基板上沉积一第二导电层；及图形化该第二导电层及该掺杂半导体层以形成该薄膜晶体管的一源极及一漏极，并暴露部分该半导体层。

本发明还提供一种液晶显示器的阵列基板的制造方法，包括如下步骤：提供一玻璃基板；于该玻璃基板上形成一图案化第一光阻层，以暴露部分该基板；以该图案化第一光阻层为遮罩蚀刻该玻璃基板，以在该基板中形成一第一沟槽；于该第一光阻层上依序沉积一第一导电层、一栅极介电层、一半导体层及一介电层，且填入该第一沟槽中；移除该第一光阻层，并藉以剥离该第一光阻层上的该第一导电层、该栅极介电层、该半导体层及该介电层，其中该第一沟槽中的第一导电层是为一薄膜晶体管的一栅极；于该基板上形成一第二光阻层，该第二光阻层覆盖部分该介电层及该第一沟槽两侧外的部分基板；

以该第二光阻层为遮罩，蚀刻该介电层及其两侧的部分基板，以形成一第二沟槽于该第一沟槽上，且保留部分大体上位于该半导体层的通道上的介电层；依序沉积一掺杂半导体层及一第二导电层于该第二沟槽及该第二光阻层上；及移除该第二光阻层，并藉以剥离其上的该掺杂半导体层及该第二导电层。

【附图说明】

图 1 是显示常见应用于 TFT 平面显示器的薄膜晶体管结构。

图 2A~2H 是绘示本发明一实施例薄膜晶体管 TFT 阵列基板的流程示意图。

图 3A~3F 是绘示本发明一实施例薄膜晶体管 TFT 阵列基板的流程

示意图。

图 4A~4G 是绘示本发明一实施例薄膜晶体管 TFT 阵列基板的流程示意图。

【具体实施方式】

图 2A~2H 是绘示本发明一实施例薄膜晶体管 TFT 阵列基板的流程示意图。首先, 请参照图 2A, 提供一基板 200, 例如玻璃基板, 较佳者, 此基板 200 为一无碱玻璃基板或是低碱玻璃基板。其后, 以一涂布方法形成一光阻层 202 于基板 200 上。以习知的曝光及显影方法使此在基板 200 上的光阻层 202 形成特定的图案, 较佳者, 显影后的光阻层 202 包括一开口暴露基板。接着, 以光阻层为遮罩, 以一蚀刻方法(例如干蚀刻法)蚀刻基板, 以于基板中形成一沟槽 204。

接下来, 如图 2B 所示, 沉积一第一导电层 206a 于光阻层 202 上, 并填入沟槽 204 中。第一导电层 206a 仅填满部分的沟槽 204。第一导电层 206a 可以为 Ta、Mo、W、Ti、Cr、Al、Au、Ag、Pt、Cu 其组合或其堆叠层。上述沉积一第一导电层 206a 的方法可以为一溅镀法 PVD 或电浆增强化学气相沉积法 PECVD。接下来, 沉积一栅极介电层 206b 于第一导电层 206a 上, 并填入沟槽 204 中。此栅极介电层 206b 可以为氧化硅、氮化硅、氮氧化硅或其组合。后续, 如图 2C 所示, 进行一剥离(lift-off)步骤。在此步骤中, 是采用一蚀刻方法移除光阻层 202, 并且因为光阻层 202 被移除, 其一并剥离光阻层 202 上的第一导电层 206a 及栅极介电层 206b。在一实施例中, 移除光阻层 202 的方法可以为以光阻去除剂(stripper)去除光阻, 例如: 以丙醇移除光阻、以甲醇移除丙醇及以去离子水清洗基板。其后, 进行一清洗步骤, 以移除基板 200 上残余的第一导电层 206a 及栅极介电层 206b。在本实施例中, 基板 200 中沟槽 204 内的第一导电层 206a 是做为薄膜晶体管的栅极。较佳者, 沟槽 204 中的栅极介电层 206b 是大约和基板 200 共平面。

接着, 如图 2D 所示, 沉积一半导体层 210 于栅极介电层 206b 及基

板 200 上, 并沉积一掺杂半导体层 212 于半导体层 210 上。在一实施例中, 半导体层 210 可以为硅、锗、多晶硅、或复晶硅所组成。另外, 掺杂半导体层 212 可为例如硅或锗半导体掺杂磷或砷, 使其成为 n-的半导体层, 以提供后续金属层良好的接触。接着, 如图 2E 所示, 以习知的微影及蚀刻方法图形化掺杂半导体层 212 及半导体层 210, 移除栅极介电层 206b 上及其邻近区域外的掺杂半导体层 212 及半导体层 210。

后续, 如图 2F 所示, 沉积一第二导电层 214 于掺杂半导体层 212 及基板 200 上。在一实施例中, 第二导电层 214 可以为 Ta、Mo、W、Ti、Cr、Al、Au、Ag、Pt、Cu 其组合或其堆叠层。接下来, 如图 2G 所示, 以习知的微影及蚀刻方法图形化第二导电层 214 及掺杂半导体层 212, 以形成一开口 216 暴露半导体层 210。在此实施例中, 图形化的第二导电层 214 是做为源极 218 和漏极 220。其后, 如图 2H 所示, 沉积一保护层 222 于第二导电层 214 上, 并填入开口 216。

根据此实施例, 其是将栅极和栅极介电层形成在基板的沟槽中, 其于阵列基板上所形成的薄膜晶体管较习知技术平坦。此外, 由于本实施例的栅极介电层是不设置于显示区内, 可提升显示面板的光穿透率。

图 3A~3F 是绘示本发明一实施例薄膜晶体管 TFT 阵列基板的流程示意图。首先, 请参照图 3A, 提供一基板 300, 例如玻璃基板。较佳者, 此基板 300 为一无碱玻璃基板或是低碱玻璃基板。其后, 以一涂布方法形成一光阻层 302 于基板 300 上。以习知的暴光及显影方法使此在基板 300 上的光阻层 302 形成特定的图案, 较佳者, 显影后的光阻层包括一开口暴露基板 300。接着, 以光阻层 302 为遮罩, 以一蚀刻方法(例如干蚀刻法)蚀刻基板 300, 以于基板 300 中形成一沟槽 304。

接下来, 如图 3B 所示, 依序沉积第一导电层 306、栅极介电层 308、半导体层 310 及掺杂半导体层 312 于光阻层 302 上, 并填入沟槽 304 中。第一导电层 306 可以为 Ta、Mo、W、Ti、Cr、Al、Au、Ag、Pt、Cu 其组合或其堆叠层。上述沉积一第一导电层 306 的方法可以为一溅镀法或电浆增强化学气相沉积法。栅极介电层 308 可以为氧化硅、氮化硅、氮

氧化硅或其组合。半导体层 310 可以为硅、锗、多晶硅、或复晶硅所组成。掺杂半导体层 312 可为于例如硅或锗半导体掺杂磷或砷，使其成为 n-的半导体层，以提供后续金属层良好的接触。

接下来，如图 3C 所示，进行一剥离(lift-off)步骤。在此步骤中，是采用一蚀刻方法移除光阻层 302，并且因为光阻层 302 被移除，其一并剥离光阻层 302 上的第一导电层 306、栅极介电层 308、半导体层 310 及掺杂半导体层 312。在一实施例中，移除光阻层 302 的方法可以为以去除剂(stripper)例如丙醇移除光阻、以甲醇移除丙醇及以去离子水清洗基板。其后，进行一清洗步骤，以移除基板 300 上残余的上述层。在本实施例中，基板 300 中沟槽内的第一导电层 306 是做为薄膜晶体管的栅极 306a。较佳者，沟槽 304 中的掺杂半导体层 312 是大约和基板 300 共平面。

后续，如图 3D 所示，沉积一第二导电层 314 于掺杂半导体层 312 及基板 300 上。在一实施例中，第二导电层 314 可以为 Ta、Mo、W、Ti、Cr、Al 其组合或其堆叠层。接下来，如图 3E 所示，以习知的微影及蚀刻方法图形化第二导电层 314 及沟槽 304 中的掺杂半导体层 312，以形成一开口 316 暴露半导体层 310。在此实施例中，图形化的第二导电层 314 是做为源极 318 和漏极 320。其后，如图 3F 所示，沉积一保护层 322 于源极 318 和漏极 320 上，并填入开口 316。

根据此实施例，其是将栅极和半导体层形成在基板的沟槽中，以提供更平坦的薄膜晶体管结构。另外，本实施例的栅极介电层亦不设置于显示区内，可提升显示面板的光穿透率。

图 4A~4G 是绘示本发明一实施例薄膜晶体管 TFT 阵列基板的流程示意图。首先，请参照图 4A，提供一基板 400，例如玻璃基板。较佳者，此基板 400 为一无碱玻璃基板或是低碱玻璃基板。其后，以一涂布方法形成一第一光阻层 402 于基板 400 上。以习知的曝光及显影方法使此在基板 400 上的第一光阻层 402 形成特定的图案，较佳者，显影后的第一光阻层 402 包括一开口暴露基板 400。接着，以第一光阻层 402 为遮罩，

以一蚀刻方法(例如干蚀刻法)蚀刻基板 400, 以于基板 400 中形成一第一沟槽 404。

接下来, 如图 4B 所示, 依序沉积第一导电层 406、栅极介电层 408、半导体层 410 及介电层 412 于第一光阻层 402 上, 并填入第一沟槽 404 中。第一导电层 406 可以为 Ta、Mo、W、Ti、Cr、Al、Au、Ag、Pt、Cu 其组合或其堆叠层。上述沉积一第一导电层 406 的方法可以为一溅镀法或电浆增强化学气相沉积法。栅极介电层 408 可以为氧化硅、氮化硅、氮氧化硅或其组合。半导体层 410 可以为硅、锗、多晶硅、或复晶硅所组成。介电层 412 可以是氧化硅、氮化硅、氮氧化硅或其组合。

其后, 如图 4C 所示, 进行一剥离(lift-off)步骤。在此步骤中, 是采用一蚀刻方法移除第一光阻层 402, 并且因为第一光阻层 402 被移除, 其一并剥离第一光阻层 402 上的第一导电层 406、栅极介电层 408、半导体层 410 及介电层 412。在一实施例中, 移除第一光阻层 402 的方法可以为以光阻去除剂(stripper)去除光阻, 例如: 以丙醇移除光阻、以甲醇移除丙醇及以去离子水清洗基板。其后, 进行一清洗步骤, 以移除基板 400 上残余的上述层。在本实施例中, 基板 400 中沟槽 404 内的第一导电层 406 是做为薄膜晶体管的栅极 406a。

接下来, 如图 4D 所示, 涂布一第二光阻层 414 于介电层 412 及基板 400 上。以习知的曝光及显影方法使此在基板 400 上的第二光阻层 414 形成特定的图案, 特别是, 显影后的第二光阻层 414 覆盖部分介电层 412 及沟槽 404 两侧外的部分基板 400。后续, 如图 4E 所示, 以第二光阻层 414 为遮罩, 蚀刻暴露的介电层 412 及其两侧的部分基板 400 直到暴露出半导体层 410, 以形成一第二沟槽 416 于该第一沟槽 404 上。在一实施例中, 经由蚀刻后留下的介电层 412 是大致位于半导体层 410 通道上, 且第二沟槽 416 的面积是较第一沟槽 404 大。如第 4E 图所示, 其第一沟槽 404 和第二沟槽 416 大致形成双镶嵌的结构(dual damascene)。

后续, 如图 4F 所示, 依序沉积一掺杂半导体层 418 及一第二导电层 420 于暴露的半导体层 410、第二沟槽 416 及第二光阻层 414 上。在一

实施例中，第二导电层 420 可以为 Ta、Mo、W、Ti、Cr、Al、Au、Ag、Pt、Cu 其组合或其堆叠层。较佳者，第二沟槽 416 中的第二导电层 420 是大约和基板 400 以及介电层 412 共平面。

接着，如图 4G 所示，移除第二光阻层 414，并藉以剥离其上的掺杂半导体层 418 及第二导电层 420，如此在第二沟槽中形成源极 422 和漏极 424 位于介电层 412 两侧。在此实施例中，是将 TFT 的结构形成在基板 400 的第一沟槽 404 及第二沟槽 416 中，其可提供平坦的阵列基板结构。并且，本实施例的栅极介电层亦不设置于显示区内，可提升显示面板的光穿透率。

请参照图 2H，其是显示本发明一实施例的薄膜晶体管剖面图。一沟槽 204 是位于一基板 200 中。一栅极 206a 和一栅极介电层 206b 是于位于沟槽 204 中。较佳者，栅极 206a 和栅极介电层 206b 是大约填满沟槽 204。一半导体层 210 是大体上位于栅极介电层 206b 上。此半导体层 210 包括一通道及位于通道两侧的源极区域和漏极区域。一掺杂半导体层 212 是大体上位于半导体层 210 的源极区域和漏极区域上。一源极 218 是部分覆盖半导体层 210 的源极区域上方的掺杂半导体层 212。一漏极 220 是部分覆盖半导体层 210 漏极区域上方的掺杂半导体层 212。一保护层 222 覆盖源极 218 和漏极 220，电性隔绝源极 218 和漏极 220，且大体上覆盖半导体层 210 的通道。

请参照图 3F，其是显示本发明另一实施例的薄膜晶体管剖面图。一沟槽 304 是位于一基板 300 中。一栅极 306a 是于位于沟槽 304 底部。一栅极介电层 308 是位于沟槽 304 中，且覆盖栅极 306a。一半导体层 310 是位于沟槽 304 中，且覆盖栅极介电层 308。此半导体层 310 包括一通道及位于通道两侧的源极区域和漏极区域。一掺杂半导体层 312 位于沟槽 304 中，且大体上覆盖半导体层 310 位于通道两侧的源极区域和漏极区域上。一源极 318 覆盖半导体层 310 源极区域上方的掺杂半导体层 312 及其邻近的基板 300。一漏极 320 覆盖半导体层 310 漏极区域上方的掺杂半导体层 312 及其邻近的基板 300。一保护层 322 覆盖源极 318

和漏极 320，电性隔绝源极 318 和漏极 320，且大体上覆盖半导体层 310 的通道。

请参照图 4G，其是显示本发明又另一实施例的薄膜晶体管剖面图。一第一沟槽 404 及一第二沟槽 416 位于一基板 400 中。第一沟槽 404 是位于该第二沟槽 416 下，且第二沟槽 416 的面积较该第一沟槽 404 的面积为大。一栅极 406a 是覆盖第一沟槽 404 底部。一栅极介电层 408 是位于第一沟槽 404 中，且覆盖栅极 406a。一半导体层 410 是位于第一沟槽 404 中，且覆盖栅极介电层 408。半导体层 410 包括一通道及其两侧的源极区域和漏极区域。一介电层 412 大体上位于半导体层 410 的通道上。一掺杂半导体层 418 位于介电层 412 两侧，且覆盖半导体层 410 通道两侧的源极区域和漏极区域上及第二沟槽 416 的底部。一源极 422 和一漏极 424，是位于第二沟槽 416 中，且分别位于介电层 412 两侧的掺杂半导体层 418 上。

根据上述实施例，本发明是将部分或全部 TFT 制作在基板中，可解决因 TFT 使阵列基板不平坦所造成的问题。此外，本发明是采用剥离 (lift-off) 技术，可简化制程步骤，具有减少制造时间及制造成本的优点。又各埋入基板的导电层、半导体层及介电层可依设计需求弹性调整蚀刻深度与各层厚度。

虽然本发明已以较佳实施例揭露如上，然其并非用以限定本发明，任何熟习此技艺者所作的些许的更动与润饰，仍应属于本发明的保护范围。

【符号说明】

习知技术

- | | |
|-------------|----------|
| 10~基板; | 12~栅极线; |
| 14~绝缘层; | 16~半导体层; |
| 18~n 型掺杂硅层; | 19~通道; |
| 20~金属层。 | |

本发明技术

200~基板;	202~光阻层;
204~沟槽;	206a~第一导电层;
206b~栅极介电层;	210~半导体层;
212~掺杂半导体层;	214~第二导电层;
216~开口;	218~源极;
220~漏极;	
300~基板;	302~光阻层;
304~沟槽;	306~第一导电层;
306a~栅极;	308~栅极介电层;
310~半导体层;	312~掺杂半导体层;
314~第二导电层;	316~开口;
318~源极;	320~漏极;
400~基板;	402~第一光阻层;
404~第一沟槽;	406~第一导电层;
406a~栅极;	408~栅极介电层;
410~半导体层;	412~掺杂半导体层;
414~第二光阻层;	416~第二沟槽;
418~掺杂半导体层;	420~第二导电层;
422~源极;	424~漏极。

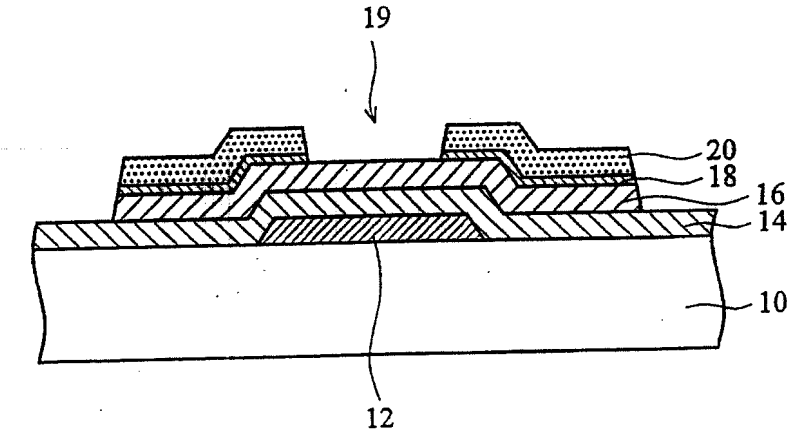


图 1

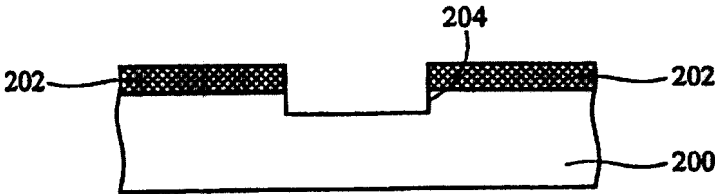


图 2A

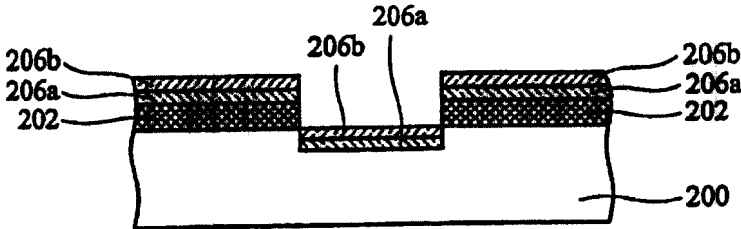


图 2B

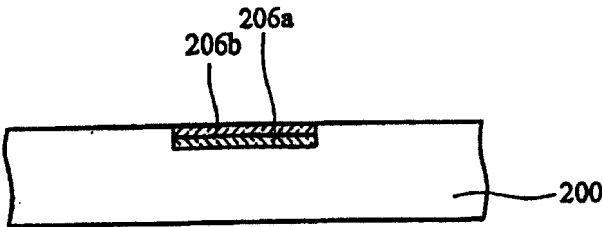


图 2C

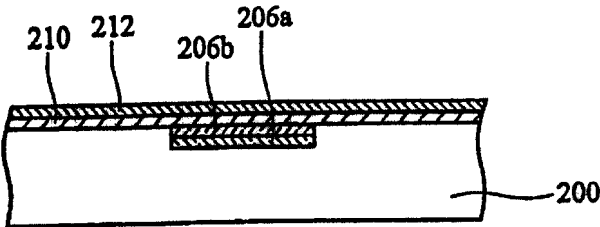


图 2D

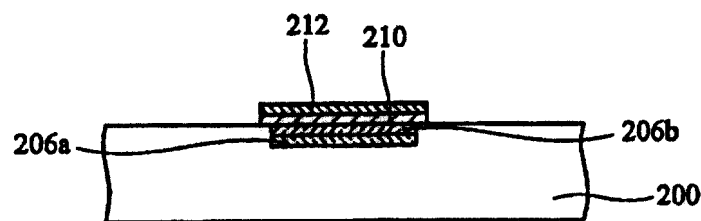


图 2E

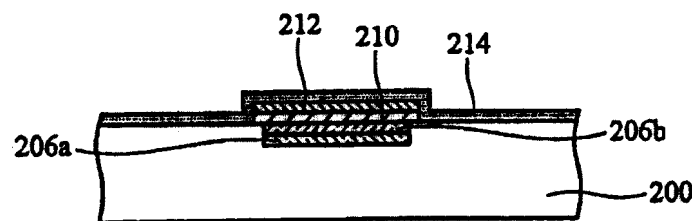


图 2F

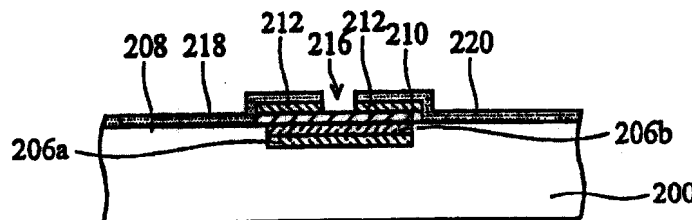


图 2G

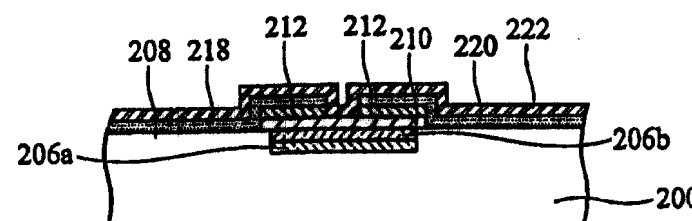


图 2H

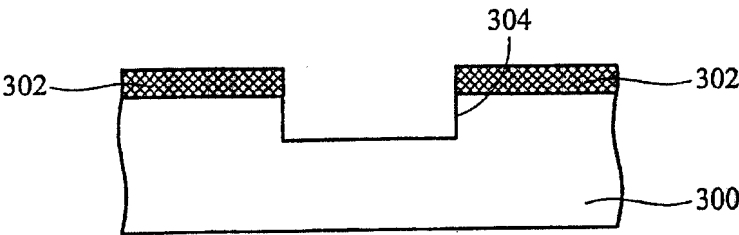


图 3A

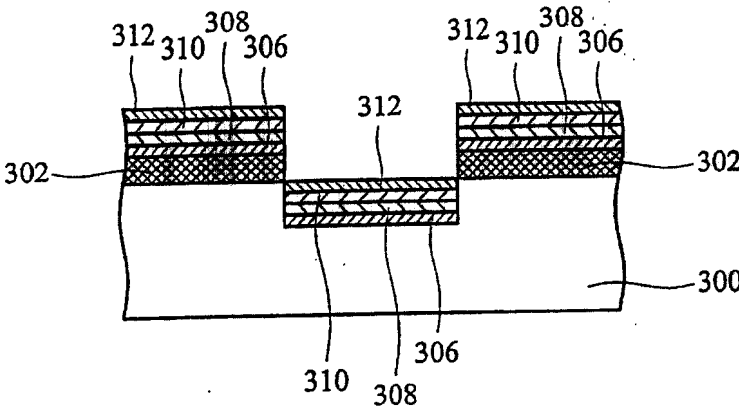


图 3B

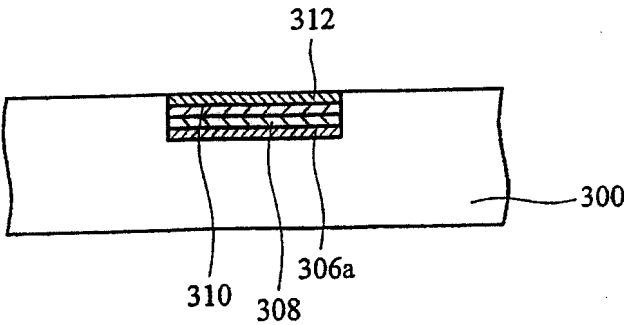


图 3C

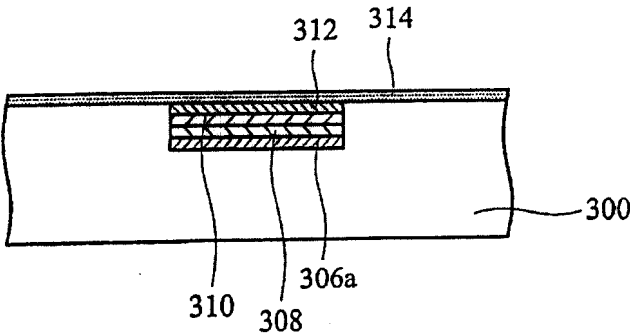


图 3D

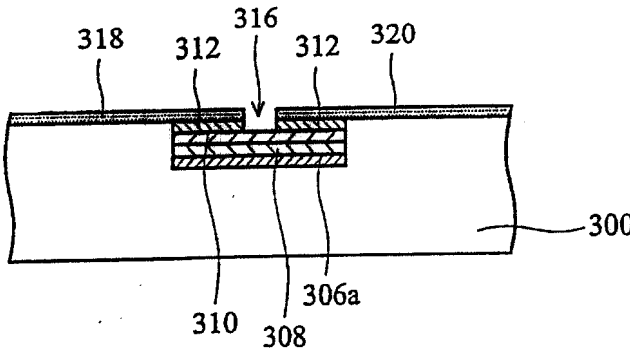


图 3E

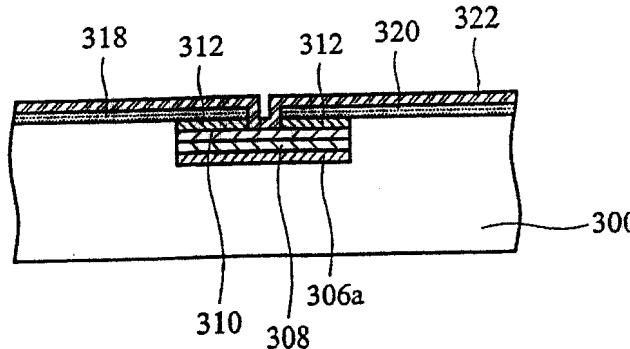


图 3F

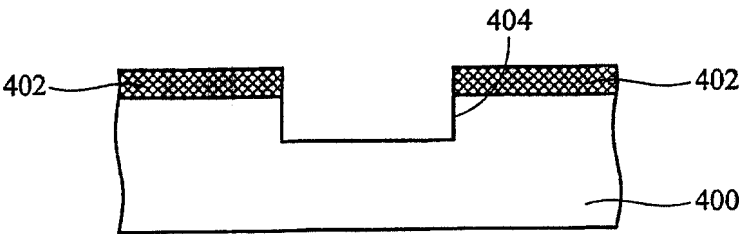


图 4A

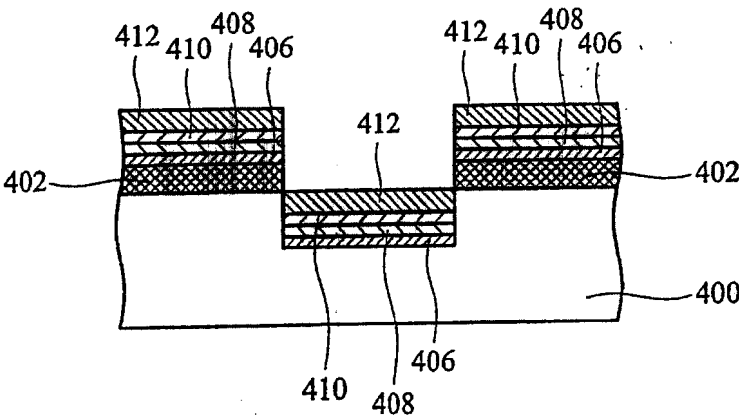


图 4B

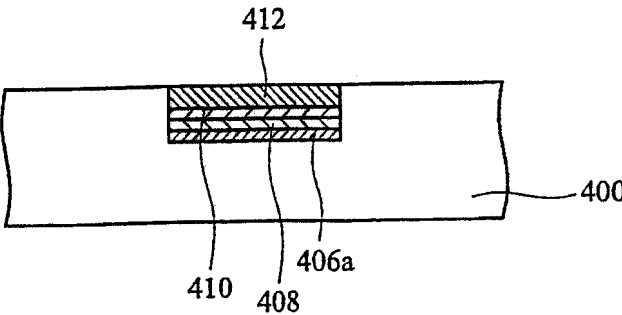
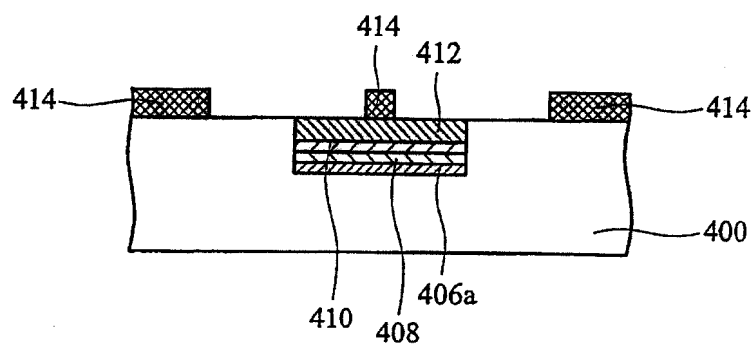
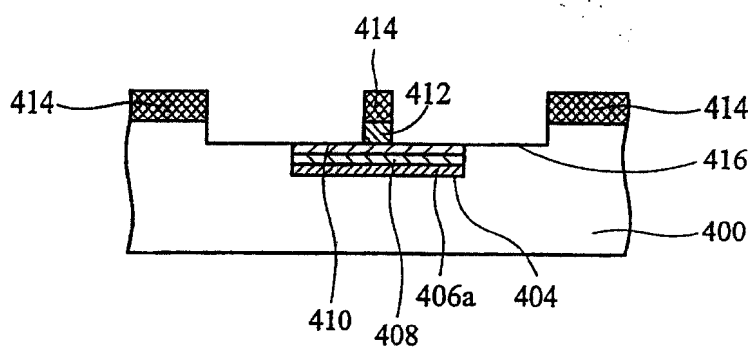
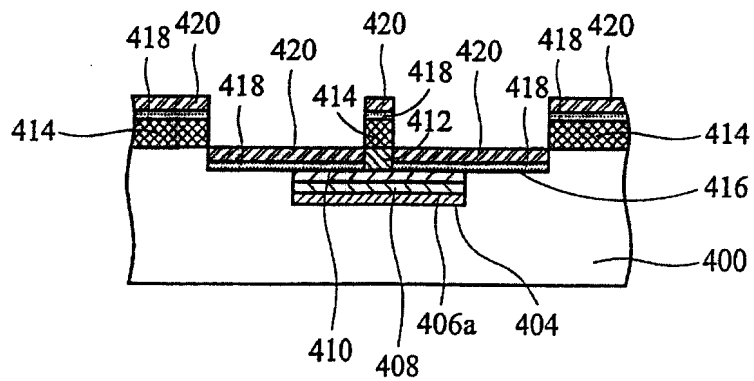


图 4C

**图 4D****图 4E****图 4F**

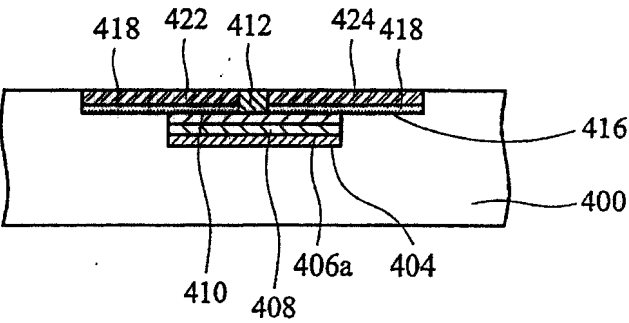


图 4G

专利名称(译)	液晶显示器的阵列基板及其制造方法		
公开(公告)号	CN100368917C	公开(公告)日	2008-02-13
申请号	CN200510106454.8	申请日	2005-09-27
[标]申请(专利权)人(译)	广辉电子股份有限公司		
申请(专利权)人(译)	广辉电子股份有限公司		
当前申请(专利权)人(译)	广辉电子股份有限公司		
[标]发明人	王湧锋 潘智瑞		
发明人	王湧锋 潘智瑞		
IPC分类号	G02F1/136 H01L29/786 H01L21/027		
代理人(译)	李树明		
审查员(译)	张帆		
其他公开文献	CN1740882A		
外部链接	Espacenet SIPO		

摘要(译)

一种液晶显示器的阵列基板及其制造方法，该阵列基板包括一玻璃基板；一沟槽，位于该玻璃基板中；一栅极与一栅极介电层位于该沟槽中；一半导体层至少覆盖该栅极介电层，该半导体层至少包括一通道；及一源极和一漏极，分别电性连接该通道两侧的部分半导体层液晶显示器的阵列基板。本发明可以改善在制作显示面板时，于像素显示区设置多层薄膜，影响显示面板的光穿透率的现象，及解决因TFT使阵列基板不平坦所造成的问题。

