

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
G02F 1/1337 (2006.01)



[12] 发明专利说明书

专利号 ZL 02828715.0

[45] 授权公告日 2008 年 2 月 6 日

[11] 授权公告号 CN 100367096C

[22] 申请日 2002.7.22 [21] 申请号 02828715.0

[30] 优先权

[32] 2002.4.9 [33] KR [31] 19244/2002

[86] 国际申请 PCT/KR2002/001372 2002.7.22

[87] 国际公布 WO2003/102681 英 2003.12.11

[85] 进入国家阶段日期 2004.10.9

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 洪性奎 金熙燮 申暲周

[56] 参考文献

US 2001/0019392 A1 2001.9.6

US 5,608,556 A 1997.3.4

CN 1290922 A 2001.4.11

US 6,278,503, B1 2001.8.21

审查员 钟 杰

[74] 专利代理机构 北京市柳沈律师事务所

代理人 李晓舒 魏晓刚

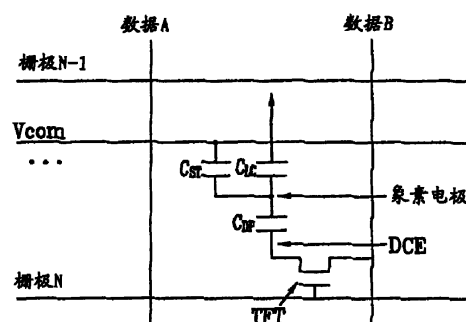
权利要求书 2 页 说明书 11 页 附图 10 页

[54] 发明名称

多畴液晶显示器及其薄膜晶体管基底

[57] 摘要

在绝缘基底上形成栅极线，并形成与栅极线交叉的数据线。栅极线和数据线彼此绝缘并交叉，以限定像素区。在每个像素区中形成包括栅电极、源电极和漏电极的三个端子的薄膜晶体管。在每个像素区中还形成方向控制电极和像素电极。薄膜晶体管切换方向控制电极。像素电极电浮置并与方向控制电极电容性耦合。



1. 一种薄膜晶体管阵列板，包括：
绝缘基底；
形成在绝缘基底上的栅极布线；
形成在绝缘基底上并以绝缘的方式与栅极布线交叉的数据布线；
电连结到栅极布线和数据布线的薄膜晶体管；
电连结到薄膜晶体管终端的方向控制电极；和
与方向控制电极电绝缘并具有沿方向控制电极延伸的切口的象素电极，象素电极为电浮置。
2. 如权利要求1所述的薄膜晶体管阵列板，还包括与数据布线交叉并与象素电极相关联形成存储电容器的存储电极。
3. 一种薄膜晶体管阵列板，包括：
绝缘基底；
形成在绝缘基底上并包括栅电极和栅极线的栅极布线；
形成在栅极布线上的栅极绝缘层；
形成在栅极绝缘层上的半导体层；
数据布线，其包括形成在半导体层上并与栅极线交叉的数据线、连结到数据线的源电极和面对源电极的漏电极；
连结到漏电极的方向控制电极；
形成在数据布线和方向控制电极上的钝化层；和
形成钝化层上的具有切口并包括至少与方向控制电极部分重叠的切口的象素电极。
4. 如权利要求3所述的薄膜晶体管阵列板，还包括
连结到栅极线一端的栅极焊点；
连结到数据线一端的数据焊点；
形成在钝化层上并经接触孔连结到栅极焊点的辅助栅极焊点；和
形成在钝化层上并经接触孔连结到数据焊点的辅助数据焊点。
5. 如权利要求3所述的薄膜晶体管阵列板，其中，象素电极的切口包括多个X形部分和多个线形部分，并且方向控制电极与X形部分重叠。
6. 如权利要求3所述的薄膜晶体管阵列板，其中，半导体层包括位于

数据线上的数据线半导体，位于源电极和漏电极下的通道半导体。

7. 如权利要求 3 所述的薄膜晶体管阵列板，其中，半导体层包括沿方向控制电极位于方向控制电极下的方向控制电极半导体。

8. 如权利要求 3 所述的薄膜晶体管阵列板，还包括由与栅极线相同的层形成、并沿方向控制电极置于方向控制电极下的金属件。

9. 一种液晶显示器，包括：

第一绝缘基底；

形成在第一绝缘基底上的栅极布线；

形成在第一绝缘基底上并以绝缘的方式与栅极布线交叉以限定象素区的数据布线；

形成在由栅极布线和数据布线交叉限定的象素区中的方向控制电极；

电连结到栅极布线、数据布线和方向控制电极的薄膜晶体管；

形成在象素区中、与连结到薄膜晶体管的方向控制电极电绝缘并具有沿方向控制电极延伸的切口的电浮置象素电极；

面对第一绝缘基底的第二绝缘基底；

形成在第二绝缘基底上的公共电极；和

夹置在第一基底和第二绝缘基底之间的液晶层。

10. 如权利要求 9 所述的液晶显示器，其中，液晶层具有负的介电各向异性，液晶层中的液晶分子垂直于第一和第二基底排列。

11. 如权利要求 9 所述的液晶显示器，其特征在于液晶层具有正的介电各向异性，液晶层中的液晶分子平行于第一和第二基底排列。

12. 如权利要求 9 所述的液晶显示器，还包括形成在第一基底上的、与象素电极相关联形成存储电容器的存储电极。

13. 如权利要求 12 所述的液晶显示器，其中，公共电极和存储电极布线被施加以相同的电压，并且象素电极和公共电极之间的电压差 V_{PC} 由下式给出：

$$V_{PC} = \frac{C_{DP}}{C_{DP} + C_{LC} + C_{ST}} V_{DC}$$

此处， C_{DP} 表示方向控制电极和象素电极之间的电容， C_{LC} 表示象素电极和公共电极之间的电容， C_{ST} 表示象素电极和存储电极布线之间的电容，而 V_{DC} 是方向控制电极和公共电极之间的电压差。

多畴液晶显示器及其薄膜晶体管基底

技术领域

本发明涉及一种液晶显示器，尤其涉及一种具有包括多畴的象素区的宽视角垂直排列的液晶显示器。

背景技术

典型的液晶显示器（LCD）包括设置有公共电极和彩色滤光片阵列的上板、设置有多个薄膜晶体管（TFT）和多个象素电极的下板以及夹置在两板之间的液晶层。象素电极和公共电极被施以电压，其间的压差造成电场。电场的变化改变液晶层中液晶分子的取向，进而改变光通过液晶层的透射率。结果是，LCD 通过调节象素电极和公共电极之间的电压差来显示图像。

LCD 的主要缺点在于其窄视角，为此开发了几项为增大视角的技术。这些技术当中，在彼此相对的象素电极和公共电极上设置多个切口或多个凸起以及液晶分子相对于上、下板的垂直排列的技术前景看好。

在象素电极和公共电极上提供切口可通过产生散射场以调节液晶分子的倾斜方向来给出宽视角。

在象素电极和公共电极上设置凸起使电场变形，从而调节液晶分子的倾斜方向。

用于调节液晶分子的倾斜方向以形成多畴的散射场是通过在下板上的象素电极处设置切口并在上板的公共电极处设置凸起而获得的。

在这些为增大视角的技术中，设置切口存在的问题是需要额外的掩模来构图公共电极，需要外涂层来防止液晶材料上彩色滤光片的色素效应，并且在被构图的电极边缘附近产生严重的倾斜。设置凸起的也具有一个问题在于制造方法复杂，因为它需要额外的加工步骤来形成凸起或是需要改进加工步骤。另外，由于凸起和切口而减小了孔径比。

发明内容

本发明的动机在于提供一种通过简单的方法制造并确保稳定多畴的液晶显示器。

本发明的这个动机和其他动机通过具有方向控制电极的液晶显示器而实现。象素电极与方向控制电极电容性地耦接，开关薄膜晶体管连结到方向控制电极。

提供了一种薄膜晶体管阵列板，其包括：绝缘基底；形成在绝缘基底上的栅极线；形成在绝缘基底上并以绝缘的方式与栅极线交叉的数据线；电连结到栅极线和数据线的薄膜晶体管；电连结到薄膜晶体管终端的方向控制电极；和与方向控制电极电绝缘并具有沿方向控制电极延伸的切口的象素电极，象素电极为电浮置。

优选薄膜晶体管阵列板还包括与数据线交叉并与象素电极相关连形成存储电容器的存储电极。

提供另一种薄膜晶体管阵列板，其包括：绝缘基底；形成在绝缘基底上并包括栅电极和栅极线(gate line)的栅极布线(gate wire)；形成在栅极布线上的栅极绝缘层；形成在栅极绝缘层上的半导体层；数据布线，其包括：形成在半导体层上并与栅极线交叉的数据线、连结到数据线上的源电极、和面对源电极的漏电极；连结到漏电极上的方向控制电极；形成在数据布线和方向控制电极上的钝化层；和形成钝化层上的具有切口并包括至少与方向控制电极部分重叠的切口的象素电极。

优选薄膜晶体管阵列板还包括：连结到栅极线一端的栅极焊点；连结到数据线一端的数据焊点；形成在钝化层上并经接触孔连结到栅极焊点的辅助栅极焊点；和形成在钝化层上并经接触孔连结到数据焊点的辅助数据焊点。优选的是，象素电极的切口包括多个 X 形部分和多个直线部分，并且方向控制电极与 X 形部分重叠。半导体层可以包括位于数据线下方的数据线半导体，和位于源电极和漏电极下方的通道半导体，并且半导体层可以包括沿方向控制电极位于方向控制电极下方的方向控制电极半导体。优选的是，薄膜晶体管阵列板还包括由与栅极线相同的层形成、并沿方向控制电极置于方向控制电极下方的金属件。

根据本发明实施例的液晶显示器包括：第一绝缘基底；形成在第一绝缘基底上的栅极布线；形成在第一绝缘基底上并以绝缘的方式与栅极布线交叉、以限定象素区的数据布线；形成在由栅极布线和数据布线交叉所限

定的象素区中的方向控制电极；连结到栅极布线、数据布线和方向控制电极上的薄膜晶体管；形成在象素区中、与连结到薄膜晶体管的方向控制电极电绝缘并具有沿方向控制电极延伸的切口的电浮置象素电极；面对第一绝缘基底的第二绝缘基底；形成在第二绝缘基底上的公共电极；和夹置在第一基底和第二绝缘基底之间的液晶层。

液晶层具有负的介电各向异性，且液晶层中的液晶分子垂直于第一和第二基底排列。或者，液晶层具有正的介电各向异性，液晶层中的液晶分子平行于第一和第二基底排列。液晶显示器还可以包括形成在第一基底上的、与象素电极相关联形成存储电容器的存储电极布线。优选的是，公共电极和存储电极布线施加以相同的电压，并且象素电极和公共电极之间的电压差 V_{pc} 由下式给出：

$$V_{PC} = \frac{C_{DP}}{C_{DP} + C_{LC} + C_{ST}} V_{DC}$$

此处， C_{DP} 表示方向控制电极和象素电极之间的电容， C_{LC} 表示象素电极和公共电极之间的电容， C_{ST} 表示象素电极和存储电极布线之间的电容， V_{DC} 表示方向控制电极和公共电极之间的电压差。

附图说明

- 图 1 是根据本发明实施例的 LCD 的等效电路图；
- 图 2 表示根据本发明实施例的 LCD 中关于象素电极和 DCE 之间电容的 DCE 电压波形和象素电极的电压波形；
- 图 3A 是根据本发明第一实施例的 LCD 的布置图；
- 图 3B 是图 3A 所示 LCD 沿 IIIB-IIIB' 取得的截面图；
- 图 4 是根据本发明第一实施例的 LCD 的 TFT 阵列板的简图；
- 图 5 是根据本发明第一实施例的 LCD 的照片；
- 图 6A 是根据本发明第二实施例的 LCD 的布置图；
- 图 6B 是图 6A 所示 LCD 沿 VIB-VIB' 和 VIB'-VIB'' 取得的截面图；
- 图 6C 是图 6A 所示 LCD 沿 VIC-VIC' 取得的截面图；
- 图 7A 是根据本发明第三实施例的 LCD 的布置图；
- 图 7B 是图 7A 所示 LCD 沿 VIIB-VIIB' 取得的截面图。

具体实施方式

下面参考附图详细描述本发明实施例的 LCD。

图 1 是根据本发明实施例的 LCD 的等效电路图。

根据本发明实施例的 LCD 包括 TFT 阵列板、与 TFT 阵列板相对的彩色滤光片阵列板和夹置在其间的液晶层。TFT 阵列板上设置有多条彼此交叉的栅极线和数据线以限定多个象素区，以及平行于栅极线延伸的多个存储电极线。每个象素区设置有一个 TFT，该 TFT 包括连结到一条栅极线的栅电极、连结到一条数据线的源电极以及连结到多个方向控制电极（DCE）中的一个的漏电极。

DCE 和象素电极电容耦合，其间的电容器或其电容量用 C_{DP} 表示。设置在彩色滤光片阵列板上的象素电极和公共电极形成液晶电容器，该液晶电容器或其电容量用 C_{LC} 表示。象素电极和连结到一条存储电极线的存储电极形成存储电容器，存储电容器或其电容量用 C_{ST} 表示。

本发明使象素电极浮置并与 DCE 电容耦合。DCE 的电压和象素电极之间的关系可以用方程 1 表示：

$$V_{PC} = \frac{C_{DP}}{C_{DP} + C_{LC} + C_{ST}} V_{DC} \quad (1)$$

此处， C_{DP} 表示方向控制电极和象素电极之间的电容， C_{LC} 表示象素电极和公共电极之间的电容， C_{ST} 表示象素电极和存储电极布线之间的电容， V_{PC} 是像素电极和公共电极之间的电压差， V_{DC} 表示方向控制电极和公共电极之间的电压差。

下面详细描述方程 1 的推导。

如图 1 所示，电容器 C_{ST} 与 C_{LC} 并联连结，电容器 C_{DP} 串联连结到电容器 C_{ST} 和 C_{LC} 。因此，电容器 C_{ST} 与 C_{LC} 上的电压、即、象素电极和公共电极之间的电压差 V_{pc} 根据电压分配定律可以用 DCE 和公共电极之间的电压差 V_{DC} 表示，如方程 1 所示。

如方程 1 所示，电压差 V_{PC} 总是低于电压 V_{DC} 一预定的比率，该比率由电容器 C_{DP} 、 C_{ST} 和 C_{LC} 的电容来决定。

虽然所述的实例对存储电极布线施加公共电压，但也可以对存储电极布线施加单独的电压。

图 2 表示对于象素电极和 DCE 之间电容的 DCE 电压 V_{DC} 波形和象素

电极的电压 V_{PC} 波形。

正如方程 1 预期的那样，图 2 显示了象素电极的电压 V_{PC} 低于 DCE 的电压 V_{DC} 一预定的比率，DCE 的电压 V_{DC} 和象素电极的电压 V_{PC} 之间的电压差依据电容器 C_{DP} 的电容而变。

当建立如方程 1 所示的 DCE 的电压 V_{DC} 和象素电极的电压 V_{PC} 之间的关系时，液晶层中的电场由 DCE 的电压 V_{DC} 改变，使得液晶分子的排列可以得到控制，并因此液晶分子的预倾角也得到控制。虽然象素电极浮置，但象素电极和 DCE 的电容性耦合给予象素电极电压，使得在液晶层中产生电场，由此驱动液晶。

下面参考图 3A 和 3B 详细描述本发明的实施例。

图 3A 是根据本发明第一实施例的 LCD 的布置图，图 3B 是图 3A 所示 LCD 沿 IIIB-IIIB' 取得的截面图。

根据本发明实施例的 LCD 包括下板、面对下板的上板和夹置在上板和下板之间的垂直（或水平(homeotropically)）排列的液晶层。

下面将详细描述下板。

在绝缘基底 110 上形成多条栅极线 121，并在其上形成多条数据线 171。栅极线 121 和数据线 171 彼此绝缘并交叉，限定多个象素区。

每个象素区设置有 TFT、DCE 和象素电极。TFT 有三个端子，即栅电极 123、源电极 173 和漏电极 175，该 TFT 是为切换进入 DCE176 的信号而设置。象素电极 190 电浮置并与 DCE 176 电容性耦合。TFT 的栅电极 123、源电极 173 和漏电极 175 分别连结到对应的一条栅极线 121、一条数据线 171 和 DCE176。DCE176 被施加方向控制电压，以控制液晶分子的预倾角，从而在 DCE 176 和公共电极 270 之间产生方向控制电场。在形成数据线 171 的步骤中形成 DCE 176。

下面详细描述下板的层状结构。

在绝缘基底 110 上形成多条基本上沿横向延伸的栅极线 121，多个栅电极 123 从栅极线 121 分叉。在绝缘基底 110 上还形成多个存储电极线 131 和多组第一到第四存储电极 133a-133d。存储电极线 131 基本上在横向延伸，而第一和第二存储电极 133a 和 133b 在纵向从存储电极线 133c 延伸。第三和第四存储电极 133c 和 133d 在横向延伸并连结第一存储电极 133a 和第二存储电极 133b。

优选地，栅极布线 121 和 123 以及存储电极布线 131 和 133a-133d 由 Al、Cr 或它们的合金、Mo 或 Mo 合金制成。如果需要，栅极布线 121 和 123 以及存储电极布线 131 和 133a-133d 包括优选由 Cr 或 Mo 合金制成的具有优良的物理和化学特性的第一层以及优选由 Al 或 Ag 合金制成的具有低电阻的第二层。

在栅极布线 121 和 123 以及存储电极布线 131 和 133a-133d 上形成栅极绝缘层 140。

在栅极绝缘层 14 上与栅电极 123 相对地形成优选由非晶硅制成的半导体层 151、153 和 155。半导体层 151、153 和 155 包括多个形成 TFT 的通道的通道半导体 151、多个位于数据线 171 之下的数据线半导体 153、和多个位于 DCE 176 与存储电极 133c 及 133d 相交处附近的用于确保其间绝缘的交叉半导体 155。

在半导体层 151、153 和 155 上形成优选由重掺杂 n 型杂质的硅化物或 n⁺氢化非晶硅制成的欧姆接触层 161 和 165。

在欧姆接触层 161 和 165 以及栅极绝缘层 140 上形成数据布线 171、173 和 175。数据布线 171、173 和 175 包括多条在纵向延伸并与栅极行 121 相交以形成多个像素的数据线 171、多个从数据线 171 分叉并延伸到欧姆接触层的 163 各部分上的源电极 173、多个连结到数据线 171 的一端并从外界装置接收图象信号的数据焊点（未示出）、和多个设置在欧姆接触层的 165 各部分上、位置与源电极 173 关于栅电极 123 相对并与源电极 173 分开的漏电极 175。

在由栅极线 121 和数据线 171 的交叉限定的象素区中形成多个 DCE176。每个 DCE176 包括多个彼此相连并连结到漏电极 175 上的 X 形金属件。数据布线 171、173 和 175 以及 DCE 176 优选由 Al、Cr 或它们的合金、Mo 或 Mo 合金制成。如果需要，数据布线 171、173 和 175 以及 DCE 176 包括最好由物理及化学性能优良的 Cr 或 Mo 合金制成的第一层和最好由低电阻的 Al 或 Ag 合金制成的第二层。

在数据线 171、173 和 175 上形成优选由氮化硅或有机绝缘体制成的钝化层 180。

钝化层 180 设置有多个暴露数据焊点的接触孔（未示出），钝化层 180 和栅极绝缘层 140 配置有多个暴露栅极焊点的接触孔（未示出）。暴露焊

点的接触孔可以有各种形状，如多边形或圆形。接触孔的面积最好等于或大于 $0.5\text{mm} \times 15\mu\text{m}$ 并且不大于 $2\text{mm} \times 60\mu\text{m}$ 。

在钝化层 180 上形成多个象素电极 190。每个象素电极 190 电浮置并具有多个 X 形切口 191 和多个线形切口 192。X 形切口 191 与 DCE 176 的 X 形部分重叠，而线形切口 192 与第三和第四存储电极 133c 及 133d 重叠。DCE176 宽泛地与切口 191 的周边以及切口 191 本身重叠，与象素电极 190 一起形成存储电容。

另外，在钝化层 180 上形成多个辅助栅极焊点（未示出）和多个辅助数据焊点（未示出）。辅助栅极焊点和辅助数据焊点经接触孔连结到栅极焊点和数据焊点。象素电极 190、辅助栅极焊点和辅助数据焊点优选由氧化铟锌（“IZO”）形成。另外，象素电极 190 和辅助焊点由氧化铟锡（“ITO”）制成。

总而言之，每个象素电极 190 具有多个用于将一个象素区分成多畴的切口 191 和 192，并且第一切口 191 与 DCE 176 重叠，而第二切口 192 与存储电极 133c 及 133d 重叠。DCE 176 和第一切口 191 对齐，使得 DCE 176 经第一切口 191 暴露，而从前面可以看见。TFT 连结到 DCE 176，象素电极 190 和 DCE 176 对齐以形成存储电容。

取代提供存储电极布线 131 和 133a-133d，象素电极 190 可以与前面的栅极线重叠，形成存储电容器。

根据本发明的另一实施例，DCE176 包括基本上与栅极布线 121 和 123 相同的层。可以去除 DCE176 上的钝化层 180 的一部分，以形成多个开口。

下面详细描述上衬底 210。

在优选由透明绝缘材料如玻璃制成的上基底 210 上形成用于防止光泄漏的黑色矩阵 220、多个红、绿和蓝色彩色滤光片 230 以及优选由透明导体如 ITO 或 IZO 制成的公共电极 270。

包含在液晶层 3 中的多个液晶分子对齐，使得在没有电场时液晶分子的方向矢(director)垂直于上、下基底 110 和 210。液晶层 3 具有负的介电各向异性。

下基底 110 和上基底 210 对齐，使得象素电极 190 与彩色滤光片 230 精确地匹配并覆盖彩色滤光片 230。通过这种方式，象素区被切口 191 和

192 分成多畴。每个畴中液晶层 3 的排列通过 DCE 176 稳定。

图 4 是图 3A 所示 LCD 的 TFT 阵列板简图。

如上所述，只设置用于开关 DCE 176 的 TFT，并且通过象素电极 190 和 DCE 176 的电容性耦合而向象素电极 190 引入预定的电压，使得象素电极 190 和 DCE 176 之间的电压差维持恒定。因此，无论反演类型如何，如线反演或点反演，都可以获得稳定地亮度。另外，可以防止在提供单独的 TFT 以驱动象素电极 190 和 DCE 176 时对数据线负载的任何增加或孔径比的任何减小。

图 5 是根据本发明第一实施例的 LCD 的照片。

如图 5 所示，LCD 显示出良好的显示质量，且不稳定的纹理(texture)减少。

下面详细描述本发明的另一实施例。

图 6A 是根据本发明第二实施例的 LCD 的布置图，图 6B 是图 6A 所示 LCD 沿 VIB-VIB'和 VIB'-VIB''取得的截面图，图 6C 是图 6A 所示 LCD 沿 VIC-VIC'的截面图。

在绝缘基底 110 上形成基本上在横向延伸的多条栅极线 121，多个栅电极 123 从栅极线 121 分叉。在栅极线 121 的一端形成多个栅极焊点 125 以用于连结到外电路。在绝缘基底 110 上还形成多条存储电极线 131、多组第一到第四存储电极 133a-133d 和多个存储焊点 135。存储电极线 131 基本上在横向延伸，第一和第二存储电极 133a 和 133b 从存储电极线 131 沿纵向延伸。第三和第四存储电极 133c 和 133d 在横向延伸并连结第一存储电极 133a 和第二存储电极 133b。存储焊点 135 形成在存储电极线 131 的一端。

栅极布线 121、123 和 125 以及存储电极布线 131、133a-133d 和 135 优选由 Al、Cr 或它们的合金、Mo 或 Mo 合金制成。如果需要，栅极布线 121、123 和 125 以及存储电极布线 131、133a-133d 和 135 包括优选由具有优良的物理和化学特性的 Cr 或 Mo 合金制成的第一层以及优选由具有低阻的 Al 或 Ag 合金制成的第二层。

在栅极布线 121、123 和 125 以及存储电极布线 131、133a-133d 和 135 上形成栅极绝缘层 140。

在栅极绝缘层 14 上与栅电极 123 相对地形成优选由非晶硅制成的半

导体层 151、153、155 和 158。半导体层 151、153、155 和 158 包括多个形成 TFT 的通道通道半导体 151、多个位于数据线 171 之下的数据线半导体 153 和多个位于 DCE 176 与存储电极 133c 及 133d 相交处附近的用于确保其间绝缘的交叉半导体 155、和位于 DCE 176 之下的多个 DCE 半导体 158。

在半导体层 151、153、155 和 158 上形成优选由重掺杂 n 型杂质的硅化物或 n⁺氢化非晶硅制成的欧姆接触层 161、165 和 168。

在欧姆接触层 161、165 和 168 以及栅极绝缘层 140 上形成数据布线 171、173、175 和 179。数据布线 171、173、175 和 179 包括多条在纵向延伸并与栅极线 121 相交、以形成多个象素的数据线 171、从数据线 171 分叉并延伸到欧姆接触层的 163 各部分上的源电极 173、多个连结到数据行 171 的一端并从外界装置接收图象信号的数据焊点 179、和设置在欧姆接触层的 165 各部分上、位置与源电极 173 关于栅电极 123 相对并与源电极 173 分开的多个漏电极 175。

在由栅极线 121 和数据线 171 的交叉限定的象素区中形成多个 DCE176。每个 DCE176 包括多个彼此相连并连结到漏电极 175 的 X 形金属件。数据布线 171、173、175 和 179 以及 DCE 176 优选由 Al、Cr 或它们的合金、Mo 或 Mo 合金制成。如果需要，数据布线 171、173、175 和 179 以及 DCE 176 可以包括优选由物理及化学性能优良的 Cr 或 Mo 或合金制成的第一层和优选由低阻的 Al 或 Ag 合金制成的第二层。

在数据布线 171、173、175 和 179 上形成优选由氮化硅或有机绝缘体制成的钝化层 180。

钝化层 180 配置有多个暴露数据焊点的接触孔 184，钝化层 180 和栅极绝缘层 140 配置有多个分别暴露栅极焊点 125 和存储焊点 135 的接触孔 182 和 183。暴露焊点 125、135 和 179 的接触孔 182、183 和 184 可以有各种形状，如多边形或圆形。接触孔的面积优选地等于或大于 0.5mm × 15μm 并且不大于 2mm × 60μm。

在钝化层 180 上形成多个象素电极 190。每个象素电极 190 电浮置并具有多个 X 形切口 191 和多个线形切口 192。X 形切口 191 与 DCE 176 的 X 形部分重叠，而线形切口 192 与第三和第四存储电极 133c 及 133d 重叠。DCE176 宽泛地与切口 191 的周边以及切口 191 本身重叠，以与象素

电极 190 一起形成存储电容。

此外，在钝化层 180 上形成多个辅助栅极焊点 95、多个辅助存储焊点 98 和多个辅助数据焊点 97。辅助栅极焊点 95、辅助存储焊点 98 和辅助数据焊点 97 分别经接触孔 182、183 和 184 连结到栅极焊点 125、存储焊点 135 和数据焊点 179。象素电极 190、辅助栅极焊点 95、辅助存储焊点 98 和辅助数据焊点 97 优选由氧化铟锌 (“IZO”) 形成。或者，象素电极 190 和辅助焊点 95、97 和 98 由氧化铟锡 (“ITO”) 制成。

总而言之，每个象素电极 190 具有多个用于将一个象素区分成多畴的切口 191 和 192，并且第一切口 191 与 DCE 176 重叠，而第二切口 192 与存储电极 133c 及 133d 重叠。DCE 176 和第一切口 191 对齐，使得 DCE 176 经第一切口 191 暴露，而从前面可以看见。TFT 连结到 DCE 176，象素电极 190 和 DCE 176 对齐以形成存储电容。

取代提供存储电极线 131、133a-133d 和 135，象素电极 190 可以与前面的栅极线重叠，以形成存储电容器。

根据本发明的另一实施例，DCE176 包括基本上与栅极线 121、123 和 125 相同的层。可以去除钝化层 180 在 DCE176 上的部分以形成多个开口。

将不对上基底 210 做详细的描述。

在优选由透明绝缘材料如玻璃制成的上基底 210 上形成用于防止光泄漏的黑色矩阵 220、多个红、绿和蓝色彩色滤光片 230 以及优选由透明导体如 ITO 或 IZO 制成的公共电极 270。

包含在液晶层 3 中的多个液晶分子被对齐，使得在没有电场时液晶分子的方向矢垂直于上、下基底 110 和 210。液晶层 3 具有负的介电各向异性。

下基底 110 和上基底 210 对齐，使得象素电极 190 与彩色滤光片 230 精确地匹配并覆盖彩色滤光片 230。通过这种方式，象素区被切口 191 和 192 分成多畴。每个畴中液晶层 3 的对齐是通过 DCE 176 稳定的。此外，第二实施例在 DCE176 之下提供了半导体 158，使得 DCE176 和公共电极 270 之间的距离减小，而增大了电容，并且形成畴边界的 DCE 176 上的盒间隙小于其它区域上的盒间隙，由此物理上确定畴边界，使得畴更稳定。

下面描述本发明的另一实施例。

图 7A 是根据本发明第三实施例的 LCD 的布置图，图 7B 是图 7A 所示 LCD 沿 VIIB-VIIB' 取得的截面图。

根据本发明第三实施例的 LCD 与根据第一实施例的 LCD 的结构基本上相同，除了在多个 DCE176 以下额外地形成多个 X 形金属件 127，并且液晶分子平行于基底 110 和 210 对齐，且具有正介电各向异性。

X 形金属件 127 由与栅极布线 121 和 123 以及存储电极布线 131 和 133a-133d 相同的层和相同的材料形成。X 形金属件 127 减小 DCE 176 和公共电极 270 之间的距离以增大电容 C_{DC} ，并且形成畴边界的 DCE 176 上的盒间隙小于其它区域上的盒间隙，由此物理上确定畴边界，使畴更稳定。当在象素电极 190 和公共电极 270 之间施加电场时，具有正介电各向异性的液晶的液晶分子响应于使其垂直于基底 110 和 210 的力改变其取向。为了利用此液晶实现常黑模式，使设置在上、下基底 110 和 210 外表面上的偏振片的偏振轴彼此平行排列。

如上所述，多畴 LCD 配置有 DCE 和用于开关 DCE 信号的 TFT。DCE 与象素电极电容性耦合。通过这种方式，可以很容易地控制液晶分子的倾斜方向，由此获得稳定的畴。

虽然上面参照优选实施例详细描述了本发明，但本领域的技术人员在不脱离由权利要求限定的本发明的实质和范围的前提下可以做各种改型和替换。

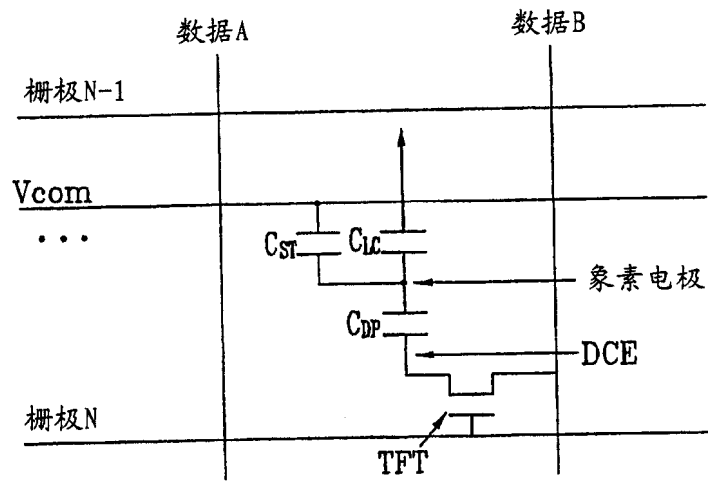
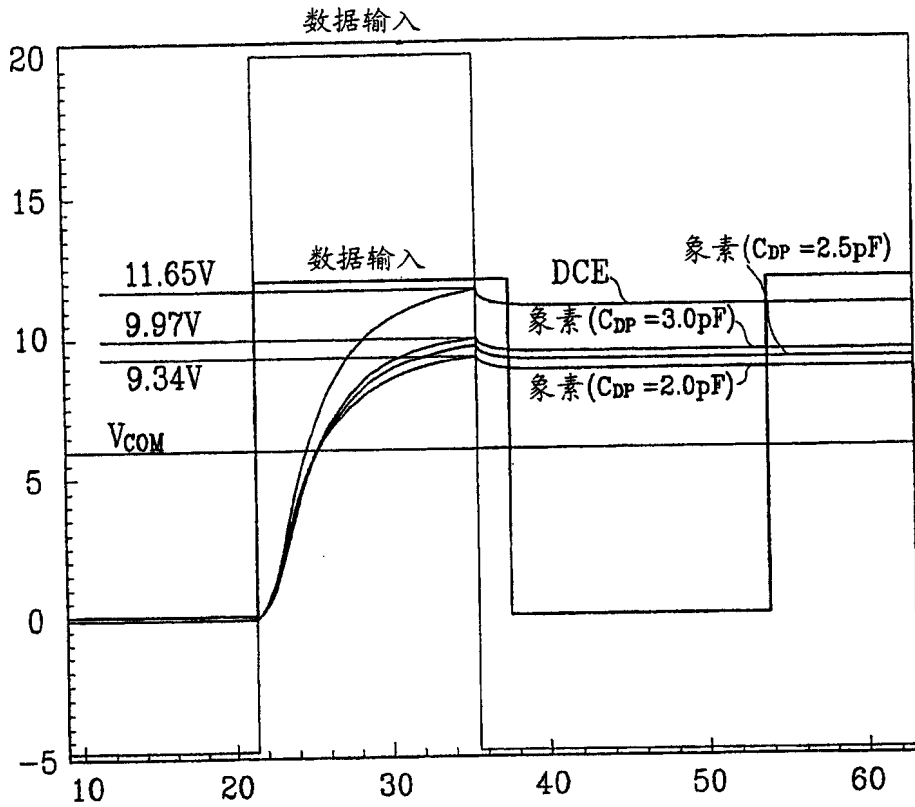


图 1



模拟参数

TFT W/L=30 μ m/3.5 μ m,

C_{DCE_PIXEL} =2.0pF, 2.5pF, 3.0pF (Split)= C_{DP}

C_{DCE_COM} =0.01pF

C_{ST} =0.02pF

C_{LC} =0.3pF

R_{LC} =30 Ω

Gate & Data R,C Load=17 Ω With reference to center

图 2

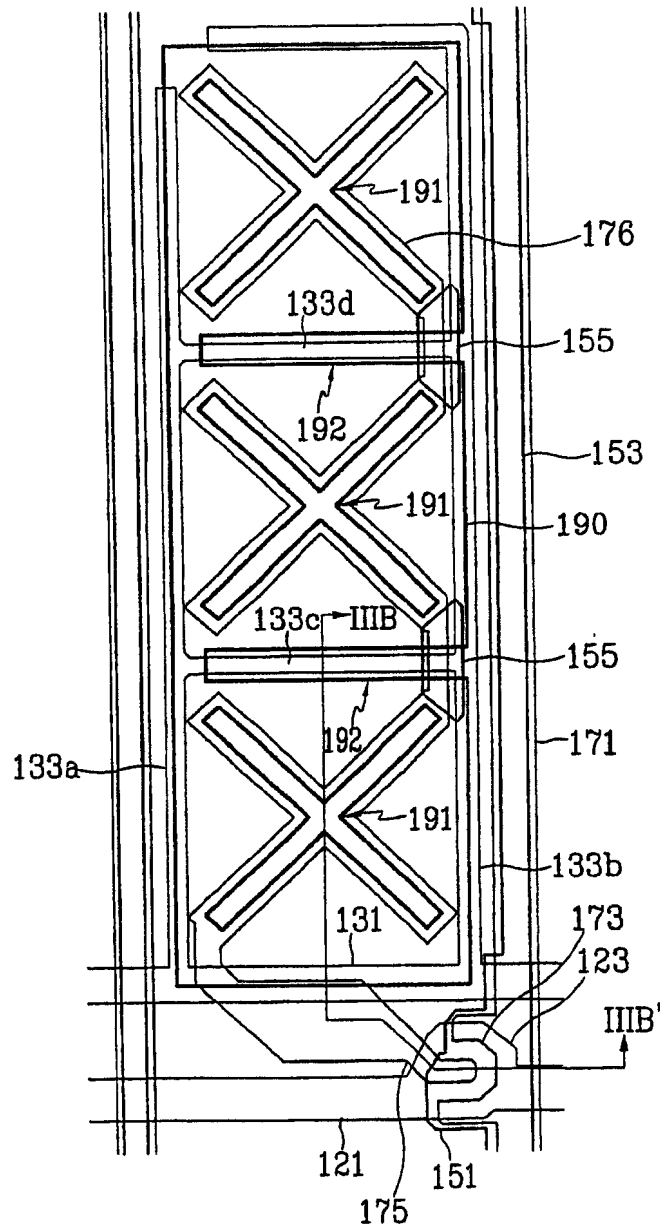


图 3A

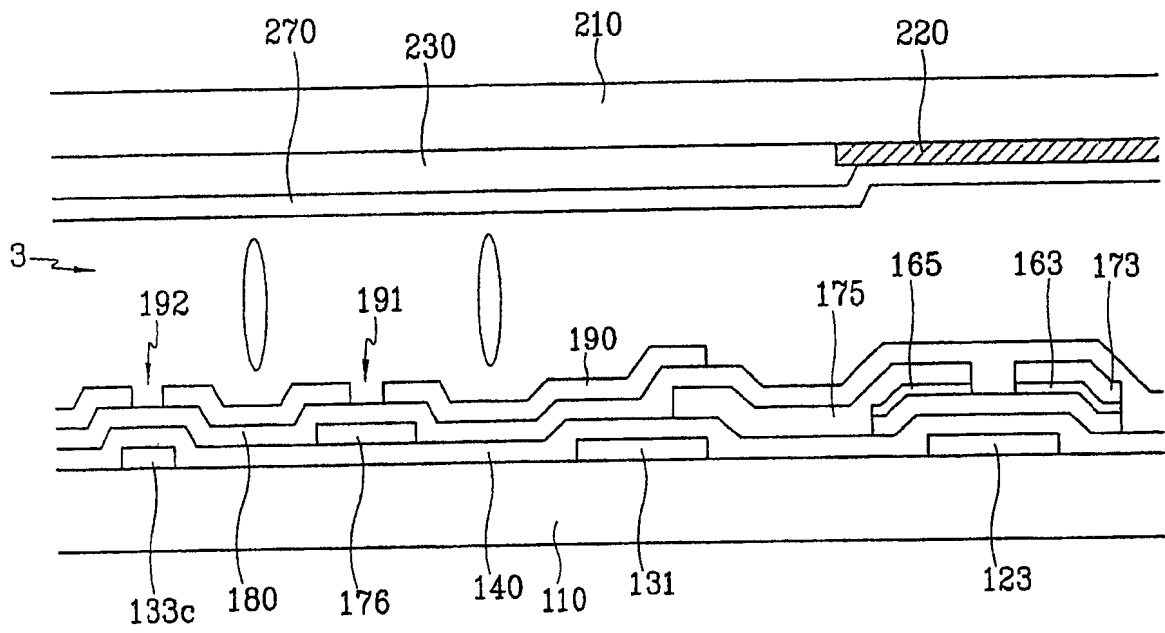


图 3B

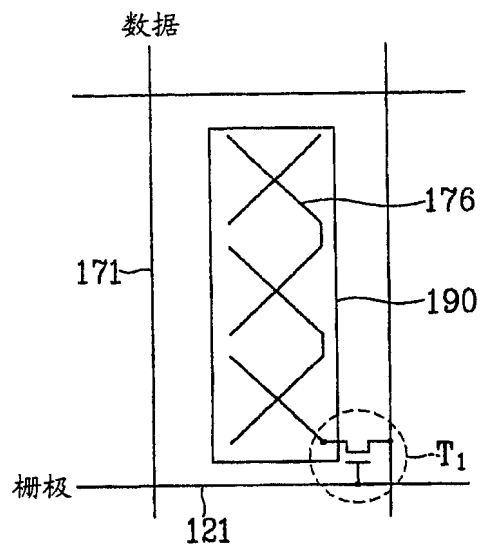


图 4

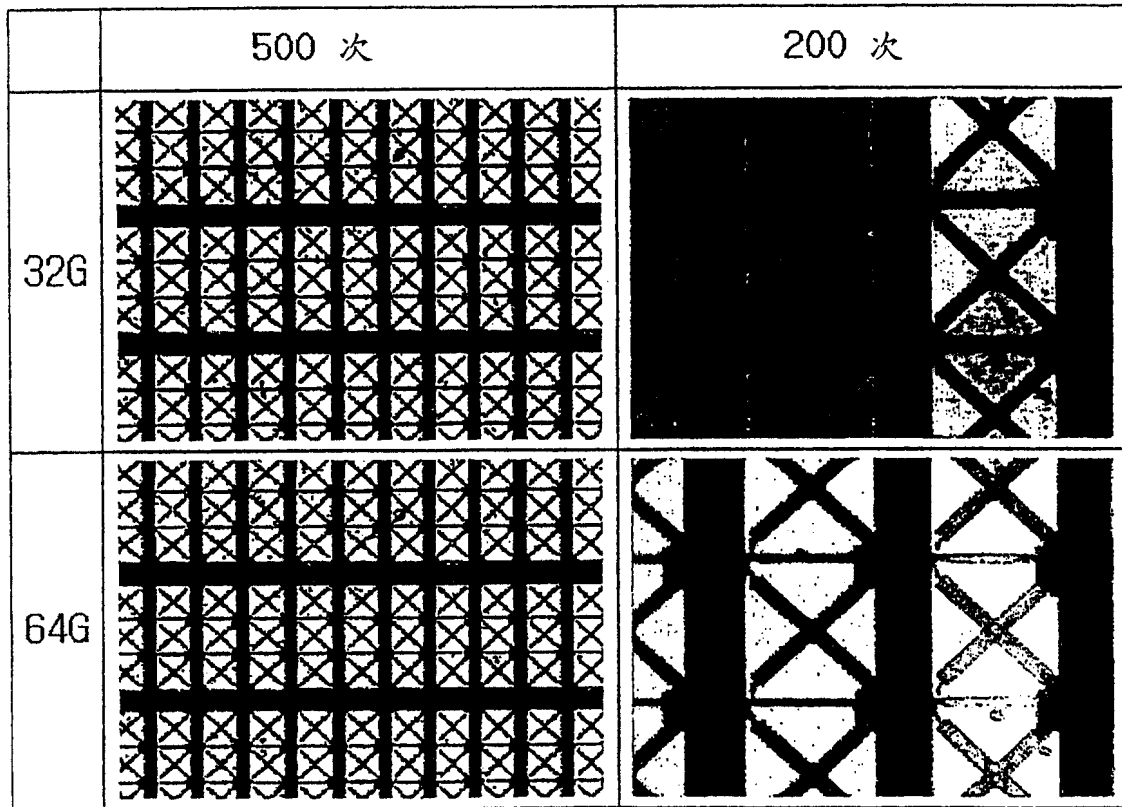


图 5

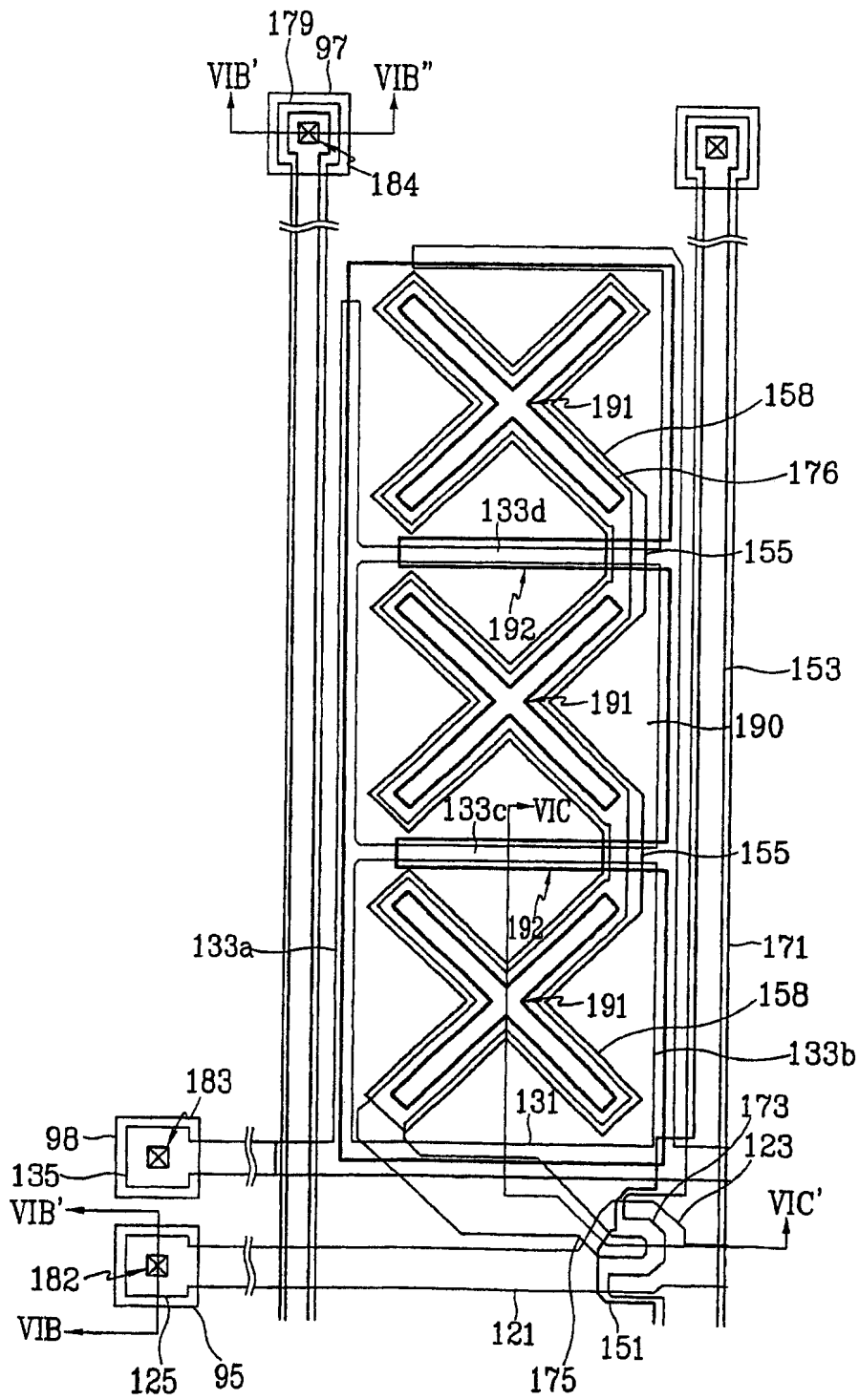


图 6A

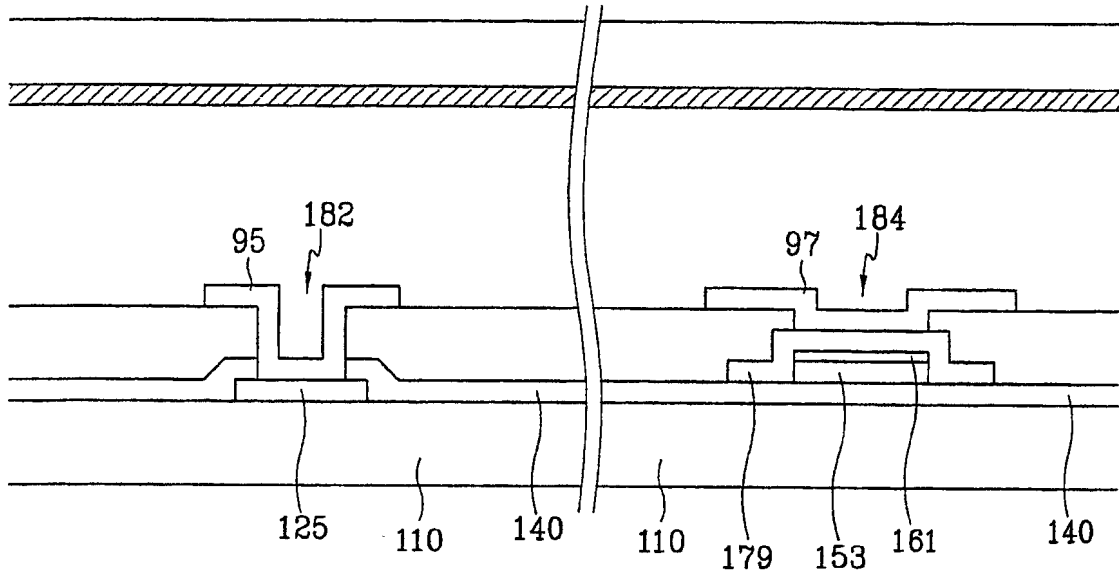


图 6B

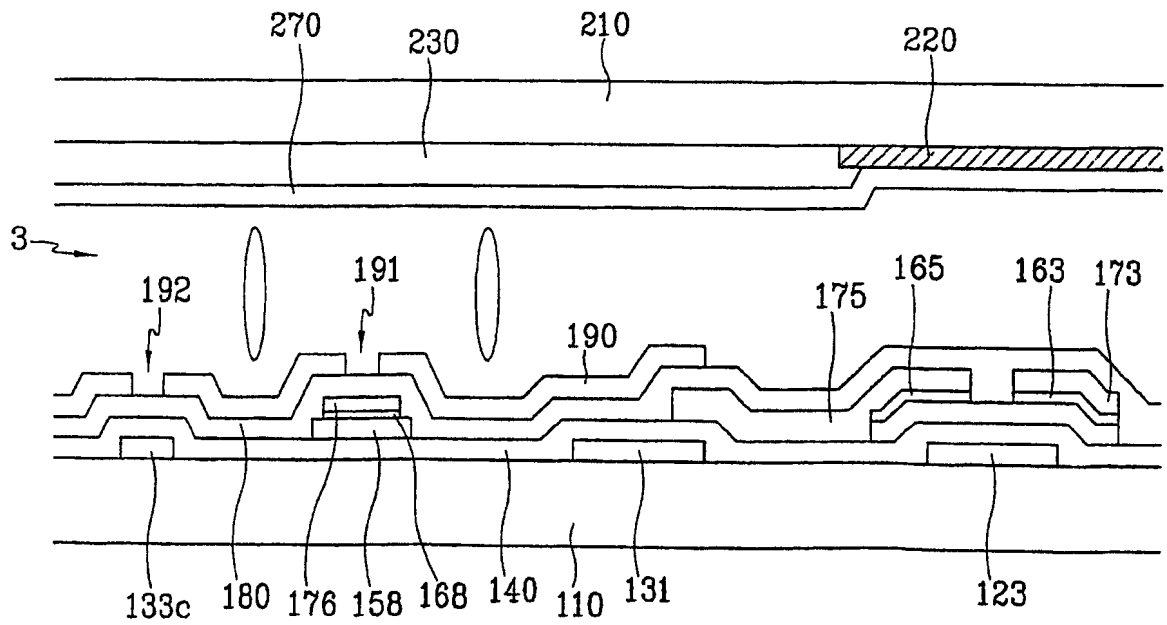


图 6C

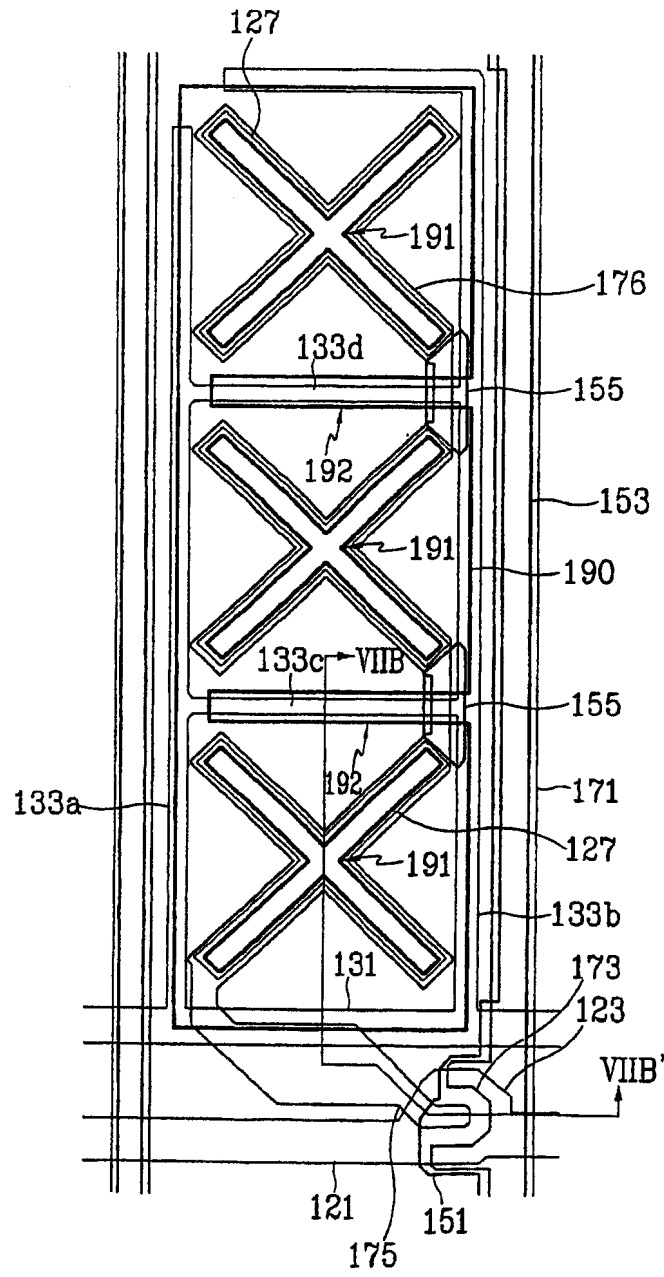


图 7A

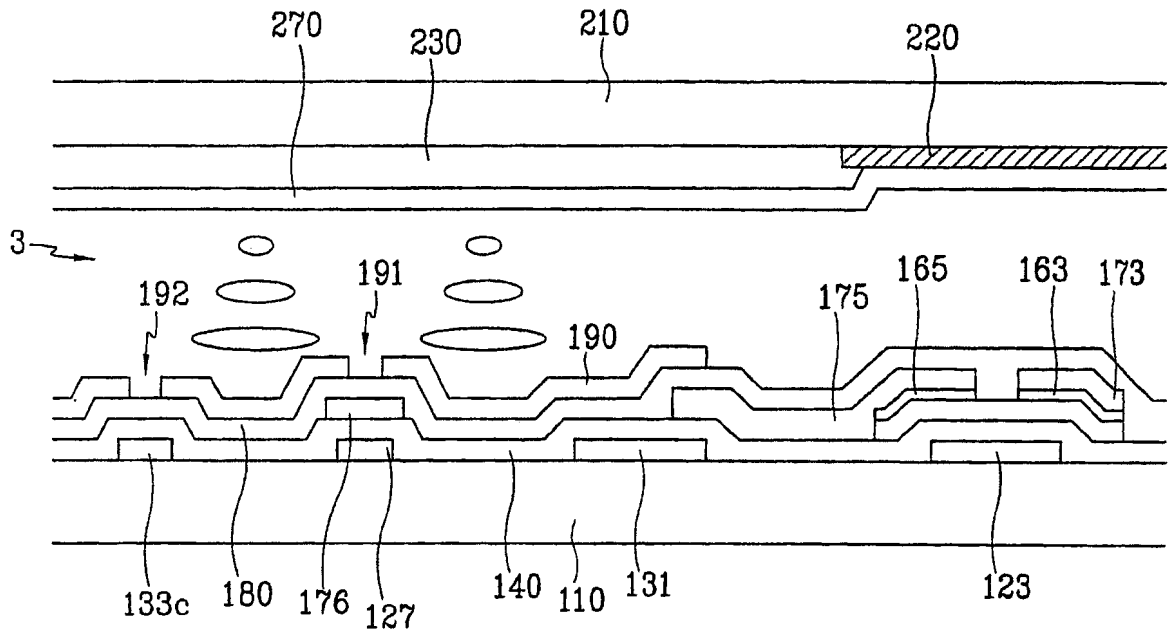


图 7B

专利名称(译)	多畴液晶显示器及其薄膜晶体管基底		
公开(公告)号	CN100367096C	公开(公告)日	2008-02-06
申请号	CN02828715.0	申请日	2002-07-22
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星电子株式会社		
[标]发明人	洪性奎 金熙燮 申曠周		
发明人	洪性奎 金熙燮 申曠周		
IPC分类号	G02F1/1337 G02F1/1333 G02F1/1343 G02F1/1368 G02F1/139		
CPC分类号	G02F1/133707 G02F2001/133761 G02F1/1393 G02F2201/128 G02F2001/134381		
代理人(译)	李晓舒 魏晓刚		
审查员(译)	钟杰		
优先权	1020020019244 2002-04-09 KR		
其他公开文献	CN1625713A		
外部链接	Espacenet SIPO		

摘要(译)

在绝缘基底上形成栅极线，并形成与栅极线交叉的数据线。栅极线和数据线彼此绝缘并交叉，以限定像素区。在每个像素区中形成包括栅电极、源电极和漏电极的三个端子的薄膜晶体管。在每个像素区中还形成方向控制电极和像素电极。薄膜晶体管切换方向控制电极。像素电极电浮置并与方向控制电极电容性耦合。

