



[12] 发明专利申请公开说明书

[21] 申请号 02829816.0

[43] 公开日 2005 年 11 月 9 日

[11] 公开号 CN 1695078A

[22] 申请日 2002.11.5 [21] 申请号 02829816.0

[30] 优先权

[32] 2002. 9.27 [33] KR [31] 2002/58994

[86] 国际申请 PCT/KR2002/002057 2002.11.5

[87] 国际公布 WO2004/029709 英 2004.4.8

[85] 进入国家阶段日期 2005.4.27

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 洪性奎 梁英喆 金钟来 申暲周
金熙燮

[74] 专利代理机构 北京市柳沈律师事务所

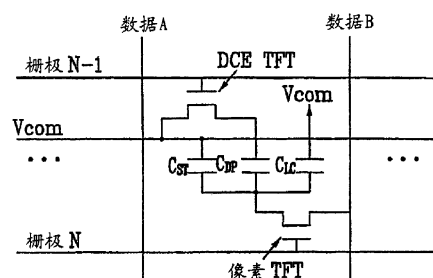
代理人 陶凤波 侯 宇

权利要求书 3 页 说明书 25 页 附图 36 页

[54] 发明名称 用于多域液晶显示器的薄膜晶体管面板

[57] 摘要

提供了一种薄膜晶体管阵列板，其包括：一绝缘基板；形成在所述绝缘基板上的多个第一信号线；形成于所述绝缘基板上，并以绝缘的方式与所述第一线路交叉的多个第二信号线；在由所述第一和第二信号线交叉界定的像素区域内形成的像素电极，其包括由切口划分的多个子区域，以及多个连接所述子区域的桥接件；以及在所述子区域内形成的方向控制电极，其包括至少覆盖所述切口中的一个的部分，其中，每个子区域的两个长边彼此平行，而且，覆盖所述方向控制电极的一部分的切口中的至少一个界定了所述子区域的两个最长边之一。



1. 一种薄膜晶体管阵列板，其包括：
一绝缘基板；
5 形成在所述绝缘基板上的多个第一信号线；
形成于所述绝缘基板上，并以绝缘的方式与所述第一线路交叉的多个第二信号线；
在由所述第一信号线和第二信号线交叉界定的像素区域内形成的像素电极，其包括由切口划分的多个子区域，以及多个连接所述子区域的桥接件；
10 以及
在所述像素区域内形成的方向控制电极，其包括至少与所述切口中的一个交叠的部分，
其中，每个子区域的两个长边彼此平行，并且所述的至少一个与方向控制电极的部分交叠的切口界定了所述子区域的两个最长边中的一个。
- 15 2. 如权利要求1所述的薄膜晶体管阵列板，其进一步包括：以绝缘的方式与所述第二信号线交叉的第三信号线，其包括至少覆盖未与所述方向控制电极交叠的所述切口中的另一个的部分。
3. 如权利要求2所述的薄膜晶体管阵列板，其中：所述第三信号线包括位于两个相邻的所述第一信号线之间的一对部分，其具有反演对称性。
- 20 4. 如权利要求3所述的薄膜晶体管阵列板，其中：所述的位于两个相邻的所述第一信号线之间的所述第三信号线的一对部分通过一连接器相互连接。
5. 如权利要求1所述的薄膜晶体管阵列板，其进一步包括：
连接至所述第一信号线中的相关一个、所述第二信号线中的相关一个以及
25 及所述像素电极的第一薄膜晶体管；
连接至所述第一信号线中的前一个、所述第二信号线中的前一个以及所述方向控制电极的第二薄膜晶体管；以及
连接至前一第一信号线、相关第二信号线和所述像素电极的第三薄膜晶体管。
- 30 6. 如权利要求1所述的薄膜晶体管阵列板，其中：至少一个所述桥接件位于所述子区域长边的中部附近，其他所述桥接件位于所述第二信号线附近

的所述像素电极的边上。

7. 如权利要求 1 所述的薄膜晶体管阵列板, 其中: 所述桥接件位于位置接近所述第二信号线的所述像素电极的边上。

5 8. 如权利要求 1 所述的薄膜晶体管阵列板, 其中, 对所述子区域中的至少一个开槽。

9. 如权利要求 1 所述的薄膜晶体管阵列板, 其中: 所述切口包括将所述像素电极分成上下两半的横向切口和相对于所述横向切口具有反演对称性的多个倾斜切口。

10 10. 如权利要求 9 所述的薄膜晶体管阵列板, 其中, 所述倾斜切口包括: 第一切口, 其从像素电极的一边开始向像素电极的另一边延伸, 以界定位于第一切口的末端与像素电极的另一边之间的桥接件中的一个;

第二切口, 其从像素电极的一边出发延伸至所述像素电极当中;

15 第三切口, 其从所述横向切口开始延伸至所述像素电极当中, 所述第二和第三切口沿直线延伸, 以界定位于所述第二和第三切口之间的一个桥接件; 以及

一对第四切口, 其从所述像素电极的边开始沿直线延伸至所述像素电极当中, 以界定位于两个所述第四切口之间的一个桥接件。

11. 如权利要求 9 所述的薄膜晶体管阵列板, 其中, 所述倾斜切口包括:

20 第一切口, 其从所述像素电极的一边开始向所述像素电极的另一边延伸, 以界定位于所述第一切口的末端与所述像素电极的另一边之间的所述桥接件中的一个; 以及

第二切口, 其弯曲以界定所述子区域中的一个的长边和短边。

12. 如权利要求 9 所述的薄膜晶体管阵列板, 其中, 所述倾斜切口包括:

25 第一切口, 其从所述像素电极的一边开始向所述像素电极的另一边延伸, 以界定位于所述第一切口的末端与所述像素电极的另一边之间的所述桥接件中的一个;

第二切口, 其从所述像素电极的一边开始向所述横向切口延伸, 以界定位于所述横向切口与所述第二切口的末端之间的所述桥接件中的一个; 以及

30 一对第三切口, 其由所述像素电极的边开始沿直线延伸至所述像素电极当中, 以界定位于所述第四切口之间的一个桥接件。

13. 如权利要求 12 所述的薄膜晶体管阵列板, 其中, 所述第二和第三切

口具有比所述第二和第三切口的末端宽的入口。

14. 如权利要求 9 所述的薄膜晶体管阵列板, 其中, 所述倾斜切口包括:

第一切口, 其从所述像素电极的一边开始向所述像素电极的另一边延伸, 以界定位于所述第一切口的末端与所述像素电极的另一边之间的所述桥接件中的一个;

第二切口, 其由所述像素电极的一边开始向所述横向切口延伸, 以界定位于所述横向切口与所述第二切口的末端之间的所述桥接件中的一个; 以及
第三切口, 其弯曲以界定所述子区域中的一个的长边和短边。

用于多域液晶显示器的薄膜晶体管面板

5 技术领域

本发明涉及一种液晶显示器，尤其涉及一种垂直配向的液晶显示器，其具有包含多个域以拓宽视角的像素区。

背景技术

- 10 典型的液晶显示器 (LCD) 包括一带有公共电极和滤色器阵列的上面板 (upper panel)，带有多个薄膜晶体管 (TFT) 和多个像素电极的下面板 (lower panel) 以及位于两者之间的液晶层。在像素电极和公共电极上施加电压，其间的电势差产生电场。电场的变化改变液晶层中液晶分子的取向，进而改变通过液晶层的光透射率。因此，LCD 显示器通过调整像素电极和公共电极之间的电势差显示预期图像。

LCD 的一个主要缺陷在于视角狭窄，目前，已经开发了几项提高其视角的技术。在这些技术当中，在彼此相对的像素电极和公共电极上提供多个切口 (cutout) 或多个凸起，连同液晶分子相对上下面板垂直取向的技术具有很好的前景。

- 20 在像素电极和公共电极上同时提供的切口通过产生散射场调整液晶分子的倾斜方向，从而提供宽视角。

在像素电极和公共电极上同时提供的凸起扭曲磁场，从而调整液晶分子的倾斜方向。

- 25 还可以通过在下面板的像素电极上提供切口在上面板上的公共电极上提供凸起的方法，获得用于调整液晶分子的倾斜方向，以形成多个域的散射场。

- 在这些拓宽视角的技术当中，提供切口具有这样的问题：需要用于对公共电极进行构图的额外掩模，需要防止滤色器的色素对液晶材料造成影响的保护层，以及在已构图电极的边缘附近产生严重的错向。提供凸起也面临问题：由于需要额外步骤来形成凸起或者需要对加工步骤进行修改，所以制造方法复杂。而且由于凸起和切口的存在，降低了开口率。
- 30

发明内容

本发明的一个动机在于提供一种能够通过简单工艺制造，并且能够形成稳定的多域(multi-domain)的液晶显示器。

- 5 本发明的另一个动机在于优化切口和方向控制电极的排列，以获得稳定的多域。

提供了一种薄膜晶体管阵列板，其包括：一绝缘基板；形成在所述绝缘基板上的多个第一信号线；形成于所述绝缘基板上，并以绝缘的方式与第一线路交叉的多个第二信号线；在由第一信号线和第二信号线交叉界定的像素区域内形成的像素电极，其包括由切口分隔的多个子区域，以及多个连接子区域的桥接件；以及在所述子区域内形成的方向控制电极，其包括至少覆盖切口之一的部分，其中，每个子区域的两个长边彼此平行，而且，覆盖方向控制电极的一部分的切口中的至少一个界定了子区域的两个最长边之一。

10

优选地，所述薄膜晶体管阵列板进一步包括：以绝缘的方式与第二信号线交叉的第三信号线，其包括至少覆盖未与方向控制电极交叠的切口中的另一个的部分。第三信号线可以包括一对位于相邻的两个第一信号线之间的一对部分，其具有反演对称性(inversion symmetry)，而且，第三信号线位于相邻的两个第一信号线之间的一对部分可以通过连接器相互连接。

15

优选地，所述薄膜晶体管阵列板进一步包括：连接至所述第一信号线中的相关一个，所述第二信号线中的相关一个以及所述像素电极的第一薄膜晶体管；连接至所述第一信号线中的前一个，所述第二信号线中的前一个以及所述方向控制电极的第二薄膜晶体管；以及连接至前一第一信号线，相关第二信号线和像素电极的第三薄膜晶体管。

20

优选地，至少一个桥接件位于子区域长边的中央附近，其他桥接件位于位置接近第二信号线附近的像素电极的边上。桥接件优选位于位置接近第二信号线的像素电极的边上。优选对至少一个子区域刻槽(chamfered)。

25

所述切口优选包括将像素电极分成上下两半的横向切口和多个相对于横向切口具有反演对称性的倾斜切口。

倾斜切口可以包括：第一切口，其由像素电极的一边开始向像素电极的另一边延伸，以界定位于第一切口的末端与像素电极的另一边之间的桥接件中的一个；第二切口，其由像素电极的一边出发延伸至像素电极当中；第三

30

切口,其由横向切口开始延伸至像素电极当中,第二和第三切口沿直线延伸,以界定位于第二切口和第三切口之间的一个桥接件;以及一对第四切口,其由像素电极的边开始沿直线延伸至像素电极当中,以界定位于两个第四切口之间的一个桥接件。

- 5 做为选择,倾斜切口包括:第一切口,其由像素电极的一边开始向像素电极的另一边延伸,以界定位于第一切口的末端与像素电极的另一边之间的桥接件中的一个;和第二切口,其弯曲以界定一个子区域的一个长边和一个短边。

- 10 做为选择,倾斜切口包括:第一切口,其由像素电极的一边开始向像素电极的另一边延伸,以界定位于第一切口的末端与像素电极的另一边之间的桥接件中的一个;第二切口,其由像素电极的一边开始向横向切口延伸,以界定位于横向切口和第二切口的末端之间的一个桥接件;以及一对第三切口,其由像素电极的边开始沿直线延伸至像素电极当中,以界定位于第四切口之间的一个桥接件。第二和第三切口可以具有比第二和第三切口的末端更
15 宽的入口。

- 20 做为选择,倾斜切口包括:第一切口,其由像素电极的一边开始向像素电极的另一边延伸,以界定位于第一切口的末端与像素电极的另一边之间的桥接件中的一个;第二切口,其由像素电极的一边开始向横向切口延伸,以界定位于横向切口和第二切口的末端之间的一个桥接件;以及第三切口,其弯曲以界定一个子区域的长边和短边。

附图说明

图 1 是根据本发明的实施例的 LCD 的等效电路图;

图 2A 是根据本发明的第一实施例的 LCD 的 TFT 阵列板的布局图;

- 25 图 2B 和 2C 分别是沿图 2A 中所示的 TFT 阵列板的 IIB-IIB'和 IIC-IIC'线获得的剖面图;

图 3A 到图 3D 是根据本发明的第一实施例的 LCD 的 TFT 阵列板的剖面图,用于按顺序说明其制造方法;

图 4 是根据本发明的第二实施例的 LCD 的 TFT 阵列板的布局图;

- 30 图 5 是沿图 4 中所示的 TFT 阵列板的 V-V'和 V'-V''线获得的剖面图;

图 6A 到图 11B 是根据本发明的第二实施例的 LCD 的 TFT 阵列板的布

局图和剖面图，用于按顺序说明其制造方法；

图 12 是根据本发明的第一和第二实施例的 LCD 的 TFT 阵列板的示意图；

图 13 是根据本发明的第三实施例的 LCD 的等效电路图；

5 图 14 是根据本发明的第三实施例的 LCD 的布局图；

图 15 是沿图 14 中所示的 LCD 的 XV-XV'线获得的剖面图；

图 16 是图沿 14 中所示的 LCD 的 XVI-XVI'线获得的剖面图；

图 17 是沿图 14 中所示的 LCD 的 XVII-XVII'线和 XVII'-XVII"线获得的剖面图；以及

10 图 18 至 30 是用于根据本发明的第四到第十六实施例的 LCD 的 TFT 阵列板的布局图。

具体实施方式

在下文中，将参照附图对本发明进行更加详细的说明，在附图中将示出
15 本发明的优选实施例。但是，可以以不同的形式体现本发明，而不应推断本发明仅限于文中所述实施例。

在附图中，为了清晰起见，夸大了层和区域的厚度。类似的数字自始至终指代类似的元件。应当理解的是：在称层、区域或基板位于另一元件上时，其可能直接位于另一元件上，也可能存在中间元件。相反，在称一元件直接
20 位于另一元件上时，不存在中间元件。

下面将参照附图对根据本发明的多域液晶显示器进行详细说明。

图 1 是根据本发明的实施例的 LCD 的等效电路图。

根据本发明的实施例的 LCD 包括：一 TFT 阵列板，与所述 TFT 阵列板相对的滤色器阵列板，以及插入到两者之间的液晶层。TFT 阵列板带有多个
25 由相互交叉而界定了多个像素区域的栅极线和数据线，以及多个平行于栅极线延伸的存储电极线。栅极线传输扫描信号，数据线传输图像信号。在存储电极线上施加公共电压 V_{com} 。每个像素区域带有一用于像素电极的像素 TFT 和一用于方向控制电极（DCE）的方向控制电极 TFT（DCE TFT）。像素 TFT 包括连接至栅极线中的一个的栅电极，连接至数据线中的一个的源电极和连接至多个像素电极中的一个的漏电极；而 DCE TFT 则包括连接至前一栅极线的栅电极，连接至存储电极线中的一个的源电极和连接至多个方向
30

控制电极中的一个的漏电极。

DCE 和像素电极电容性耦合 (capacitively coupled), 其间的电容器或电容由 C_{DP} 表示。在滤色器阵列板上提供的像素电极和公共电极形成一液晶电容器, 用 C_{LC} 表示这一液晶电容器或其电容。连接至存储电极线中的一个的像素电极和存储电极形成一存储电容器, 用 C_{ST} 表示这一存储电容器或其电容。

尽管未在电路图中示出, 但是根据本发明的实施例的像素电极具有与 DCE 交叠的切口, 从而使由 DCE 产生的电场从该切口流出。从该切口流出的电场使液晶分子具有预倾斜角。在施加由像素电极产生的电场时, 预倾斜的液晶分子在不偏离预定方向的情况下迅速对齐。

为了通过由 DCE 产生的电场获得预倾斜的液晶分子, DCE 相对于公共电极的电势 (下文简称 “DCE 电压”) 要比像素电极相对于公共电极的电势 (下文简称 “像素电压”) 大一预定值。根据本发明的实施例的 LCD 通过将在加到存储电极线的电势加到 DCE 上之后隔离 DCE 的方法, 很容易满足这一要求。现在来说明理由。

考虑用正电势刷新具有负电势的指定像素电极。在前一栅极线上施加栅极开启 (gate-on) 信号开启 DCE TFT, 以便使 DCE 的电势高于像素电极。这改变了与 DCE 电容性耦合的像素电极的电势。在这种情况下, DCE 和像素电极之间的电容器 C_{DP} 以及像素电极和公共电极之间的电容器 C_{LC} 串联。由于像素电极具有负电势, 所以其电势低于 DCE 电势, 即, 在对串联的电容器 C_{DP} 和 C_{LC} 充电时, $V_{DCE} > V_P$ 。当充电之后关闭 DCE TFT 时, DCE 浮置。因此, 不管像素电极的电势怎样改变, DCE 的电势总是大于像素电极的电势。例如, 当像素 TFT 开启, 像素电极的电势增长至正值时, DCE 的电势跟随像素电极的电势增长, 以保持 DCE 和像素电极之间的电势差。

从电路的角度对此加以说明。

在电路中电容器两端的电压由下述公式表示:

$$V_C = V_0 + \frac{1}{C} \int i d(t) \quad (1)$$

浮置电极相当于一连接至电阻无穷大 ($R = \infty$) 的电阻器的电极。因此, $i = 0$, 并且 $V_C = V_0$, 也就是说保持了电容器两端的初始电压。换句话说, 浮置电极的电势随着另一个电极的电势耦合地增加或减少。

反之, 在用负电势刷新时, DCE 的电势总是比像素电极的电势低一预定

值。

根据本发明的一实施例，将 DCE TFT 连接至存储电极线，从而将公共电压加到 DCE 上。因此，两个电极的电势增大或减少，以具有大体相同的极性，而不管在下一帧中加到像素电极上的电势的极性如何。因此，在本发明中应用了诸如线反演和点反演的任何反演类型。

为了获得相同的灰色 (gray)，不管前一帧和下一帧的灰色如何，DCE 和像素电极之间的电势差不发生变化，从而确保图像质量的稳定性。

DCE TFT 从数据线上断开防止数据线负载增加。

现在，参照图 2A 到图 2C，对本发明的具体实施例进行说明。

图 2A 是根据本发明的实施例的 LCD 的布局图，图 2B 和 2C 是图 2A 中所示的 LCD 沿线 IIB-IIB' 得到的剖面图。

根据本发明的第一实施例的 LCD 包括：下面板，与下面板相对的上面板，以及插入到下面板和上面板之间垂直配向的液晶层。

现在，将对下面板进行更为详细的说明。

在绝缘基板 110 上形成了多个栅极线 121，在栅极线 121 上形成了多个数据线 171。栅极线 121 和数据线 171 彼此绝缘，相互交叉，从而界定了多个像素区域。

每个像素区域带有一像素 TFT，一 DCE TFT，一 DCE 和一像素电极。像素 TFT 具有三个端子，即第一栅电极 123a，第一源电极 173a 和第一漏电极 175a，DCE TFT 也具有三个端子，即第二栅电极 123b，第二源电极 173b 和第二漏电极 175b。提供像素 TFT 的目的在于切换传输至像素电极 190 的信号，而提供 DCE TFT 的目的在于切换进入 DCE 178 的信号。像素 TFT 的栅电极 123a、源电极 173a 和漏电极 175a 分别连接至栅极线 121 中的相应一个，数据线 171 中的一个和像素电极 190。DCE TFT 的栅电极 123b、源电极 173b 和漏电极 175b 分别连接至栅极线 121 中的前一个，存储电极线 131 中的相应一个和 DCE 178。向 DCE 178 施加用于控制液晶分子的预倾斜的方向控制电压，从而在 DCE 178 和公共电极 270 之间生成方向控制电场。DCE 178 是在形成数据线 171 的步骤中形成的。

下面将对下面板的分层构造进行详细说明。

大体沿横向延伸的栅极线 121 形成于绝缘基板 110 上，将多个第一和第二栅电极 123a 和 123b 连接至栅极线 121。多个存储电极线 131 和多组第一

至第四存储电极 133a-133b 也形成于绝缘基板 110 上。存储电极线 131 大体沿横向延伸, 第一和第二存储电极 133a 和 133b 沿纵向从存储电极线 131 伸出。第三和第四存储电极 133c 和 133d 沿横向延伸, 并且连接第一存储电极 133a 和第二存储电极 133b。

5 栅极线路 121, 123a 和 123b, 以及存储电极线路 131 和 133a-133d 优选由 Al、Cr 或其合金, Mo 或 Mo 合金构成。如果必要的话, 栅极线路 121、123a 和 123b 以及存储电极线路 131、133a-133d 包括: 优选由具有优越的物理和化学特性的 Cr 或 Mo 合金构成的第一层; 优选由具有低电阻的 Al 或 Ag 合金构成的第二层。

10 栅极绝缘层 140 形成于栅极线路 121, 123a 和 123b, 以及存储电极线路 131 和 133a-133d 上。

优选由非晶硅构成的半导体层 151、154a、154b 和 155 形成于栅极绝缘层 140 上。半导体层 151、154a、154b 和 155 包括多个形成 TFT 沟道的第一和第二沟道半导体 154a 和 154b, 多个位于数据线 171 之下的数据线半导体 151, 多个位于 DCE 178 与存储电极 133c 和 133d 的交点附近, 用于确保两者之间绝缘的交叉半导体 155。

优选由硅化物或重掺杂了 n 型杂质的 n+氢化非晶硅构成的欧姆接触层 161、163a、163b、165a 和 165b 形成于半导体层 151、154a、154b 和 155 之上。

20 数据线 171、173a、173b、175a 和 175b 形成于欧姆接触层 161、163a、163b、165a 和 165b, 以及栅极绝缘层 140 上。数据线路 171、173a、173b、175a 和 175b 包括: 沿纵向延伸, 并与栅极线 121 交叉, 以形成多个像素的多个数据线 171; 从数据线 171 中分出、延伸至欧姆接触层的部分 163a 上的多个第一源电极 173a; 位于欧姆接触层的部分 165a 上的多个第一漏电极 175a, 其位于相对于第一栅电极 123a 与第一源电极 173a 相对的位置, 并且与第一源电极 173a 分离; 位于相对于第二栅电极 123b 彼此相对的相应部分 163b 和 165b 上的多个第二源电极 173b 和多个第二漏电极 175b; 以及多个数据焊盘 (未示出), 其连接至数据线 171 的一端, 以便从外部设备接收图像信号。

30 在由栅极线 121 和数据线 171 的交叉界定的像素区域中形成了多个 DCE 178。每个 DCE 178 包括多个 X 型金属片, 其彼此连接, 并连接至第二漏电

极 175b。数据线路 171、173a、173b、175a 和 175b，以及 DCE 178 优选由 Al、Cr 或其合金，Mo 或 Mo 合金构成。如果必要的话，数据线路 171、173a、173b、175a 和 175b，以及 DCE 178 包括：优选由具有优越的物理和化学特性的 Cr 或 Mo 合金构成的第一层；优选由具有低电阻的 Al 或 Ag 合金构成的第二层。

优选由氮化硅或有机物绝缘体构成的钝化层 180 形成于数据线路 171、173a、173b、175a 和 175b 上。

钝化层 180 带有：多个暴露第一漏电极 175a 的接触孔 181；延伸至栅极绝缘层 140，并暴露存储电极线 131 的多个接触孔 182；暴露第二源电极 173b 的多个接触孔 183；暴露数据焊盘的多个接触孔（未示出）；以及延伸至栅极绝缘层 140，并暴露栅极焊盘的多个接触孔（未示出）。暴露这些焊盘的接触孔可以具有多种形状，例如多边形或圆形。接触孔的面积优选大于或等于 $0.5\text{mm} \times 15\text{ }\mu\text{m}$ ，并且不大于 $2\text{mm} \times 60\text{ }\mu\text{m}$ 。

在钝化层 180 上形成多个像素电极 190。每个像素电极 190 通过接触孔 181 连接至第一漏电极 175a，并且具有多个 X 型切口 191 和多个线状切口 192。X 型切口 191 与 DCE 178 的 X 型部分交叠，而线状切口 192 与第三和第四存储电极 133c 和 133d 交叠。DCE 178 广泛地与切口 191 的外围及切口 191 自身交叠，从而连同像素电极 190 一起形成存储电容。

通过接触孔 182 和 183 连接存储电极线 131 和第二源电极 173b 的多个桥接件 92 也形成于钝化层上。此外，在钝化层 180 上形成了多个辅助栅极焊盘（未示出）和多个辅助数据焊盘（未示出）。辅助栅极焊盘和辅助数据焊盘通过接触孔连接至栅极焊盘和数据焊盘。像素电极 190、桥接件 92、辅助栅极焊盘和辅助数据焊盘优选由氧化铟锌（IZO）构成。做为选择，像素电极 190、桥接件 92 和辅助焊盘优选由氧化铟锡（ITO）构成。

概括来讲，每一像素电极 190 具有多个切口 191 和 192，用于将像素区域划分成多个域，第一切口 191 与 DCE 178 交叠，而第二切口 192 则与存储电极 133c 和 133d 交叠。对准 DCE 178 和第一切口 191，从而在正视图中看到通过第一切口 191 暴露出来的 DCE 178。存储电极线 131 和 DCE 178 是通过 DCE TFT 连接，而数据线路 171 和像素电极 190 则通过像素 TFT 连接，像素电极 190 和 DCE 178 对准，以形成存储电容。

根据本发明的另一实施例，DCE 178 包括与栅极线路 121、123a 和 123b

大体相同的层。可以去除位于 DCE 178 上的钝化层 180 的部分，以形成多个开口。

将不对上基板做详细说明。

在优选由诸如玻璃的透明绝缘材料构成的上基板 210 上形成：用于防止漏光的黑底 (black matrix) 220；多个红色、绿色和蓝色滤色器 230；以及优选由诸如 ITO 或 IZO 的透明导体构成的公共电极 270。

对包含在液晶层 3 中的液晶分子如此配向，使得在不存在电场时，其导轴 (director) 垂直于下和上基板 110 和 210。液晶层 3 具有负介电各向异性。

对下基板 110 和上基板 210 如此对准，使得像素电极 190 恰好与滤色器 230 相匹配，并与之交叠。以这种方法，通过切口 191 和 192 将像素区域划分成多个域。DCE 178 使每个域中液晶层 3 的配向稳定。

这一实施例对具有负介电各向异性和相对于基板 110 和 210 垂直配向的液晶层 3 进行了举例说明。但是，液晶层 3 可以具有正介电各向异性和相对于基板 110 和 210 的水平配向。

下面将对制造具有上述结构的 LCD 的 TFT 阵列板的方法进行说明。

图 3A 到图 3D 是根据本发明的第一实施例的 LCD 的 TFT 阵列板的剖面图，用于按顺序说明其制造方法。

首先，如图 3A 所示，通过溅射淀积优选由金属构成的导电层，并通过第一光刻步骤，采用掩模对其进行干法蚀刻或湿法蚀刻，从而在基板 110 上形成栅极线路和存储电极线。栅极线路包括多个栅极线 121，多个栅极焊盘（未示出）和多个栅电极 123；存储线路包括多个存储电极线 131 和多个存储电极 133a-133d。

如图 3B 所示，通过化学气相淀积 (CVD) 依次淀积厚度为 1500-5000Å 的栅极绝缘层 140，厚度为 500-2000Å 的氢化非晶硅层，和厚度为 300-600Å 的掺杂非晶硅层。通过光刻步骤，采用掩模对掺杂非晶硅层和非晶硅层进行构图，从而形成欧姆接触层 160a、160b 和 161，以及非晶硅层 151、154a 和 154b。

此后，如图 3C 所示，通过溅射淀积优选由金属构成的，厚度为 1500-3000Å 的导电层，并采用掩模，通过光刻步骤对其进行构图，以形成数据线路和多个 DCE 178。数据线路包括多个数据线 171，多个源电极 173a 和 173b，多个漏电极 175a 和 175b，以及多个数据焊盘（未示出）。

之后,去除未受源电极 173a 和 173b 以及漏电极 175a 和 175b 覆盖的欧姆接触层 160a 和 160b 的部分,从而形成包括多个隔离部分的欧姆接触层 163a、163b、165a 和 165b,并暴露位于源电极 173a 和 173b,以及漏电极 175a 和 175b 之间的半导体层 151 的部分。

5 如图 3D 所示,通过涂覆具有低介电常数和良好的平面化特性的有机绝缘材料的方法,或通过对诸如 SiOF 或 SiOC 的,介电常数小于等于 4.0 的低介电常数绝缘材料进行 CVD (化学汽相淀积) 的方法形成钝化层 180。通过光刻步骤,采用掩模对钝化层 180 连同栅极绝缘层 140 构图,以形成多个接触孔 181、182 和 183。

10 最后,如图 2A 所示,淀积厚度为 1500-500Å 的 ITO 层或 IZO 层,并采用掩模对其进行光刻,以形成多个像素电极 190,多个连接桥接件 92,多个辅助栅极焊盘(未示出)和多个辅助数据焊盘(未示出)。

如上所述,在采用五个掩模的制造方法中采用了这项技术。但是,可以对这项技术进行充分调整,使其适于采用四个掩模制造 LCD 的 TFT 阵列板的方法。这里将参照附图对其予以详细说明。

图 4 是根据本发明的第二实施例的 LCD 的 TFT 阵列板的布局图,图 5 是图 4 中所示的 TFT 阵列板沿线 V-V'和 V'-V''获得的剖面图。

采用四个掩模制造根据本发明的第二实施例的 LCD 的 TFT 阵列板,与采用五个掩模制造 TFT 阵列板相比,具有一个特点,现在将对这一特点进行说明。

20 形成于多个 DCE 178,包括多个数据线 171、多个源电极 173a 和 173b、多个漏电极 175a 和 175b 以及多个数据焊盘 179 的数据线路之下的欧姆接触层 161、163a、163b、165a 和 165b 具有大体与数据线路 171、173a、173b、175a、175b 和 179,以及 DCE 178 相同的形状。除了位于源电极 173a 和 173b 以及漏电极 175a 和 175b 之间的沟道部分是连接的以外,非晶硅层 151、154a、154b 和 158 具有大体与数据线路和 DCE 178 相同的外形。其余结构大体与通过 5 掩模工艺制造的 TFT 阵列板相同。

图 4 对栅极焊盘 125、存储焊盘 135 和数据焊盘 179,以及辅助栅极焊盘 95、辅助存储焊盘 99 和辅助数据焊盘 97 进行了说明。

30 现在将对制造 TFT 阵列板的方法进行说明。

图 6A 至 11B 是用于 LCD 的 TFT 阵列板的布局图和剖面图,用于按顺

序对其制造方法予以说明。

首先,如图 6A 和 6B 所示,淀积 Al、Ag、其合金或类似材料,并对其进行光刻处理,以形成包括多个栅极线 121、多个栅极焊盘 125、多个栅电极 123 和存储电极线路 131 和 133a-133d 的栅极线路。(第一掩模)

- 5 如图 7 所示,通过 CVD,按顺序淀积厚度为 1500-5000Å 的氮化硅栅极绝缘层 140,厚度为 500-2000Å 的非晶硅层 150 和厚度为 300-600Å 的接触层 160。通过优选为溅射的方法淀积优选由 Al、Ag 或其合金构成的导电层 170,并在其上涂覆厚度为 1-2 微米的光刻胶膜 PR。

- 10 此后,通过掩模对感光胶膜 PR 曝光,并对其显影,以形成如图 8A 和 8B 所示的光刻胶图案。

- 位于布置在源电极 173a 或 173b 和漏电极 175a 或 175b 之间的 TFT 的沟道区域 C 上的光刻胶图案 PR 的每个部分厚于位于形成数据线路的数据区域 A 上的光刻胶图案 PR 的每个部分。去除位于其余区域 B 上的光刻胶膜 PR 的所有部分。这里,根据下文中将予以说明的后续蚀刻步骤的工艺条件来调整位于沟道区域 C 上的光刻胶图案 PR 与位于数据区域 A 上的光刻胶图案 PR 的厚度之比,优选地,前者地厚度小于等于后者厚度地一半,例如,小于等于 4000Å。(第二掩模)
- 15

通过几项技术获得厚度随位置变化的光刻胶图案。在掩模上提供狭缝 (slit) 图案、栅格型图案或半透膜,以调整区域 C 中的透光率。

- 20 在采用狭缝图案时,优选地,狭缝的宽度和狭缝之间的距离小于用于进行光刻处理的曝光器 (exposer) 的分辨率。在采用半透膜的情况下,可以采用具有不同透射率或不同厚度的薄膜调整掩模的透射率。

- 在通过这样的掩模对光刻胶膜曝光时,直接曝光的一部分聚合物几乎被彻底分解,而通过狭缝图案或半透膜曝光的聚合物部分由于光的照射量小不会被彻底分解。由在掩模上提供的挡光膜遮挡的一部分光刻胶膜聚合物很难被分解。在对光刻胶膜显影后,未被分解的含有聚合物的部分保留了下来。这时,曝光量较少的部分的厚度薄于未经曝光的部分的厚度。由于曝光时间太长会分解所有的分子,因此有必要调整曝光时间。
- 25

- 采用回流的方法可以获得薄厚度的光刻胶膜。也就是说,由可回流材料构成光刻胶膜,并通过具有不透明和透明部分的普通掩模曝光。之后对光刻胶膜显影,并对其进行回流处理,从而使光刻胶膜的部分流到没有光刻胶的
- 30

区域，从而形成薄的部分。

接下来，蚀刻光刻胶图案 PR 和包括导电层 170、接触层 160 和半导体层 150 在内的底层，从而在数据区域 A 上保留数据线路和位于其下的层，在沟道区域 C 上只保留半导体层，去除 170、160 和 150 所有三层，以暴露位于其余区域 B 上的栅极绝缘层 140。

首先，如图 9 所示去除导电层 170 位于位于其他区域 B 上的暴露部分，以暴露其下的部分接触层 160。在导电层 170 容易蚀刻，光刻胶图案很难蚀刻的情况下，在这一步骤中有选择地采用并优选执行了干法和湿法蚀刻。但是，由于很难确认上述干法蚀刻条件，所以可以在同时蚀刻光刻胶图案 PR 和导电层 170 的情况下执行干法蚀刻。在这种条件下，位于沟道区域 C 上的采用干法蚀刻的光刻胶图案 PR 的部分优选具有比采用湿法蚀刻的部分厚，以防止去除位于沟道区域 C 上的光刻胶图案 PR，而暴露位于下层的导电层 170 的部分。

结果，如图 9 所示，只保留了位于沟道区域 C 和数据区域 A 上的导电层 170 的部分 171、170a 和 170b，去除了位于其他区域 B 的导电层 170 的部分，从而暴露了位于下层的接触层 160 的部分。这里，除了源电极 173a、173b 与漏电极 175a、175b 不是彼此断开而是相互连接外，数据线路导体 171、170a 和 170b 具有大体与数据线路 171、173a、173b、175a、175b 和 179 相同的平面形状。在采用干法蚀刻时，将光刻胶图案 PR 的厚度减小至一定程度。

接下来，如图 9 所示，通过干法蚀刻去除位于区域 B 上的接触层 160 的暴露部分和位于下层的非晶硅层 150 的部分，以及位于沟道区域 C 上的光刻胶图案 PR 的部分。在光刻胶图案 PR、接触层 160 和半导体层 150 容易蚀刻，栅极绝缘层 140 很难蚀刻的情况下，进行蚀刻。（注意中间层和半导体层之间的蚀刻选择性几乎为零。）特别是，优选地，光刻胶图案 PR 和半导体层 150 之间的蚀刻速率几乎相等。例如，采用 SF_6 和 HCl 的气体混合物或 SF_6 和 O_2 的气体混合物，可以使光刻胶图案 PR 和半导体层 150 的蚀刻厚度几乎相同。当光刻胶图案 PR 和半导体图案 150 的蚀刻速率相同时，位于沟道区域 C 上的光刻胶图案 PR 的初始厚度小于或等于半导体层 150 和接触层 160 的厚度之和。

因此，如图 10 所示，去除光刻胶图案 PR 位于沟道区域 C 上的部分，

以暴露下层的源极/漏极 (S/D) 导体 170a 和 170b 的部分, 并去除接触层 160 和半导体层 150 位于其他区域 B 上的部分, 以暴露栅极绝缘层 140 位于下层的部分。与此同时, 还要蚀刻光刻胶图案 PR 位于数据区域 A 上的部分, 使其变薄。此外, 在这一步骤中完成半导体图案 151、154a、154b 和 158 的制作。在半导体图案 151、154a、154b 和 158 上形成多个欧姆接触 161、160a、160b 和 168。

之后, 通过灰化处理去除残留在位于沟道区域 C 上的 S/D 导体 170a 和 170b 的表面的光刻胶。

接下来, 如图 11A 和 11B 所示, 蚀刻去除位于沟道区域 C 上的 S/D 导体 170a 和 170b 的部分, 以及位于下层的 S/D 欧姆接触 160a 和 160b 的部分。这里, 可以只采用干法蚀刻蚀刻 S/D 导体 170a 和 170b, 以及 S/D 欧姆接触 160a 和 160b。做为选择, 通过湿法蚀刻蚀刻 S/D 导体 170a 和 170b, 通过干法蚀刻蚀刻 S/D 欧姆接触 160a 和 160b。在前一种情况下, 优选在 S/D 导体 170a 和 170b, 以及 S/D 欧姆接触 160a 和 160b 之间具有高蚀刻选择性的情况下进行蚀刻。这是因为低蚀刻选择性使蚀刻结束点的确定非常困难, 从而导致很难调整保留在沟道区域 C 上的半导体图案 154a 和 154b 的部分的厚度。在后一种情况下, 交替使用湿法蚀刻和干法蚀刻, 由于湿法蚀刻蚀刻了 S/D 导体 170a 和 170b 的侧面, 而干法蚀刻几乎不蚀刻 S/D 欧姆接触 160a 和 160b 的侧面, 从而形成了阶梯状侧壁。举例而言, 在蚀刻 S/D 欧姆接触 160a 和 160b 的过程中所采用的蚀刻气体可以是 CF_4 和 HCl 的气体混合物或 CF_4 和 O_2 的气体混合物。采用 CF_4 和 O_2 的气体混合物可以获得厚度均匀的半导体图案 154a 和 154b 的蚀刻部分。从这方面来讲, 对半导体图案 154a 和 154b 的暴露部分进行蚀刻, 以减小厚度, 此外, 还要对光刻胶图案 PR 位于数据线路区域 A 上的部分进行蚀刻, 以减小厚度。在不蚀刻栅极绝缘层 140 的情况下进行蚀刻, 优选地, 具有足够厚的光刻胶图案 PR, 以防止光刻胶图案 PR 位于数据线路区域 A 上的部分被去除, 从而暴露位于下层的数据线路 171、173a、173b、175a、175b 和 179 的部分。

因此, 源电极 173a 和 173b, 以及漏电极 175a 和 175b 得到了彼此分离, 并且同时完成了对数据线路 171、173a、173b、175a、175b 和 179, 以及位于其下的欧姆接触图案 161、163a、163b、165a 和 165b 的制作。

最后, 去除光刻胶图案 PR 位于数据区域 A 上的部分。作为选择, 在去

除 S/D 导体 170a 和 170b 位于沟道区域 C 上的部分之后,去除位于下层的欧姆接触 160a 和 160b 的部分之前,去除位于数据区域 A 上的光刻胶图案 PR 的部分。

如上所述,可以轮流执行湿法蚀刻和干法蚀刻,不过可以只采用干法蚀刻。后者相对简单,但是与前者相比不容易找到适当的蚀刻条件。反之,对于前一种情况而言很容易找到适当的蚀刻条件,但是与后者相比相对复杂。

此后,如图 4 和图 5 所示,通过采用 CVD 生长 a-Si:C:O 或 a-Si:O:F,通过淀积氮化硅或涂覆诸如丙烯基材料的有机绝缘材料的方式形成钝化层 180。在形成 a-Si:C:O 层时,将作为基本源的 $\text{SiH}(\text{CH}_3)_3$ 、 $\text{SiO}_2(\text{CH}_3)_4$ 、 $(\text{SiH})_4\text{O}_4(\text{CH}_3)_4$ 、 $\text{Si}(\text{C}_2\text{H}_5\text{O})_4$ 或类似材料,诸如 N_2O 或 O_2 的氧化剂,以及 Ar 或 He 进行气态混合,并使其流动实现淀积。为了形成 a-Si:O:F 层,通过流动包含 SiH_4 、 SiF_4 或类似材料以及额外气体 O_2 的气体混合物进行淀积。可以添加 CF_4 作为氟的辅助源。

如图 4 和图 5 所示,对钝化层 180 连同栅极绝缘层 140 进行光刻,以形成多个暴露第一漏电极 175a、第二源电极 173b、存储电极线 131、栅极焊盘 125、存储焊盘 135 和数据焊盘 179 的接触孔 181、182、183、184、185 和 186。优选地,暴露焊盘 125、179 和 135 的接触孔 184、185 和 186 的面积大于等于 $0.5\text{mm} \times 15\mu\text{m}$,并且不大于 $2\text{mm} \times 60\mu\text{m}$ 。(第三掩模)

最后,淀积厚度为 $1500\text{-}500\text{\AA}$ 的 ITO 层或 IZO 层,并对其进行光刻,以形成多个连接至漏电极 175 的像素电极 190、多个连接至栅极焊盘 125 的辅助栅极焊盘 95、多个连接至数据焊盘 179 的辅助数据焊盘 97,以及多个连接至第二源电极 173b 和存储电极线 131 的桥接件 92。(第四掩模)

由于可以将 Cr 蚀刻剂作为用于 IZO 层的蚀刻剂,所以在由 IZO 层形成像素电极 190、辅助栅极焊盘 95、辅助数据焊盘 97 和桥接件 92 的光刻步骤中,通过接触孔暴露的用于数据线路和栅极线路的金属部分不会受到侵蚀。 $(\text{HNO}_3)/(\text{NH}_4)_2\text{Ce}(\text{NO}_3)_6/\text{H}_2\text{O}$ 是 Cr 蚀刻剂的一个例子。淀积 IZO 层的温度优选在室温到 200°C 的范围内,以降低触点的接触电阻。用于 IZO 层的靶材的优选实例包括 In_2O_3 和 ZnO 。 ZnO 的含量优选位于 15atm% 和 20atm% 的范围内。

同时,在淀积 ITO 层或 IZO 层的预热过程中,优选采用氮气。这样可以防止在通过接触孔 181、182、183、184、185 和 186 暴露的金属层的部分

上生成金属氧化物。

图 12 是图 2A 和图 4 中所示的根据本发明的实施例的 LCD 的 TFT 阵列板的示意图。

连接至数据线 171 的 TFT T1 切换传输至像素电极 190 的信号，而连接至存储电极线的 TFT T2 则切换进入 DCE 178 的信号。像素电极 190 与 DCE 178 电容性耦合。为了获得相同的灰色，DCE 178 和像素电极 190 之间的电势差不发生变化。因此，不管是线反演、点反演还是其他反演类型，图像质量的稳定性都可以得到保证。

将根据本发明的第一和第二实施例的 DCE TFT 的源电极连接至存储电极线。但是，可以将源电极连接至前一数据线，这种做法存在一些问题。

首先，将栅极开启电压加到前一栅极线（如图 1 中的栅极 N-1）上导致在位于相关像素对角线上的（diagonal to）像素电极上施加一灰色电压，在相关像素的 DCE 上施加一初始电压。DCE 的初始电压等于位于对角线的像素电极的灰色电压。因此，DCE 和相关像素的像素电极之间的电势差 V_{DP} 由位于对角线上的像素电极的灰色电压决定。例如，将诸如黑色电压的低灰色电压加到位于对角线上的像素电极上会导致 DCE 具有低初始电压，从而形成低的 V_{DP} 。低 V_{DP} 意味着 DCE 和像素电极之间的电势差小，因此，由 DCE 产生的侧电场弱。因此，液晶分子的分布不稳定，从而导致纹理。

接下来，由电容器 C_{DP} 两端的电压定义了 V_{DP} ，电容器 C_{DP} 串联至等效电容器 C_{LC} 和 C_{ST} 。因此， V_{DP} 的值随着电容 C_{DP} 的减小而增大。为了降低电容 C_{DP} ，通过设计使像素电极和 DCE 之间的重叠面积最小化。但是，在这种情况下，加工过程中掩模的错位和 DCE 附近的漏光可能会导致图像质量的敏感变化。对于前一种情况，掩模错位改变了像素电极和 DCE 的重叠面积，这直接影响图像质量。在 DCE 的初始电压高（即，加到位于对角线上的像素电极的灰色电压高），并且将黑色电压加到相关像素上时，会发生后一种情况。DCE 的高电压迫使液晶分子移动，导致光泄漏，狭窄的 DCE 可能无法遮挡所泄漏的光。光泄漏导致对比度降低。

现在，将对解决这些问题的第三实施例予以说明。

图 13 是根据本发明的第三实施例的 LCD 的等效电路图。

根据本发明的实施例的 LCD 包括：TFT 阵列板，与 TFT 阵列板相对的滤色器阵列板，以及插入其间的液晶层。TFT 阵列板带有多个由相互交叉而

界定了多个像素区域的多个栅极线和数据线，以及多个平行于栅极线延伸的存储电极。栅极线传输扫描信号，数据线传输图像信号。在存储电极线上施加公共电压 V_{com} 。每个像素区域带有一用于像素电极的像素 TFT 和用于 DCE 的第一和第二 DCE TFT DCE TFT1 和 DCE TFT2。像素 TFT 包括连接至相关栅极线的栅电极，连接至相关数据线的源电极，和连接至相关像素电极的漏电极。第一 DCE TFT 包括连接至前一栅极线的栅电极，连接至前一数据线的源电极和连接至相关 DCE 的漏电极；而第二 DCE TFT 包括连接至前一栅极线的栅电极，连接至相关数据线的源电极和连接至相关像素电极的漏电极。

- 5 DCE 和像素电极电容性耦合，其间的电容器或电容由 C_{DP} 表示。在滤色器阵列板上提供的像素电极和公共电极形成一液晶电容器，用 C_{LC} 表示这一液晶电容器或其电容。连接至存储电极线中的一个的像素电极和存储电极形成一存储电容器，用 C_{ST} 表示这一存储电容器或其电容。

- 10 尽管未在电路图中示出，但是根据本发明的实施例的像素电极具有与 DCE 交叠的切口，从而使由 DCE 产生的电场从该切口流出。从该切口流出的电场使液晶分子具有预倾斜角。在施加由像素电极产生的电场时，预倾斜的液晶分子在不偏离预定方向的情况下迅速对齐。

- 15 假设所述 LCD 服从点反演。将栅极开启电压加到前一栅极线栅极 N-1 上，开启 DCE TFT DCE TFT1 和 DCE TFT2，使 DCE 具有一(+)灰色电压，使像素电极具有一(-)灰色电压。DCE 的初始电压是分别来自数据线数据 A 和数据 B 的正灰色电压和负灰色电压之间的差值，所述电压是无第二 DCE TFT DCE TFT2 的 DCE 的初始电压的两倍或两倍以上。在将栅极开启电压加到相关栅极线栅极 N 上时，像素 TFT 开启，DCE TFT DCE TFT1 和 DCE TFT2 关闭，DCE 浮置，因此，DCE 的电势也随着来自像素电极的电势的电势差 V_{DP} 的保持而增大。因此，根据第三实施例的结构确保高 V_{DP} ，以增强液晶分子排列的稳定性，从而使纹理稳定化。

- 20 此外，由于 V_{DP} 是由两个相邻的前一像素决定的，并且几乎不受电容 C_{DP} 的影响，因此，不必降低电容 C_{DP} 使 DCE 具有与像素电极相交叠的足够宽度。因此，DCE 附近的光线泄漏受到了遮挡，图像质量不会受到掩模错位的显著影响。

30 此外，高 V_{DP} 改善了响应时间和余像。

图 13 中所示的结构适于点反演和线反演, 而其他对三个 TFT 的连接进行了修改的结构可能适合其他类型的反演。

现在, 将参照图 14 至图 17 对根据本发明的第三实施例的 LCD 的示范性 TFT 阵列板进行详细说明。

5 图 14 式根据本发明的第三实施例的 LCD 的布局图, 图 15 是沿图 14 中所示的 LCD 的 XV-XV'线获得的剖面图, 图 16 是沿图 14 中所示的 LCD 的 XVI-XVI'线获得的剖面图, 图 17 是沿图 14 中所示的 LCD 的 XVII-XVII'和 XVII'-XVII''线获得的剖面图。

10 根据本发明的第三实施例的 LCD 包括: 下面板, 与下面板相对的上面板, 以及插入到下面板和上面板之间垂直配向的液晶层。

现在, 将对下面板进行更为详细的说明。

在绝缘基板 110 上形成了多个栅极线 121, 在栅极线 121 上形成了多个数据线 171。栅极线 121 和数据线 171 彼此绝缘, 相互交叉, 从而界定了多个像素区域。

15 每个像素区域带有一像素 TFT, 第一 DCE TFT, 第二 DCE TFT, 一 DCE 和一像素电极。像素 TFT 具有三个端子, 即第一栅电极 123a、第一源电极 173ab 和第一漏电极 175a。第一 DCE TFT 具有三个端子, 即第二栅电极 123b, 第一源电极 173ab 和第二漏电极 175b, 第二 DCE TFT 也具有三个端子, 即第三栅电极 123c, 第二源电极 173c 和第三漏电极 175c。第一源电极 173ab
20 既用于像素 TFT, 又用于第一 DCE TFT。提供像素 TFT 和第一 DCE TFT 的目的在于切换传输至像素电极 190 的信号, 而提供第二 DCE TET 的目的在于切换进入 DCE 178 的信号。像素 TFT 的栅电极 123a、源电极 173a 和漏电极 175a 分别连接至栅极线 121 中的相关一个, 数据线 171 中的相关一个和像素电极 190。第一 DCE TFT 的栅电极 123b、源电极 173b 和漏电极 175b
25 分别连接至栅极线 121 中的前一个, 数据线 171 中的相关一个和像素电极 190。第二 DCE TFT 的栅电极 123c、源电极 173c 和漏电极 175c 分别连接至前一栅极线 121, 数据线 171 中的前一个和 DCE 178。向 DCE 178 施加用于控制液晶分子的预倾斜的方向控制电压, 从而在 DCE 178 和公共电极 270 之间生成方向控制电场。DCE 178 是在形成数据线 171 的步骤中形成的。

30 下面将对下面板的分层构造进行详细说明。

大体沿横向延伸的多个栅极线 121 形成于绝缘基板 110 上, 将多个第一

至第三栅电极 123a-123c 连接至栅极线 121。将多个栅极焊盘 125 连接至栅极线 121 的一端。

多个第一和第二存储电极线 131a 和 131b, 以及多组第一至第四存储电极 133a、133b、133c 和 133d 也形成于绝缘基板 110 上。第一和第二存储电极线 131a 和 131b 大体沿横向延伸。第一和第二存储电极 133a 和 133b 沿纵向从第一和第二存储电极线 131a 和 131b 伸出, 并弯曲沿斜向延伸, 而第三和第四存储电极 134a 和 134b 则沿纵向延伸。包括第一存储电极线 131a, 以及第一和第三电极 133a 和 134a 的第一存储线路, 包括第二存储电极线 131b, 以及第二和第四电极 133b 和 134b 的第二存储线路具有反演对称性。

栅极线路 121, 123a-123c, 和 125 以及存储电极线路 131、133a、133b、134a 和 134b 优选由 Al、Cr 或其合金, Mo 或 Mo 合金构成。如果必要的话, 栅极线路 121, 123a 和 123b 以及存储电极线路 131, 133a-133d 包括: 优选由具有优越的物理和化学特性的 Cr 或 Mo 合金构成的第一层; 优选由具有低电阻的 Al 或 Ag 合金构成的第二层。

栅极绝缘层 140 形成于栅极线路 121、123a-123c 和 125, 以及存储电极线路 131、133a、133b、134a 和 134b 上。

优选由非晶硅构成的半导体层 151、154ab 和 154c 形成于栅极绝缘层 140 上。半导体层 151、154ab 和 154c 包括多个形成 TFT 沟道的第一和第二沟道半导体 154ab 和 154c, 以及多个位于数据线 171 下的数据线半导体 151。

优选由硅化物或重掺杂了 n 型杂质的 n⁺氢化非晶硅构成的欧姆接触层 161、163ab、163c 和 165a-165c 形成于半导体层 151、154ab 和 154c 上。

数据线路 171、173ab、173c、175a-175c 和 179 形成于欧姆接触层 161、163ab、163c 和 165a-165c, 以及栅极绝缘层 140 上。数据线路 171、173ab、173c、175a-175c 和 179 包括: 多个数据线 171, 其沿纵向延伸并与栅极线 121 交叉, 从而形成了多个像素; 多个从数据线 171 分出并延伸至欧姆接触层的部分 163ab 上的第一源电极 173ab; 位于欧姆接触层的部分 165a 和 165b 上的多个第一和第二漏电极 175a 和 175b, 其位于第一源电极 173ab 的相对位置上并与第一源电极 173ab 分离; 位于相对于第三栅电极 123c 彼此相对的部分 163c 和 165c 上的多个第二源电极 173c 和多个第三漏电极 175c; 以及多个连接至数据线 171 的一端, 以便从外部设备接收图像信号的数据焊盘 179。

在由栅极线 121 和数据线 171 的交叉界定的像素区域中形成了多个 DCE 178 和 178a-178c。每一 DCE 178 和 178a-178c 包括一带有开槽的底部的 V 型主干 178 和一人字形分支 178a-178c，并且连接至第三漏电极 175c。数据线路 171、173ab、173c、175a-175c 和 179，以及 DCE 178 和 178a-178c 优选由 Al、Cr 或其合金，Mo 或 Mo 合金构成。如果必要的话，数据线路 171、173ab、173c、175a-175c，和 179 以及 DCE 178 和 178a-178c 包括：优选由具有优越的物理和化学特性的 Cr 或 Mo 合金构成的第一层；优选由具有低电阻的 Al 或 Ag 合金构成的第二层。

10 优选由氮化硅或有机绝缘体构成的钝化层 180 形成于数据线路 171、173ab、173c、175a-175c 和 179 上。

钝化层 180 带有多个暴露第一和第二漏电极 175a 和 175b 的第一和第二接触孔 181 和 182；多个延伸至栅极绝缘层 140，暴露栅极焊盘 125 的第三接触孔 183；和多个暴露数据焊盘 179 的第四接触孔 184。暴露焊盘 125 和 179 的接触孔可以具有诸如多边形或圆形的各种形状。接触孔的面积优选大于等于 $0.5\text{mm} \times 15\text{ }\mu\text{m}$ ，并且不大于 $2\text{mm} \times 60\text{ }\mu\text{m}$ 。

在钝化层 180 上形成多个像素电极 190。每一像素电极 190 分别通过第一和第二接触孔 181 和 182 连接至第一和第二漏电极 175a 和 175b。像素电极 190 具有横向切口 191 和多个倾斜切口 192a、192b、193a、193b、194a、194b、195a 和 195b。横向切口 191 将像素电极 190 分成上下两半，倾斜切口 192a、192b、193a、193b、194a、194b、195a 和 195b 相对于横向切口 191 具有反演对称性。一些切口 191、192a、192b、194a、194b、195a 和 195b 与 DCE 178 和 178a-178c 交叠，而另一些切口 193a 和 193b 与存储电极 133a 和 133b 交叠。

此外，在钝化层 180 上形成了多个辅助栅极焊盘 95 和多个辅助数据焊盘 97。辅助栅极焊盘 95 和辅助数据焊盘 97 通过接触孔 183 和 184 连接至栅极焊盘 125 和数据焊盘 179。像素电极 190、辅助栅极焊盘 95 和辅助数据焊盘 97 优选由 IZO 构成。做为选择，像素电极 190 和辅助焊盘 95 和 97 优选由 ITO 构成。

概括而言，像素电极 190 具有多个切口 191、192a、192b、193a、193b、194a、194b、195a 和 195b，用于将像素区域划分成多个域，并且，一些切口 191、192a、192b、194a、194b、195a 和 195b 与 DCE 178 和 178a-178c

交叠。将 DCE 178 和 178a-178c 与切口 191、192a、192b、194a、194b、195a 和 195b 对齐,使得 DCE 178 和 178a-178c 通过切口 191、192a、192b、194a、194b、195a 和 195b 暴露,从而在正视图中能够被看到。DCE 178 和 178a-178c 连接至第二 DCE TFT,而像素电极 190 则连接至第一 DCE TFT 和像素 TFT,

5 将像素电极 190 与 DCE 178 对齐,形成存储电容。

根据本发明的另一实施例,DCE 178 和 178-178c 包括与栅极线路 121、123a-23c 和 125 大体相同的层。可以去除位于 DCE 178 和 178a-178c 上的钝化层 180 的部分,以形成多个开口。

将不对上基板做详细说明。

10 在优选由诸如玻璃的透明绝缘材料构成的上基板 210 上形成:用于防止漏光的黑底(black matrix)220;多个红色、绿色和蓝色滤色器 230;以及优选由诸如 ITO 或 IZO 的透明导体构成的公共电极 270。

对包含在液晶层 3 中的液晶分子如此配向,使得在不存在电场时,其导轴垂直于下和上基板 110 和 210。液晶层 3 具有负介电各向异性。

15 对下基板 110 和上基板 210 如此对准,使得像素电极 190 恰好与滤色器 230 相匹配,并与之交叠。通过这种方式,通过切口 191、192a、192b、193a、193b、194a、194b、195a 和 195b 将像素区域划分成多个域。在每个域中,由 DCE 178 和 178a-178c 稳定液晶层 3 的配向。

这一实施例对具有负介电各向异性和相对于基板 110 和 210 垂直配向的

20 液晶层 3 进行了说明。但是,液晶层 3 可以具有正介电各向异性和相对于基板 110 和 210 的水平配向。

可以采用四个光刻步骤制造根据本发明的第三实施例的 TFT 阵列板。在这种情况下,数据线路和 DCE 具有三层结构,其包括非晶硅层,欧姆接触层和金属层,并且三层具有大体相同的平面形状,这是由采用光刻胶膜对非

25 晶硅层、欧姆接触层和金属层构图而形成的。已经在对本发明的第二实施例的说明中描述了这种制造方法,应当鉴于这样一种事实来理解这种制造方法,即由同一层构成的图案是在同一步骤中形成的,因此,这里省略了这种制造方法的详细说明。

在具有上述结构的液晶显示器中,通过像素电极的切口(aperture)实现

30 域分割,通过方向控制电极和存储电极增强域的稳定性。因此,域分割依赖像素电极切口、方向控制电极和存储电极的分布,而且,域的稳定性也受这

一分布很大的影响。

将参照本发明的第四到第十六优选实施例对像素电极切口、方向控制电极和存储电极的各种分布类型予以说明。因此，现在说明的重点将落在像素电极切口、方向控制电极和存储电极的分布上。

- 5 而且，与第四到第十六优选实施例的相关的那些分布非常适合在与第一到第三优选实施例相关的结构中使用。

图 18 是根据本发明的第四优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

首先来解释像素电极切口。

- 10 像素电极切口分为水平切口和倾斜切口 191a、191b、192a、192b、193a、193b、194a、194b、195a 和 195b。水平切口 191 由像素电极 190 的左侧开始延伸至其右侧。将水平切口 191 的入口边切去。也就是说，水平切口在整体上是漏斗状。水平切口 191 将像素电极 190 上下分割。倾斜切口 191a、191b、192a、192b、193a、193b、194a、194b、195a 和 195b 围绕水平切口 191 相互反演对称。上侧切口 191a、192a、193a、194a 和 195a 与下侧切口 191b、192b、193b、194b 和 195b 在水平切口 191 两侧大体相互成 90°角。一些倾斜切口 192a、192b、193a 和 193b 由像素电极 190 的左侧出发延伸至其右侧。其他倾斜切口 195a 和 195b 从像素电极 190 的右侧开始延伸至其左侧。还有其他两个倾斜切口 194a 和 194b 从像素电极 190 的顶部和底部开始延伸至其右侧。切口 191a 和 191b 从水平切口 191 的中部开始，分别延伸至其左侧。切口 192a、192b、194a 和 194b 与切口 191a、191b、195a 和 195b 配对，并且每对都排列在同一直线上。此外，将像素电极 190 的右上和右下两个边缘沿倾斜方向切去，从而形成平行于切口 194a 和 194b 延伸的倾斜侧。

- 25 通过这种方式，通过切口 191、191a、191b/192a、192b、193a、193b、194a、194b、195a 和 195b 将像素电极 190 划分成八个微小部分。相应微小部分界定了相应像素域的平面区域。因此，就这一优选实施例而言，将像素区域划分成了八个域。根据其中的液晶分子在电场的作用下的配向方向将所述八个域分为四类。这时，如此构造这八个域，使每个域的两个长边相互平行延伸，从而使液晶分子的配向速度及其稳定性得到最大化。

- 30 如所周知，图像信号是被加到像素电极 190 的所有八个微小部分上的，因此应当形成用于互连微小像素电极部分的桥接件。桥接件位于位置 A、B、

C、D处和像素电极190的右侧，在所述位置A、B、C、D处，切口192a、192b、194a、194b与切口191a、191b、195a和195b彼此相对，切口191、193a和193b终止于像素电极190的右侧。在桥接件位置处未进行域分割，因此，在那些位置处易于产生纹理。这可能降低域的稳定性。就这一优选实施例而言，由于桥接件分布在位置A、B、C、D处，在所述位置处切口192a、192b、194a、194b与切口191a、191b、195a、195b彼此相对，目前采用的做法是，桥接件位于域长边的中央，在这里，液晶分子配向的稳定度高。因此，大大降低了桥接件的影响力，不会产生纹理。将方向控制电极178和178c，以及存储电极133a和133b布置在围绕一桥接件相互靠近的位置处，从而由此形成强散射场，所述桥接件位于切口191、193a和193b终止的像素电极190的右侧。这样的散射场阻止了由桥接件带来的纹理的产生。此外，位于终止切口191、193a和193b的像素电极190的右侧的桥接件与方向控制电极178交叠。因此，即使产生了任何纹理，方向控制电极也能遮蔽这种纹理。

现在，将对切口、方向控制电极和存储电极的相互分布予以说明。

方向控制电极178、178a、178b和178c与一些切口191、191a、191b、192a、192b、194a、194b、195a和195b交叠，并且环绕像素电极190的一些微小部分的右侧，以及其他微小部分的右侧，与此同时，与用于互连像素电极190的微小部分的桥接件交叠。

一些存储电极133a和133b与切口193a和193b，以及像素电极190的一些微小部分的左侧交叠。其他存储电极134a和135b与像素电极190的一些微小部分的右侧交叠。存储电极线131a和131b与像素电极190的上侧外围和下侧外围交叠，同时环绕像素电极190的右上和右下倾斜侧。

以交替的方式排列方向控制电极178、178a、178b和178c，以及存储电极线路131、133a、133b、134a和134b。

如上所述，就第四优选实施例而言，像素电极的两个长边相互平行延伸，由此使液晶分子的配向速度及其稳定性最大化。像素电极桥接件位于像素域长边的中央，在这一位置处，液晶分子的配向稳定性高。通过这种方式，桥接件的影响力受到了极大的削弱，同时防止了纹理的产生。此外，桥接件位于方向控制电极178、178c和存储电极133a、133b相互靠近的位置处，从而形成强散射场，以此防止由桥接件引起的纹理的产生。

图 19 是根据本发明的第五优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

除了切口 191a、191b、193a 和 193b 弯曲以独立地同时界定像素域的长边和短边，并且省略了切口 192a、192b、195a 和 195b 以外，第五优选实施例的结构与第四优选实施例（图 18 所示）的相关结构相同。就与第五优选实施例相关的结构而言，在像素电极 190 的左侧和右侧形成用于通过切口 191a、191b、193a 和 193b 互连像素电极 190 的各个微小区域的桥接件 A、B、C、D。桥接件具有平衡位于方向控制电极 178、178a 和 178b 的左侧和右侧的散射场的作用，从而防止在方向控制电极 178、178a 和 178b 的顶部产生
5 的纹理侵入像素域。
10

图 20 是根据本发明的第六优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

除了仅将边缘剪切部分保留下来作为水平切口 191，并且独立的水平切口 196 从像素电极 190 的右侧开始延伸至其左侧外，第六优选实施例的相关结构与第四优选实施例（如图 18 所示）的相关结构相同。此外，就这一优选实施例而言，切口 192a 和 192b 一直延伸至接近水平切口 196 的区域。
15

图 21 是根据本发明的第七优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

除了省略切口 191a、191b、194a 和 194b，并且切口 192a、192b、195a 和 195b 一直延伸至接近水平切口的区域以及接近像素电极 190 的左上和左下边缘的区域之外，第七优选实施例的相关结构与第四优选实施例（如图 18 所示）的相关结构相同。此外，就这一优选实施例而言，扩大了切口 192a 和 192b 的入口部分以及切口 195a 和 195b 的入口和出口部分。切口 192a、192b、195a 和 195b 的扩大部分是通过在切除微小像素电极部分的边缘的同时使像素域的长边和短边之间的边缘的弯角放缓得到的。弯角放缓后，在减少由液晶分子碰撞而产生的纹理的同时，液晶分子的配向变化也会放慢。
20
25

图 22 是根据本发明的第八优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

除省略了切口 191a 和 191b，并且切口 192a 和 192b 一直延伸至接近水平切口 191 的区域外，第八优选实施例的相关结构与第四优选实施例（如图最优方案 8 所示）的相关结构相同。此外，就这一优选实施例而言，在切口
30

194a 和 194b 的入口区域切除了微小像素电极部分的边缘。在切除位于微小像素电极部分的短边和长边之间的边缘后，边缘切除区域的弯角变缓，从而减少了由液晶分子的碰撞而产生的纹理。

图 23 是根据本发明的第九优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

在切口 193a 和 193b 位于像素电极 190 之内这一点上，第九优选实施例的相关结构与第八优选实施例（图 22 所示）的相关结构相同。也就是说，桥接件形成于切口 193a 和 193b 的两侧。

图 24 是根据本发明的第十优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

第十优选实施例的相关结构与第三优选实施例的相关结构相似，但与第八优选实施例（如图 22 所示）的相关结构不同，其不同之处在于：在切口 192a、192b、195a 和 195b 的入口区域 A、B、C、D 处切除了像素电极 190 的微小部分的边缘。在切除位于微小像素电极部分的短边和长边之间的边缘后，边缘切除区域的弯角变缓，从而减少了由液晶分子的碰撞而产生的纹理。

图 25 是根据本发明的第十一优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

除了环绕微小像素电极部分的短边的方向控制电极 178、178a 和 178b 宽度大以外，第十一优选实施例的相关结构与第十优选实施例（如图 24 所示）的相关结构相同。在方向控制电极 178、178a 和 178b 的宽度扩大的同时，方向控制电场变强，从而防止了纹理的产生。

图 26 是根据本发明的第十二优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

除了存储电极 133a 和 133b 通过连接器 A 彼此连接外，第十二优选实施例的相关结构与第八优选实施例（如图 22 所示）的相关结构相同。在顶部和底部存储电极 133a 和 133b 相互连接的同时，存储线路的电阻变小。

图 27 是根据本发明的第十三优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

除了用于互连存储电极 133a 和 133b 的连接器 A 沿位于相邻像素处的水平切口 191 的入口延伸外，第十三优选实施例的相关结构与第十二优选实施例（如图 26 所示）的相关结构相同。因此，存储电极和方向控制电极交替

排列在像素电极 190 的所有微小部分的周围，从而提高了域稳定性。

图 28 是根据本发明的第十四优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

5 通过将第五优选实施例（如图 19 所示）的相关结构域第八优选实施例（如图 22 所示）的相关结构相结合的方式获得了第十四优选实施例的相关结构。切口 194a 和 194b 由第五优选实施例的相关切口而来，切口 191、192a、192b、193a 和 193b 由第八优选实施例的相关切口而来。

图 29 是根据本发明的第十五优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

10 通过在第十四优选实施例（如图 28 所示）的结构添加一结构的方式获得了第十五优选实施例的相关结构，在所添加的结构当中，切除了位于微小像素电极部分的长边和短边之间的边缘。

图 30 是根据本发明的第十六优选实施例的液晶显示器的薄膜晶体管阵列板的平面图。

15 除了省略了在切口 194a 和 194b 的入口区域处切除位于微小像素电极部分的长边和短边之间的边缘外，第十六优选实施例的相关结构与第八优选实施例（如图 22 所示）的相关结构相同。

20 如上所述，像素域的两个长边彼此平行延伸，从而提高了液晶分子的配向速度及其稳定性。采用适当的方式排列切口、方向控制电极和存储电极，以此进一步提高域的稳定性。

虽然已经参照优选实施例对本发明进行了详细说明，但是本领域的技术人员将认识到在不背离如附加的权利要求书设定的本发明的精神和范围的前提下，可以对其进行各种修改和替换。

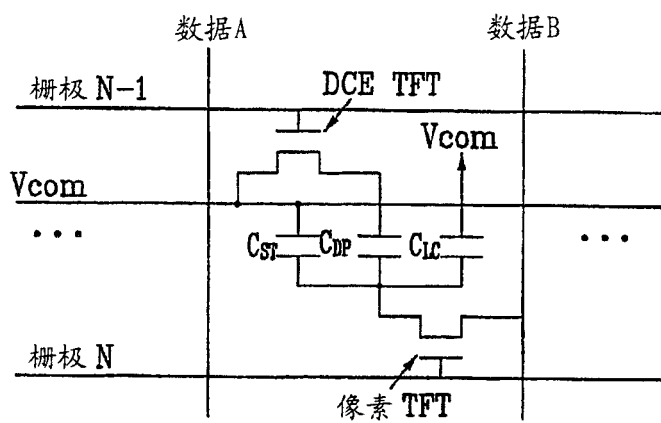


图 1

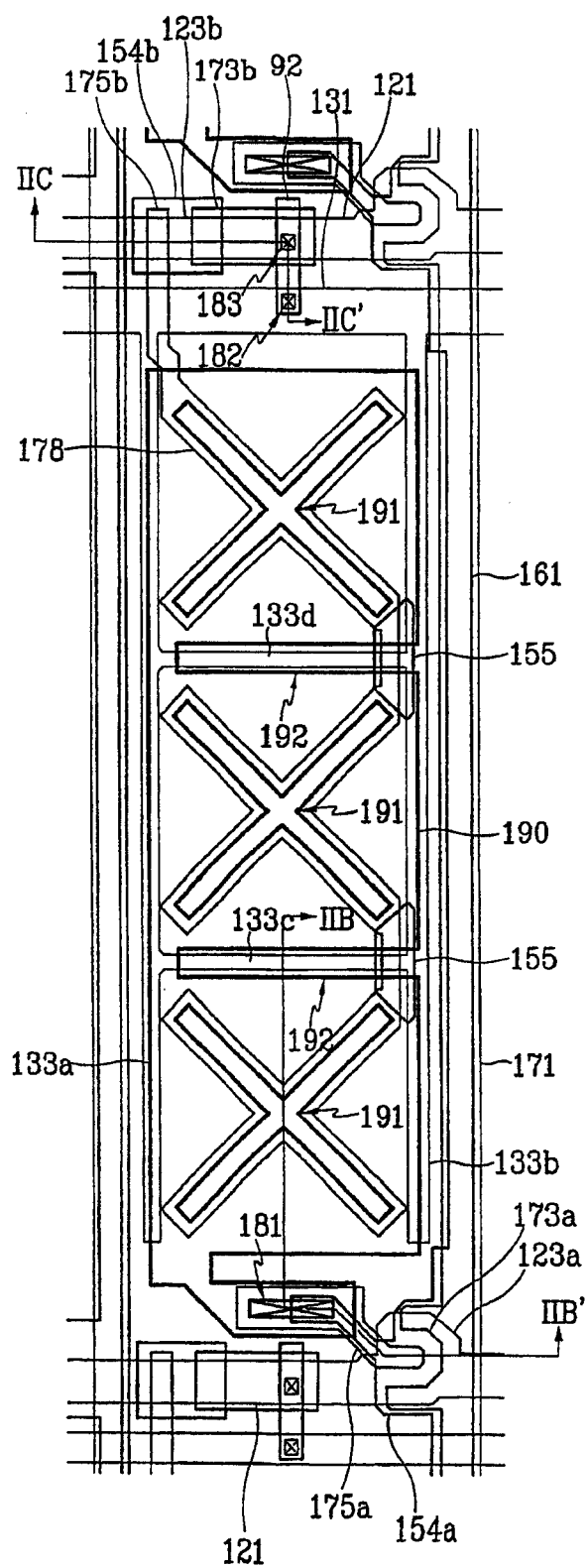


图 2A

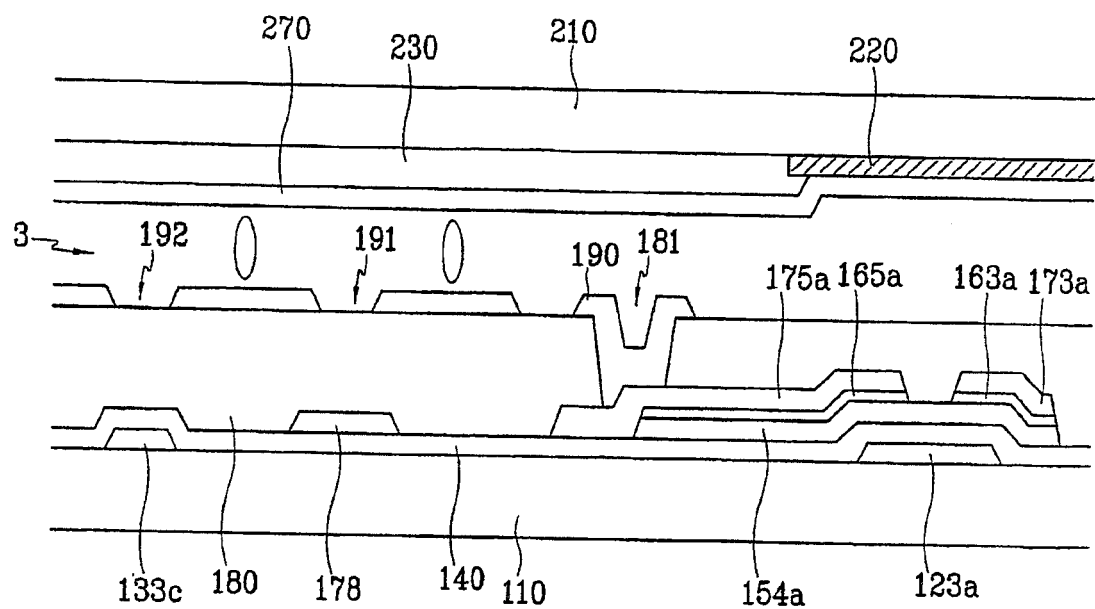


图 2B

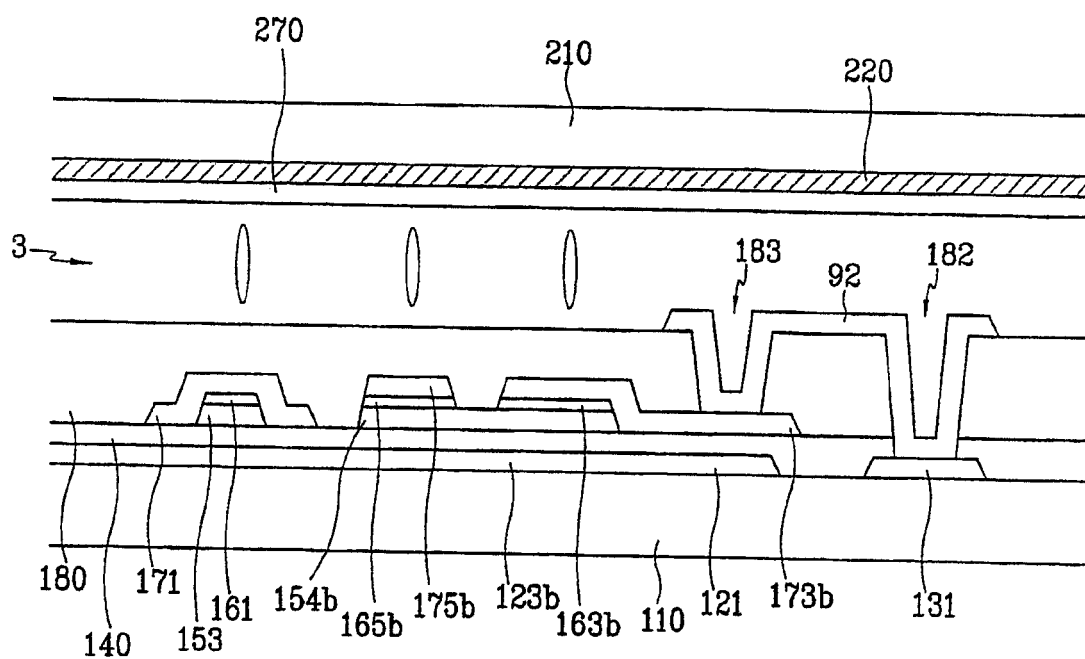


图 2C

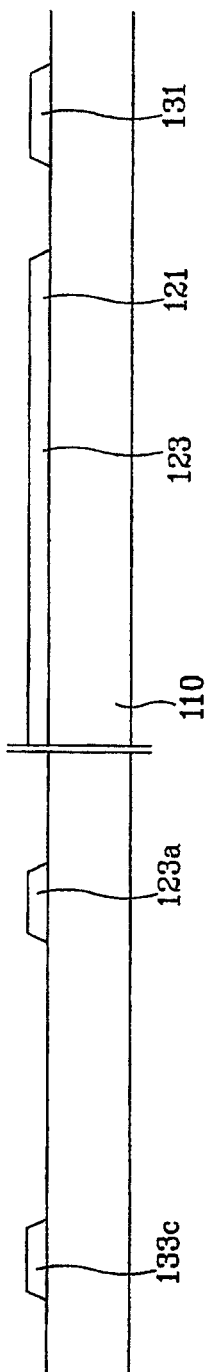


图 3A

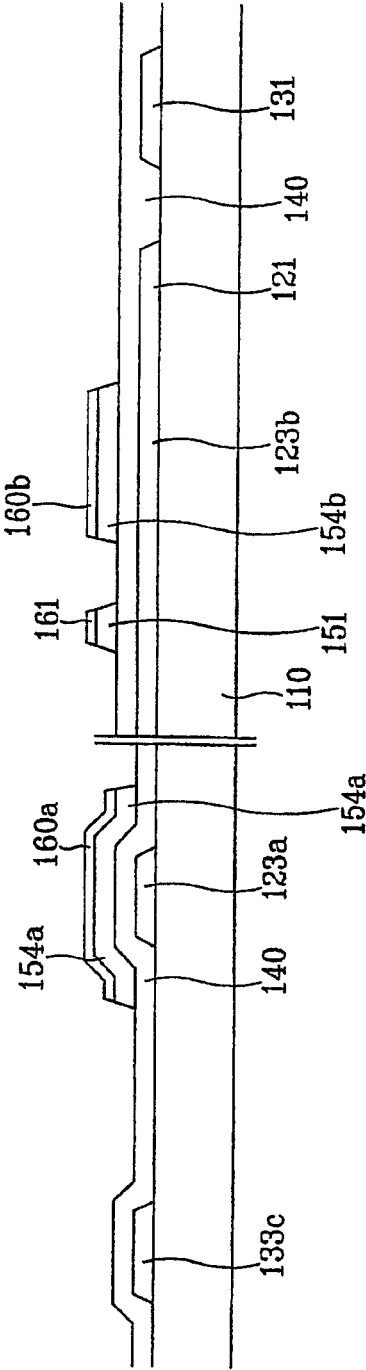


图 3B

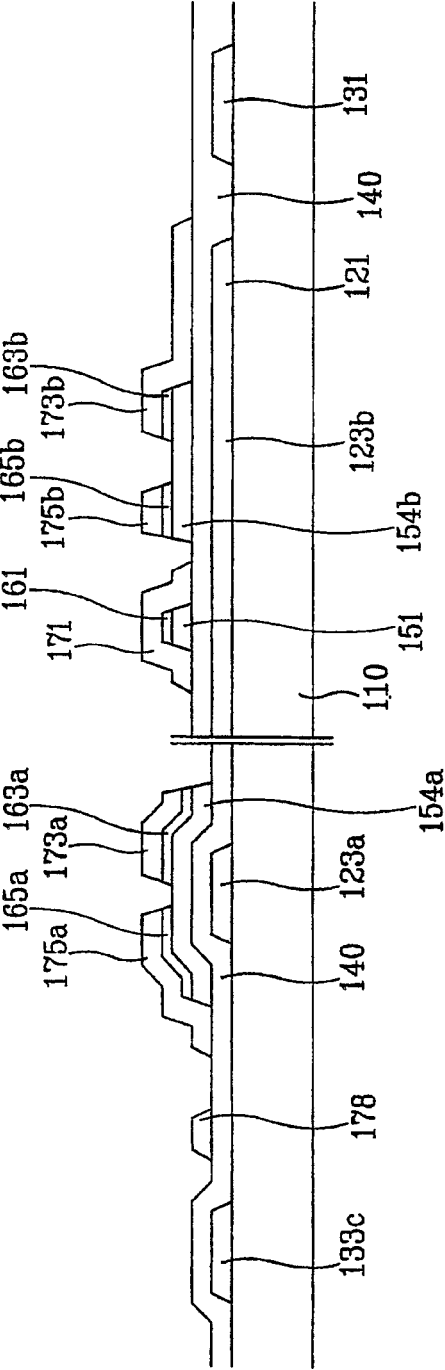


图 3C

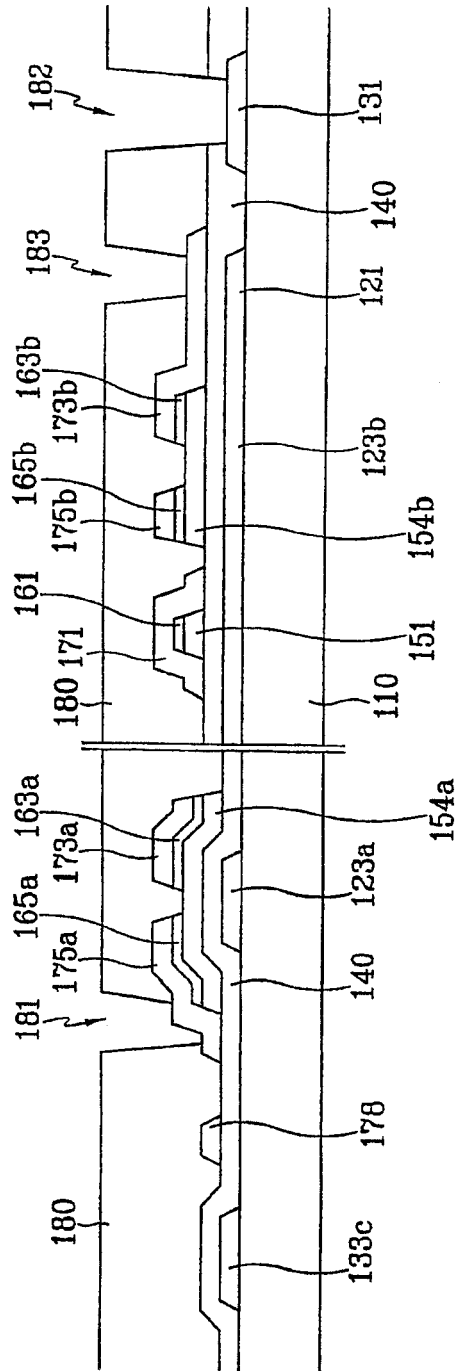


图 3D

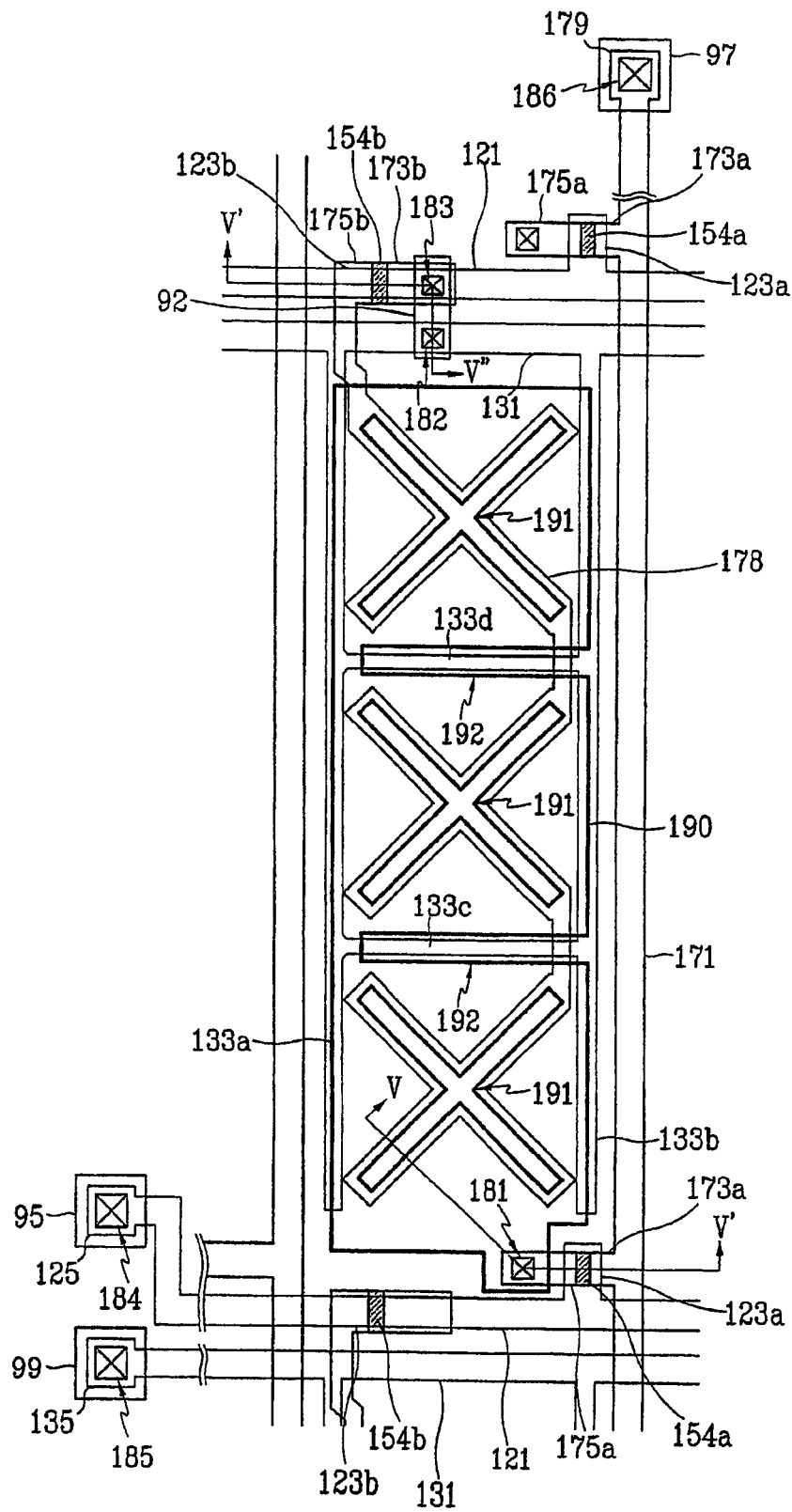


图 4

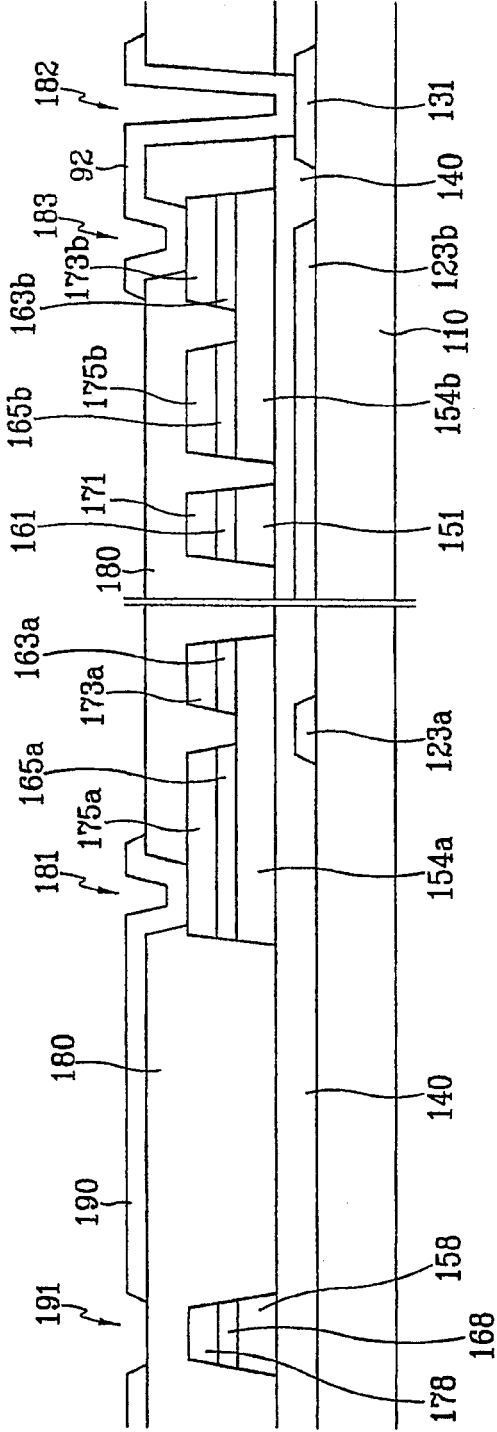


图 5

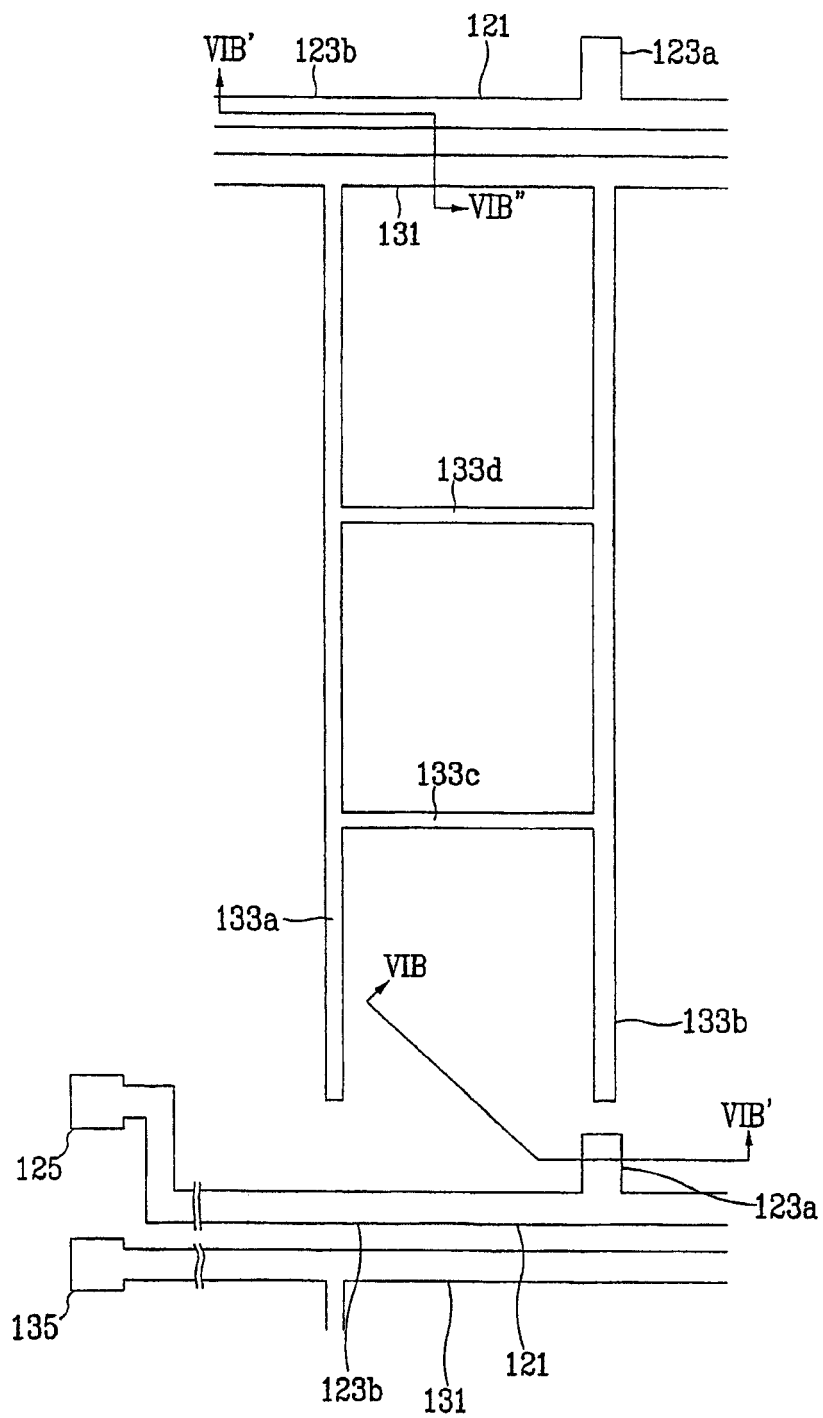


图 6A

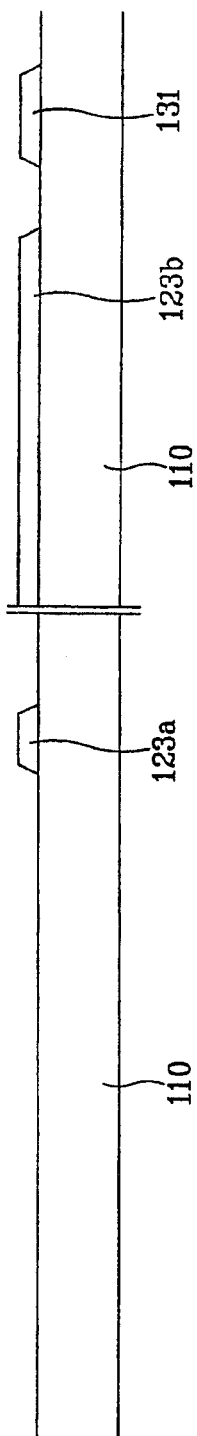


图 6B

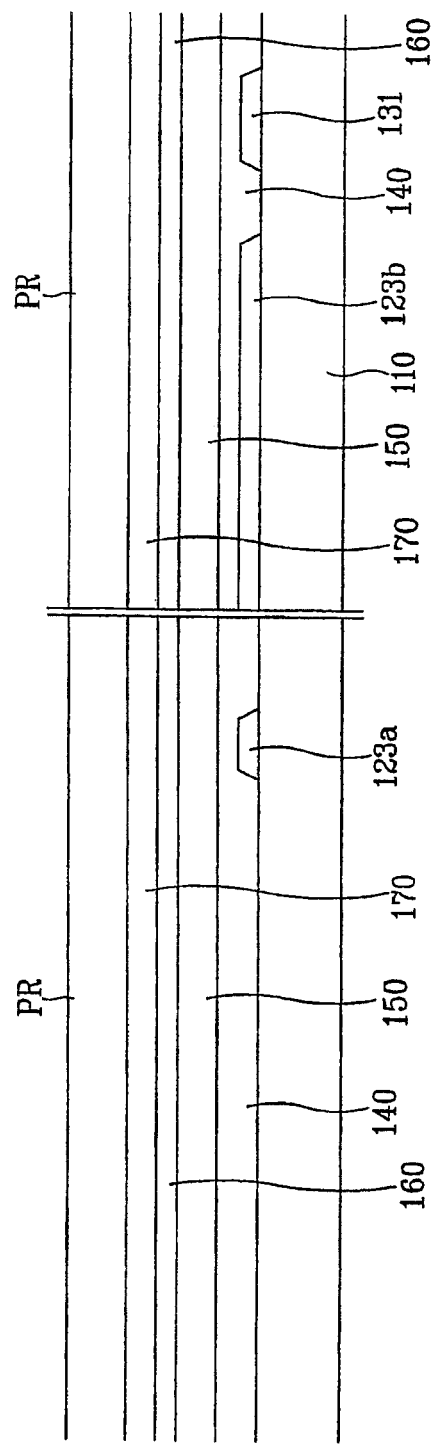


图 7

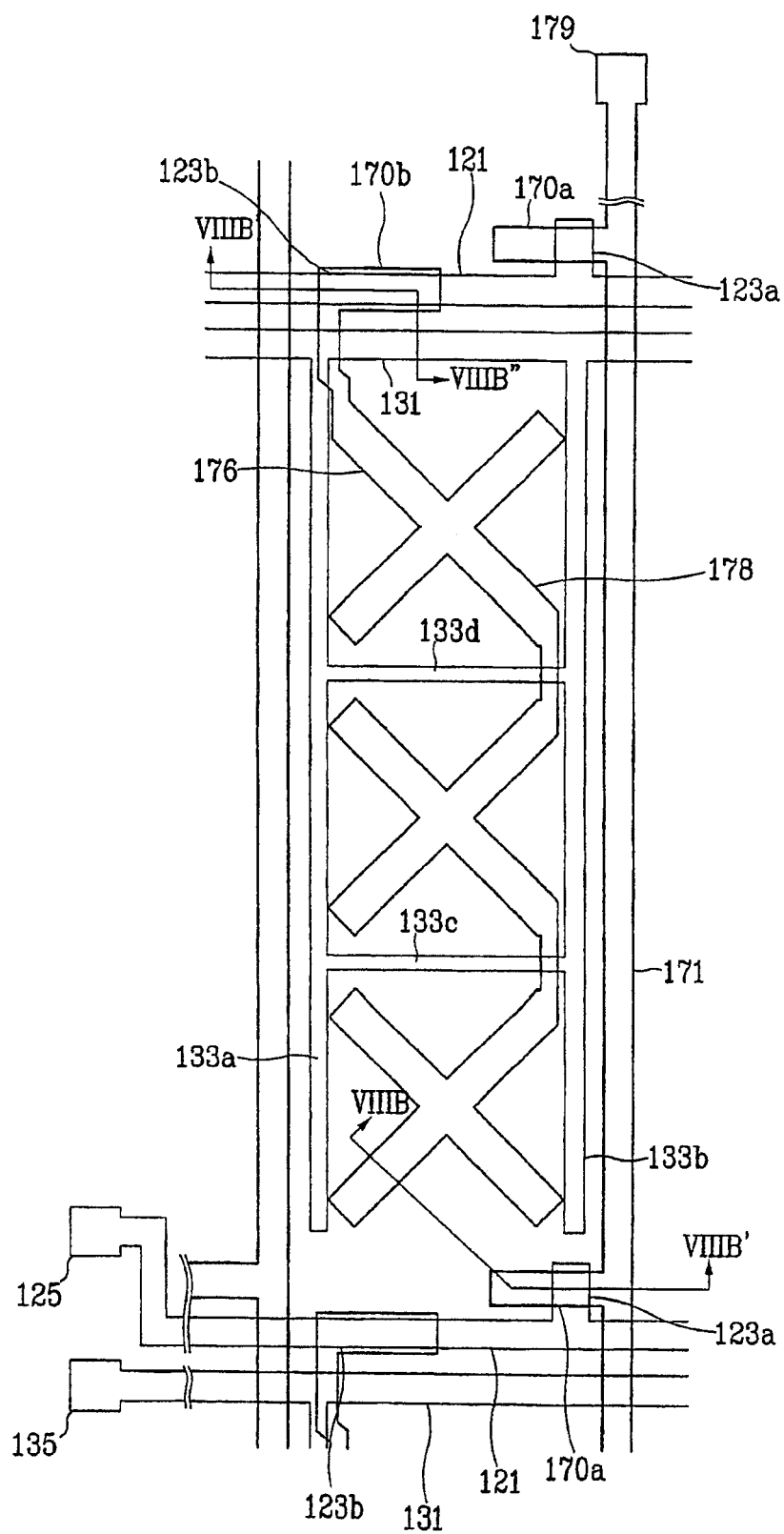


图 8A

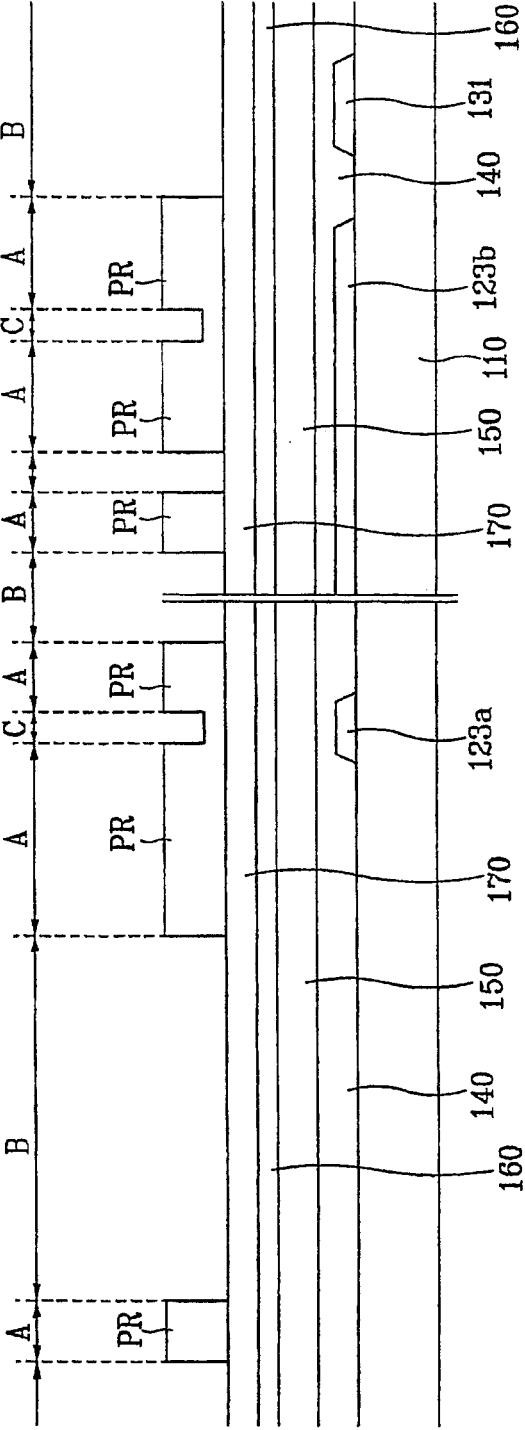


图 8B

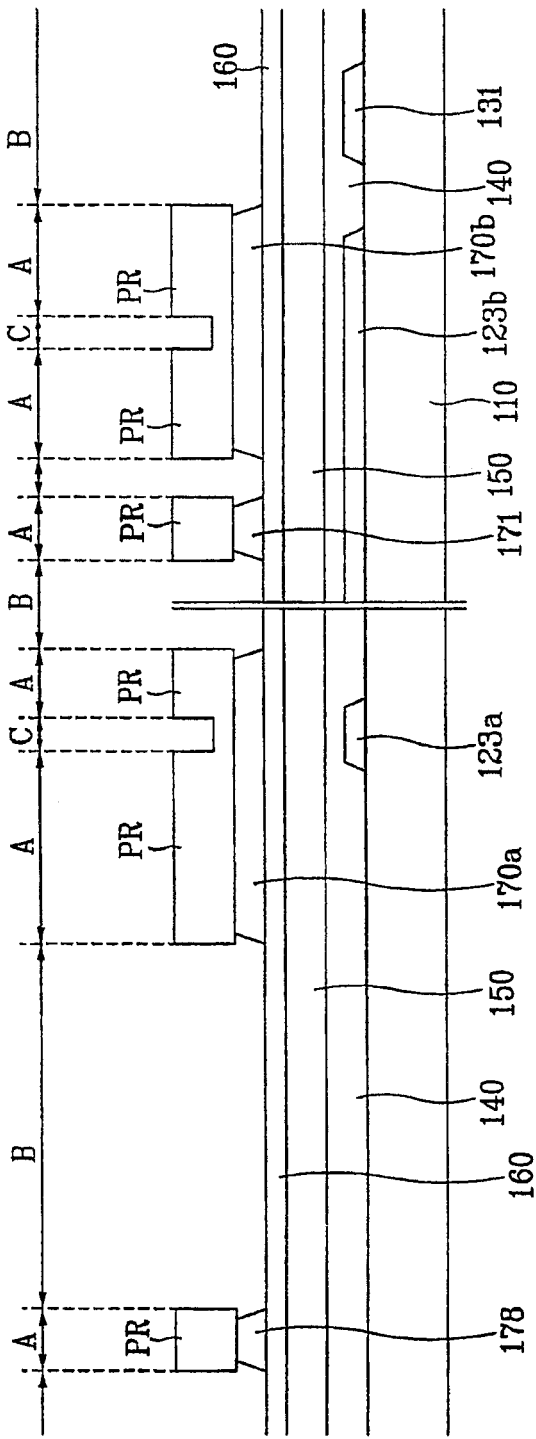
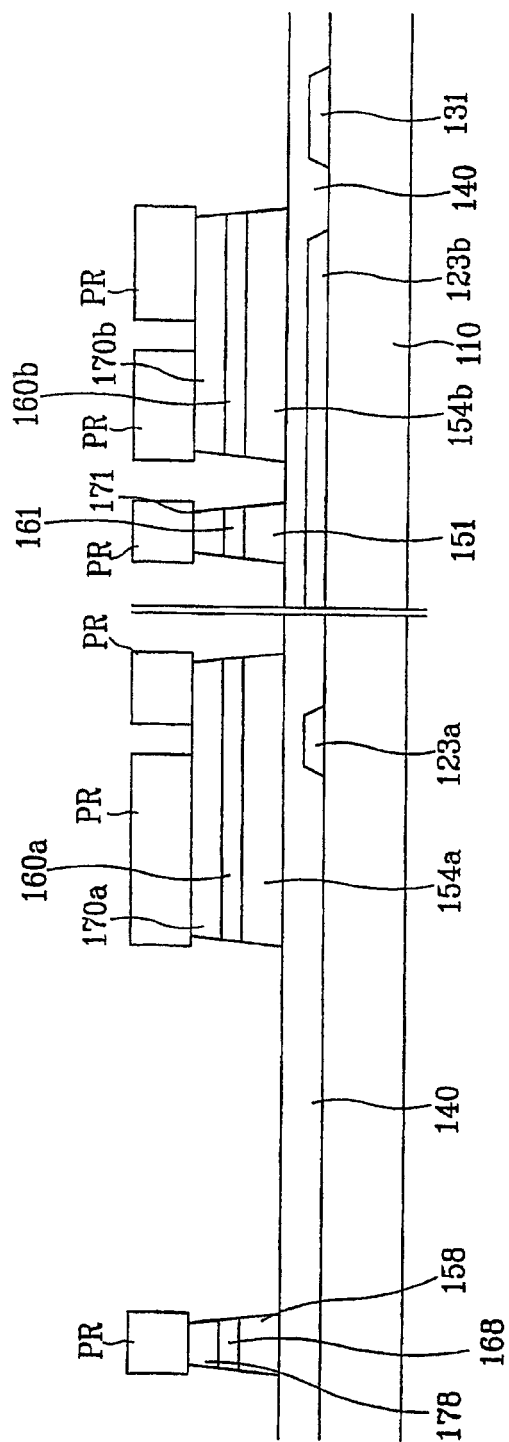


图 9



10

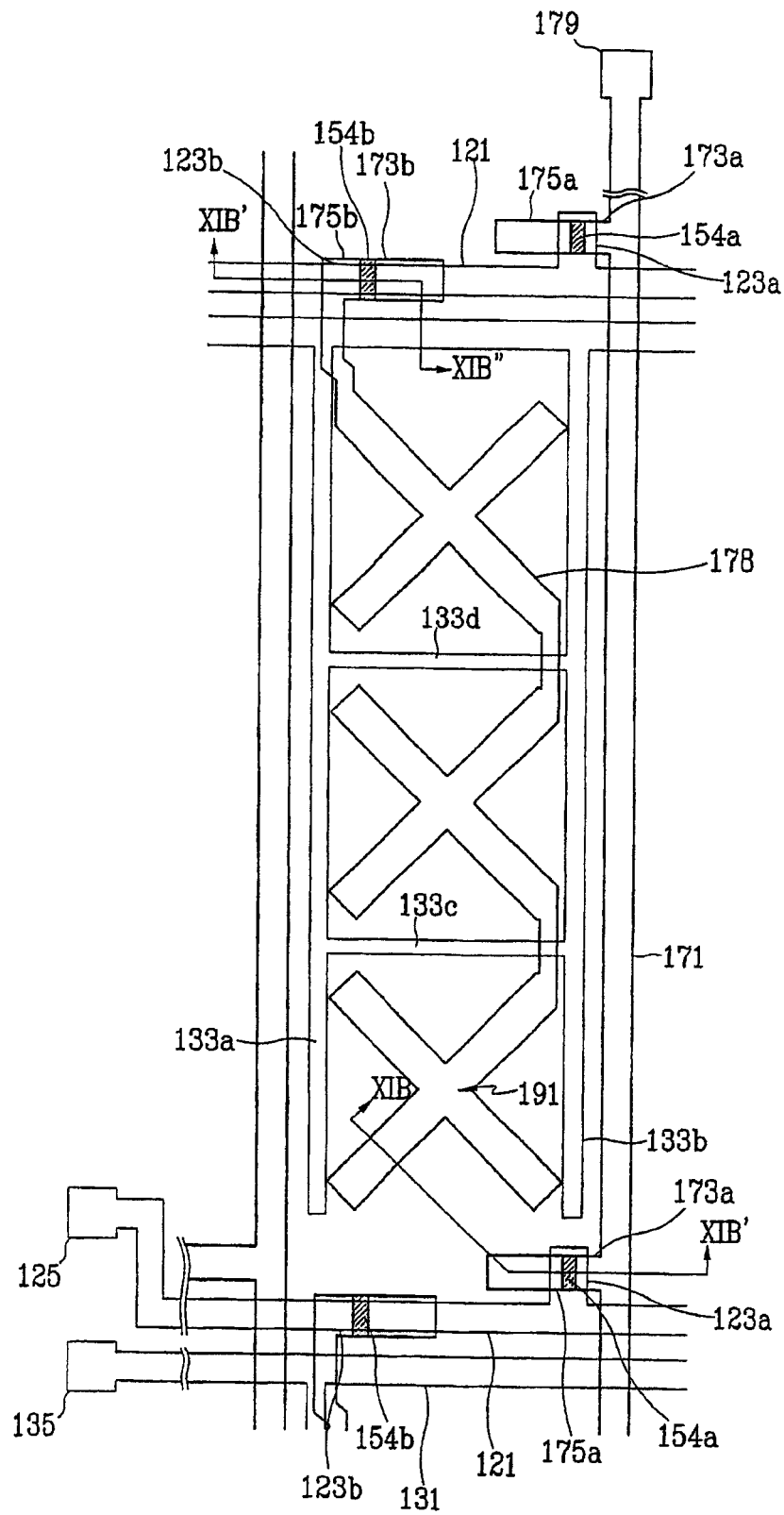


图 11A

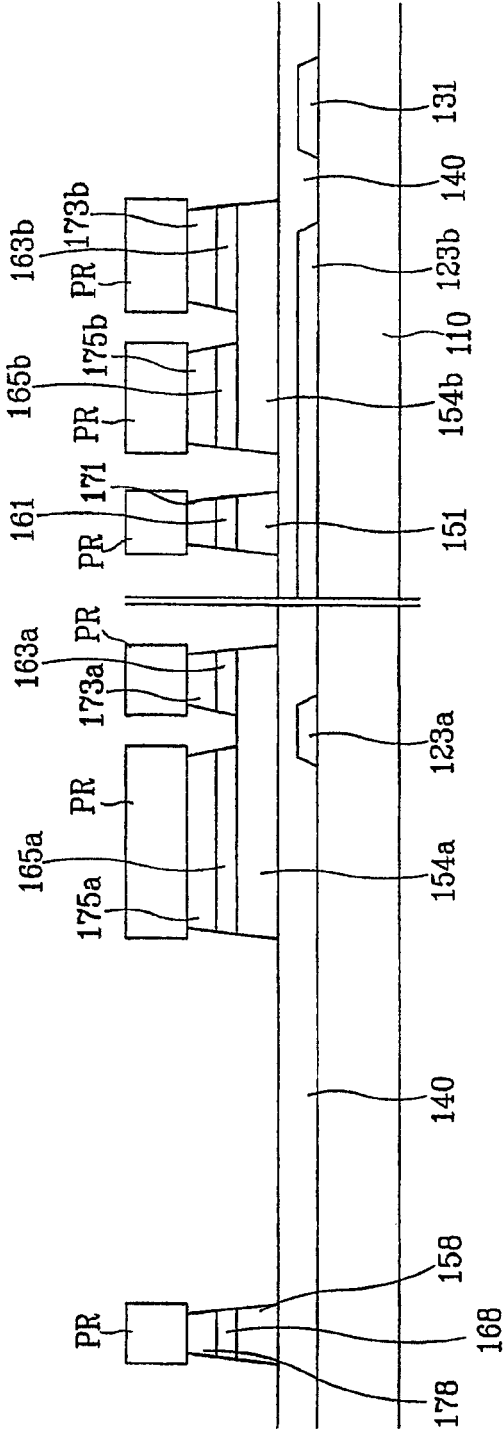


图 11B

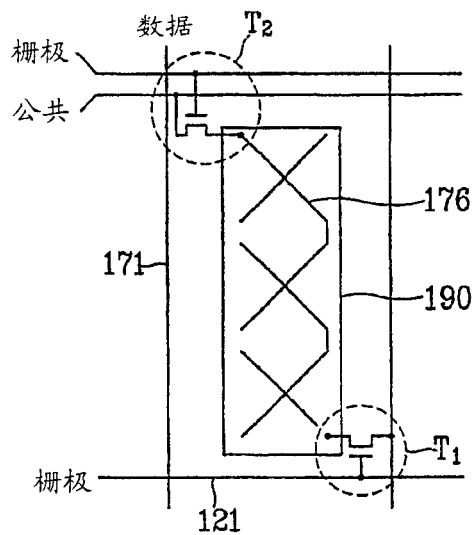


图 12

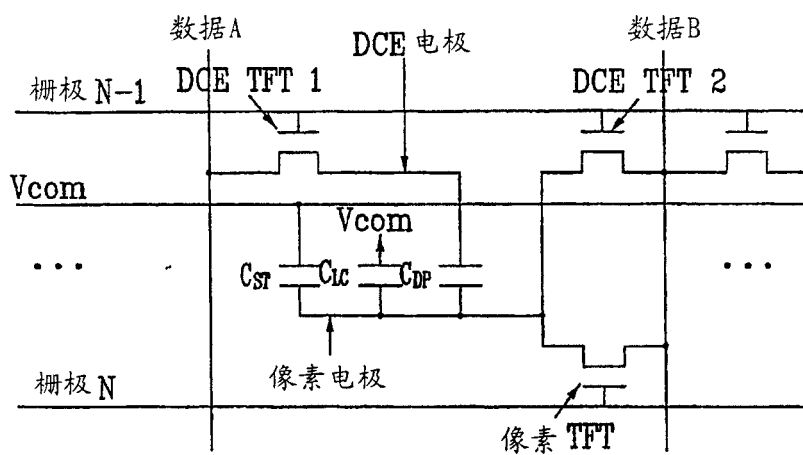


图 13

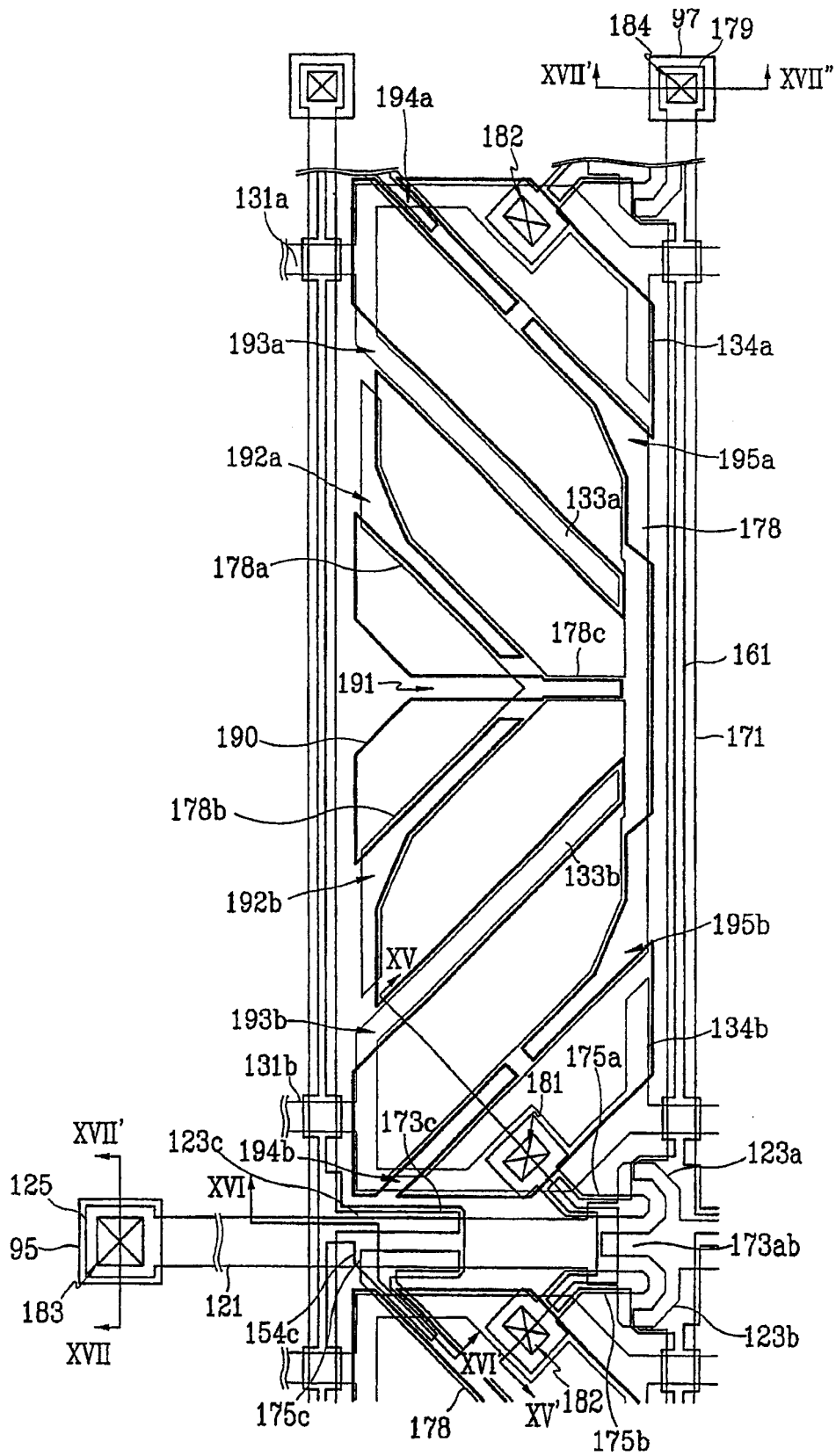


图 14

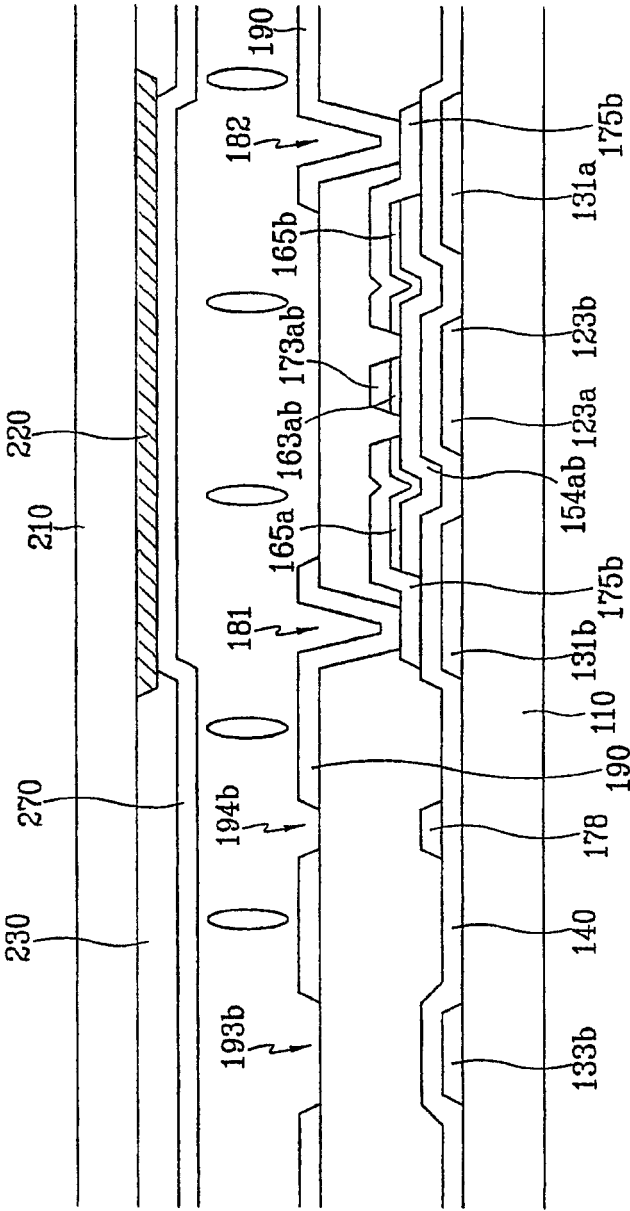


图 15

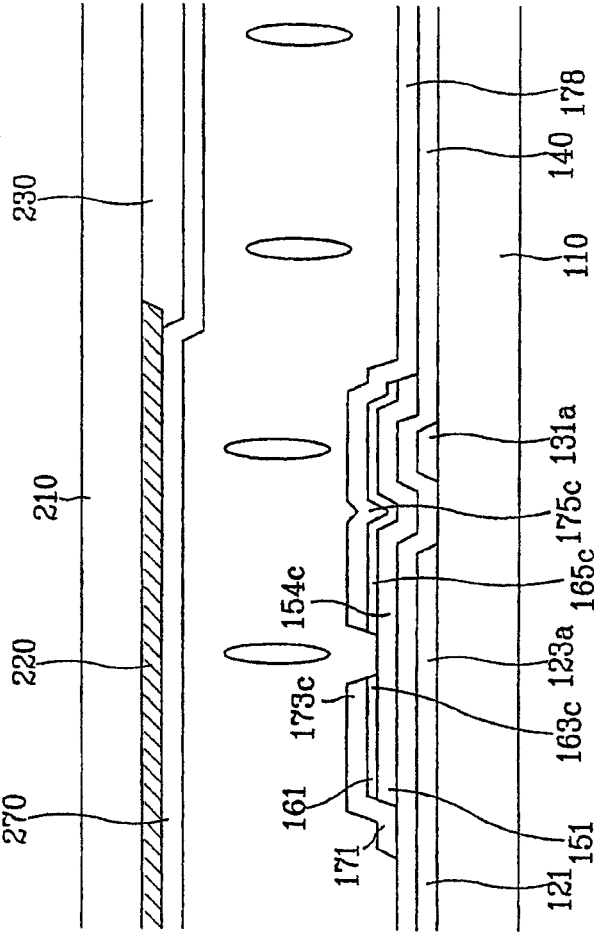


图 16

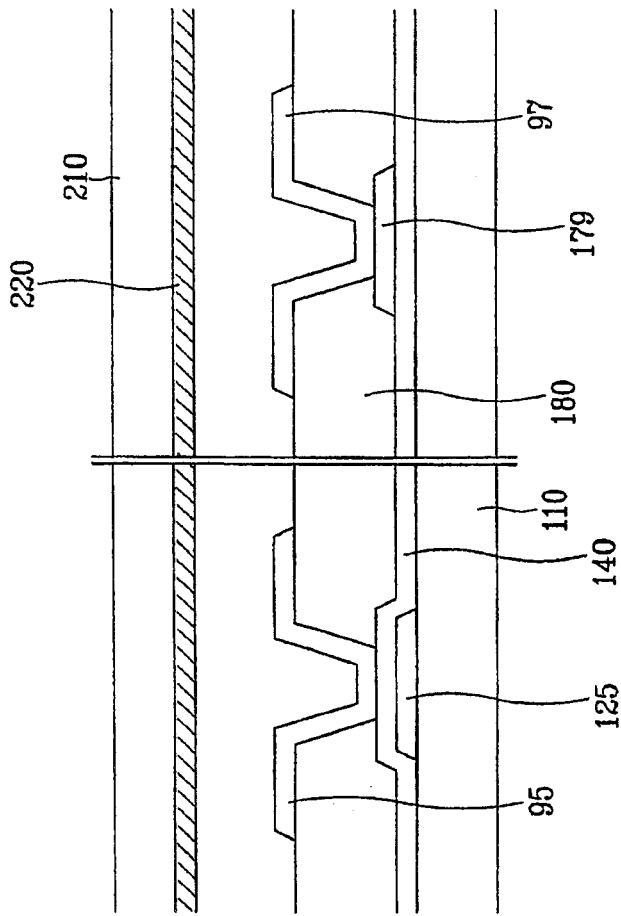


图 17

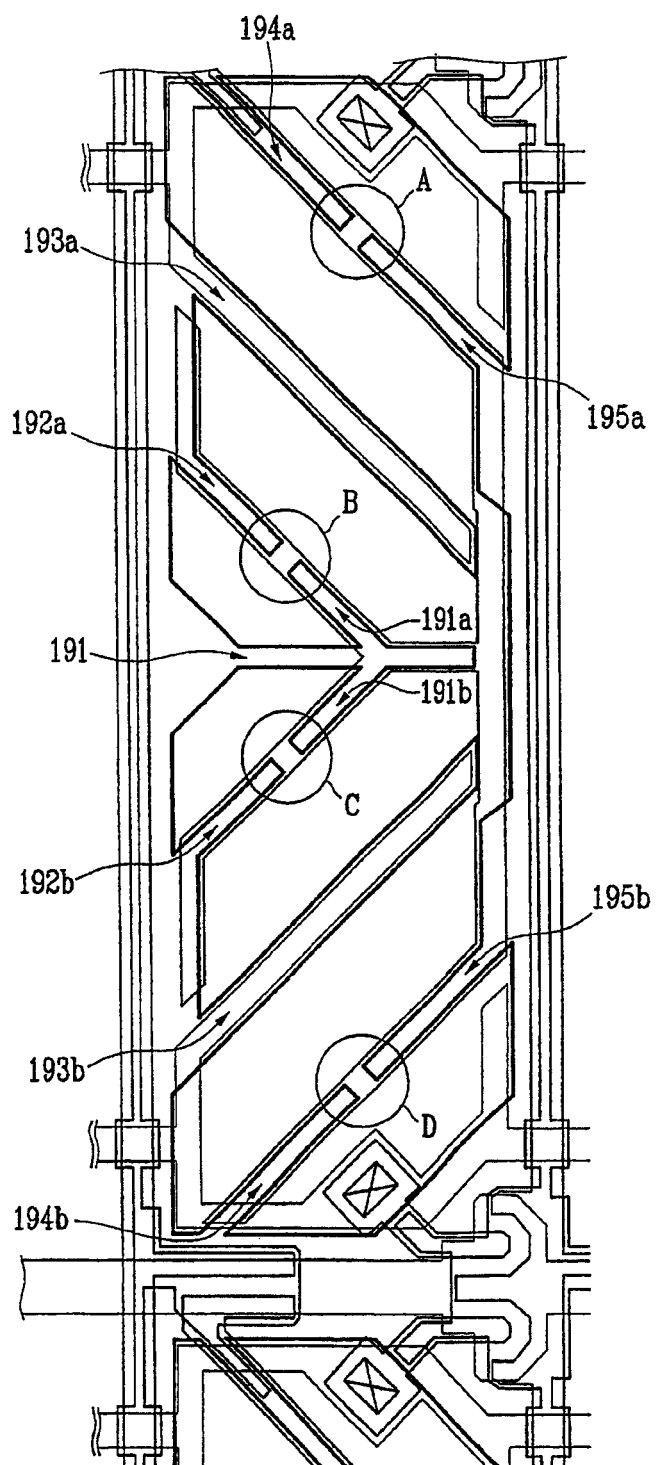


图 18

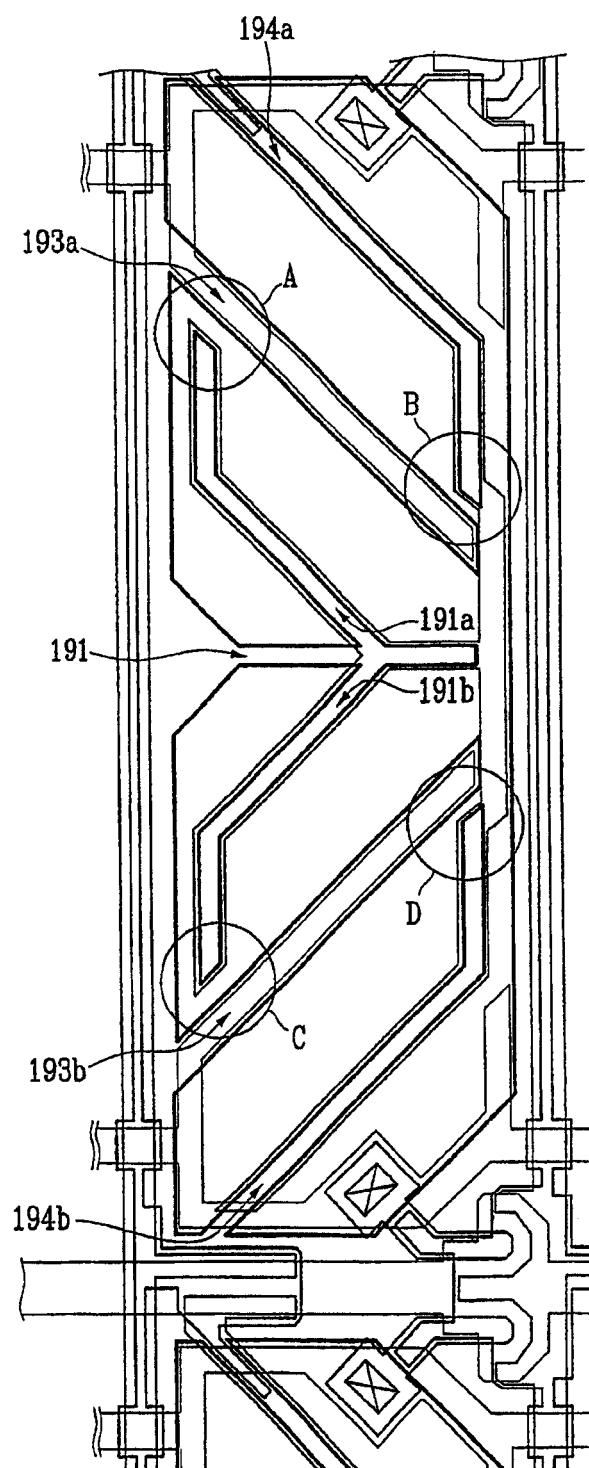


图 19

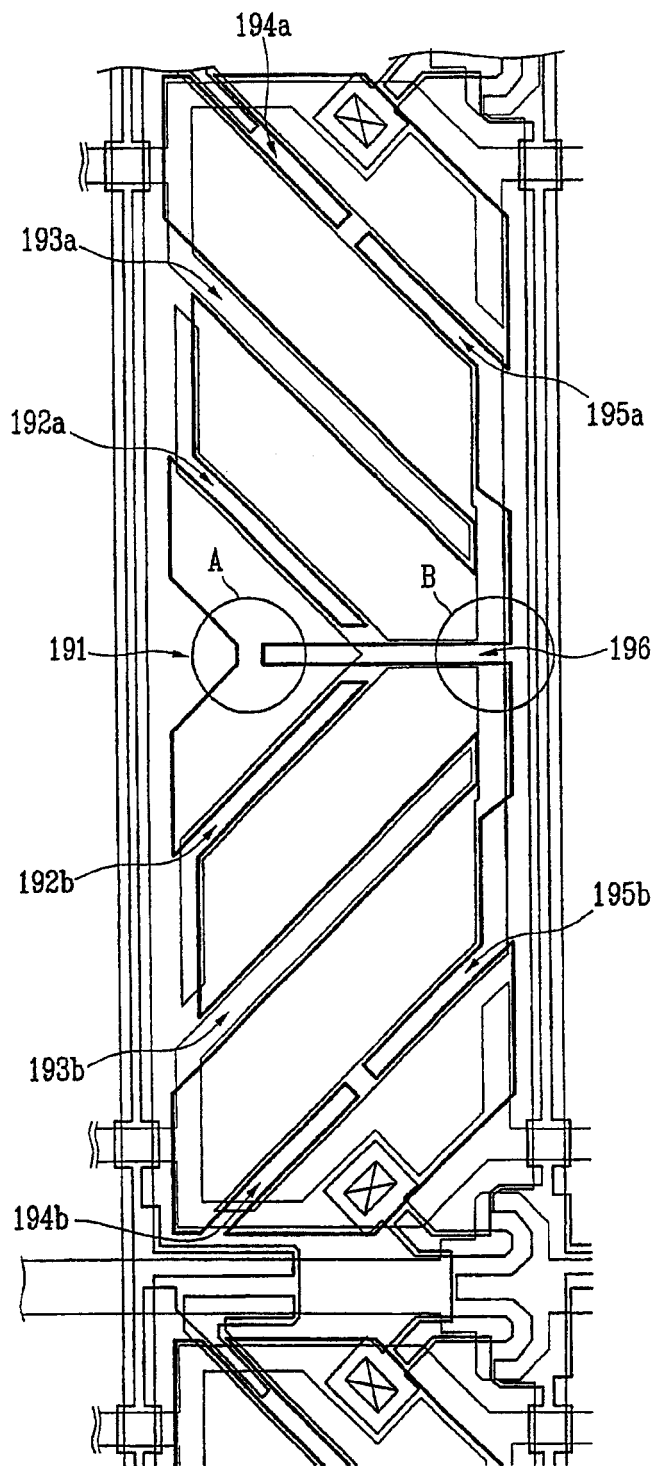


图 20

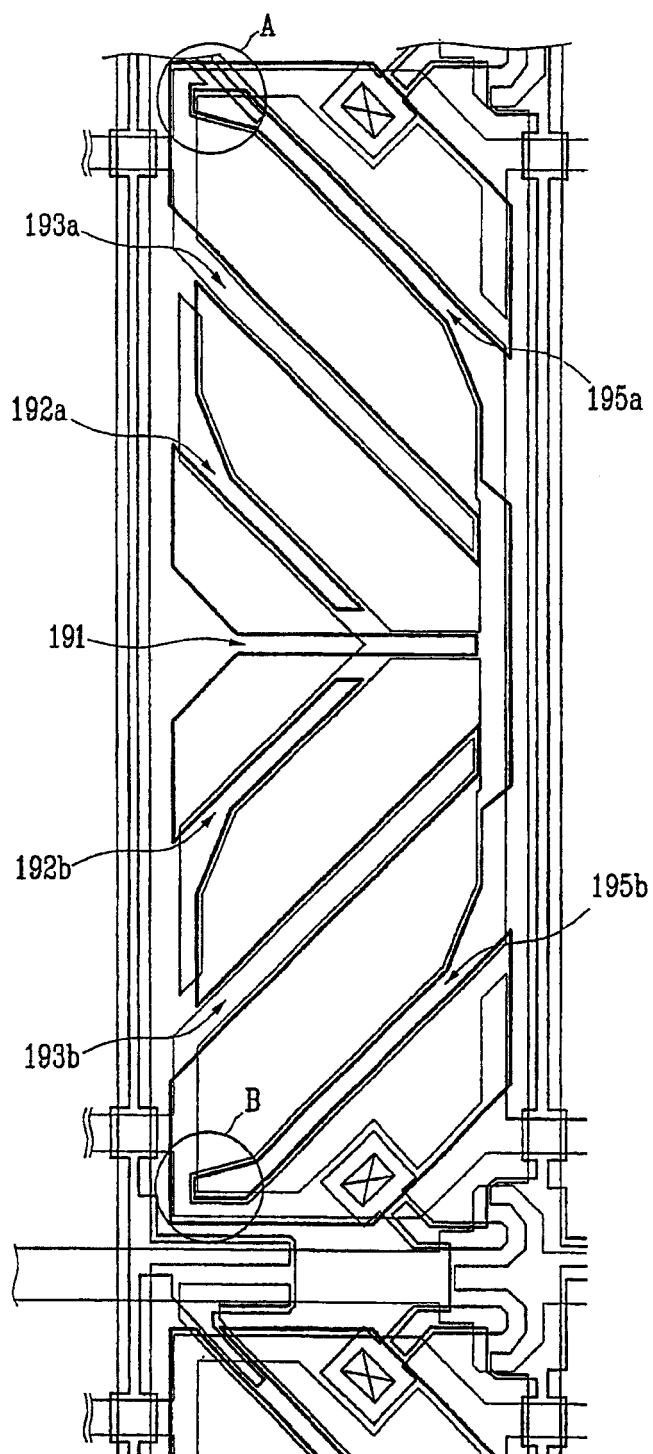


图 21

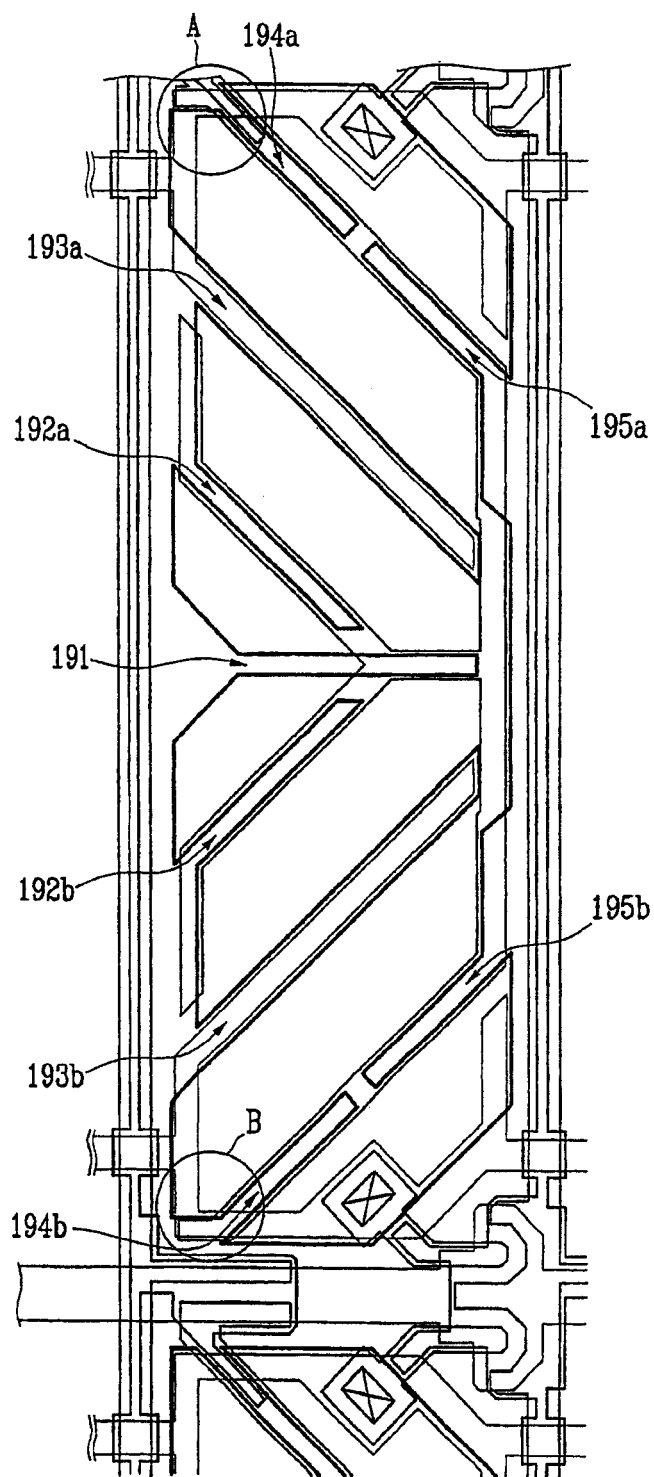


图 22

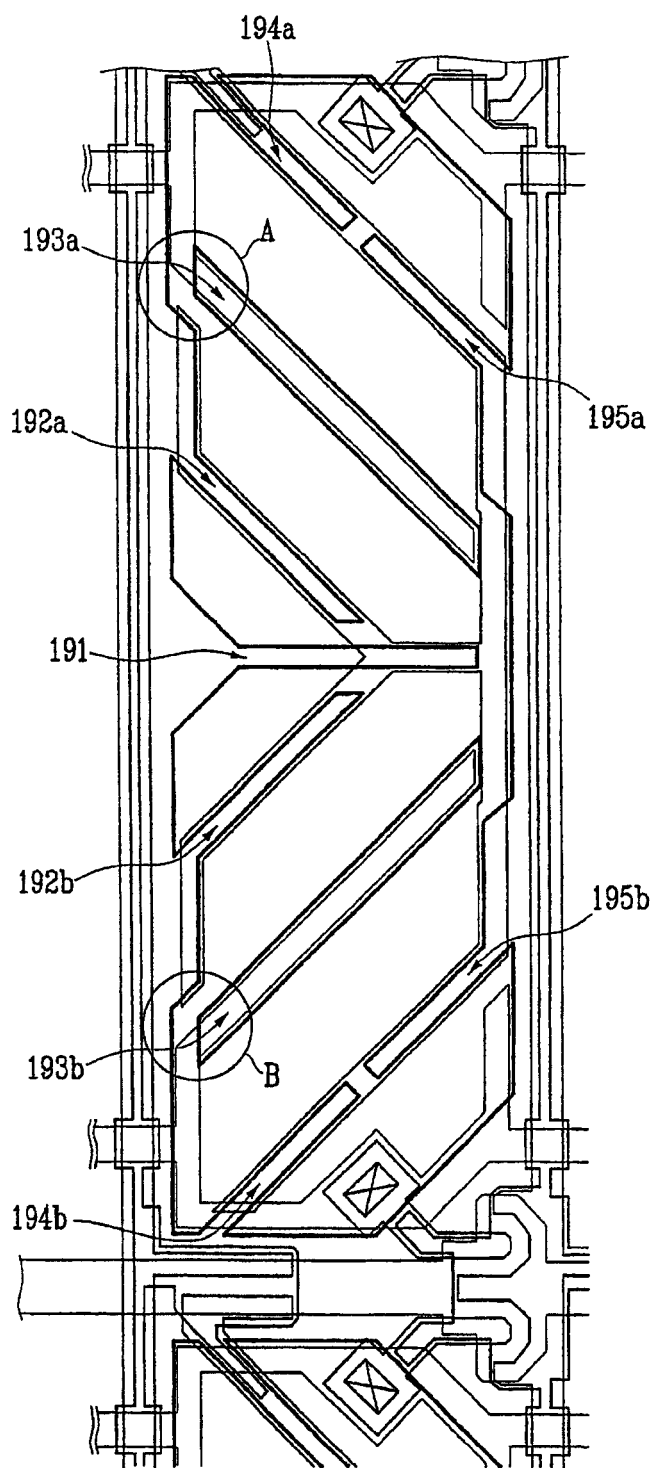


图 23

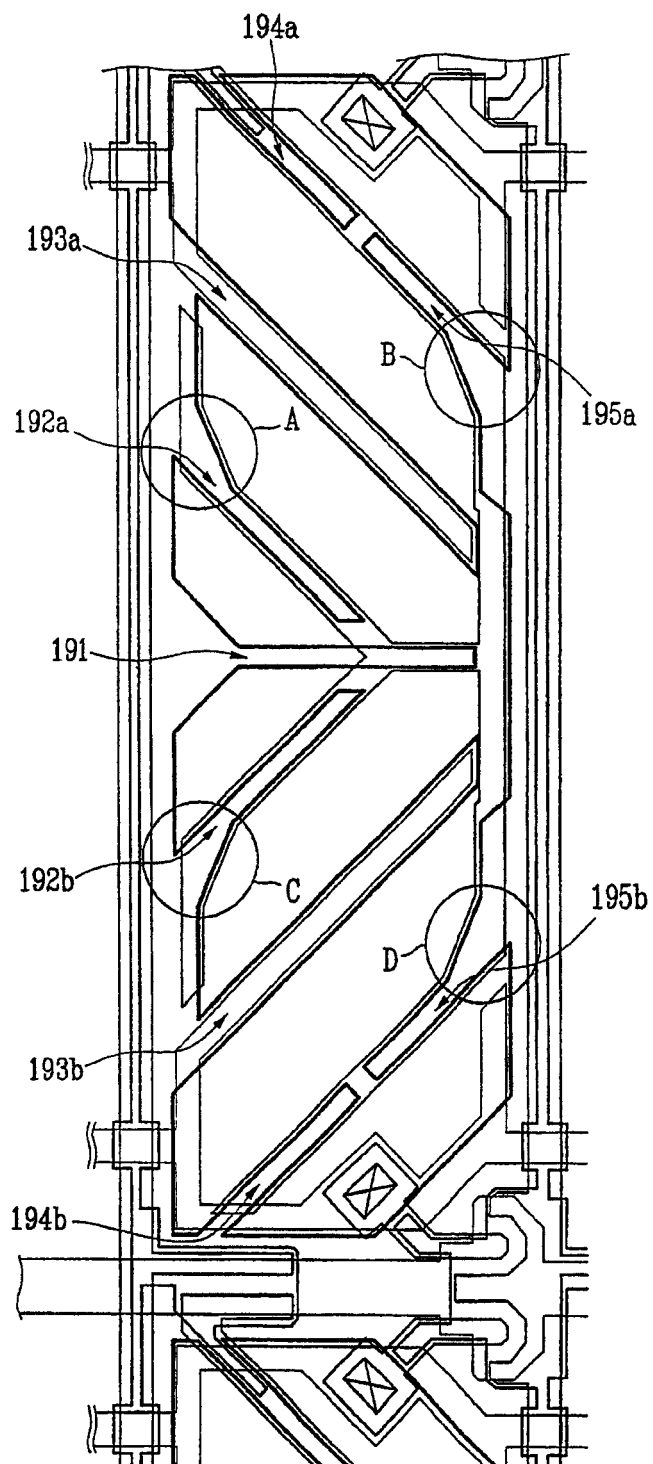


图 24

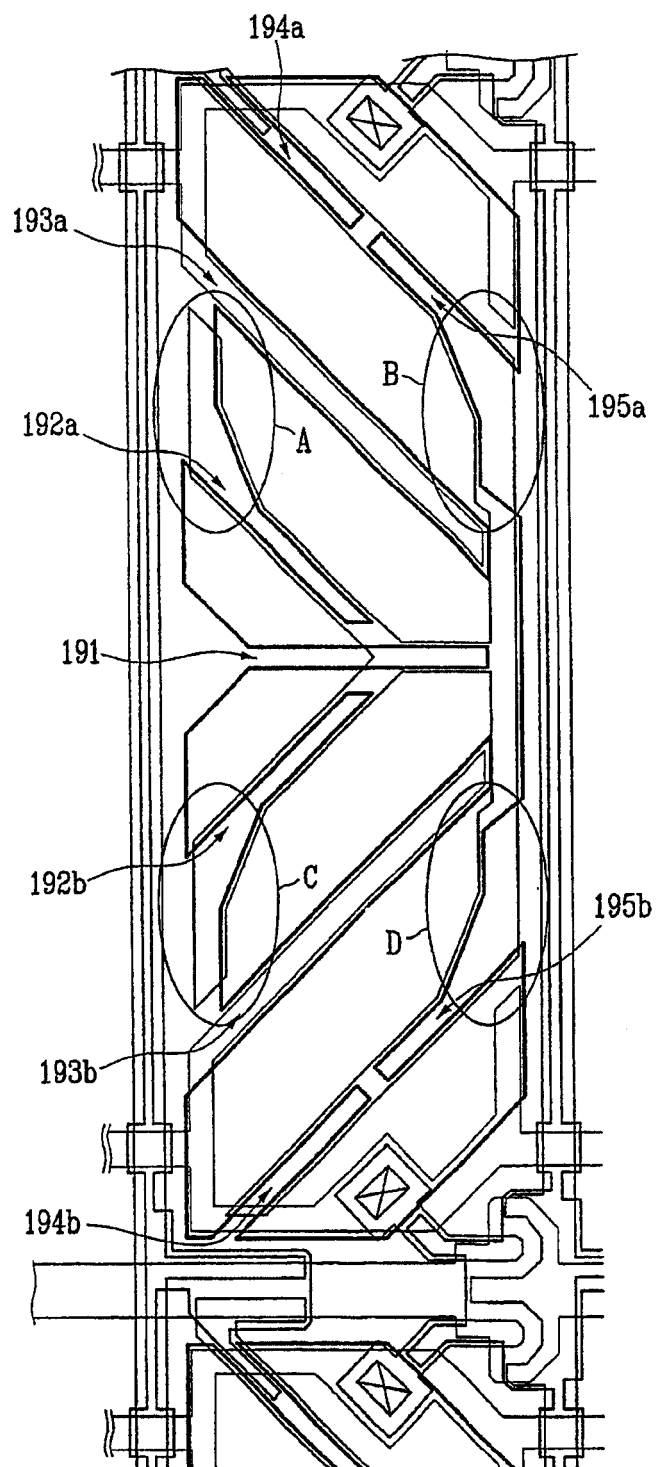


图 25

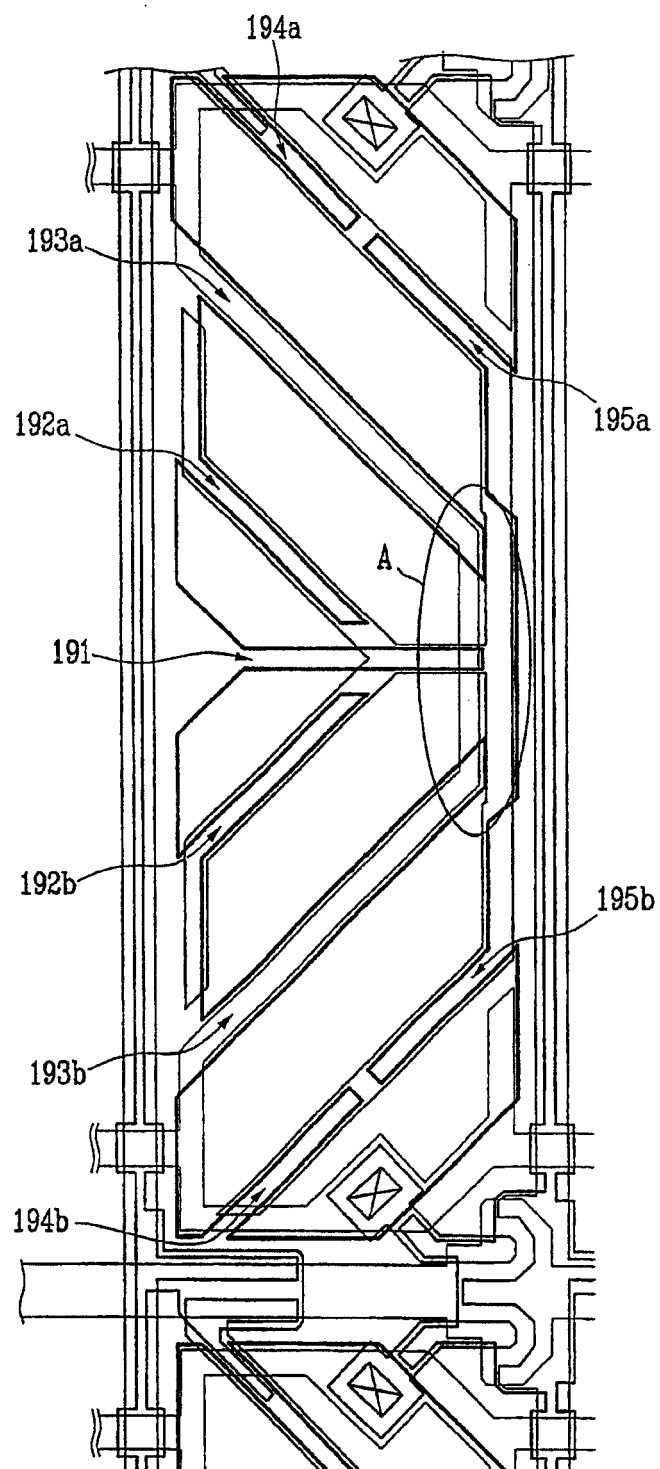


图 26

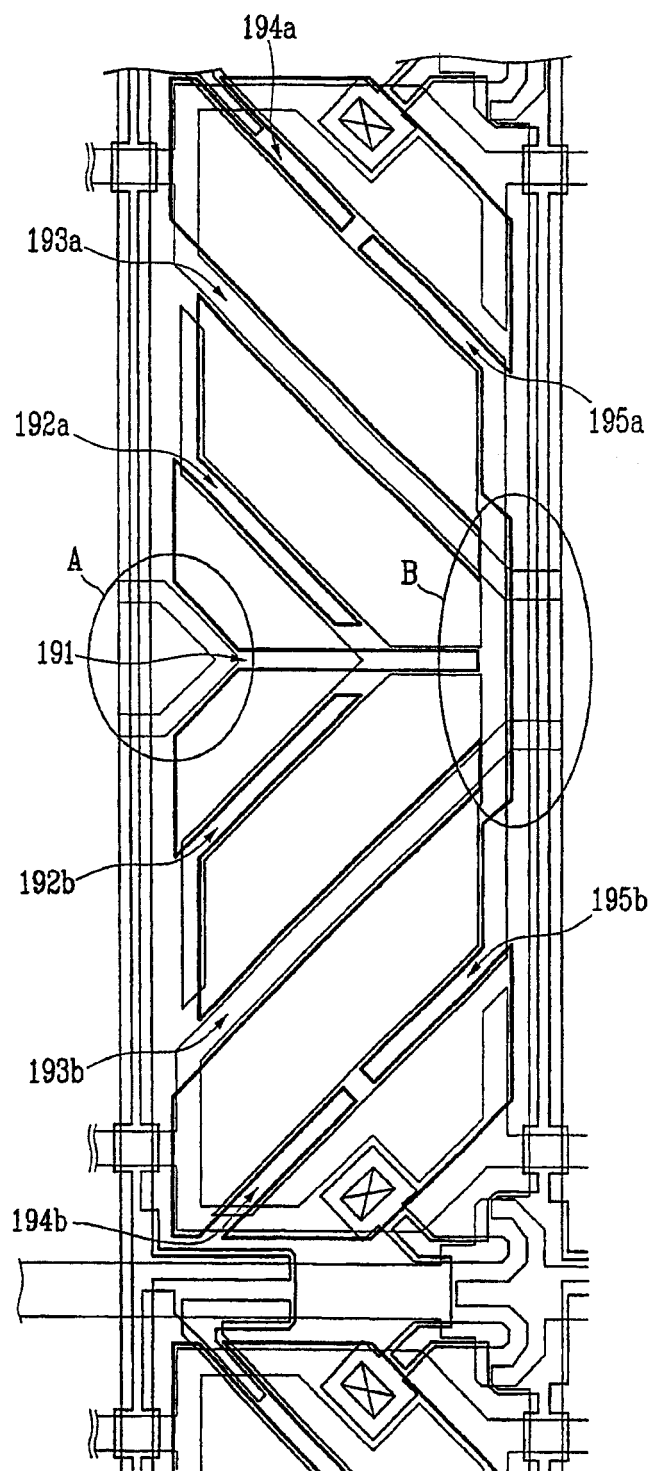


图 27

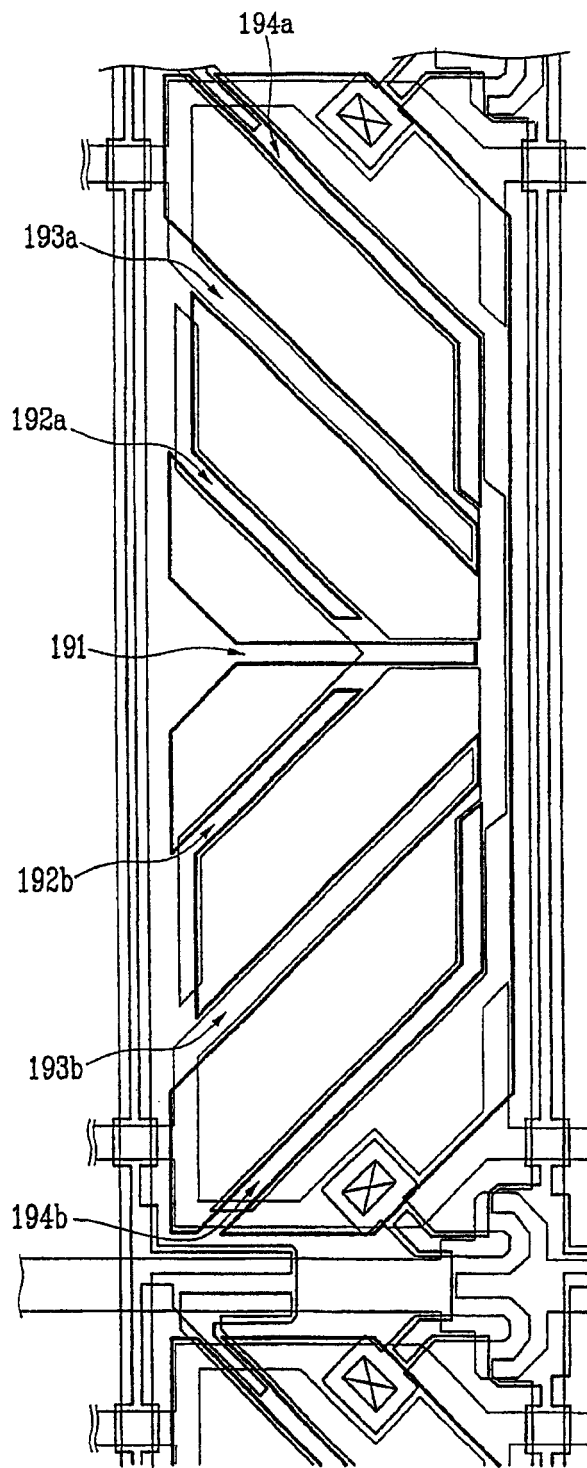


图 28

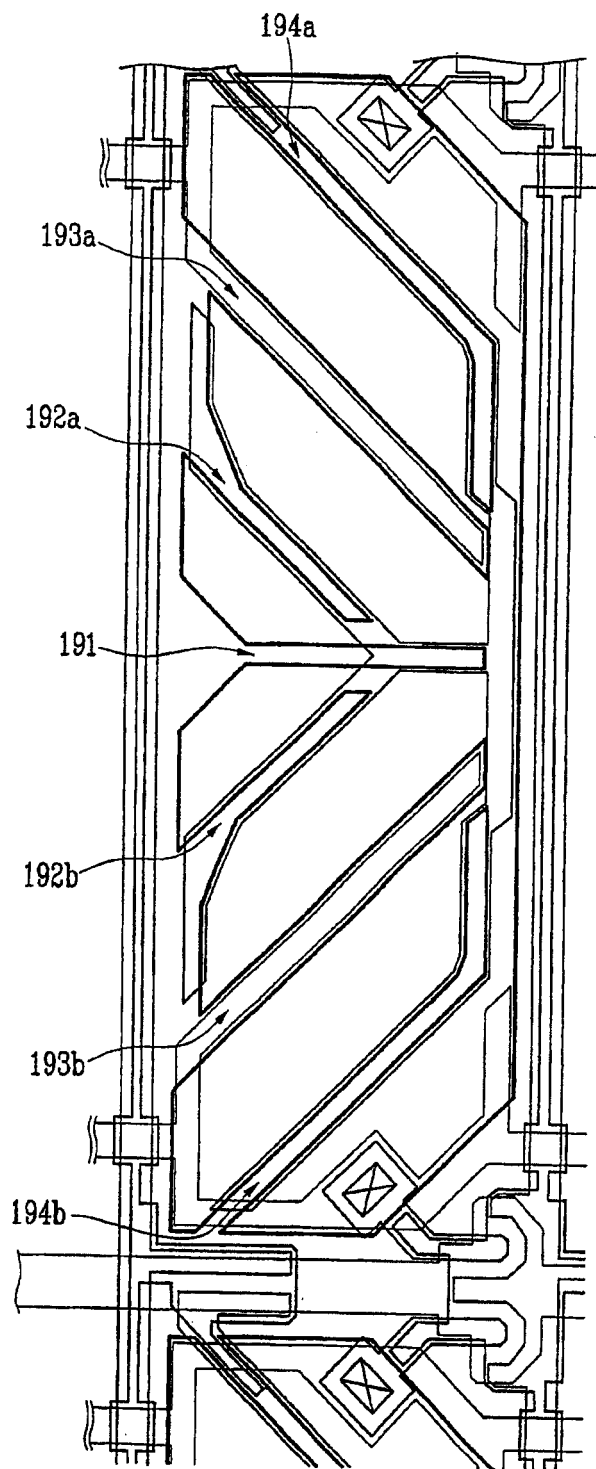


图 29

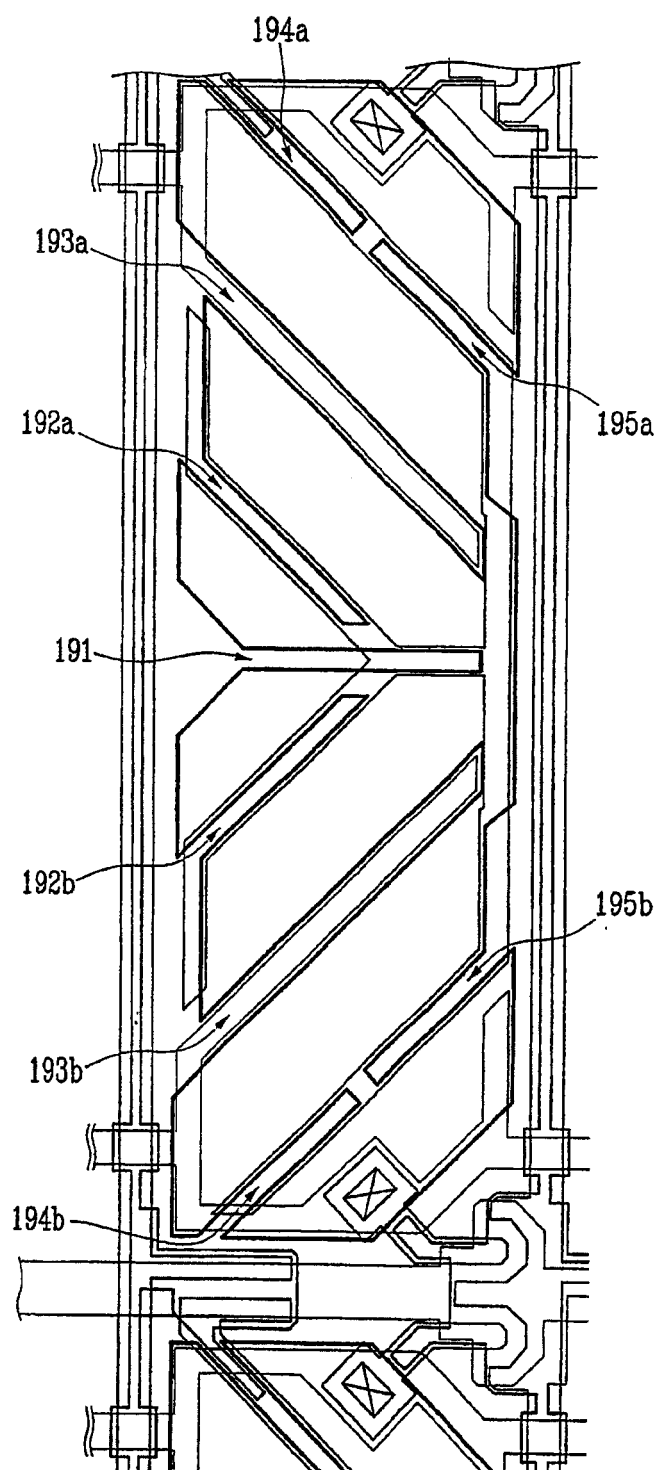


图 30

Figure 1 is a schematic diagram of a pixel circuit in a liquid crystal display. The diagram shows a pixel circuit connected to a gate line (栅极 N-1) and a data line (数据A). The circuit includes a DCE TFT, a Vcom line, a storage capacitor (Cst), a compensation capacitor (Ccp), and a load capacitor (Cic). The pixel is connected to a data line (数据B) and a gate line (栅极 N). The pixel is labeled as '像素 TFT'.